



(12) 发明专利

(10) 授权公告号 CN 103026485 B

(45) 授权公告日 2016. 04. 27

(21) 申请号 201180036518. 5

(51) Int. Cl.

(22) 申请日 2011. 08. 17

H01L 21/8238(2006. 01)

(30) 优先权数据

12/857, 954 2010. 08. 17 US

(56) 对比文件

US 2002/0140047 A1, 2002. 10. 03,

TW 490808 B, 2002. 06. 11,

US 6143594 A, 2000. 11. 07,

(85) PCT国际申请进入国家阶段日

2013. 01. 25

审查员 张虹

(86) PCT国际申请的申请数据

PCT/US2011/048072 2011. 08. 17

(87) PCT国际申请的公布数据

W02012/024391 EN 2012. 02. 23

(73) 专利权人 德州仪器公司

地址 美国德克萨斯州

(72) 发明人 熊伟泽 格雷格·C·鲍德温

(74) 专利代理机构 北京律盟知识产权代理有限

责任公司 11287

代理人 王璐

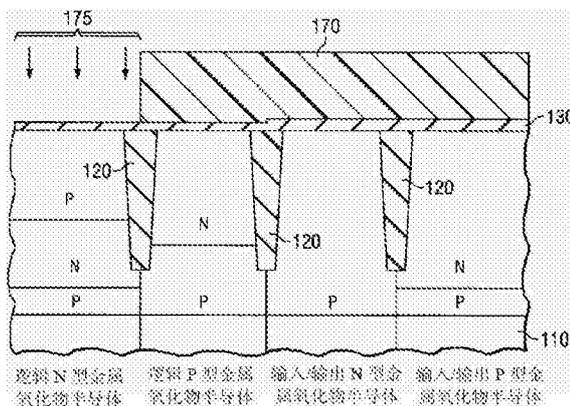
权利要求书1页 说明书5页 附图4页

(54) 发明名称

具有不同阈值电压的 CMOS 晶体管制作

(57) 摘要

各种实施例提供用于制作具有所要 I/O 晶体管阈值电压的双供应电压 CMOS 装置的方法。可在包含用于逻辑 NMOS 晶体管、逻辑 PMOS 晶体管、I/O NMOS 晶体管及 I/OPMOS 晶体管的隔离区的半导体衬底 (110) 中制作所述双供应电压 CMOS 装置。具体来说,所述制作可首先将所述 I/O NMOS 晶体管及所述 I/O PMOS 晶体管中的每一者的阈值电压 (VT) 设定及 / 或调整为所要电平。可接着在掩蔽 I/O NMOS 及 I/O PMOS 晶体管而不影响所述 I/O 晶体管的所述经设定 / 调整 VT 的情况下形成逻辑 NMOS 及逻辑 PMOS 晶体管。



1. 一种制作半导体装置的方法,其包括:

提供包含用于逻辑 NMOS 晶体管、逻辑 PMOS 晶体管、I/O NMOS 晶体管及 I/O PMOS 晶体管的隔离区的半导体衬底;

将 P 型掺杂剂植入到所述 I/O NMOS 晶体管区中以设定所述 I/O NMOS 晶体管的阈值电压  $V_T$ ;

在掩蔽所述逻辑 PMOS 晶体管区和所述 I/O NMOS 晶体管区的情况下,将 N 型掺杂剂植入到所述逻辑 NMOS 晶体管区和所述 I/O PMOS 晶体管区中以设定所述 I/O PMOS 晶体管的阈值电压  $V_T$ ;

在掩蔽所述 I/O NMOS 及 I/O PMOS 晶体管区的情况下,植入 N 型掺杂剂以在所述逻辑 PMOS 晶体管区中形成 NWELL 区;及

在掩蔽所述 I/O NMOS 及 I/O PMOS 晶体管区的情况下,植入 P 型掺杂剂以在所述逻辑 NMOS 晶体管区中形成 PWELL 区。

2. 根据权利要求 1 所述的方法,其中将所述 P 型掺杂剂植入到所述 I/O NMOS 晶体管区中以设定所述 I/O NMOS 晶体管阈值电压的步骤包括将 P 型掺杂剂植入到所述逻辑 NMOS 晶体管区、所述逻辑 PMOS 晶体管区及所述 I/O PMOS 晶体管区中。

3. 根据权利要求 2 所述的方法,其中在掩蔽所述逻辑 NMOS 晶体管区、所述 I/O NMOS 晶体管区及所述 I/O PMOS 晶体管区的情况下完成植入所述 N 型掺杂剂以在所述逻辑 PMOS 晶体管区中形成所述 NWELL 区。

4. 根据权利要求 3 所述的方法,其中在掩蔽所述逻辑 PMOS 晶体管区、所述 I/O NMOS 晶体管区及所述 I/O PMOS 晶体管区的情况下完成植入所述 P 型掺杂剂以在所述逻辑 NMOS 晶体管区中形成所述 PWELL 区。

5. 根据权利要求 1 所述的方法,其中在掩蔽所述逻辑 NMOS 晶体管区、所述 I/O NMOS 晶体管区及所述 I/O PMOS 晶体管区的情况下完成植入所述 N 型掺杂剂以在所述逻辑 PMOS 晶体管区中形成所述 NWELL 区。

6. 根据权利要求 1 所述的方法,其中在掩蔽所述逻辑 PMOS 晶体管区、所述 I/O NMOS 晶体管区及所述 I/O PMOS 晶体管区的情况下植入所述 P 型掺杂剂以在所述逻辑 NMOS 晶体管区中形成所述 PWELL 区。

## 具有不同阈值电压的 CMOS 晶体管制作

### 技术领域

[0001] 本发明涉及包含设定双电压 CMOS 晶体管装置的阈值电压 ( $V_T$ ) 的半导体装置制作方法。

### 背景技术

[0002] 利用互补金属氧化物半导体 (CMOS) 制作技术来制作半导体装置通常涉及在单个裸片衬底上形成高电压及低电压操作晶体管。

[0003] 低供应电压晶体管 (通常为逻辑或核心晶体管) 在芯片内部使用。逻辑晶体管通常在裸片或芯片 (下文称“芯片”) 的中心部分中且针对高堆填密度及性能而优化。逻辑晶体管较小且具有薄栅极氧化物层以使低电压下的速度最大化。

[0004] 高供应电压晶体管通常用于与外部装置 / 芯片通信, 因此被标示为输入 / 输出 (I/O) 晶体管。这些晶体管较大且具有较厚栅极氧化物层以实现可靠的高电压操作。两个不同供应电压的使用需要两个不同栅极氧化物厚度。举例来说, I/O 晶体管通常可具有为逻辑晶体管的 2 到 4 倍厚的栅极氧化物厚度。

[0005] 由逻辑晶体管及 I/O 晶体管接收的植入之间的变化需要使用两组单独的掩模。优化两个组需要 4 到 5 个额外掩模。针对低电压及高电压晶体管两者使用相同植入的测试, 尽管从制作观点来看为优选的, 但其并未提供满足必需使用寿命及性能规格的高电压晶体管。逻辑晶体管所必需的高掺杂致使外围 I/O 晶体管具有过高的电场, 即使针对这些晶体管增加氧化物厚度。因此, 尽管逻辑晶体管阈值电压 ( $V_T$ ) 处于目标值, 但 I/O 晶体管阈值电压 ( $V_T$ ) 过高且 I/O 晶管的性能降级。

[0006] 图 2A 到 2D 描绘用于形成具有逻辑 NMOS 晶体管、逻辑 PMOS 晶体管、I/O NMOS 晶体管及 I/O PMOS 晶体管的隔离区的半导体装置的常规方法。在图 2A 中, 执行毯覆式 P 型衬底植入 40 以设定 I/O NMOS 晶体管的阈值电压 ( $V_T$ )。在图 2B 中, 常规 I/O PMOS 晶体管、逻辑 PMOS 晶体管及 I/O NMOS 晶体管由光致抗蚀剂 50 覆盖, 从而仅暴露逻辑 NMOS 区以在逻辑 NMOS 晶体管中在 55 处形成 DNWELL。

[0007] 在图 2C 中, 当执行标准 NWELL 图案 (见 65) 以形成逻辑 PMOS 晶体管时, 还通过光致抗蚀剂 60 将 I/O PMOS 晶体管暴露于 NWELL 植入。在图 2D 中, 当通过使用光致抗蚀剂 70 在常规逻辑 NMOS 晶体管中执行 PWELL 图案 (见 75) 时, 还将 I/O NMOS 晶体管暴露于 PWELL 植入。I/O NMOS 晶体管的此暴露可能影响 I/O NMOS 晶体管的先前在图 2A 中经设定的阈值电压。

[0008] 因此, 需要提供用于 CMOS 装置的具有适合 I/O 晶体管阈值电压 ( $V_T$ ) 但不使用额外掩模的制作方法。

### 发明内容

[0009] 制作 CMOS 晶体管的所描述的实例性方法包含提供包含逻辑 NMOS 晶体管、逻辑 PMOS 晶体管、I/O NMOS 晶体管及 I/O PMOS 晶体管的隔离区的半导体衬底。可接着通过在

所述 I/O NMOS 晶体管中植入 P 型掺杂剂来设定所述 I/O NMOS 晶体管的阈值电压 ( $V_T$ ) ;且可通过在所述 I/O PMOS 晶体管中植入 N 型掺杂剂来设定所述 I/O PMOS 晶体管的阈值电压 ( $V_T$ )。通过掩蔽具有经设定  $V_T$  的 I/O NMOS 晶体管及具有经设定  $V_T$  的 I/O PMOS 晶体管两者,可接着在所述逻辑 PMOS 晶体管中形成 NWELL 区,且可接着在所述逻辑 NMOS 晶体管中形成 PWELL 区。

[0010] 可在包含逻辑 NMOS 晶体管、逻辑 PMOS 晶体管、I/O NMOS 晶体管及 I/O PMOS 晶体管的隔离区的半导体衬底中形成所描述的实例性 CMOS 晶体管。可在所述半导体衬底的每一隔离区中执行 P 型掺杂剂的毯覆式植入以设定所述 I/O NMOS 晶体管的阈值电压 ( $V_T$ )。可通过在掩蔽所述逻辑 PMOS 晶体管及所述 I/O NMOS 晶体管两者的情况下在所述 I/O PMOS 晶体管中植入 N 型掺杂剂来设定所述 I/O PMOS 晶体管的阈值电压 ( $V_T$ )。可接着掩蔽具有经设定  $V_T$  的 I/O NMOS 晶体管、具有经设定  $V_T$  的 I/O PMOS 晶体管及逻辑 NMOS 晶体管以在所述逻辑 PMOS 晶体管中形成 NWELL 区。此后跟掩蔽具有经设定  $V_T$  的 I/O NMOS 晶体管、具有经设定  $V_T$  的 I/O PMOS 晶体管及逻辑 PMOS 晶体管以在所述逻辑 NMOS 晶体管中形成 PWELL 区。

[0011] 可在包含逻辑 NMOS 晶体管、逻辑 PMOS 晶体管、I/O NMOS 晶体管及 I/O PMOS 晶体管的隔离区的半导体衬底中形成所描述的实例性 CMOS 晶体管。可在所述半导体衬底的每一隔离区中执行硼的毯覆式植入以设定所述 I/O NMOS 晶体管的阈值电压 ( $V_T$ )。可任选地通过表面硼植入来调整所述 I/O NMOS 晶体管的经设定  $V_T$ 。通过掩蔽所述逻辑 PMOS 晶体管及所述 I/O NMOS 晶体管两者,可在所述逻辑 NMOS 晶体管及所述 I/OPMOS 晶体管两者中形成深 NWELL 以便设定所述 I/O PMOS 晶体管的阈值电压 ( $V_T$ )。可任选地通过表面 N 型植入来调整所述 I/O PMOS 晶体管的经设定  $V_T$ 。可通过掩蔽具有经设定  $V_T$  的 I/O NMOS 晶体管、具有经设定  $V_T$  的 I/O PMOS 晶体管及逻辑 NMOS 晶体管而在所述逻辑 PMOS 晶体管中形成 NWELL 区。可通过掩蔽具有经设定  $V_T$  的 I/ONMOS 晶体管、具有经设定  $V_T$  的 I/O PMOS 晶体管及所述逻辑 PMOS 晶体管而在所述逻辑 NMOS 晶体管中形成 PWELL 区。

## 附图说明

[0012] 参考附图来描述实例性实施例,附图中:

[0013] 图 1A 到 1D 描绘在各种制作阶段处的实例性半导体装置。

[0014] 图 2A 到 2D 描绘在对应于图 1A 到 1D 的那些制作阶段的制作阶段处的常规半导体装置。

## 具体实施方式

[0015] 所描述的实例性实施例图解说明用于制作双供应电压 CMOS 装置以获得所要 I/O 晶体管阈值电压的方法。可在包含用于逻辑 NMOS 晶体管、逻辑 PMOS 晶体管、I/O NMOS 晶体管及 I/O PMOS 晶体管的隔离区的半导体衬底中制作双供应电压 CMOS 装置。双供应电压 CMOS 装置的制作可包含首先将 I/O NMOS 及 I/O PMOS 晶体管中的每一者的阈值电压 ( $V_T$ ) 设定及 / 或调整为所要电平。可接着在掩蔽 I/O NMOS 及 PMOS 晶体管而不影响 I/O 晶体管的经设定 / 调整  $V_T$  的情况下形成逻辑 NMOS 及逻辑 PMOS 晶体管。

[0016] 图 1A 到 1D 描绘在各种制作阶段处的实例性半导体装置。出于比较目的,图 2A 到

2D 描绘在常规制作工艺的对应阶段处的半导体装置。

[0017] 如图 1A 中所展示,实例性制作工艺以在半导体衬底 110(举例来说,硅衬底)中形成隔离结构 120 而开始。隔离结构 120 可为 LOCOS(硅的局部氧化)氧化、浅沟槽隔离(STI)或其它隔离结构。图 1A 到 1D 描绘 STI 结构以作为代表实例性结构。图 1A 中的衬底 110 可包含用于逻辑 NMOS 晶体管、逻辑 PMOS 晶体管、I/O NMOS 晶体管及 I/O PMOS 晶体管中的一者或一者以上的隔离区。可生长薄的可弃氧化物层 130 以在用以形成所揭示 CMOS 装置的后续植入期间保护衬底 110 的实例性硅表面。

[0018] 在若干实施例中,在 I/O NMOS 晶体管中执行 I/O NMOS  $V_T$  植入以设定 I/O NMOS 晶体管的阈值电压 ( $V_T$ )。在一个实施例中,在图 1A 的 140 处,在半导体衬底 110 的每一隔离区中执行毯覆式 P 型植入,举例来说,毯覆式 PWELL 硼植入。实例性毯覆式 P 型植入还可用于将 I/O NMOS 晶体管的随后形成的 NWELL 与逻辑 NMOS 晶体管的 NWELL 隔离。I/O NMOS 晶体管及逻辑 NMOS 晶体管中的 NWELL 形成可使用所属领域的技术人员已知的常规程序。

[0019] 应注意,尽管可在图 1A 及图 2A 的两种情况中执行毯覆式 P 型衬底植入 140,但所揭示装置(见图 1A)的植入剂量、能量及 / 或深度可不同于常规装置(见图 2A)。举例来说,图 2A 中针对常规 I/O NMOS  $V_T$  植入的 P 型衬底植入 40 可具有在约 300KeV 到约 500KeV 的能量下约  $1e11$  原子 /  $cm^2$  到约  $1e12$  原子 /  $cm^2$  的硼植入剂量以将常规 I/O NMOS 晶体管的阈值电压  $V_T$  设定为约 0.1V 到约 0.2V。相比之下,图 1A 中针对所揭示 I/O NMOS  $V_T$  的毯覆式 P 型衬底植入 140 可具有在约 300KeV 到约 500KeV 的能量下约  $1e12$  原子 /  $cm^2$  到约  $1e13$  原子 /  $cm^2$  的硼植入剂量以将所揭示 I/O NMOS 晶体管的  $V_T$  设定为所要  $V_T$  电平或接近于所要  $V_T$  电平。

[0020] 在一些实施例中,可执行额外表面 P 型植入以调整通过 140 处的毯覆式 P 型植入设定的 I/O NMOS 晶体管的  $V_T$ 。在若干实施例中,可将 I/O NMOS 晶体管的阈值电压 ( $V_T$ ) 设定及 / 或调整为介于从约 0.2V 到约 1.0V 或从约 0.2V 到约 0.7V 或从约 0.3V 到约 1.0V 的范围内的所要电平。

[0021] 如图 1A 中所展示,虽然逻辑 PMOS 及 / 或 I/O PMOS 晶体管还可接收 P 型植入,但这些 P 型植入可由后续 N 型植入来补偿,举例来说,如图 1B 及图 1C 中所展示。

[0022] 在若干实施例中,可(举例来说)通过 I/O PMOS 晶体管中的 I/O PMOS  $V_T$  植入来设定及 / 或调整 I/O PMOS 晶体管的阈值电压 ( $V_T$ )。在一个实施例中,如图 1B 中所展示,沉积并图案化光致抗蚀剂 150 以覆盖逻辑 PMOS 晶体管及 I/O NMOS 晶体管且暴露 I/O PMOS 晶体管及逻辑 NMOS 晶体管。接着在 155 处将 N 型植入施加到 I/O PMOS 晶体管及逻辑 NMOS 晶体管的经暴露区。因此,可如在常规三阱 CMOS 工艺中所类似执行而在逻辑 NMOS 晶体管中形成深 NWELL(即, DNWELL)。在若干实施例中,深 NWELL 植入可为轻补偿 N 型植入,所述轻补偿 N 型植入又可由接下来在逻辑 NMOS 晶体管中的重 P 型阱 / 沟道停止植入来补偿。

[0023] 通过使用常规上存在的 DNWELL 掩模,光致抗蚀剂 150 也可使 DNWELL 形成通向 I/O PMOS 晶体管。此不同于图 2B 中所展示的对常规制造步骤,其中常规 I/O PMOS 晶体管以及逻辑 PMOS 晶体管及 I/O NMOS 晶体管由光致抗蚀剂 50 覆盖,从而仅暴露逻辑 NMOS 区以在逻辑 NMOS 晶体管中形成 DNWELL。

[0024] 如本文中所揭示,深 NWELL 植入可为将 I/O PMOS 晶体管的  $V_T$  设定为所要  $V_T$  电平的 I/O PMOS  $V_T$  植入。举例来说,可在介于从约 500keV 到约 700KeV 的范围内能量下以介于



转 N 型及 P 型区的位置及 / 或形成次序。

[0034] 所属领域的技术人员将了解, 其它实施例及变化形式可在所主张发明的范围内; 且即使为简洁或简单起见, 特征或步骤是在具有这些特征或步骤中的全部或仅一些的实例性实施例的背景中加以描述的, 本发明也既定涵盖具有所描述特征或步骤中的一者或一者以上的不同组合的实施例。

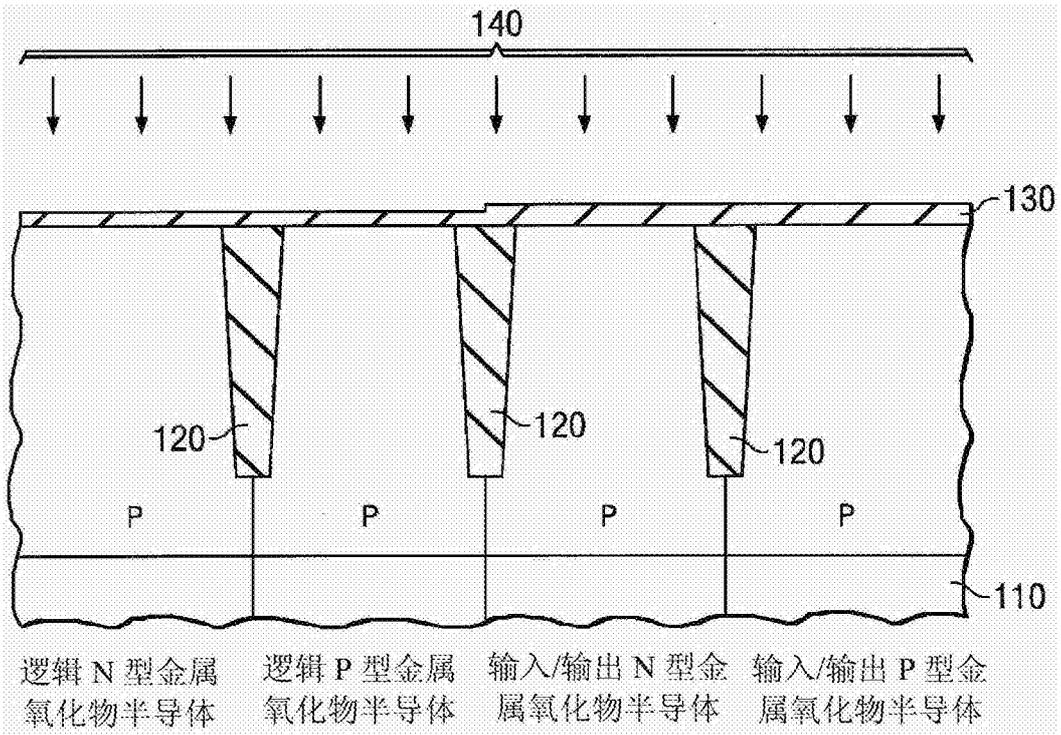


图 1A

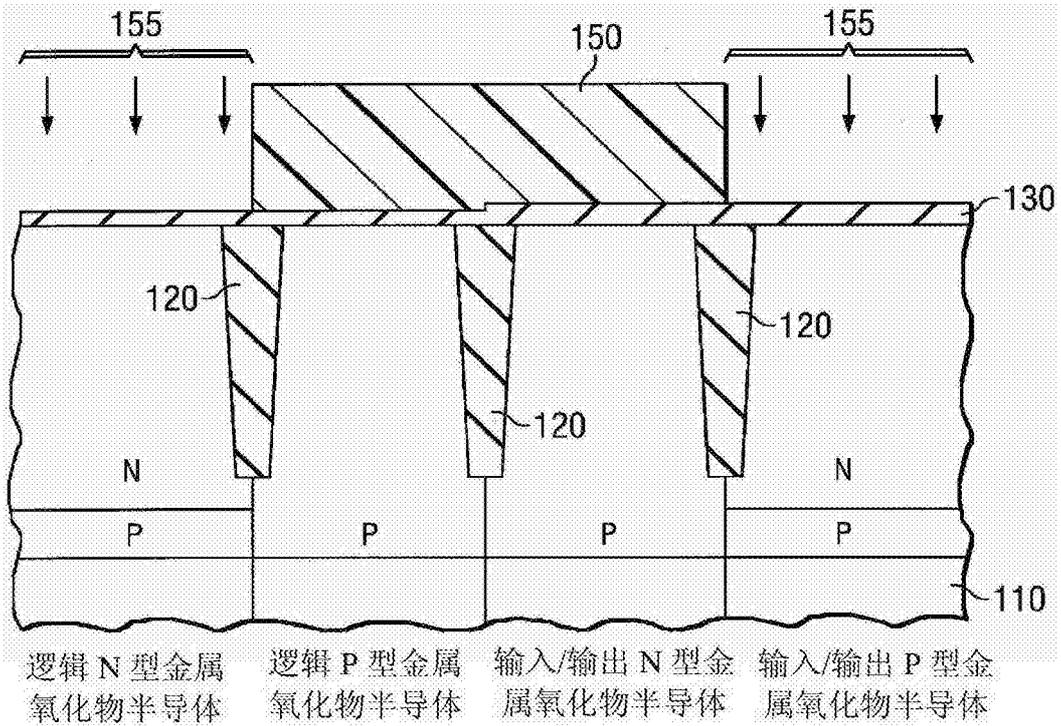


图 1B

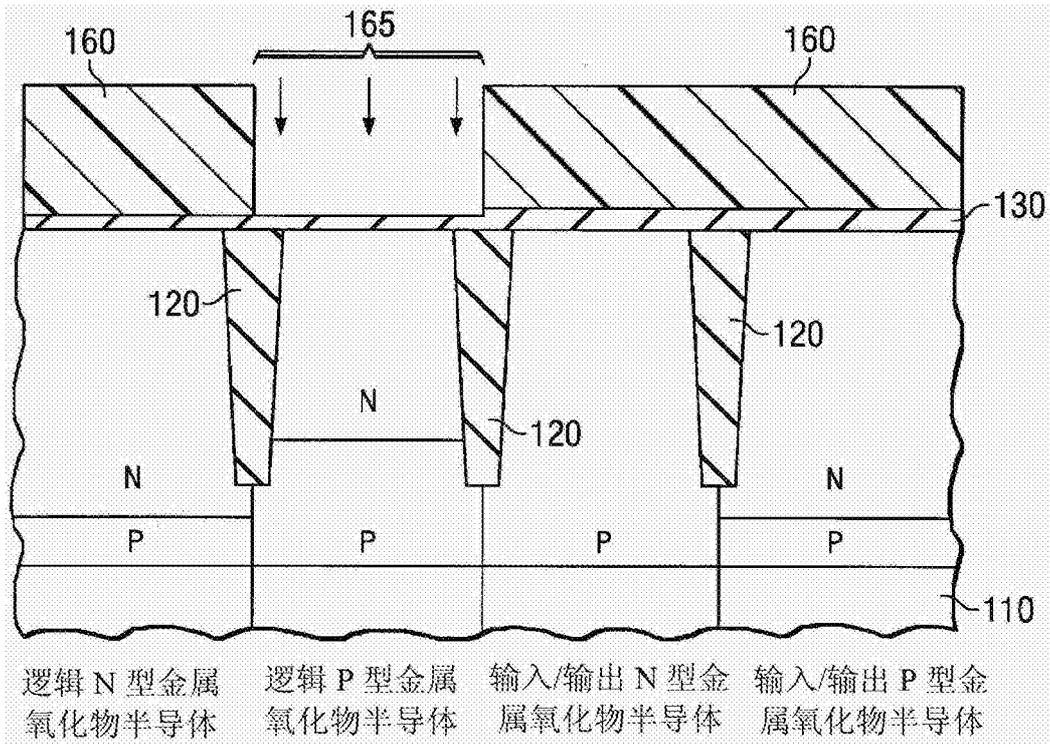


图 1C

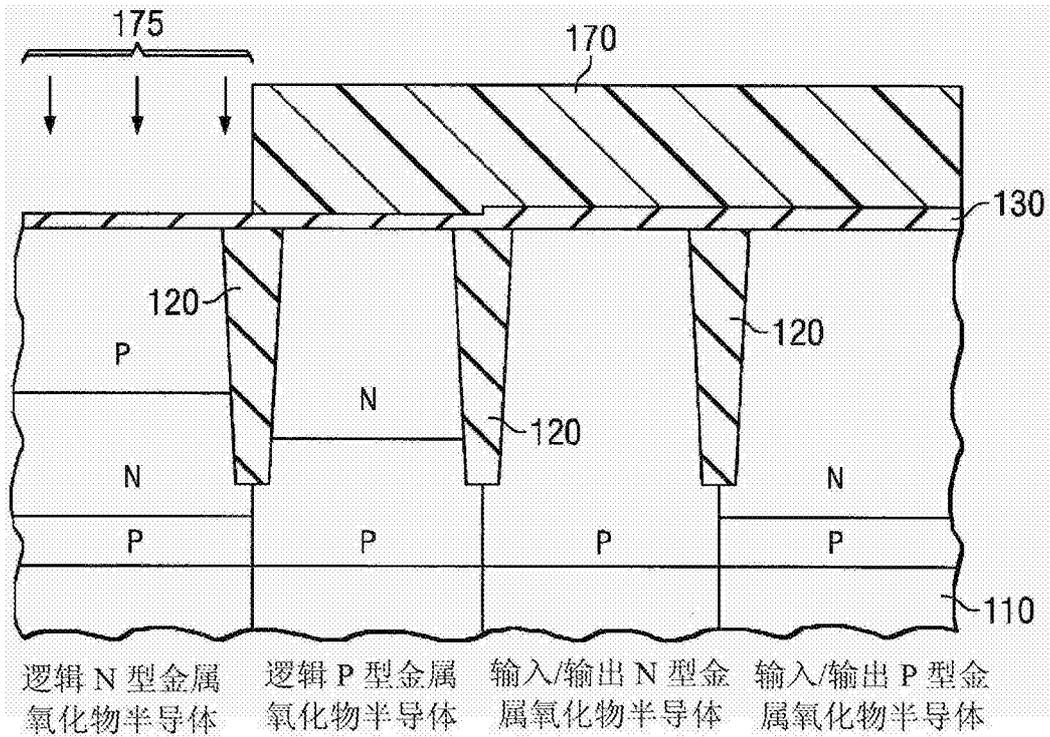


图 1D

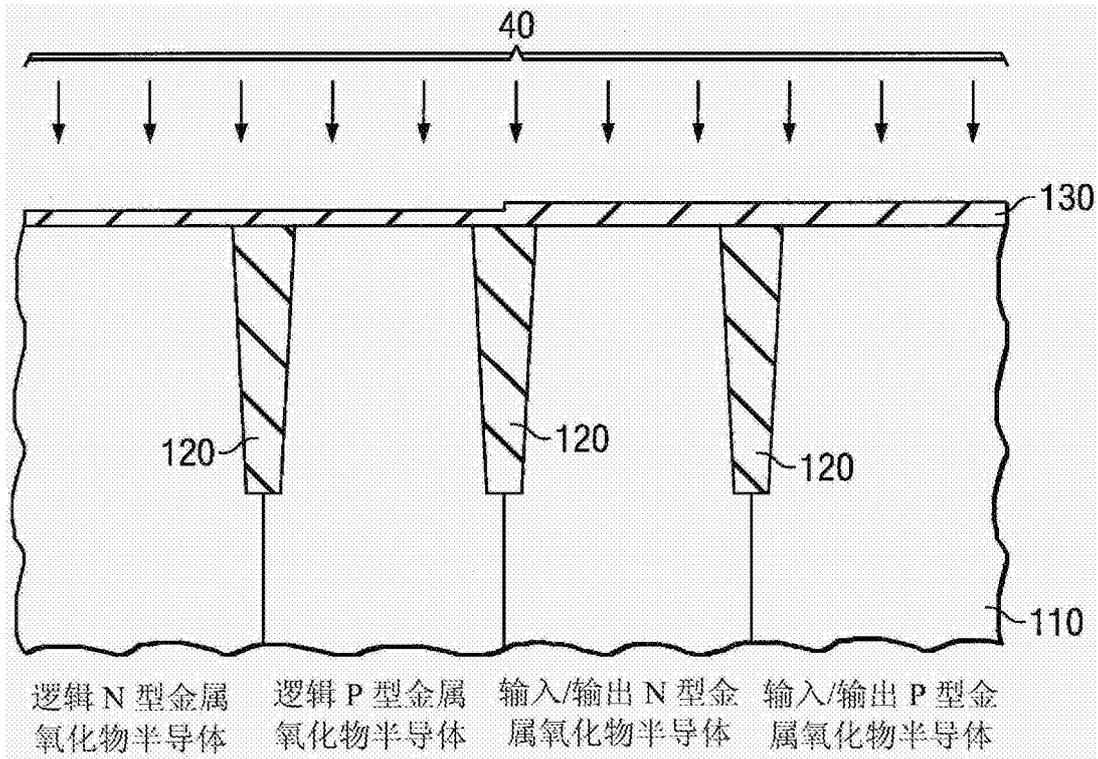


图 2A(现有技术)

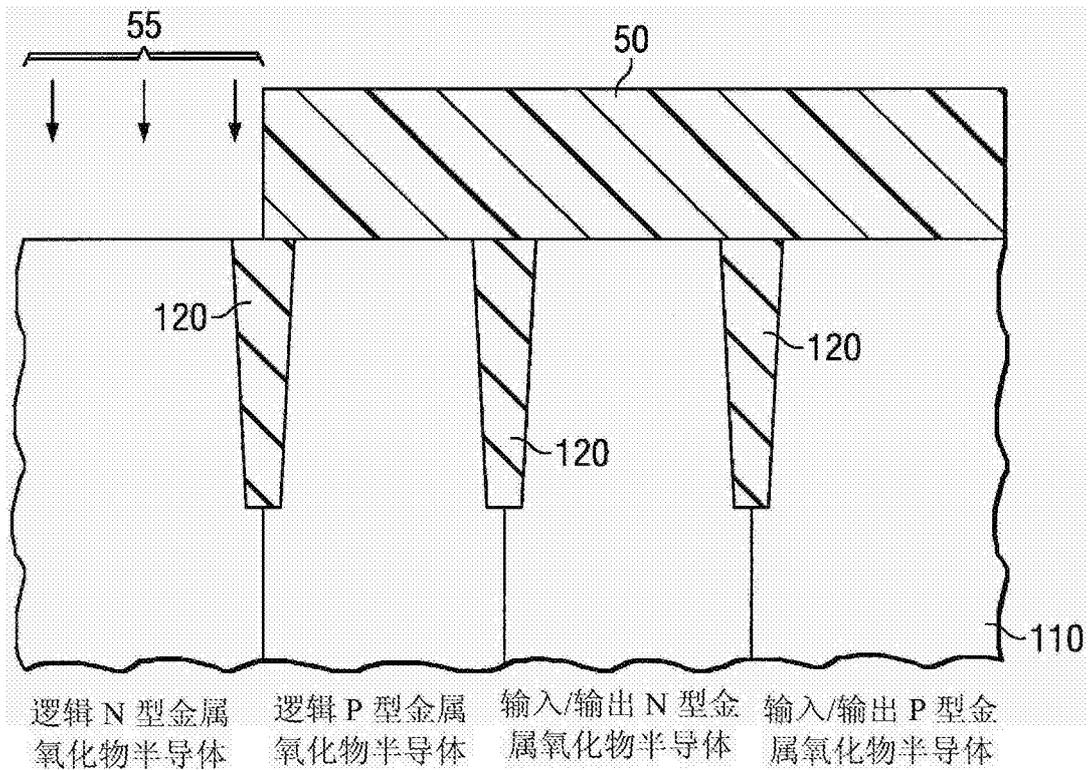


图 2B(现有技术)

