



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2012년02월21일
(11) 등록번호 10-1111466
(24) 등록일자 2012년01월26일

(51) Int. Cl.

G06F 13/36 (2006.01) G06F 13/14 (2006.01)

G06F 1/32 (2006.01)

(21) 출원번호 10-2006-7006808

(22) 출원일자(국제출원일자) 2004년09월22일

심사청구일자 2009년09월22일

(85) 번역문제출일자 2006년04월07일

(65) 공개번호 10-2006-0123111

(43) 공개일자 2006년12월01일

(86) 국제출원번호 PCT/US2004/031053

(87) 국제공개번호 WO 2005/038563

국제공개일자 2005년04월28일

(30) 우선권주장

10/682,571 2003년10월09일 미국(US)

(56) 선행기술조사문헌

US05428799 A1*

US20030182492 A1*

*는 심사관에 의하여 인용된 문헌

(73) 특허권자

프리스케일 세미컨덕터, 인크.

미국 텍사스 오스틴 윌리엄 캐논 드라이브 웨스트 6501

(72) 발명자

베드웰, 르얀, 디.

미국 텍사스 78640, 카일, 호간 159

크루즈, 아날도, 알.

미국 텍사스 78739, 오스틴, 니드햄 레인 6535

(뒷면에 계속)

(74) 대리인

정상구, 장훈

전체 청구항 수 : 총 3 항

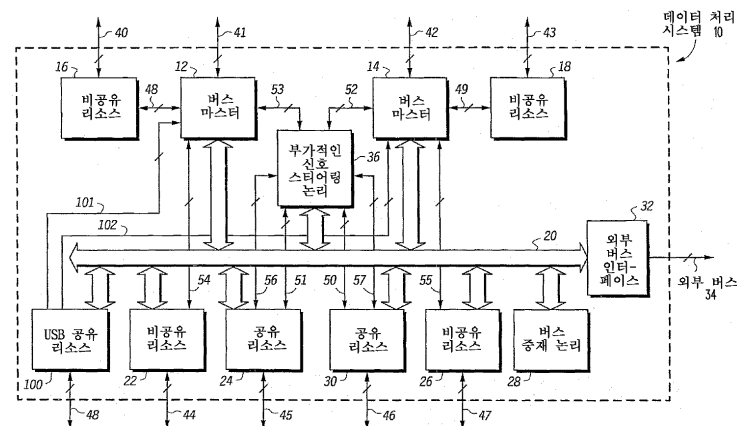
심사관 : 엄인권

(54) 멀티-마스터 공유 리소스 시스템에 이용하기 위한 통신인터페이스

(57) 요약

누설 전류는 메모리 어레이와 인터페이스하는 처리기(18)를 가진 처리 시스템(12)의 저전력 모드 동안 메모리 어레이(28)에서 제거된다. 두 개의 전력 평면들이 생성되기 때문에, 처리기(18)는 어레이의 전력이 다운될 때 메모리 어레이(28)를 바이패싱하면서 시스템 메모리(80)를 이용하여 명령들을 계속 실행할 수 있다. 스위치(56)는 처리기와 다른 장소에서 시스템에서 동작하는 소스로부터 또는 명령 실행을 유발하는 처리기 시작 제어에 응답하여 공급 전압 터미널에 전기 접속을 선택적으로 제거한다. 메모리 어레이(28)에 전력의 복구 후, 데이터는 메모리 어레이에 두개의 전력 평면들 지원 어레이들이 배치되는지에 따라 이용할 수 없는 것으로 마크되거나 마크되지 않을 수 있다. 미리 결정된 기준은 전력 복구 타이밍을 제어하기 위하여 이용될 수 있다. 다중 어레이들은 누설 전류를 독립적으로 감소시키기 위하여 실행될 수 있다.

대표도



(72) 발명자

바그리카, 존, 제이.

미국 텍사스 78748, 오스틴, 크릭 뷰 드라이브
10622

모이어, 윌리엄, 씨.

미국 텍사스 78620, 드리핑 스프링스, 피어 브랜치
로드 1005

특허청구의 범위

청구항 1

데이터 처리 시스템에 있어서:

시스템 버스;

상기 시스템 버스에 결합된 제 1 버스 마스터;

상기 시스템 버스에 결합된 제 2 버스 마스터;

상기 시스템 버스에 결합되어 상기 제 1 버스 마스터 및 상기 제 2 버스 마스터에 의해 이용가능한 리소스를 포함하고, 상기 리소스는:

복수의 엔드 포인트들을 포함하는 엔드 포인트 저장 회로로서, 상기 복수의 엔드 포인트들의 각각은 상기 제 1 버스 마스터 및 상기 제 2 버스 마스터 중 적어도 하나에 할당가능하고 상기 복수의 엔드 포인트들의 각각의 할당가능성은 프로그램 가능한, 상기 엔드 포인트 저장 회로; 및

상기 엔드 포인트 저장 회로에 결합된 제어기를 포함하고, 상기 제어기는:

인터럽트 스티어링 레지스터들;

상기 인터럽트 스티어링 레지스터들에 의해 제공되는 스티어링 정보에 기초하여 인터럽트들을 상기 제 1 버스 마스터 및 제 2 버스 마스터 중 대응하는 하나로 라우팅하도록 구성된 인터럽트 스티어링 논리로서, 상기 복수의 엔드 포인트들은 상기 인터럽트 스티어링 레지스터들에 기초하여 할당되는, 상기 인터럽트 스티어링 논리;

상기 리소스와 상기 제 1 버스 마스터 및 상기 제 2 버스 마스터 중 적어도 하나 간의 통신 경로를 확립하도록 구성된 신호 스티어링 논리로서, 상기 통신 경로는 상기 리소스에서의 프로그램 가능한 엔드 포인트 회로에 의해 결정되고, 상기 리소스와 상기 제 1 버스 마스터 및 상기 제 2 버스 마스터 중 적어도 하나 간의 상기 통신 경로에 어떠한 부가적인 스티어링 논리도 요구되지 않는, 상기 신호 스티어링 논리; 및

상기 시스템 버스로부터 분리되고, 상기 통신 경로를 통하여 상기 리소스와 상기 제 1 및 제 2 버스 마스터들 중 적어도 하나 간에 부가적인 신호를 전달하기 위한 도전체를 포함하는, 데이터 처리 시스템.

청구항 2

삭제

청구항 3

데이터 처리 시스템에 있어서:

시스템 버스;

상기 시스템 버스에 결합된 제 1 버스 마스터;

상기 시스템 버스에 결합된 제 2 버스 마스터;

상기 시스템 버스에 결합된 리소스로서, 상기 리소스는:

복수의 엔드 포인트들을 포함하는 엔드 포인트 저장 회로로서, 상기 복수의 엔드 포인트들의 각각은 상기 제 1 버스 마스터 및 상기 제 2 버스 마스터 중 적어도 하나에 할당 가능하고, 상기 복수의 엔드 포인트들의 각각의 할당 가능성은 프로그램 가능한, 상기 엔드 포인트 저장 회로와;

프로그램 가능 회로로서, 상기 프로그램 가능 회로는:

인터럽트 스티어링 레지스터들; 및

인터럽트 스티어링 논리로서, 상기 인터럽트 스티어링 논리는 상기 인터럽트 스티어링 레지스터들에 의해 제공되는 스티어링 정보에 기초하여 인터럽트들을 상기 제 1 버스 마스터 및 상기 제 2 버스 마스

터 중 대응하는 하나에 라우팅하고, 상기 복수의 엔드 포인트들은 상기 인터럽트 스티어링 레지스터들에 기초하여 할당 가능한, 상기 인터럽트 스티어링 논리를 포함하는 상기 프로그램 가능 회로를 포함하는 상기 리소스;

상기 리소스와 상기 제 1 및 제 2 버스 마스터 중 적어도 하나 간의 통신 경로를 확립하는 스티어링 논리로서, 상기 통신 경로는 상기 리소스에서의 상기 프로그램 가능 회로에 의해 결정되고, 상기 리소스와 상기 제 1 버스 마스터 및 상기 제 2 버스 마스터 중 적어도 하나 간의 상기 통신 경로에 어떠한 추가적인 스티어링 논리도 요구되지 않는, 상기 스티어링 논리; 및

상기 시스템 버스로부터 분리되고, 상기 리소스와 상기 제 1 및 제 2 버스 마스터들 중 적어도 하나 간에 추가적인 신호를 전달하기 위한 도전체를 포함하는, 데이터 처리 시스템.

청구항 4

삭제

청구항 5

방법에 있어서:

시스템 버스에 결합된 제 1 버스 마스터를 제공하는 단계;

상기 시스템 버스에 결합된 제 2 버스 마스터를 제공하는 단계;

상기 시스템 버스에 결합된 리소스를 제공하는 단계;

상기 리소스에서의 프로그램 가능 회로를 제공하는 단계로서:

상기 리소스는 복수의 엔드 포인트들을 포함하는 엔드 포인트 저장 회로를 포함하고, 상기 복수의 엔드 포인트들의 각각은 상기 제 1 버스 마스터 및 제 2 버스 마스터 중 적어도 하나에 할당 가능하고, 상기 복수의 엔드 포인트들의 각각의 할당 가능성은 프로그램 가능하고,

상기 프로그램 가능 회로는:

인터럽트 스티어링 레지스터들과;

인터럽트 스티어링 논리로서, 상기 인터럽트 스티어링 논리는 상기 인터럽트 스티어링 레지스터들에 의해 제공되는 스티어링 정보에 기초하여 인터럽트들을 상기 제 1 버스 마스터 및 상기 제 2 버스 마스터 중 대응하는 하나에 라우팅하고, 상기 복수의 엔드 포인트들은 상기 인터럽트 스티어링 레지스터들에 기초하여 할당되는, 상기 인터럽트 스티어링 논리를 포함하는, 상기 리소스에서의 프로그램 가능 회로를 제공하는 단계;

상기 리소스와 상기 제 1 버스 마스터 및 상기 제 2 버스 마스터 중 적어도 하나 간에 통신 경로를 확립하는 단계로서, 상기 통신 경로는 상기 리소스에서의 상기 프로그램 가능 회로에 의해 결정되고, 상기 리소스와 상기 제 1 버스 마스터 및 상기 제 2 버스 마스터 중 적어도 하나 간의 상기 통신 경로에서 어떠한 추가적인 스티어링 논리도 요구되지 않는, 상기 통신 경로를 확립하는 단계; 및

상기 시스템 버스로부터 분리되고, 상기 통신 경로를 통하여 상기 리소스와 상기 제 1 및 제 2 버스 마스터들 중 적어도 하나 간에 추가적인 신호를 전달하는 단계를 포함하는, 방법.

청구항 6

삭제

청구항 7

삭제

청구항 8

삭제

청구항 9

삭제

명세서

기술 분야

[0001] 본 발명은 통신 스티어링(communication steering), 특히 멀티-마스터 공유 리소스 시스템에 이용하기 위한 통신 스티어링에 관한 것이다.

배경 기술

[0002] 다중 버스 마스터들은 데이터 처리 시스템들에 종종 이용되기 때문에, 이들 멀티-마스터들 및 하나 이상의 공유된 리소스들 사이에 통신을 제공하기 위한 새로운 방법이 필요하다. 공유될 필요가 있는 리소스의 하나의 예는 유니버설 시리얼 버스(USB) 표준과 일치하는 회로이다. USB는 유니버설 시리얼 버스-임플리먼트 포럼(Universal Serial Bus-Implementers Forum; USB-IF)에 의해 표준으로서 정의된다. 불행히도, USB 표준은 멀티-마스터 시스템의 엔드포인트들(endpoints)에서 공유된 제어를 허용하는 메커니즘을 포함하지 않는다.

발명의 상세한 설명

[0003] 본 발명은 예시적으로 도시되고 첨부 도면들에 의해 제한되지 않고, 유사한 참조부호는 유사한 소자들을 가리킨다.

실시예

[0008] 당업자들은 도면들의 소자들이 간략화 및 명확화를 위하여 도시되고 필수적으로 비례적일 필요가 없다는 것을 인식한다. 예를 들어, 도면들에서 일부 소자들의 크기들은 본 발명의 소자들의 이해를 개선하기 위하여 다른 소자들에 비해 과장될 수 있다.

[0009] USB 사양은 USB 장치에 잔류하는 데이터 및 제어 채널들로서 USB 엔드포인트들의 사용을 규정한다. USB 엔드포인트들은 소스 또는 데이터 싱크(sink)이고 메모리들 및 부가적인 논리로 실행되고, 단일 처리기 또는 마이크로 제어기에 의해 제어된다. 몇몇 경우들에서, 하나의 처리기에 의해 제어되는 특정 수의 엔드포인트들을 가지며, 다른 엔드포인트들이 다른 처리기에 의해 제어되어, 모든 엔드포인트들의 공유 제어를 제공하는 것이 바람직하다.

[0010] "공유 리소스"가 복수의 마스터들(예를 들어 버스 마스터들 12,14)에 의해 잠재적으로 액세스할 수 있는 리소스를 의미하기 위하여 이용된다는 것이 주의된다. 상기 시스템은 하나 이상의 상기 복수의 버스 마스터들에 의해 공유된 리소스의 소유를 허용하고, 소유 마스터들이 비자신 마스터들에 의해 리소스에 액세스할 수 있음을 결정하게 한다. 본 발명의 일실시예에서, 만약 리소스가 제로 마스터들에 의해 소유되면(즉, 마스터가 없음), 마스터는 다른 마스터들에 의하여 리소스에 액세스 가능성을 결정하기 위한 권리를 갖지 못한다. 소유되지 않은 리소스에 대한 액세스 가능성은 다양한 방식으로 결정될 수 있다. 일실시예로서, 임의의 마스터는 소유되지 않은 리소스에 전체적인 액세스를 가질 수 있다. 다른 실시예들은 다른 방식으로 소유되지 않은 리소스에 액세스 가능성을 결정할 수 있다. 몇몇 실시예들에서, 임의의 마스터에 의해 소유되지 않은 리소스는 모든 마스터들이 잠재적으로 소유권을 요구하게 한다. 따라서 몇몇 실시예들에 대하여, 소유권은 포기될 수 있다. 본 발명의 몇몇 실시예들에서, 만약 리소스가 복수의 마스터들에 의해 소유되면, 리소스는 소유되지 않은 것으로 간주된다. 본 발명의 다른 실시예들에서, 만약 리소스가 복수의 마스터들에 의해 소유되면, 리소스에 대한 액세스 가능성은 상기 복수의 소유한 마스터들에 의해 함께 결정될 수 있다.

[0011] 도 1은 본 발명의 일실시예에 따른 데이터 처리 시스템(10)을 블록도 형태로 도시한다. 본 발명의 일실시예에서, 데이터 처리 시스템(10)은 복수의 버스 마스터들(12,14), 복수의 공유 리소스들(24,30,100) 및 통신을 용이하게 하기 위하여 버스(20)에 양방향으로 결합된 복수의 비공유 리소스들(22,26)을 포함한다. 도 1의 실시예에

서, 버스 마스터들(12,14)은 처리 같은 단일 버스 마스터, 또는 하나 이상의 처리기들 및 지원회로를 포함하는 서버 시스템을 나타낼 수 있다. 공유된 리소스들(23,30,100)은 하나 이상의 버스 마스터(12,14)에 의해 선택적으로 공유될 수 있다는 것을 주의한다. 비공유 리소스들(22,26)은 버스 마스터(12,14)에 의해 공유되지 않고, 따라서 버스 마스터들(12,14) 중 하나에 의해서만 액세스된다. 여기에 이용된 바와 같이, 용어 "버스"는 데이터, 어드레스들, 제어, 또는 상태 같은 하나 이상의 다양한 형태의 정보를 전달하기 위하여 이용될 수 있는 복수의 신호들 또는 도전체들을 말하기 위하여 이용된다. 용어들 "도전체" 및 "신호"는 여기에서 상호 교환적으로 이용된다. 본 발명의 일실시예에서, 버스(20)는 하나 이상의 버스 프로토콜들을 이용하여 실행된다. 버스 조정 논리(28)는 버스 마스터들(12,14) 중 하나가 버스(20)의 지배력을 가지는 것을 결정하기 위하여 버스 마스터들(12,14) 사이를 조정하기 위하여 이용된다.

[0012] 본 발명의 몇몇 실시예들에서, 버스 마스터(12)는 버스(20)보다 오히려 도전체들(48)에 의해 하나 이상의 비공유 리소스들(예를 들어 16)에 양방향으로 결합될 수 있다. 유사하게, 본 발명의 몇몇 실시예들에서, 버스 마스터(14)는 버스(20) 방식보다 오히려 도전체들(49)에 의해 하나 이상의 비공유 리소스들(예를 들어 18)에 양방향으로 결합될 수 있다. 도시된 실시예에서, 비공유 리소스(16)는 버스 마스터(12)에 의해서만 액세스되고, 버스 마스터(14)에 의해서는 액세스되지 않는다. 이와 같이, 비공유 리소스(18)는 버스 마스터(12)가 아닌 버스 마스터(14)에 의해서만 액세스된다. 본 발명의 몇몇 실시예들은 데이터 처리 시스템(10) 외부에 있는 외부 버스(34)에 버스(20)를 결합시킬 수 있는 외부 버스 인터페이스(32)를 포함한다. 본 발명의 일실시예에서, 데이터 처리 시스템(10)은 하나의 집적 회로에서 실행된다. 본 발명의 다른 실시예들은 임의의 적당한 회로를 이용하는 임의의 방식으로 데이터 처리 시스템(10)을 실행할 수 있다.

[0013] 본 발명의 몇몇 실시예들에서, 비공유 리소스(16)는 하나 이상의 터미널들(40)에 의해 데이터 처리 시스템(10) 외부의 회로에 결합되고; 버스 마스터(12)는 하나 이상의 터미널들(41)에 의해 데이터 처리 시스템(10) 외부의 회로에 결합되고; 버스 마스터(14)는 하나 이상의 터미널들(42)에 의해 데이터 처리 시스템(10) 외부의 회로에 결합되고; 비공유 리소스(18)는 하나 이상의 터미널들(43)에 의해 데이터 처리 시스템(10) 외부의 회로에 결합되고; USB 공유 리소스(100)는 하나 이상의 터미널들(48)에 의해 데이터 처리 시스템(10) 외부의 회로에 결합되고; 비공유 리소스(22)는 하나 이상의 터미널들(44)에 의해 데이터 처리 시스템(10) 외부의 회로에 결합되고; 공유된 리소스(24)는 하나 이상의 터미널들(45)에 의해 데이터 처리 시스템(10) 외부의 회로에 결합되고; 공유된 리소스(30)는 하나 이상의 터미널들(46)에 의해 데이터 처리 시스템(10) 외부의 회로에 결합되고; 및 비공유 리소스(26)는 하나 이상의 터미널들(47)에 의해 데이터 처리 시스템(10)의 외부 회로에 결합될 수 있다. 본 발명의 다른 실시예들은 터미널들(40-48)의 임의의 결합을 이용하거나 이용하지 않는다. 터미널들(40-48)은 임의의 이용 가능한 방식으로 실행될 수 있다.

[0014] 도 1을 계속 참조하여, 공유된 리소스(24)는 버스 마스터들(12 및 14)에 의해 공유된다. 또한, 공유된 리소스(24)는 버스 마스터 없이 소유되거나, 버스 마스터들(12 및 14) 중 하나에 의해 소유된다. USB 공유 리소스(10)는 하나 이상의 부분들이 버스 마스터들(12 및 14)에 의해 공유될 수 있도록 분할될 수 있다. 또한, USB 공유 리소스(100)는 하나 이상의 부분들이 버스 마스터를 가지지 않고 소유되거나, 버스 마스터들(12 및 14) 중 어느 하나에 의해 소유되도록 분할될 수 있다. 본 발명의 다양한 실시예들은 리셋(reset) 후 임의의 바람직한 방식으로 공유된 리소스, 또는 그것의 일부의 소유권을 할당할 수 있다. 예로서, 본 발명의 일실시예에서, USB 공유 리소스(10)의 모든 부분들은 미리 결정된 단일 버스 마스터(예를 들어, 버스 마스터 12)가 소유권을 가지도록 리셋에서 나올 수 있다.

[0015] 본 발명의 도시된 실시예에서, 부가적인 신호 스티어링 논리(36)는 버스 마스터 또는 버스 마스터들(12,14)이 하나 이상의 부가적인 신호들(56,57)을 수신하는 것을 결정하기 위하여 이용된다. 버스(20)에 포함된 신호들이 버스(20)에 의해 실행된 버스 프로토콜에 의해 정의된 신호들이나 것이 주의된다. 부가적인 신호들(56,57)은 데이터 처리 시스템(10)에서 버스 마스터들(12,14)의 서브세트에 선택적으로 제공될 수 있는 신호들을 포함한다. 본 발명의 다른 실시예에서, 만약 하나 이상의 버스 신호들이 버스 마스터들(12,14)의 서브세트에 선택적으로 제공될 필요가 있다면, 부가적인 신호 스티어링 논리(36)가 하나 이상의 버스 신호들(20)을 스티어링하기 위하여 이용될 수 있다는 것이 주의된다. 버스 마스터들(12,14)의 서브세트는 특정 경우들에서 모든 버스 마스터들의 풀 세트를 포함하지만; 일반적으로, 부가적인 신호들(56,57)은 데이터 처리 시스템(10)의 모든 버스 마스터들(12,14) 미만으로 스티어링된다는 것이 주의된다. 신호들(50 및 51)은 부가적인 신호들(56 및 57)의 스티어링을 위하여 제어 및/또는 상태를 제공하기 위해 이용된다.

[0016] 본 발명의 도시된 실시예에서, 부가적인 신호 스티어링 논리(36)는 부가적인 신호들(57)을 수신 및 스티어링하기 위하여 공유된 리소스(30)에 결합된다. 부가적인 신호들(57)은 각각 신호들(53 또는 52)에 의해 부가적인

신호 스티어링 논리(36)에 의해 공유된 리소스(30)와 적당한 버스 마스터(12, 14) 사이에서 스티어링될 필요가 있는 하나 이상의 신호들을 포함한다. 비록 부가적인 신호들(57)이 임의의 바람직한 기능을 가질지라도, 그들은 모든 버스 마스터들(12, 14)에 거의 동시에 제공되지 않고 버스 마스터들(12, 14)의 서브세트에만 제공되어야 하는 신호들이다. 부가적인 신호(57)의 일실시예는 공유된 리소스(30)의 소유권을 갖고 인터럽트에 반응할 필요가 있는 버스 마스터에 제공되고 스티어링되어야 하는 인터럽트 신호이다. 본 발명의 다른 실시예들은 총 버스 마스터들(예를 들어, 12, 14)의 서브세트로 임의의 바람직한 신호들을 스티어링하기 위하여 부가적인 신호 스티어링 논리(36)를 이용할 수 있다. 스티어링될 수 있는 다른 부가적인 신호들의 몇몇 실시예들은 리셋 신호들, DMA 요구 및 승인 신호들, 모드 제어 신호들(예를 들어, 전력 제어 모드들), 커스텀 프로토콜 핸드셰이크 신호들(custom protocol handshake signals), 사적 메시지 채널들(private message channels), 및 임의의 다른 바람직한 신호 또는 신호들이다. 본 발명의 몇몇 실시예들에 대하여, 하나 이상의 부가적인 신호들(57)이 선택된 환경하에서 버스 마스터들(12, 14)의 모두에 스티어링될 수 있는 실시예가 있다는 것이 주의된다. 게다가, 본 발명의 몇몇 실시예들에 대하여, 아무것도 없거나, 몇몇이 있거나, 모두가 있는 신호들(52, 53, 56, 및 57)은 양방향성일 수 있다.

[0017] 부가적인 신호 스티어링 논리(36)는 신호들(50)에 의해 공유된 리소스(30)에 양방향으로 결합된다. 신호들(50)은 부가적인 신호들(57)의 스티어링에 이용되는 제어 및/또는 상태 정보를 제공하기 위하여 이용된 하나 이상의 신호들을 포함한다. 본 발명의 다른 실시예들은 이런 제어 및/또는 상태 정보를 전달하기 위하여 임의의 신호들을 이용할 수 있다. 본 발명의 몇몇 실시예들은 모든 필요한 제어 및/또는 상태 정보가 부가적인 신호 스티어링 논리(36)에 잔류하거나, 다른 방식으로 부가적인 신호 스티어링 논리(36)에 제공될 때, 신호들(50)을 요구하지 않을 수 있다.

[0018] 본 발명의 도시된 실시예에서, 부가적인 신호 스티어링 논리(36)는 부가적인 신호들(56)을 수신 및 스티어링하기 위하여 공유된 리소스(24)에 결합된다. 부가적인 신호들(56)은 부가적인 신호 스티어링 논리(36)에 의해, 공유된 리소스(24) 및 적당한 버스 마스터(12, 14) 사이에서, 각각 신호들(53 또는 52)에 의해 스티어링될 필요가 있는 하나 이상의 신호들을 포함한다. 비록 부가적인 신호들(57)이 임의의 바람직한 기능을 가질 수도 있지만, 그들은 일반적으로 모든 버스 마스터들(12, 14)에 거의 동시에 제공되지 않고, 대신 버스 마스터들(12, 14)의 서브세트에만 제공되어야 하는 신호들이다. 부가적인 신호(56)의 하나의 가능한 실시예는 스티어링되어야 하고 공유된 리소스(24)의 소유권을 가지며 인터럽트에 응답할 필요가 있는 버스 마스터에 제공된 인터럽트 신호이다. 본 발명의 다른 실시예들은 총 버스 마스터들(예를 들어 12, 14)의 서브세트에 임의의 바람직한 신호들을 스티어링하기 위하여 부가적인 신호 스티어링 논리(36)를 이용할 수 있다. 본 발명의 몇몇 실시예들에 대해, 하나 이상의 부가적인 신호들(56)이 선택된 환경하에서 버스 마스터들(12, 14) 모두에 스티어링될 수 있는 시나리오들이 있을 수 있다는 것이 주의된다.

[0019] 부가적인 신호 스티어링 논리(36)는 신호들(51)에 의해 공유된 리소스(24)에 양방향으로 결합된다. 신호들(51)은 부가적인 신호들(56)의 스티어링에 이용된 제어 및/또는 상태 정보를 제공하기 위하여 이용된 하나 이상의 신호들을 포함한다. 본 발명의 다른 실시예들은 이런 제어 및/또는 상태 정보를 전달하기 위하여 임의의 형태의 신호들을 이용할 수 있다. 본 발명의 몇몇 실시예들은 모든 필요한 제어 및/또는 상태 정보가 부가적인 신호 스티어링 논리(36)에 잔류하거나, 다른 방식으로 부가적인 신호 스티어링 논리(36)에 제공될 때 신호들(51)을 요구하지 않을 수 있다.

[0020] 본 발명의 몇몇 실시예들에서, 부가적인 신호 스티어링 논리(36)에 의해 수행되는 모든 또는 일부의 스티어링 기능은 공유된 리소스 자체의 일부로서 포함될 수 있다. 예를 들어, 도 1에 도시된 실시예에서, 신호들(101 및 102)에 대한 스티어링 기능은 USB 공유 리소스(100)내의 회로에 의해 수행되고, 따라서 신호들(101 및 102)은 올바른 버스 마스터(12, 14)에 스티어링되도록 부가적인 신호 스티어링 논리(36)를 통하여 통과할 필요가 없다. 도 1에 도시된 본 발명의 실시예에서, 신호들(101)은 예를 들어 버스 마스터(12)에 대한 인터럽트들 같은 하나 이상의 부가적인 신호들을 제공하기 위하여 이용될 수 있다. 유사하게, 신호들(102)은 버스 마스터(14)에 대한 인터럽트들 같은 하나 이상의 부가적인 신호들을 제공하기 위하여 이용될 수 있다. 본 발명의 다른 실시예들은 각각 신호들(53 및 52)에 의해 올바른 버스 마스터(12, 14)에 스티어링되는 신호들(101 및 102)을 가지도록 부가적인 신호 스티어링 논리(36)에 신호들(101 및 102)을 제공할 수 있다.

[0021] 본 발명의 도시된 실시예에서, 비공유 리소스(22)는 버스 마스터(12)에 의해서만 액세스되고; 따라서 비공유 리소스(22)와 연관된 부가적인 신호들은 신호들(54)에 의해 직접 버스 마스터(12)에 양방향으로 결합된다. 신호들(54)이 단일 버스 마스터(12)에 제공될 때 부가적인 신호 스티어링 논리(36)에 의해 스티어링될 신호들(54)들은 필요하지 않다. 유사하게, 본 발명의 도시된 실시예에서, 비공유 리소스(26)는 버스 마스터(14)에 의해서만

액세스되고; 따라서 비공유 리소스(26)와 연관된 부가적인 신호들은 신호들(55)에 의해 직접 버스 마스터(14)에 양방향으로 결합된다. 신호들(55)이 단일 버스 마스터(14)에 제공될 때 부가적인 신호 스티어링 논리(36)에 의해 스티어링될 신호들(55)은 필요하지 않다.

[0022] 도 2는 본 발명의 일실시예에 따라 도 1의 부가적인 신호 스티어링 논리(36)의 일부를 블록도 형태로 도시한다. 도시된 실시예에서, 부가적인 신호 스티어링 논리(36)는 신호들(56 및 57)에 대한 실제 스티어링 기능을 수행하는 스티어링 회로(60)를 포함한다. 신호들(56 및 57)은 신호들(53)에 의하여 버스 마스터(12)로 스티어링되거나, 신호들(52)에 의해 버스 마스터(14)로 스티어링된다. 신호들(50 및 51)은 각각 공유된 리소스들(30 및 24)로부터 정보를 제공한다. 제어 회로(62)에 제공되거나 저장된 다른 제어 정보와 함께 신호들(50 및 51)은 스티어링 회로(60)에 의해 수행된 스티어링 함수를 제어하기 위하여 이용된다.

[0023] 제어 회로(62)는 레지스터들(70)을 포함한다. 본 발명의 일실시예에서, 레지스터들(70)은 스티어링 모드 선택기 레지스터(71), 스티어링 맵 선택기 레지스터(72), 맵 정의 레지스터(73), 맵 정의 레지스터(74), 및 리소스 소유권 레지스터(75)를 포함한다. 본 발명의 다른 실시예들은 스티어링 회로(60)를 제어하기 위하여 제어 정보의 일부를 제공하기 위해 보다 많은, 보다 적은 또는 다른 레지스터들을 이용할 수 있다. 본 발명의 일실시예에서, 몇몇 또는 모든 레지스터들(70)은 적어도 하나의 버스 마스터들(12 및 14)에 의해 판독되고 기입될 수 있는 소프트웨어 프로그램 가능 레지스터들이다.

[0024] 임의의 바람직한 라우팅 방법은 바람직한 하나 이상의 버스 마스터들(12,14)에 부가적인 신호들(56 및 57)을 스티어링하기 위하여 이용될 수 있다. 그러나, 본 발명의 도시된 실시예에서, 각각의 공유된 리소스(24,20)에 대한 적어도 하나의 스티어링 모드 선택기 레지스터(71), 각각의 리소스(24,20)에 대한 적어도 하나의 스티어링 맵 선택기 레지스터(72) 및 적어도 하나의 맵 정의 레지스터(73,74)가 있다. 각각의 스티어링 모드 선택기 레지스터(71)는 대응하는 공유 리소스(24,30)에 대한 복수의 스티어링 모드들 중 하나를 선택하기 위하여 이용될 수 있다. 선택된 스티어링 모드는 하나 이상의 버스 마스터들(12,14)이 스티어링 회로(60)에 의해 스티어링되는 신호를 수신하여야 하는지를 결정하기 위하여 맵 정의 레지스터들(73,74) 중 하나에 저장된 맵 정의의 이용을 요구할 수 있다. 각각의 스티어링 맵 선택기 레지스터는 복수의 맵 정의 레지스터들(73,74) 중 하나를 선택하기 위하여 이용될 수 있다.

[0025] 본 발명의 일실시예에서, 부가적인 신호들(56 및 57)은 선택된 스티어링 모드에 따라, 및 선택적으로 맵 정의 레지스터들(73,74)에 저장된 맵 정의에 따라, 복수의 방식들로 버스 마스터들(12,14)에 라우팅될 수 있다. 예를 들어, 하나의 스티어링 모드는 공유된 리소스(예를 들어 24)의 현재 소유권을 가진 버스 마스터(예를 들어 12)에 제공되도록 부가적인 신호(예를 들어 56)를 스티어링할 수 있다. 맵 정의 레지스터는 이 스티어링 모드에 필요하지 않다. 제 2 스티어링 모드는 맵 정의 레지스터들(73,74) 중 하나에 저장된 프로그램 가능 라우트 맵에 의해 결정된 바와 같이, 하나 이상의 버스 마스터들(12,14)에 제공되도록 부가적인 신호(56,57)를 스티어링할 수 있다. 프로그램 가능 라우트 맵은 하나 이상의 버스 마스터들(12,14)에 의해 프로그램될 수 있다. 본 발명의 몇몇 실시예들에서, 공유된 리소스(24,30)의 소유권을 가진 마스터만이 기입할 수 있고 따라서 공유된 리소스(24,30)에 대응하는 맵 정의 레지스터(73,74)를 변경할 수 있다. 본 발명의 다른 실시예들은 다른 방식으로 하나 이상의 맵 정의의 프로그래밍을 제어할 수 있다.

[0026] 제 3 스티어링 모드는 맵 정의 레지스터들(73,74)에 저장된 복수의 프로그램 가능한 라우트 맵들 중 하나에 의해 결정된 바와 같이, 하나 이상의 버스 마스터들(12,14)에 제공되도록 부가적인 신호(56 또는 57 중 하나)를 스티어링할 수 있다. 프로그램 가능 라우트 맵은 버스 마스터(12,14)가 부가적인 신호(56,57)를 제공하거나 연관된 공유된 리소스(24,30)의 현재 소유권을 가지는지에 기초하여 선택될 수도 있다. 본 발명의 몇몇 실시예들에서, 공유된 리소스(24,30)의 소유권을 가진 버스 마스터만이 기입할 수 있고, 따라서 공유된 리소스(24,30)에 대응하는 맵 정의 레지스터(73,74)를 변화시킬 수 있다. 본 발명의 다른 실시예들은 다른 방식으로 하나 이상의 맵 정의의 프로그램을 제어할 수 있다.

[0027] 제 4 스티어링 모드는 맵 정의 레지스터들(73,74)에 저장된 복수의 프로그램 가능 라우트 맵들 중 하나에 의해 결정된 바와 같이 하나 이상의 버스 마스터들(12,14)에 제공되도록 부가적인 신호(56 또는 57 중 하나)를 스티어링할 수 있다. 프로그램 가능 라우트 맵은 부가적인 신호(56,57)를 제공하거나 연관된 공유된 리소스(24,30)의 현재 상태에 기초하여 선택될 수도 있다. 본 발명의 몇몇 실시예들에서, 맵 정의 레지스터들(73,74)은 공유된 리소스(24,30)의 몇몇 상태들 각각에 대응하는 정적 맵들일 수 있다. 본 발명의 다른 실시예들에서, 맵 정의 레지스터들(73,74)은 하나 이상의 버스 마스터(24,30)(예를 들어 소유한 마스터)에 의해 프로그램 가능할 수 있다. 본 발명의 몇몇 실시예들에서, 공유된 리소스(24,30)의 소유권을 가진 버스 마스터만이 기입할 수 있

고, 따라서 공유된 리소스(24,30)에 대응하는 맵 정의 레지스터(73,74)를 변화시킨다. 본 발명의 다른 실시예는 다른 방식으로 하나 이상의 맵 정의의 프로그래밍 또는 설정을 제어할 수 있다.

[0028] 제 5 스티어링 모드는 맵 정의 레지스터들(73,74)에 저장된 복수의 프로그램 가능 라우트 맵들 중 하나에 의해 결정된 바와 같이, 하나 이상의 버스 마스터들(12,14)에 제공되도록 부가적인 신호(56 또는 57 중 하나)를 스티어링할 수 있다. 프로그램 가능 라우트 맵은 부가적인 신호(56,57)를 제공하거나 연관된 공유된 리소스(24,30)에 의해 선택될 수 있다. 본 발명의 몇몇 실시예들에서, 공유된 리소스(24,30) 자체만이 기입할 수 있고, 공유된 리소스(24,30)에 대응하는 맵 정의 레지스터(73,74)를 변형할 수 있다. 본 발명의 다른 실시예들은 다른 방식으로 하나 이상의 맵 정의 프로그램을 제어할 수 있다.

[0029] 본 발명의 다른 실시예들은 스티어링 회로(60)를 제어하기 위하여 이용된 제어 회로(62)용 임의의 바람직한 구성을 이용할 수 있다. 제어 회로(62)의 다른 실시예들은 없거나, 보다 적거나, 보다 많거나, 다른 레지스터들(70)을 가질 수 있다. 제어 회로(62)는 신호들(61)에 의해 스티어링 회로(60)에 양방향으로 결합된다. 제어 회로(62)는 레지스터들(70)이 하나 이상의 버스 마스터들(12,14)에 의해 판독되고 기입될 수 있도록 버스(20)에 양방향으로 결합된다. 본 발명의 일실시예에서, 신호들(50,51)은 공유된 리소스(24,30)가 신호(56,57)를 제공하거나 연관되고, 어떤 스티어링 모드를 이용하고, 어떤 맵 정의를 이용하는가에 관한 정보를 제공한다. 본 발명의 다른 실시예들에서, 신호들(50,51)은 공유된 리소스(24,30)가 신호(56,57)를 제공하거나 연관되는 것에 관한 정보를 제공하고, 레지스터들(70)은 스티어링 모드의 나머지 및 스티어링 회로(60)에 대한 맵 정의를 제공하기 위하여 이용된다.

[0030] 도 3은 본 발명의 일실시예에 따른 다른 회로와 함께 도 1의 공유된 리소스(24) 부분을 블록도 형태로 도시한다. 본 발명의 도시된 실시예에서, 공유된 리소스(24)는 버스(20)에 양방향으로 결합된 버스 인터페이스(310)를 포함한다. 버스 인터페이스(310)는 도전체들(320)에 의해 재구성 가능한 제어 논리(304)에 양방향으로 결합되고 도전체들(326)에 의해 재구성 가능한 채널 저장 회로(300)에 양방향으로 결합되어, 304 및 300내의 레지스터들 및 다른 회로는 버스(20)에 의해 액세스할 수 있게 판독 및/또는 기입할 수 있다. 일실시예에서, 재구성 가능한 채널 저장 회로(300)는 재구성 가능한 채널 저장 회로(301-303)를 포함한다. 본 발명의 다른 실시예들은 재구성 가능한 채널 저장 회로(300)내의 보다 적거나, 많거나, 동일한 수의 재구성 가능한 채널 저장 회로들(301-303)을 가질 수 있다. 재구성 가능한 채널 저장 회로(300)는 도전체들(322)에 의해 재구성 가능한 제어 논리(304)에 양방향으로 결합된다. 본 발명의 일실시예에서, 신호들(322)은 재구성 가능한 채널 저장 회로(300) 및 재구성 가능한 제어 논리(304) 사이의 제어 및/또는 상태 정보를 전달하기 위하여 이용된다. 재구성 가능한 채널 저장 회로(300)는 신호들(328)에 의해 재구성 가능한 채널 회로(312)에 양방향으로 결합된다. 재구성 가능한 채널 회로(312)는 도전체들(324)에 의해 재구성 제어 논리(304)에 양방향으로 결합된다. 재구성 가능한 채널 회로(312)는 도전체들(45)에 의해 버스(330)에 양방향으로 결합된다.

[0031] 도 3에 도시된 본 발명의 실시예에서, 각각의 주변 기능 회로(306-308)에 대해 하나의 재구성 가능한 채널 저장 회로(301-303)가 있다. 본 발명의 다른 실시예들은 각각의 주변 기능 회로(306-308)에 대한 임의의 수의 재구성 가능 채널 저장 회로들(301-303)을 가질 수 있다. 각각의 주변 기능 회로(306-308)는 타이머 기능, 통신 기능, 전환 기능, 데이터 처리 기능, 저장 기능 등 같은 하나 이상의 임의의 형태의 바람직한 기능을 수행할 수 있다. 게다가, 본 발명의 몇몇 실시예들에서, 재구성 가능 채널 회로(312)는 예를 들어 타이머 기능, 통신 기능, 전환 기능, 데이터 처리 기능, 저장 기능 등 같은 하나 이상의 임의의 형태의 바람직한 기능을 수행하기 위하여 재구성 가능 회로를 포함한다. 따라서 하나의 기능을 수행하기 위한 회로는 공유 리소스(24)(예를 들어 재구성 가능 채널 회로 312에 배치됨) 같은 동일한 집적 회로 상에 배치되거나, 선택적으로 공유 리소스(24)(예를 들어 임의의 주변 기능 회로들 306-308에 배치됨)를 통합한 집적 회로 외측에 배치될 수 있다.

[0032] 도 3에 도시된 본 발명의 실시예에서, 재구성 가능 제어 논리(304)는 부가적인 신호 스티어링 논리(36)(도 1 참조)에 신호들(56 및 51)을 제공하기 위하여 이용된다. 재구성 가능 제어 논리(304)는 하나 이상의 버스 마스터들(12,14)로부터 하나 이상의 주변 기능 회로들(306-308)에 이용되는 통신 경로를 결정 또는 선택하기 위하여 이용된다. 통신 경로는 버스(20), 버스 인터페이스(310), 재구성 가능한 채널 저장 회로들(301-303) 중 하나(하나는 재구성 가능한 제어 논리 304에 의해 결정됨), 재구성 가능 채널 회로(312), 신호들(45) 및 버스(330)를 이용한다.

[0033] 본 발명의 일실시예에서, 재구성 가능 채널 회로(312)는 재구성 가능 채널 저장 회로(300) 및 주변 기능 회로들(306-308) 사이의 통신 경로를 결정 또는 선택하기 위하여 이용된다는 것이 주의된다. 본 발명의 몇몇 실시예들에서, 재구성 가능한 채널 회로(312)는 재구성 가능한 제어 논리(304)를 통하여 프로그램된다. 본 발명의 다

른 실시예들에서 재구성 가능한 채널 회로(312)는 버스 인터페이스(310)를 통하여 버스 마스터(12 또는 14)에 의해 프로그램될 수 있다. 본 발명의 몇몇 실시예들에서, 재구성 가능 채널 저장 회로(300)는 재구성 가능 제어 논리(304)에 의해 재구성될 수 있는 저장 회로로서만 기능할 수 있다. 유사하게, 재구성 가능 채널 회로(312)는 바람직한 기능을 수행하기 위해서만 기능할 수 있고, 상기 기능은 재구성 가능한 제어 논리(304)에 의해 선택할 수 있다. 본 발명의 다른 실시예들은 임의의 방식으로 공유된 리소스(24)의 저장, 기능 및 제어 부분들을 분할할 수 있다. 본 발명의 다른 실시예들이 재구성 가능한 채널 회로(312)를 이용하지 않을 수 있고; 대신, 재구성 가능한 제어 논리(304)가 재구성 가능한 채널 저장 회로(300) 및 주변 기능 회로들(306-308) 사이의 통신 경로를 결정 또는 선택하기 위하여 직접적으로 이용되는 것은 주의된다.

[0034] 도 4는 본 발명의 일실시예에 따라 다른 회로와 함께 도 1의 USB 공유 리소스(100) 부분을 블록도 형태로 도시한다. 일실시예에서, USB 공유 리소스(100)는 유니버설 시리얼 버스(USB) 표준과 일치하고 USB 버스(43)에 의해 USB 호스트(420)와 통신한다. 도 4에 도시된 본 발명의 실시예에서, USB 공유 리소스(100)는 엔드포인트 저장 회로(470) 및 버스 인터페이스(400)에 양방향으로 결합된 USB 기능 제어기(413)를 포함한다. 버스 인터페이스(400)는 엔드포인트 저장 회로(470)에 양방향으로 결합되고 버스(20)에 양방향으로 결합된다. 본 발명의 일실시예에서, USB 기능 제어기(413)는 USB 프로토콜 논리(415)에 의해 시리얼 인터페이스 엔진(418)에 양방향으로 결합된다. 시리얼 인터페이스 엔진(418)은 USB 버스(43)에 양방향으로 결합된다.

[0035] 본 발명의 일실시예에서, USB 기능 제어기(413)는 USB 프로토콜 논리(415)에 결합된 복수의 USB 기능 제어 레지스터들(402)을 포함한다. USB 프로토콜 논리(415)는 인터럽트가 버스 마스터(12,14)에 제공되어야 할 때에 관한 인터럽트 정보를 제공하기 위하여 엔드포인트 인터럽트 논리(417)에 결합된다. 스티어링 논리(480)는 엔드포인트 인터럽트 논리(417) 및 USB 기능 제어 레지스터(402)로부터의 정보를 수신하고, 응답하여 각각 버스 마스터들(12 및 14)에 인터럽트 신호들(101 및 102)을 제공한다. 버스 마스터(12,14)가 어떤 부가적인 신호들을 수신하는지를 결정하기 위하여 부가적인 신호 스티어링 논리(36)를 이용하는 공유 리소스(24)(도 1 참조)와 달리, USB 공유 리소스(100)는 스티어링 기능을 수행하기 위한 회로를 포함한다. 결과적으로, 신호들(101 및 102)은 부가적인 신호 스티어링 논리(36)를 통하여 라우팅될 필요가 없다. 부가적인 스티어링 논리(36)에 의해 제공된 스티어링 기능은 USB 공유 리소스(100)내에서 수행된다.

[0036] 본 발명의 일실시예에서, 스티어링 논리(480)는 각각 USB 기능 제어 레지스터들(402)에 결합된 하나의 입력 및 엔드포인트 인터럽트 논리(417)에 결합된 하나의 입력을 가진 AND 게이트들(422,424,426, 및 428)을 포함한다. 스티어링 논리(480)는 또한 AND 게이트들(422,424,426 및 428)로부터 입력들을 수신하고 각각 버스 마스터들(12,14)에 출력들(101 및 102)을 제공하는 복수의 OR 게이트들(430,432)을 포함한다.

[0037] 본 발명의 일실시예에서, 각각의 엔드포인트는 대응하는 비트(460 또는 462), 대응하는 래치(410 또는 412), 대응하는 비트(450 또는 452), 및 엔드포인트 인터럽트 논리(440 또는 442)의 대응 부분을 가진다. 도 4에 도시된 특정 회로는 단순히 도시하기 위하여 도시된다. 본 발명의 다른 실시예들은 USB 기능 제어기(413)에 의해 필요한 스티어링 기능을 실행하기 위하여 임의의 적당한 회로를 이용할 수 있다.

[0038] 본 발명의 일실시예에서, USB 기능 제어 레지스터들(402)은 인터럽트 스티어링 레지스터들(403), 다른 공유 레지스터들(414), 및 비공유 레지스터들(416)을 포함한다. 본 발명의 일실시예에서, 인터럽트 스티어링 레지스터들(403)은 각각 래치들(410, 412)을 셋/리셋(set/reset)하도록 신호 또는 신호들을 셋 및 리셋을 제공하기 위해 스티어링 저장 회로(408)를 인터럽트하도록 결합된 인터럽트 스티어링 클리어 레지스터(404) 및 인터럽트 스티어링 셋 레지스터(406)를 포함한다. 본 발명의 다른 실시예들은 인터럽트 스티어링 레지스터들(403)을 실행하기 위하여 이용된 것과 유사한 방식으로 셋 레지스터, 클리어 레지스터, 및 복수의 셋/리셋 래치들을 이용하여 실행되는 복수의 다른 공유 레지스터들(414)을 포함할 수 있다.

[0039] 공유된 레지스터들(403 및 414), 엔드포인트 인터럽트 논리(417), 및 스티어링 논리(480)의 이용을 통하여, USB 기능 제어기(413)는 멀티-마스터 시스템에서 엔드포인트들의 공유 제어를 허용하는 능력을 가진다. 비록 도 1에 도시된 멀티-마스터 시스템이 두 개의 버스 마스터들(12,14)을 이용하지만, 본 발명의 다른 실시예들은 임의의 수 또는 형태의 버스 마스터를 이용할 수 있고, 이것은 데이터 처리 시스템(10) 외부의 버스 마스터들을 포함한다.

[0040] USB 공유 리소스(100)의 기능은 지금 보다 상세히 기술될 것이다. USB 프로토콜 논리(415)는 일련의 인터페이스 엔진(418)에 및 엔진으로부터 데이터를 제공 및 수신한다. 일련의 인터페이스 엔진(418)은 USB 호스트(420)에 및 호스트로부터 데이터를 제공 및 수신하고 USB 표준에 따라 기능한다.

- [0041] 본 발명의 일실시예에서, USB 표준 리소스(100)는 소유되지 않은 공유 리소스인 것으로 고려된다. 그러나, USB 공유 리소스(100)는 하나 이상의 부분들(예를 들어, USB 엔드포인트들)이 다른 버스 마스터들(12 및 14)에 할당될 수 있도록 분할된다. 본 발명의 일실시예에서, USB 엔드포인트들은 엔드포인트 저장 회로(470)에 저장될 수 있다. 본 발명의 일실시예에서, 인터럽트 스티어링 레지스터(403)는 복수의 버스 마스터들(12,14) 중 하나에 엔드포인트 인터럽트들을 스티어링하기 위하여 부가되었다.
- [0042] 본 발명의 도시된 실시예에서, 인터럽트 스티어링 레지스터(403)는 인터럽트 스티어링 셋 레지스터(406), 인터럽트 스티어링 클리어 레지스터(404), 및 인터럽트 스티어링 저장 회로(408)를 이용하여 실행되었다. 도시된 실시예에서, 단지 두개의 논리 상태들은 인터럽트를 수신하기 위하여 버스 마스터(12,14)의 선택을 지정하기 위하여 이용된다. 따라서 도시된 실시예에 대하여, 엔드포인트 인터럽트들은 단지 두개의 버스 마스터들(12,14) 중 하나로 스티어링될 수 있다. 그러나, 본 발명의 다른 실시예들은 엔드포인트 인터럽트들이 두개 이상의 버스 마스터들에 스티어링될 수 있도록 인터럽트 스티어링 레지스터(403)를 실행할 수 있다. 본 발명의 도시된 실시예에서, 인터럽트 스티어링 셋 레지스터(406) 및 인터럽트 스티어링 클리어 레지스터(404)가 메모리 맵/프로그래머의 모델에서 양쪽을 등록하고 버스(20) 및 버스 인터페이스(400)에 의해 기입될 수 있는 것이 주의된다. 레지스터들(406 및 404)의 판독이 본 발명의 도시된 실시예에 이용되지 않고; 본 발명의 다른 실시예들이 임의의 바람직한 방식으로 레지스터들(406 및 404)의 판독을 조절할 수 있는 것이 주의된다.
- [0043] 본 발명의 일실시예에서, 양쪽 버스 마스터들(12 및 14)은 공유된 레지스터들(414) 및 인터럽트 스티어링 레지스터(403)를 기입 및 변형할 수 있다. 이것이 레지스터들(414 및 403)의 콘텐츠들의 변조를 유발하는 것이 주의된다. 메모리 맵/프로그래머의 모델에서 유일한 어드레스에 배치된 독립된 인터럽트 스티어링 셋 레지스터(406) 및 메모리 맵에서 다른 어드레스에 배치된 독립된 인터럽트 스티어링 클리어 레지스터(404)의 이용은 다중 버스 마스터(12,14)가 레지스터(403)에서 비선택된 비트들에 영향을 주지않고 레지스터(403)에서 선택된 비트들을 독립적으로 셋팅(setting)하거나 클리어하게 한다. 본 발명의 몇몇 실시예들에 대하여, 하나 이상의 다른 공유 레지스터들(414)은 레지스터(403)(즉, 독립된 셋 및 클리어 레지스터들 406,404 이용)와 유사한 방식으로 실행될 수 있다는 것이 주의된다. 예를 들어, 엔드포인트 동작과 관련된 모든 또는 일부의 다른 공유 레지스터들(414)은 레지스터(403)와 유사한 방식으로 실행될 수 있다. 본 발명의 다른 실시예들은 레지스터(401) 및 하나 이상의 레지스터들(414)의 콘텐츠 변조를 방지하기 위하여 다른 메커니즘들을 이용할 수 있다. 상기 메커니즘의 일실시예는 레지스터(402 및 414)에 자동 판독 변형 기입 액세스들이다.
- [0044] 본 발명의 도시된 실시예에서, 비트(460)에 "1"을 기입하는 것은 대응하는 래치(410)를 셋팅하고 비트(460)에 "0"을 기입하는 것은 래치(410)에 아무 영향을 미치지 못할 것이다. 유사하게, 비트(450)에 "1"을 기입하는 것은 대응하는 래치(410)를 클리어하고 비트(450)에 "0"을 기입하는 것은 래치(410)에 영향을 미치지 못할 것이다. 이런 메커니즘이 버스 마스터(12) 및 버스 마스터(14) 양쪽에 의한 레지스터(403)의 비트형 제어를 허용하는 것이 주의된다. USB 공유 리소스(100)를 이용하는 몇몇 애플리케이션들에서, 버스 마스터(12)는 레지스터 비트들(403)의 일부를 셋팅하고 버스 마스터(14)는 레지스터 비트들(403)의 다른 비오버랩핑 부분을 클리어할 것이다. 이 경우, 레지스터(403)의 비트에서 "1"은 대응하는 엔드포인트 인터럽트를 버스 마스터(12)에 스티어링하고, 레지스터(403)의 비트에서 "0"은 버스 마스터(14)에 대응하는 엔드포인트 인터럽트를 스티어링한다.
- [0045] 본 발명의 일실시예에 대하여, 비공유 레지스터들(416)은 다중 버스 마스터들(12,14)로 적당히 동작하도록 변형될 필요가 없다. 예를 들어, 비공유 레지스터들(416)에서 몇몇 레지스터는 판독 전용이고, 비공유 레지스터들(416)에서 다른 레지스터들은 미리 결정된 소프트웨어 전환에 의해 나타난 바와 같이 하나의 버스 마스터(12,14)에 의해 액세스될 수 있다.
- [0046] 본 발명의 일실시예에서, USB 프로토콜 논리(415) 및 엔드포인트 인터럽트 논리(417)는 멀티-마스터 용도를 위하여 변형되어서는 않된다. 그러나, 엔드포인트 인터럽트 논리(417)에 의해 제공된 인터럽트 출력들은 레지스터(403)의 대응하는 비트에 의해 지정된 버스 마스터에 논리(480)를 스티어링함으로써 스티어링되어야 한다. 스티어링 논리(480)는 임의의 방식으로 실행되고; 도 4에 도시된 회로는 스티어링 논리(480)의 하나의 가능한 실행예이다. 만약 단지 하나의 버스 마스터(예를 들어, 12 또는 14)가 USB 공유 리소스(100)를 이용하면 스티어링 논리(480)가 요구되지 않는 것은 주의된다. 상기 경우, 인터럽트들이 하나의 버스 마스터로 진행하기 때문에, 스티어링은 요구되지 않는다.
- [0047] 도 4에 도시된 나머지 회로는 표준 USB 회로와 동일한 방식으로 기능할 수 있다.
- [0048] 상기 사양에서, 본 발명은 특정 실시예들을 참조하여 기술되었다. 그러나, 당업자는 다양한 변형들 및 변화들

이 하기 청구항에 나타난 바와 같이 본 발명의 사상으로부터 벗어나지 않고 이루어질 수 있다는 것을 인식한다. 따라서, 명세서 및 도면들은 제한 측면보다 도시를 위한 것으로 간주되고, 모든 상기 변형들은 본 발명의 범위 내에 포함되는 것으로 의도된다.

[0049] 이점들, 다른 장점들, 및 문제들에 대한 해결책들은 특정 실시예들과 관련하여 상기되었다. 그러나, 이점들, 장점들, 문제들에 대한 해결책들 및 임의의 이점, 장점 또는 해결책이 발생될 수 있는 임의의 소자(들)은 임의의 또는 모든 청구항들의 중요하고, 요구되거나, 필수적인 특징 또는 소자로서 구성되지 않는다. 여기에 이용된 바와 같이, 용어들 "포함하다", "포함하는" 또는 임의의 다른 변형은 비배타적인 포함을 포함하도록 의도되어, 소자들의 리스트를 포함하는 처리, 방법, 제품, 또는 장치는 단지 그 소자들만을 포함하지 않고 상기 처리, 방법, 제품, 또는 장치에 고유 또는 리스트되지 않은 다른 소자들을 포함할 수 있다.

[0050] 추가 텍스트(Additional Text)

[0051] [청구항 1]

[0052] 데이터 처리 시스템에 있어서,

[0053] 시스템 버스;

[0054] 상기 시스템 버스에 결합된 제 1 버스 마스터;

[0055] 상기 시스템 버스에 결합된 제 2 버스 마스터;

[0056] 상기 시스템 버스에 결합된 리소스로서, 상기 제 1 버스 마스터 및 상기 제 2 버스 마스터 중 적어도 하나에 의해 소유되도록 구성 가능한, 상기 리소스; 및

[0057] 상기 리소스의 소유권에 기초하여, 상기 제 1 버스 마스터 및 상기 제 2 버스 마스터 중 적어도 하나와 상기 리소스 사이에서 통신 경로를 확립하는 부가적인 신호 스티어링 논리(signal steering logic)로서, 상기 통신 경로는 상기 제 1 버스 마스터 및 상기 제 2 버스 마스터 중의 상기 적어도 하나와 상기 리소스 사이에 적어도 하나의 부가적인 신호를 전달하도록 이용되는, 상기 부가적인 신호 스티어링 논리를 포함하는, 데이터 처리 시스템.

[0058] [청구항 2]

[0059] 제 1 항에 있어서,

[0060] 상기 데이터 처리 시스템은 상기 리소스의 소유권을 가리키는 리소스 소유권 저장 회로를 더 포함하는, 데이터 처리 시스템.

[0061] [청구항 3]

[0062] 제 2 항에 있어서,

[0063] 상기 리소스 소유권 저장 회로는 상기 제 1 버스 마스터가 상기 리소스를 소유하는지, 상기 제 2 버스 마스터가 상기 리소스를 소유하는지, 및 상기 제 1 및 상기 제 2 버스 마스터 어느 것도 상기 리소스를 소유하지 않는지 중 적어도 하나를 가리키는, 데이터 처리 시스템.

[0064] [청구항 4]

[0065] 제 2 항에 있어서,

[0066] 상기 리소스 소유권 저장 회로는 상기 제 1 버스 마스터 및 상기 제 2 버스 마스터 모두가 상기 리소스의 소유권을 요구할 때 상기 리소스가 소유되지 않은 것을 가리키는, 데이터 처리 시스템.

[0067] [청구항 5]

[0068] 제 2 항에 있어서,

[0069] 상기 리소스 소유권 저장 회로는 상기 제 1 버스 마스터와 상기 제 2 버스 마스터 중 어느 것도 상기 리소스의 소유권을 요구하지 않을 때 상기 리소스가 소유되지 않은 것을 가리키는, 데이터 처리 시스템.

[0070] [청구항 6]

[0071] 제 2 항에 있어서,

- [0072] 상기 부가적인 신호 스티어링 논리는 상기 리소스 소유권 저장 회로 내에 저장된 정보에 기초하여 상기 통신 경로를 확립하는, 데이터 처리 시스템.
- [0073] [청구항 7]
- [0074] 제 1 항에 있어서,
- [0075] 상기 부가적인 신호 스티어링 논리는 상기 제 1 버스 마스터 및 상기 제 2 버스 마스터 중 단지 하나와 상기 리소스 사이에 상기 통신 경로를 확립하는, 데이터 처리 시스템.
- [0076] [청구항 8]
- [0077] 제 1 항에 있어서,
- [0078] 상기 부가적인 신호 스티어링 논리는 상기 제 1 버스 마스터 및 상기 제 2 버스 마스터 각각과 상기 리소스 사이에 상기 통신 경로를 확립하는, 데이터 처리 시스템.
- [0079] [청구항 9]
- [0080] 제 1 항에 있어서,
- [0081] 상기 적어도 하나의 부가적인 신호는 상기 시스템 버스의 일부가 아닌, 데이터 처리 시스템.
- [0082] [청구항 10]
- [0083] 제 1 항에 있어서,
- [0084] 상기 시스템 버스는 시스템 버스 프로토콜에 따라 동작하고, 상기 적어도 하나의 부가적인 신호는 상기 시스템 버스 프로토콜 외측에서 동작하는, 데이터 처리 시스템.
- [0085] [청구항 11]
- [0086] 제 1 항에 있어서,
- [0087] 주변부를 더 포함하고, 상기 주변부는 상기 리소스를 포함하는, 데이터 처리 시스템.
- [0088] [청구항 12]
- [0089] 제 11 항에 있어서,
- [0090] 상기 주변부는 제 2 리소스를 포함하고, 상기 부가적인 신호 스티어링 논리는 상기 제 2 리소스의 소유권에 기초하여, 상기 제 2 리소스와 연관된 적어도 하나의 부가적인 신호를 전달하기 위한 상기 제 1 버스 마스터 및 상기 제 2 버스 마스터 중 적어도 하나와 상기 제 2 리소스 사이에 제 2 통신 경로를 확립하는, 데이터 처리 시스템.
- [0091] [청구항 13]
- [0092] 제 1 항에 있어서,
- [0093] 상기 시스템 버스에 결합된 제 2 리소스를 더 포함하고, 상기 부가적인 신호 스티어링 논리는 상기 제 2 리소스의 소유권에 기초하여, 상기 제 2 리소스와 연관된 적어도 하나의 부가적인 신호를 전달하기 위한 상기 제 1 버스 마스터 및 상기 제 2 버스 마스터 중 적어도 하나와 상기 제 2 리소스 사이에 제 2 통신 경로를 확립하는, 데이터 처리 시스템.
- [0094] [청구항 14]
- [0095] 제 1 항에 있어서,
- [0096] 상기 부가적인 신호 스티어링 논리는 상기 제 1 버스 마스터 및 상기 제 2 버스 마스터의 소유된 버스 마스터와 상기 리소스 사이에 상기 통신 경로를 확립하고, 상기 소유된 버스 마스터는 상기 리소스를 소유하는, 데이터 처리 시스템.
- [0097] [청구항 15]
- [0098] 제 1 항에 있어서,

- [0099] 상기 부가적인 신호 스티어링 논리는 맵 정의를 저장하는 맵 저장 회로를 포함하고, 상기 부가적인 신호 스티어링 논리는 맵 정의에 기초하여 통신 경로를 확립하는, 데이터 처리 시스템.
- [0100] [청구항 16]
- [0101] 제 15 항에 있어서,
- [0102] 상기 맵 정의는 제 1 버스 마스터 및 제 2 버스 마스터의 소유 버스 마스터에 의해 프로그램 가능하고, 상기 소유 버스 마스터는 리소스를 소유하는, 데이터 처리 시스템.
- [0103] [청구항 17]
- [0104] 제 15 항에 있어서,
- [0105] 상기 맵 저장 회로는 복수의 맵 정의들을 저장하고, 상기 부가적인 신호 스티어링 논리는 리소스의 소유권에 기초하여 선택된 복수의 맵 정의들 중 하나에 기초하여 통신 경로를 확립하는, 데이터 처리 시스템.
- [0106] [청구항 18]
- [0107] 제 17 항에 있어서,
- [0108] 복수의 맵 정의들 중 하나는 제 1 버스 마스터가 리소스를 소유하는지, 제 2 버스 마스터가 리소스를 소유하는지, 및 리소스가 소유되지 않는지 중 적어도 하나에 기초하여 선택되는, 데이터 처리 시스템.
- [0109] [청구항 19]
- [0110] 제 1 항에 있어서,
- [0111] 상기 리소스는 부가적인 신호 스티어링 논리의 적어도 일부를 포함하는, 데이터 처리 시스템.
- [0112] [청구항 20]
- [0113] 시스템 버스를 갖는 데이터 처리 시스템에서 부가적인 신호를 통신하는 방법에 있어서,
- [0114] 상기 리소스의 소유권에 기초하여 상기 시스템 버스에 결합된 리소스와 상기 시스템 버스에 결합된 복수의 버스 마스터들 중 적어도 하나의 사이에 통신 경로를 확립하는 단계; 및
- [0115] 상기 시스템 버스로부터 분리되고, 상기 통신 경로를 통하여 상기 복수의 버스 마스터들 중의 상기 적어도 하나와 상기 리소스 사이에 상기 부가적인 신호를 전달하는 단계를 포함하는, 부가적인 신호 통신 방법.
- [0116] [청구항 21]
- [0117] 제 20 항에 있어서,
- [0118] 상기 통신 경로를 확립하는 단계는,
- [0119] 리소스를 소유하는 복수의 버스 마스터들로부터 소유한 버스 마스터를 결정하는 단계; 및
- [0120] 리소스 및 소유 버스 마스터 사이에 통신 경로를 확립하는 단계를 포함하는, 부가적인 신호 통신 방법.
- [0121] [청구항 22]
- [0122] 제 21 항에 있어서,
- [0123] 상기 통신 경로를 확립하는 단계는,
- [0124] 리소스가 임의의 복수의 버스 마스터들에 의해 소유되지 않을 때, 복수의 버스 마스터들 중 제 1 마스터에 의해 정의된 맵 정의에 기초하여 리소스 및 버스 마스터들 중 적어도 하나 사이에 통신 경로를 확립하는 단계를 더 포함하는, 부가적인 신호 통신 방법.
- [0125] [청구항 23]
- [0126] 제 20 항에 있어서,
- [0127] 상기 통신 경로를 확립하는 단계는,
- [0128] 리소스를 소유하는 복수의 마스터들 중 소유 마스터에 의해 정의된 맵 정의에 기초하여 리소스, 및 복수의 버스

마스터들 중 적어도 하나 사이에 통신 경로를 확립하는 단계를 포함하는, 부가적인 신호 통신 방법.

- [0129] [청구항 24]
- [0130] 제 20 항에 있어서,
- [0131] 상기 통신 경로를 확립하는 단계는,
- [0132] 리소스의 소유권에 기초하여 복수의 맵 정의들 중 하나를 선택하는 단계; 및
- [0133] 복수의 맵 정의들 중 선택된 하나에 기초하여 복수의 버스 마스터들 중 적어도 하나와, 리소스 사이에 통신 경로를 확립하는 단계를 포함하는, 부가적인 신호 통신 방법.
- [0134] [청구항 25]
- [0135] 데이터 처리 시스템에 있어서,
- [0136] 시스템 버스;
- [0137] 상기 시스템 버스에 결합된 제 1 버스 마스터;
- [0138] 상기 시스템 버스에 결합된 제 2 버스 마스터;
- [0139] 상기 시스템 버스에 결합되고 상기 제 1 버스 마스터 및 상기 제 2 버스 마스터에 의해 이용할 수 있는 리소스로서, 상기 제 1 버스 마스터 및 상기 제 2 버스 마스터 중 적어도 하나에 의해 소유되도록 구성 가능한, 상기 리소스; 및
- [0140] 상기 제 1 버스 마스터 및 상기 제 2 버스 마스터 중 적어도 하나와 상기 리소스 사이에 통신 경로를 확립하는 부가적인 신호 스티어링 논리로서, 상기 통신 경로는 상기 제 1 버스 마스터 및 상기 제 2 버스 마스터 중의 상기 적어도 하나와 상기 리소스 사이에 적어도 하나의 부가적인 신호를 전달하도록 이용되고, 상기 통신 경로는 상기 리소스에 의해 결정되는, 상기 부가적인 신호 스티어링 논리를 포함하는, 데이터 처리 시스템.
- [0141] [청구항 26]
- [0142] 제 25 항에 있어서,
- [0143] 상기 통신 경로는 리소스의 현재 상태에 의해 결정되는, 데이터 처리 시스템.
- [0144] [청구항 27]
- [0145] 제 26 항에 있어서,
- [0146] 상기 리소스의 현재 상태는 리소스의 동작 모드를 포함하는, 데이터 처리 시스템.
- [0147] [청구항 28]
- [0148] 제 25 항에 있어서,
- [0149] 상기 통신 경로는 리소스에 의해 정의된 맵 정의에 기초하여 결정되는, 데이터 처리 시스템.
- [0150] [청구항 29]
- [0151] 제 28 항에 있어서,
- [0152] 상기 부가적인 신호 스티어링 논리는 맵 정의를 저장하는 맵 정의 저장 회로를 포함하는, 데이터 처리 시스템.
- [0153] [청구항 30]
- [0154] 제 25 항에 있어서,
- [0155] 상기 부가적인 신호 스티어링 논리는 리소스, 및 제 1 버스 마스터 및 제 2 버스 마스터 양쪽 사이에 통신 경로를 확립하는, 데이터 처리 시스템.
- [0156] [청구항 31]
- [0157] 제 25 항에 있어서,
- [0158] 상기 적어도 하나의 부가적인 신호는 시스템 버스의 일부가 아닌, 데이터 처리 시스템.

- [0159] [청구항 32]
- [0160] 제 25 항에 있어서,
- [0161] 상기 시스템은 시스템 버스 프로토콜에 따라 동작하고, 적어도 하나의 부가적인 신호는 시스템 버스 프로토콜 외측에서 동작하는, 데이터 처리 시스템.
- [0162] [청구항 33]
- [0163] 제 25 항에 있어서,
- [0164] 상기 리소스는 적어도 일부의 부가적인 신호 스티어링 논리를 포함하는, 데이터 처리 시스템.
- [0165] [청구항 34]
- [0166] 시스템 버스를 갖는 데이터 처리 시스템에서 부가적인 신호를 통신하는 방법에 있어서,
- [0167] 상기 시스템 버스에 결합된 리소스와 상기 시스템 버스에 결합된 복수의 버스 마스터들 중 적어도 하나 사이에 통신 경로를 확립하는 단계로서, 상기 통신 경로는 상기 리소스에 의해 결정되는, 상기 통신 경로 확립 단계; 및
- [0168] 상기 시스템 버스로부터 분리되고, 상기 통신 경로를 통하여 상기 복수의 버스 마스터들 중의 상기 적어도 하나와 상기 리소스 사이에 상기 부가적인 신호를 전달하는 단계를 포함하는, 부가적인 신호 통신 방법.
- [0169] [청구항 35]
- [0170] 제 34 항에 있어서,
- [0171] 상기 통신 경로를 확립하는 단계는,
- [0172] 리소스의 현재 상태를 결정하는 단계; 및
- [0173] 리소스의 현재 상태에 기초하여 통신 경로를 확립하는 단계를 포함하는, 부가적인 신호 통신 방법.
- [0174] [청구항 36]
- [0175] 제 34 항에 있어서,
- [0176] 상기 통신 경로를 확립하는 단계는,
- [0177] 리소스에 의해 정의된 맵 정의를 제공하는 단계; 및
- [0178] 맵 정의에 기초하여 통신 경로를 확립하는 단계를 포함하는, 부가적인 신호 통신 방법.
- [0179] 추가 텍스트
- [0180] [청구항 1]
- [0181] 데이터 처리 시스템에 있어서,
- [0182] 제 1 버스 마스터;
- [0183] 제 2 버스 마스터; 및
- [0184] 상기 제 1 버스 마스터 및 상기 제 2 버스 마스터에 의해 액세스할 수 있는 공유 재구성 가능 리소스를 포함하고, 상기 공유 재구성 가능 리소스는 상기 제 1 및 제 2 버스 마스터들 중 적어도 하나와 및 복수의 주변 기능들로부터 선택된 제 1 주변 기능을 수행하기 위한 회로 사이에 통신 경로를 확립하는, 데이터 처리 시스템.
- [0185] [청구항 2]
- [0186] 제 1 항에 있어서,
- [0187] 상기 공유 재구성 가능 리소스는 제 1 주변 기능을 수행하기 위한 회로 중 적어도 일부를 포함하는 재구성 가능 채널 회로를 포함하는, 데이터 처리 시스템.
- [0188] [청구항 3]

- [0189] 제 2 항에 있어서,
- [0190] 상기 공유 재구성 가능 리소스는 제 1 주변 기능을 수행하는데 이용하기 위한 재구성 가능 채널 회로에 의해 액세스할 수 있는 재구성 가능 채널 저장소를 포함하는, 데이터 처리 시스템.
- [0191] [청구항 4]
- [0192] 제 2 항에 있어서,
- [0193] 상기 재구성 가능 채널 회로는 복수의 주변 기능들로부터 선택된 제 2 주변 기능을 수행하기 위하여 구성되는, 데이터 처리 시스템.
- [0194] [청구항 5]
- [0195] 제 4 항에 있어서,
- [0196] 상기 공유 재구성 가능 리소스는 적어도 하나의 제 1 및 제 2 버스 마스터들, 및 제 2 주변 기능을 수행하기 위한 회로 사이에 제 2 통신 경로를 확립하고, 재구성 가능 채널 회로는 제 2 주변 기능을 수행하기 위한 회로의 적어도 일부를 포함하는, 데이터 처리 시스템.
- [0197] [청구항 6]
- [0198] 제 5 항에 있어서,
- [0199] 상기 제 2 주변 기능을 수행하기 위한 회로는 시리얼 주변 인터페이스(SPI), 유니버설 비동기 수신기/전송기(UART), 유니버설 시리얼 버스(USB), 입력 캡처, 출력 비교, 범용 입력/출력, 타이머, 및 동기 시리얼 인터페이스(SSI) 중 적어도 하나를 포함하는, 데이터 처리 시스템.
- [0200] [청구항 7]
- [0201] 제 1 항에 있어서,
- [0202] 상기 데이터 처리 시스템은 공유된 재구성 가능 리소스에 결합된 제 1 주변 기능 회로를 더 포함하고, 상기 제 1 주변 기능 회로는 제 1 주변 기능을 수행하기 위한 회로 중 적어도 제 1 부분을 포함하는, 데이터 처리 시스템.
- [0203] [청구항 8]
- [0204] 제 7 항에 있어서,
- [0205] 상기 공유된 재구성 가능 리소스는 제 1 주변 기능을 수행하기 위한 회로의 적어도 제 2 부분을 포함하는, 데이터 처리 시스템.
- [0206] [청구항 9]
- [0207] 제 8 항에 있어서,
- [0208] 상기 공유된 재구성 가능 리소스는 적어도 하나의 제 1 및 제 2 버스 마스터들, 및 복수의 주변 기능들로부터 선택된 제 2 주변 기능을 수행하기 위한 회로 사이에 제 2 통신 경로를 확립하는, 데이터 처리 시스템.
- [0209] [청구항 10]
- [0210] 제 9 항에 있어서,
- [0211] 상기 데이터 처리 시스템은 공유된 재구성 가능 리소스에 결합된 제 2 주변 기능 회로를 더 포함하고, 제 2 주변 기능 회로는 제 2 주변 기능을 수행하기 위한 회로의 적어도 제 1 부분을 포함하고, 공유된 재구성 가능 리소스는 제 2 주변 기능을 수행하기 위한 회로의 적어도 제 2 부분을 포함하는, 데이터 처리 시스템.
- [0212] [청구항 11]
- [0213] 제 8 항에 있어서,
- [0214] 상기 제 2 주변 기능을 수행하기 위한 회로는 시리얼 주변 인터페이스(SPI), 유니버설 비동기 수신기/전송기(UART), 유니버설 시리얼 버스(USB), 입력 캡처, 출력 비교부, 범용 입력/출력, 타이머, 및 동기 시리얼 인터페이스(SSI) 중 적어도 하나를 포함하는, 데이터 처리 시스템.

- [0215] [청구항 12]
- [0216] 제 1 항에 있어서,
- [0217] 제 1 주변 기능을 수행하기 위한 회로는 시리얼 주변 인터페이스(SPI), 유니버설 비동기 수신기/전송기(UART), 유니버설 시리얼 버스(USB), 입력 캡처, 출력 비교부, 범용 입력/출력, 타이머, 및 동기 시리얼 인터페이스(SSI) 중 적어도 하나를 포함하는, 데이터 처리 시스템.
- [0218] [청구항 13]
- [0219] 재구성 가능 리소스를 동작시키는 방법에 있어서,
- [0220] 제 1 마스터와 제 1 주변 기능을 수행하기 위한 회로 사이에 제 1 통신 경로를 확립하도록 상기 재구성 가능 리소스를 구성하는 단계; 및
- [0221] 제 2 마스터와 제 2 주변 기능을 수행하기 위한 회로 사이에 제 2 통신 경로를 확립하도록 상기 재구성 가능 리소스를 구성하는 단계를 포함하고, 상기 제 1 및 제 2 주변 기능들 각각은 복수의 주변 기능들로부터 선택되는, 재구성 가능 리소스 동작 방법.
- [0222] [청구항 14]
- [0223] 제 13 항에 있어서,
- [0224] 상기 제 1 통신 경로를 확립하기 위하여 재구성 가능 리소스를 구성하는 단계는 제 1 주변 기능을 수행하기 위하여 재구성 가능한 리소스내에 채널 회로를 구성하는 단계를 포함하는, 재구성 가능 리소스 동작 방법.
- [0225] [청구항 15]
- [0226] 제 14 항에 있어서,
- [0227] 제 2 통신 경로를 확립하기 위하여 재구성 가능 리소스를 구성하는 단계는 제 2 주변 기능을 수행하기 위하여 재구성 가능 리소스내에 채널 회로를 구성하는 단계를 포함하는, 재구성 가능 리소스 동작 방법.
- [0228] [청구항 16]
- [0229] 제 15 항에 있어서,
- [0230] 상기 제 1 버스 마스터 및 제 2 버스 마스터는 재구성 가능한 리소스에 결합된 마스터들과 다른, 재구성 가능 리소스 동작 방법.
- [0231] [청구항 17]
- [0232] 제 15 항에 있어서,
- [0233] 상기 제 1 버스 마스터 및 제 2 버스 마스터는 재구성 가능 리소스에 결합된 동일한 마스터인, 재구성 가능 리소스 동작 방법.
- [0234] [청구항 18]
- [0235] 제 15 항에 있어서,
- [0236] 상기 제 1 주변 기능을 수행하기 위하여 채널 회로를 구성하는 단계 및 제 2 주변 기능을 수행하기 위한 채널 회로를 구성하는 단계는 각각 채널 회로에 결합된 채널 저장소를 구성하는 단계를 포함하는, 재구성 가능 리소스 동작 방법.
- [0237] [청구항 19]
- [0238] 제 15 항에 있어서,
- [0239] 상기 제 1 주변 기능 및 제 2 주변 기능은 동일한 주변 기능을 포함하는, 재구성 가능 리소스 동작 방법.
- [0240] [청구항 20]
- [0241] 제 15 항에 있어서,
- [0242] 상기 제 1 주변 기능 및 제 2 주변 기능은 다른 주변 기능들을 포함하는, 재구성 가능 리소스 동작 방법.

- [0243] [청구항 21]
- [0244] 제 13 항에 있어서,
- [0245] 복수의 주변 기능들은 시리얼 주변 인터페이스(SPI) 기능, 유니버설 비동기 수신기/전송기(UART) 기능, 유니버설 시리얼 버스(USB) 기능, 입력 캡처 기능, 출력 비교 기능, 범용 입력/출력 기능, 타이머 기능, 및 동기 시리얼 인터페이스(SSI) 기능 중 적어도 하나를 포함하는, 재구성 가능 리소스 동작 방법.
- [0246] [청구항 22]
- [0247] 공유 재구성 가능 리소스에 있어서,
- [0248] 복수의 주변 기능들과 연관된 정보를 저장하도록 구성 가능한 재구성 가능 채널 저장소;
- [0249] 상기 복수의 주변 기능들 각각을 수행하도록 구성 가능한, 재구성 가능 채널 회로; 및
- [0250] 상기 재구성 가능 채널 저장소 및 상기 재구성 가능 채널 회로에 결합된 제어 논리를 포함하고, 상기 제어 논리는 상기 복수의 주변 기능들 중 선택된 하나를 수행하도록 상기 재구성 가능 채널 저장소 및 재구성 가능 채널 회로를 구성하는, 공유 재구성 가능 리소스.
- [0251] [청구항 23]
- [0252] 제 22 항에 있어서,
- [0253] 상기 제어 논리는 적어도 하나의 복수의 마스터들 및 복수의 주변 기능들 중 선택된 하나를 수행하기 위한 회로 사이에 통신 경로를 확립하는, 공유 재구성 가능 리소스.
- [0254] [청구항 24]
- [0255] 제 23 항에 있어서,
- [0256] 상기 재구성 가능 채널 회로는 복수의 주변 기능들 중 선택된 하나를 수행하기 위한 회로의 적어도 일부를 포함하는, 공유 재구성 가능 리소스.
- [0257] [청구항 25]
- [0258] 제 22 항에 있어서,
- [0259] 상기 제어 논리는 복수의 주변 기능들 중 선택된 하나를 재구성 가능 채널 저장소 및 재구성 가능 채널 회로에 가리키는, 공유 재구성 가능 리소스.
- [0260] [청구항 26]
- [0261] 제 22 항에 있어서,
- [0262] 상기 복수의 주변 기능들은 제 1 시리얼 주변 인터페이스(SPI) 기능, 유니버설 비동기 수신기/전송기(UART) 기능, 유니버설 시리얼 버스(USB) 기능, 입력 캡처 기능, 출력 비교 기능, 범용 입력/출력 기능, 타이머 기능, 및 동기 시리얼 인터페이스(SSI) 기능을 포함하는, 공유 재구성 가능 리소스.
- [0263] [청구항 27]
- [0264] 제 26 항에 있어서,
- [0265] 상기 복수의 주변 기능들은 제 2 시리얼 주변 인터페이스(SPI) 기능, 유니버설 비동기 수신기/전송기(UART) 기능, 유니버설 시리얼 버스(USB) 기능, 입력 캡처 기능, 출력 비교 기능, 범용 입력/출력 기능, 타이머 기능, 및 동기 시리얼 인터페이스(SSI) 기능을 포함하는, 공유 재구성 가능 리소스.
- [0266] [청구항 28]
- [0267] 제 22 항에 있어서,
- [0268] 상기 복수의 주변 기능들 중 제 1 서브세트는 제 1 마스터에 대응하고 복수의 주변 기능들 중 제 2 서브세트는 제 2 마스터에 대응하는, 공유 재구성 가능 리소스.
- [0269] [청구항 29]

- [0270] 공유 유니버설 시리얼 버스(Universal Serial Bus; USB) 리소스에 있어서,
- [0271] 제 1 마스터 및 제 2 마스터와 통신하는 버스 인터페이스;
- [0272] 상기 버스 인터페이스에 결합된 엔드포인트 저장 회로로서, 복수의 엔드포인트들을 포함하고 상기 복수의 엔드포인트들 각각은 상기 제 1 마스터 및 상기 제 2 마스터 중 하나에 할당 가능한, 상기 엔드포인트 저장 회로;
- [0273] USB 호스트와 통신하는 시리얼 인터페이스 엔진; 및
- [0274] 상기 버스 인터페이스, 엔드포인트 저장 회로, 및 시리얼 인터페이스 엔진에 결합된 USB 기능 제어기로서,
- [0275] 상기 시리얼 인터페이스 엔진에 결합된 USB 프로토콜 논리;
- [0276] 상기 USB 프로토콜 논리로부터 수신된 정보에 기초하여 인터럽트들을 생성하는 엔드포인트 인터럽트 논리;
- [0277] 인터럽트 스티어링 레지스터들; 및
- [0278] 상기 인터럽트 스티어링 레지스터들에 의해 제공된 스티어링 정보에 기초하여 상기 제 1 마스터 및 상기 버스 마스터 중 대응하는 하나에 상기 인터럽트들 각각을 라우팅하는 인터럽트 스티어링 논리를 포함하는, 상기 USB 기능 제어기를 포함하는, 공유 USB 리소스.
- [0279] [청구항 30]
- [0280] 제 29 항에 있어서,
- [0281] 상기 복수의 엔드포인트들은 인터럽트 스티어링 레지스터들에 기초하여 할당되는, 공유 USB 리소스.
- [0282] [청구항 31]
- [0283] 제 30 항에 있어서,
- [0284] 복수의 엔드포인트들 각각에 대하여, 인터럽트 스티어링 레지스터들은 제 1 마스터 및 제 2 마스터 중 하나에 할당을 가리키는, 공유 USB 리소스.
- [0285] [청구항 32]
- [0286] 제 30 항에 있어서,
- [0287] 상기 인터럽트 스티어링 레지스터들은 인터럽트 스티어링 셋 레지스터 및 인터럽트 스티어링 클리어 레지스터를 포함하는, 공유 USB 리소스.
- [0288] [청구항 33]
- [0289] 제 32 항에 있어서,
- [0290] 상기 인터럽트 스티어링 레지스터들은 인터럽트 스티어링 셋 레지스터 및 인터럽트 스티어링 클리어 레지스터에 결합된 인터럽트 스티어링 저장 회로를 더 포함하고, 상기 인터럽트 스티어링 저장 회로는 인터럽트 스티어링 논리에 스티어링 정보를 제공하는, 공유 USB 리소스.
- [0291] [청구항 34]
- [0292] 제 33 항에 있어서,
- [0293] 상기 인터럽트 스티어링 저장 회로는 복수의 셋-리셋 래치들을 포함하는, 공유 USB 리소스.
- [0294] [청구항 35]
- [0295] 공유 유니버설 시리얼 버스(USB) 리소스에 있어서,
- [0296] 상기 복수의 버스 마스터들 중 하나에 각각 할당할 수 있는 복수의 엔드포인트들; 및
- [0297] 상기 복수의 엔드포인트들에 결합된 USB 기능 제어기를 포함하고, 상기 USB 기능 제어기는,
- [0298] USB 호스트로부터의 통신에 기초하여 인터럽트들을 생성하는 엔드포인트 인터럽트 논리;
- [0299] 상기 복수의 버스 마스터들에 의해 액세스할 수 있는 적어도 하나의 인터럽트 스티어링 레지스터; 및

[0300] 상기 인터럽트 스티어링 레지스터들에 의해 제공된 스티어링 정보에 기초하여 상기 복수의 버스 마스터들 중 대응하는 버스 마스터에 상기 인터럽트들의 각각을 라우팅하는 인터럽트 스티어링 논리를 포함하는, 공유 USB 리소스.

[0301] [청구항 36]

[0302] 제 35 항에 있어서,

[0303] 상기 적어도 하나의 인터럽트 스티어링 레지스터는 인터럽트 스티어링 셋 레지스터 및 인터럽트 스티어링 클리어 레지스터를 포함하는, 공유 USB 리소스.

[0304] [청구항 37]

[0305] 제 36 항에 있어서,

[0306] 상기 적어도 하나의 인터럽트 스티어링 레지스터들은 인터럽트 스티어링 셋 레지스터 및 인터럽트 스티어링 클리어 레지스터에 결합된 인터럽트 스티어링 저장 회로를 더 포함하고, 상기 인터럽트 스티어링 저장 회로는 인터럽트 스티어링 논리에 스티어링 정보를 제공하는, 공유 USB 리소스.

도면의 간단한 설명

[0004] 도 1은 본 발명의 일실시예에 따른 데이터 처리 시스템(10)을 블록도로 도시한 도면.

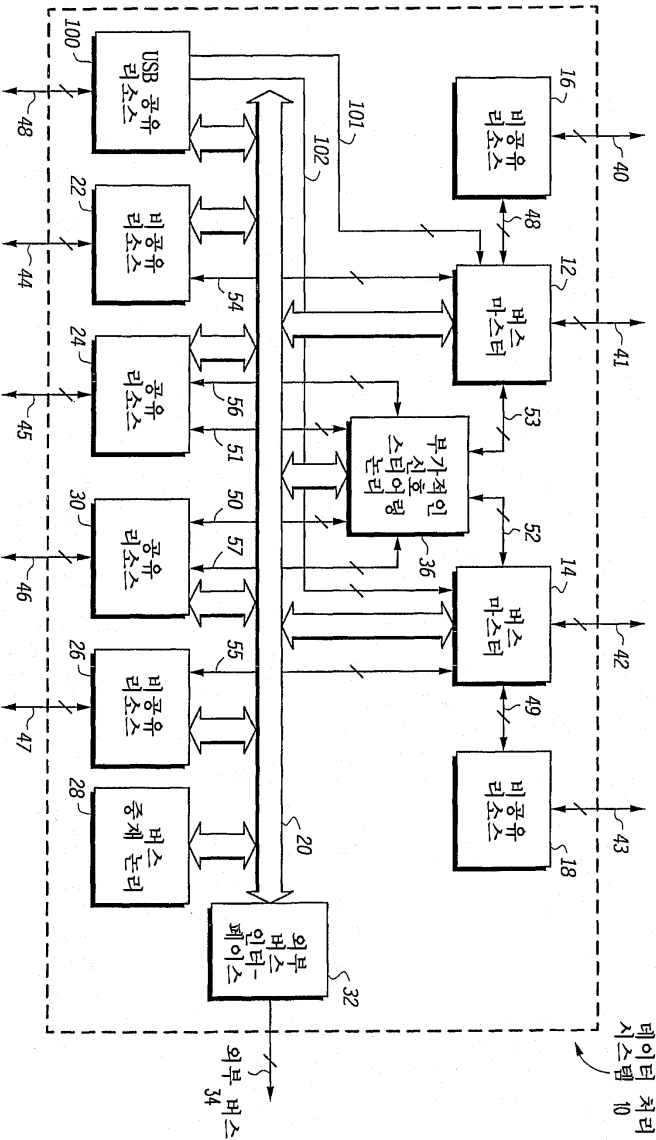
[0005] 도 2는 본 발명의 일실시예에 따른 도 1의 추가적인 신호 스티어링 논리(36)의 일부를 블록도로 도시한 도면.

[0006] 도 3은 본 발명의 일실시예에 따른 다른 회로와 함께 도 1의 공유 리소스(24) 일부를 블록도로 도시한 도면.

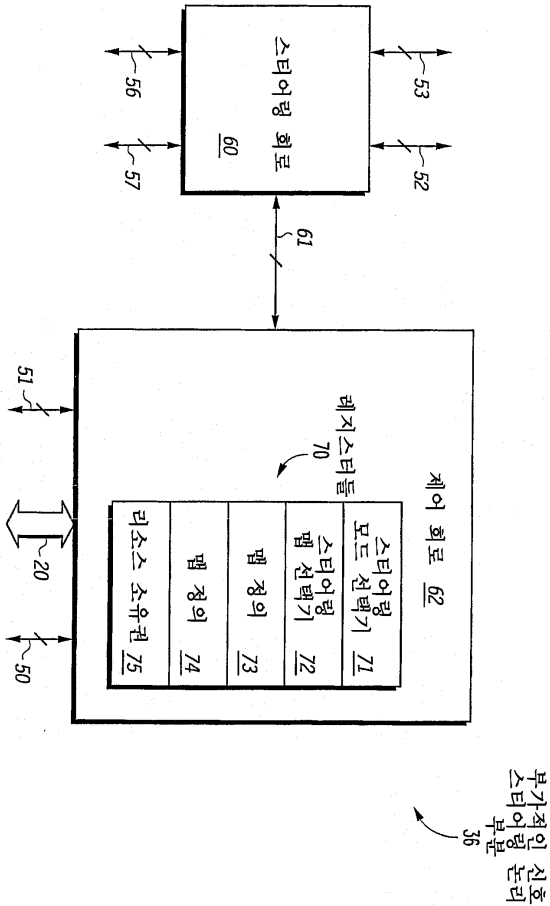
[0007] 도 4는 본 발명의 일실시예에 따른 다른 회로와 함께 도 1의 USB 공유 리소스(100) 부분을 블록도 형태 및 부분 개략도 형태로 도시한 도면.

도면

도면1



도면2



도면3

