

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2025年3月27日(27.03.2025)



(10) 国際公開番号

WO 2025/062637 A1

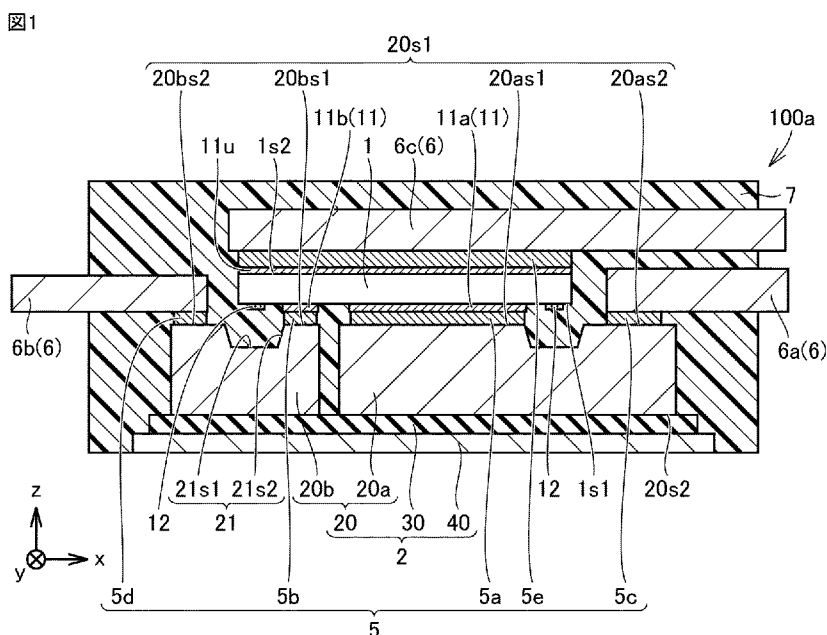
- (51) 国際特許分類:
H01L 23/12 (2006.01)
- (21) 国際出願番号: PCT/JP2023/034522
- (22) 国際出願日: 2023年9月22日(22.09.2023)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (71) 出願人:三菱電機株式会社(MITSUBISHI ELECTRIC CORPORATION) [JP/JP]; 〒1008310 東京都千代田区丸の内二丁目7番3号 Tokyo (JP).
- (72) 発明者: 小林 浩 (KOBAYASHI, Hiroshi); 〒1008310 東京都千代田区丸の内二丁目7番3号 三菱電機株式会社内 Tokyo (JP).
- (74) 代理人: 弁理士法人深見特許事務所(FUKAMI PATENT OFFICE, P.C.); 〒5300005 大阪府大阪

市北区中之島三丁目2番4号 中之島フェスティバルタワー・ウエスト Osaka (JP).

- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, MG, MK, MN, MU, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.
- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG,

(54) Title: SEMICONDUCTOR DEVICE

(54) 発明の名称: 半導体装置



(57) Abstract: A semiconductor device (100a) comprises a semiconductor substrate (1) and a mounting substrate (2). The semiconductor substrate (1) has a first surface (1s1). The mounting substrate (2) has a main surface (20s1). The main surface (20s1) faces the first surface (1s1). An electric field strength relaxation part (12) and an electrode (11) are formed on the first surface (1s1). The electrode (11) is connected to the mounting substrate (2). A recess (21) is formed in the main surface (20s1). The recess (21) is arranged at a position overlapping the electric field strength relaxation part (12) in a plan view of the first surface (1s1).

WO 2025/062637 A1

ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類：

一 国際調査報告 (条約第21条(3))

(57) 要約：半導体装置 (1 0 0 a) は、半導体基板 (1) と実装基板 (2) とを備える。半導体基板 (1) は第 1 面 (1 s 1) を有する。実装基板 (2) は主面 (2 0 s 1) を有する。主面 (2 0 s 1) は第 1 面 (1 s 1) に対面する。第 1 面 (1 s 1) には、電界強度緩和部 (1 2) と、電極 (1 1) とが形成されている。電極 (1 1) は、実装基板 (2) に接続されている。主面 (2 0 s 1) には、凹部 (2 1) が形成されている。凹部 (2 1) は、第 1 面 (1 s 1) の平面視において電界強度緩和部 (1 2) に重なる位置に配置されている。

明 細 書

発明の名称：半導体装置

技術分野

[0001] 本開示は、半導体装置に関する。

背景技術

[0002] 従来、半導体基板の裏面と実装基板とが対向するように当該実装基板が半導体基板の電極に接続されているフリップチップ実装が用いられた半導体装置が知られている（例えば、特開2013-89948号公報参照）。特開2013-89948号公報では、半導体基板は活性領域に発生する高電界を緩和する電界強度緩和部としてガードリングを有する。

先行技術文献

特許文献

[0003] 特許文献1：特開2013-89948号公報

発明の概要

発明が解決しようとする課題

[0004] しかし、上記のような半導体装置において、実装基板およびガードリングが近接すると、半導体基板における活性領域の電界が緩和されず、半導体装置の耐圧性が悪化する。

[0005] 本開示は、上記のような課題を解決するために成されたものであり、本開示の目的は、耐圧性が改善された半導体装置を提供することである。

課題を解決するための手段

[0006] 本開示に従った半導体装置は、半導体基板と実装基板とを備える。半導体基板は第1面を有する。実装基板は主面を有する。主面は第1面に対面する。第1面には、電界強度緩和部と、電極とが形成されている。電極は、実装基板に接続されている。主面には、凹部が形成されている。凹部は、第1面の平面視において電界強度緩和部に重なる位置に配置されている。

発明の効果

[0007] 上記によれば、耐圧性が改善された半導体装置を得ることができる。

図面の簡単な説明

[0008] [図1]実施の形態1に係る半導体装置の概略断面図である。

[図2]実施の形態1に係る半導体装置における半導体基板の概略底面図である。

[図3]実施の形態1に係る半導体装置における実装基板の概略平面図である。

[図4]図3の線分I-V-Iにおける概略断面図である。

[図5]図3の線分V-Vにおける概略断面図である。

[図6]実施の形態1に係る半導体装置における凹部の概略部分断面図である。

[図7]実施の形態1に係る半導体装置における凹部の変形例における概略部分断面図である。

[図8]実施の形態1に係る半導体装置における凹部の変形例における概略部分断面図である。

[図9]実施の形態1に係る半導体装置における凹部の変形例における概略部分断面図である。

[図10]実施の形態1に係る半導体装置における導電部を示す概略平面図である。

[図11]図10の線分XI-XIにおける概略断面図である。

[図12]実施の形態1に係る半導体装置の変形例1における半導体基板の概略底面図である。

[図13]実施の形態1に係る半導体装置の変形例1における実装基板の概略平面図である。

[図14]実施の形態1に係る半導体装置の変形例2における実装基板の概略平面図である。

[図15]実施の形態2に係る半導体装置の概略断面図である。

[図16]実施の形態2に係る半導体装置における実装基板の概略平面図である。

[図17]図16の線分X V | | - X V | |における概略断面図である。

[図18]実施の形態3に係る半導体装置の概略断面図である。

[図19]実施の形態4に係る半導体装置の概略断面図である。

[図20]実施の形態5に係る半導体装置の概略断面図である。

[図21]実施の形態5に係る半導体装置の変形例における概略断面図である。

発明を実施するための形態

[0009] 以下、本開示の実施の形態を説明する。なお、特に言及しない限り、以下の図面において同一または対応する部分には同一の参照番号を付し、その説明は繰り返さない。

[0010] 実施の形態1.

<半導体装置の構成>

図1は、実施の形態1に係る半導体装置100aの概略断面図である。図2は、実施の形態1に係る半導体装置100aにおける半導体基板1の概略底面図である。図3は、実施の形態1に係る半導体装置100aにおける実装基板2の概略平面図である。図4は、図3の線分I V - I Vにおける概略断面図である。図5は、図3の線分V - Vにおける概略断面図である。図6は、実施の形態1に係る半導体装置100aにおける電界強度緩和部12および凹部21の概略部分断面図である。

[0011] 図1から図6に示された半導体装置100aは、たとえば、電力用の半導体装置100aであって、半導体基板1と、実装基板2と、接合部5と、配線回路6と、封止樹脂7とを主に備える。接合部5は、第1接合部5a、第2接合部5b、第3接合部5c、第4接合部5d、および第5接合部5eを含む。配線回路6は、第1配線回路6a、第2配線回路6b、および第3配線回路6cを含む。

[0012] 半導体基板1は、第1面1s1と第2面1s2と第3面1s3とを有する。第1面1s1は、実装基板2の主面20s1に対向する面である。第2面1s2は、第1面1s1の反対側の面である。第3面1s3は、第1面1s1と第2面1s2とを接続する。本実施の形態1に係る半導体装置100a

において、第1面1s1は、半導体基板1の裏面である。本実施の形態1に係る半導体装置100aにおいて、第2面1s2は、半導体基板1の表面である。本実施の形態1に係る半導体装置100aにおいて、第3面1s3は、半導体基板1の側面である。

[0013] 第1面1s1および第2面1s2は、x方向と、x方向に垂直なy方向とに延在している。x方向は、配線回路が延びている方向である。y方向は、x方向に対して垂直な方向である。z方向は、半導体基板1の厚さ方向である。第1面1s1の法線方向は、z方向方向である。第2面1s2は+z方向を向いている。第1面1s1は、-z方向を向いている。

[0014] 図1および図2に示されているように、第1面1s1には、電界強度緩和部12と、電極11とが形成されている。電界強度緩和部12は、半導体基板1の裏面上に形成される電界強度を緩和する。そのため、電界強度緩和部12は、第1面1s1上において電極11に対して離間して配置されている。図2に示されているように、電界強度緩和部12は、電極11を囲むように配置されていてもよい。電界強度緩和部12の形状は、たとえば、環状であってもよい。具体的には、電界強度緩和部12は、ガードリングと呼ばれる終端構造であってもよい。

[0015] 電界強度緩和部12の形状は、環状でなくてもよい。具体的には、電界強度緩和部12は、JTE (Junction Termination Extension) 構造と呼ばれる終端構造であってもよい。電界強度緩和部12は、たとえば、p型領域であって、イオン注入によって形成されてもよい。

[0016] 図2に示されているように、電極11は、第1電極11aと、第2電極11bとを含む。第1電極11aは、主電極である。主電極には主電流が流れる。第2電極11bは、制御電極である。制御電極は、主電流を制御する。第1電極11aおよび第2電極11bは第1面1s1上において互いに離間して配置されている。

[0017] 第1電極11aは、第1接合部5aを介して実装基板2に接続されている

。第2電極11bは、第2接合部5bを介して実装基板2に接続されている。

[0018] 図1に示されているように、半導体基板1の第2面1s2には、上電極11uが形成されている。上電極11uには主電流が流れる。上電極11uには、第5接合部5eを介して第3配線回路6cが接続されている。第3配線回路6cは、x方向に延びている。

[0019] 半導体基板1は、電力を制御するいわゆる電力用の半導体基板1である。半導体基板1を構成する材料として、任意の材料を用いてもよい。半導体基板1を構成する材料として、珪素(Si)、炭化珪素(SiC)、窒化ガリウム(GaN)、酸化ガリウム(GaO)といった材料を用いてもよい。

[0020] 半導体基板1に形成されている半導体素子の種類としては、特に限定する必要はないが、たとえば縦型の半導体素子であってもよい。この場合、当該半導体基板1のz方向(厚さ方向)に主電流が流れる。本実施の形態1における半導体基板1は、制御電極を有するトランジスタであるが、縦型の半導体素子であればダイオードであってもよく、他の機能を有してもよい。半導体基板1は、たとえばIGBT(Insulated Gate Bipolar Transistor)、MOSFET(Metal Oxide Semiconductor Field Effect Transistor)等を用いることができる。

[0021] 電極11を構成する材料は、高い導電性および熱伝導性を有する材料であることが好ましい。電極11を構成する材料は、たとえば、アルミニウム(Al)、アルミニウム合金、銅(Cu)、銅合金のいずれかを含んでもよい。電極11は、Al/Cuの2層構造であってもよく、金(Au)および銀(Ag)のいずれかを含む多層構造であってもよい。

[0022] 電極11は、拡散防止層を含んでもよい。拡散防止層として、たとえば、チタン(Ti)等を含んでもよい。半導体基板1とオーミックコンタクトをとるために、電極11の下地層としてニッケル(Ni)シリサイドを用いてもよい。電極11の酸化防止あるいは接合性向上のために、電極11は薄い

表面層を含んでもよい。表面層を構成する材料は、たとえば金などの貴金属である。

[0023] 本実施の形態1に係る半導体装置100aにおいて、電極11に特段の制約はない。たとえば、第1電極11aおよび第2電極11bの配置箇所に特段の制約はない。具体的には、図2に示されているように、制御電極として第2電極11bは第1面1s1上の隅に配置されてもよいが、第1面1s1の中心に配置されてもよい。

[0024] 第2電極11bの形状は、任意の形状であってもよい。第2電極11bの形状は、たとえば、図2に示されているように四角形状であってもよく、その他に、円状であってもよく、楕円状であってもよく、楕円状と四角状とを組み合わせた形状であってもよい。第2電極11bの形状は、六角形状であってもよい。

[0025] 図1に示されているように、実装基板2は、導電部20と、熱伝導性絶縁層30と、支持層40とを有している。導電部20は、表面と裏面20s2と側面20s3とを有する。表面は、半導体基板1の第1面1s1に対面している。つまり、実装基板2の主面20s1は、導電部20の表面から構成される。裏面20s2は、導電部20の表面の反対側の面である。側面20s3は、表面と裏面20s2とを接続する面である。

[0026] 図1に示されているように、熱伝導性絶縁層30は、導電部20の裏面20s2に接続されている。支持層40は、熱伝導性絶縁層30において導電部20が接続されている面の反対側の面に接続されている。支持層40において、熱伝導性絶縁層30が接続されている面の反対側の面が封止樹脂7から露出している。

[0027] 導電部20は、第1導電部20aと第2導電部20bとを含む。第1導電部20aは、第2導電部20bに対して離間して配置されている。第1導電部20aおよび第2導電部20bは互いに絶縁されていればよい。図1に示されているように、第1導電部20aと第2導電部20bとの間は、たとえば、シリコーンゲルあるいはエポキシ樹脂などの絶縁材料で充填されている

ことが好ましい。本実施の形態1に係る半導体装置100aにおいて、第1導電部20aと第2導電部20bとの間に充填される絶縁材料として、たとえば、図1に示されているように、封止樹脂7であってもよい。

[0028] 当該半導体装置100aの製造工程において、任意の段階で、第1導電部20aと第2導電部20bとの間に、絶縁材料が充填されてもよい。たとえば、半導体装置100aの製造工程の初期段階で、第1導電部20aと第2導電部20bとの間に、絶縁材料が充填されてもよい。たとえば、当該半導体装置100aの製造工程において最終工程に近い段階で、第1導電部20aと第2導電部20bとの間に、絶縁材料が充填されてもよい。

[0029] 耐熱性の観点から、第1導電部20aと第2導電部20bとの間に充填される絶縁材料がシリコーンゲルである場合、半導体装置100aが高温で処理される工程を経た後に、当該絶縁材料を充填することが好ましい。

[0030] 図3に示されているように、実装基板2の主面20s1には凹部21が形成されている。つまり、凹部21は、導電部20の表面に形成されている。第1導電部20aにおいて、主面20s1は、第1電極側面20as1と、第1配線回路側面20as2とを含む。第1電極側面20as1および第1配線回路側面20as2の間に凹部21が形成されている。凹部21には、封止樹脂7が充填されていることが好ましい。

[0031] 第2導電部20bにおいて、主面20s1は、第2電極側面20bs1と、第2配線回路側面20bs2とを含む。第2電極側面20bs1および第2配線回路側面20bs2の間に凹部21が形成されている。

[0032] 導電部20は、電極11に接続されている。具体的には、第1電極11aは、第1導電部20aの第1電極側面20as1に第1接合部5aを介して接続されている。第2電極11bは、第2導電部20bの第2電極側面20bs1に第2接合部5bを介して接続されている。

[0033] つまり、z方向からみた平面視において、第1電極11aは、第1導電部20aの第1電極側面20as1に重なる位置に配置されている。z方向からみた平面視において、第2電極11bは、第2導電部20bの第2電極側

面20bs1に重なる位置に配置されている。

[0034] 図1に示されているように、第1配線回路6aは、第1配線回路側面20as2に第3接合部5cを介して接続されている。第1配線回路6aは、x方向に延びている。第2配線回路6bは、第2配線回路側面20bs2に第4接合部5dを介して接続されている。第2配線回路6bは、-x方向に延びている。このようにして、主電極である第1電極11aと第1導電部20aとが電気的および機械的に接続され、制御電極である第2電極11bと第2導電部20bとが電気的および機械的に接続される。

[0035] 導電部20を構成する材料は、高い導電性および熱伝導性を有する材料であることが好ましい。導電部20を構成する材料は、たとえば、アルミニウム(A1)、アルミニウム合金、銅(Cu)、銅合金のいずれかを含んでもよい。

[0036] 熱伝導性絶縁層30は、接着機能、電気的絶縁機能、熱伝導機能を有する材料であることが好ましい。熱伝導性絶縁層30を構成する材料は、たとえば、無機充填材を含有した熱硬化性樹脂シート、熱硬化性樹脂が含浸された無機成形体シート、および塗布膜などであってもよい。熱伝導性絶縁層30は、互いに離間している第1導電部20aおよび第2導電部20bとを固定する。

[0037] 支持層40の下面に冷却器(図示せず)が接続されてもよい。支持層40は、当該冷却器に熱を伝えることができる材料であってもよい。具体的は、支持層40を構成する材料は、高い熱伝導率を有する銅、アルミニウム、あるいはそれらの合金を含む金属薄板あるいは金属箔であってもよい。また、支持層40は、当該半導体装置100aの機械的強度の大半を占める。そのため、支持層40は高い機械的強度を有することが好ましい。

[0038] 実装基板2において、導電部20、熱伝導性絶縁層30、および支持層40は熱伝導性絶縁層30の接着機能により接着されている。具体的には、加圧および加温することで導電部20、熱伝導性絶縁層30、および支持層40が接着される。

- [0039] 第1配線回路6a、第2配線回路6b、第3配線回路6cを構成する部材は、たとえば導電性を有するリードフレームであってもよい。第1配線回路6a、第2配線回路6b、第3配線回路6cは、主面20s1に対して平行となるように配置されていることが好ましい。特に、第1配線回路6aおよび第3配線回路6cの形状は、平板状であることが好ましい。このようにすれば、寄生インダクタンスが低減される。
- [0040] 封止樹脂7は、半導体基板1と、実装基板2と、第1配線回路6aの一部と、第2配線回路6bの一部と、第3配線回路6cの一部とを覆う。このようにすれば、半導体装置100aの絶縁性が向上し、湿度や汚染などによる外部環境の影響を低減できる。
- [0041] 第1配線回路6aは第1導電部20aの第1配線回路側面20as2から封止樹脂7の外側へ延在している。第2配線回路6bは第2導電部20bの第2配線回路側面20bs2から封止樹脂7の外側へ延在している。第3配線回路6cは半導体基板1の第2面1s2から封止樹脂7の外側へ延在している。
- [0042] 封止樹脂7の外部において外部機器と接続できるように、第1配線回路6a、第2配線回路6b、第3配線回路6cの各々における一部は、封止樹脂7の表面から外側へ延在している。第1配線回路6a、第2配線回路6b、第3配線回路6cは、封止樹脂7の外側に延在している部分において、たとえばフォーミングにより屈曲していてもよい。
- [0043] 接合部5を構成する材料として、はんだが挙げられる。ただし、はんだは比較的高い熱抵抗を有するため、本実施の形態1に係る半導体装置100aの接合部5を構成する材料としてはんだ以外の材料を用いてもよい。また、接合部5の長期信頼性の観点からも、はんだ以外の材料を用いてもよい。なお、熱抵抗は、熱伝導率と、z方向における接合厚さと、x方向およびy方向における接合部5の断面積とから決定される。
- [0044] 特に、はんだを用いて第3接合部5c、第4接合部5d、第5接合部5eを形成すると、当該半導体装置100aの製造工程上、プロセス温度、温度

プロファイルによって、はんだの再溶融が発生し得る。そのため、本実施の形態1に係る半導体装置100aの第3接合部5c、第4接合部5d、第5接合部5eを構成する材料としてはんだとは異なる材料を用いてもよい。

[0045] たとえば、銀(Ag)あるいは銅(Cu)等の微粒子を含む焼結材は、本実施の形態1に係る半導体装置100aの接合部5を構成する材料として好ましい。焼結材を用いて接合部5を形成することで、接合厚さが薄くなる。また、焼結材は、高い熱伝導率を有する。その結果、当該接合部5は小さい熱抵抗を有する。接合部5を形成する際に、加圧、無加圧、プロセス温度、温度プロファイルについて、特段条件はない。

[0046] Cu-Sn等の液相拡散によって接合部5が形成されてもよい。このようにすれば、接合厚さを低減するため、当該接合部5における熱抵抗を更に低減することができる。

[0047] 熱抵抗の更なる抑制のために、接合部5は形成されてなくてもよい。固相反応によって、半導体装置100aを構成する部材が直接的に接合されてもよい。具体的には、第1電極11aおよび第1導電部20aが、第1接合部5aを介さず、固相反応により直接的に接続されてもよい。

[0048] 当該半導体装置100aの動作時に、半導体基板1は発熱する。半導体基板1で発生した熱は、電極11を通過する。制御電極である第2電極11bを通過する熱量は、主電極である第1電極11aを通過する熱量より小さい。そのため、第1接合部5aおよび第2接合部5bを形成する際、第1接合部5aおよび第2接合部5bは同じ材料でなくてもよい。ただし、製造工程の短縮の観点から、第1接合部5aおよび第2接合部5bは同じ材料であることが好ましい。

[0049] 製造工程の短縮の観点から、第3接合部5c、第4接合部5d、第5接合部5eを構成する材料は、第1接合部5a、第2接合部5bと同じ材料であってもよい。第3接合部5c、第4接合部5d、第5接合部5eを形成せず、超音波接合あるいはレーザー溶接によって直接的にリードフレームを接合してもよい。

- [0050] 封止樹脂 7 を構成する材料は、たとえば、エポキシ樹脂などの熱硬化性樹脂であってもよい。封止樹脂 7 は、たとえば、トランスファーモールドによって形成される。後述するように、封止樹脂 7 は、ケースモールドによって形成されてもよい。
- [0051] ここで、本実施の形態 1 に係る半導体装置 100 a の特徴は、図 1 および図 3 に示されるように、実装基板 2 の主面 20 s 1 に凹部 21 が形成されている点である。凹部 21 は、第 1 面 1 s 1 の平面視において、電界強度緩和部 12 に重なる位置に配置されている。
- [0052] 前述したように、電界強度緩和部 12 は、半導体基板 1 の裏面上に形成される電界強度を緩和する。ただし、実装基板 2 が当該電界強度緩和部 12 の近傍に配置されている場合、実装基板 2 が電界強度緩和部 12 の電界強度に影響を与えてしまう。その結果、半導体装置 100 a の耐圧性が悪化するおそれがある。
- [0053] 本実施の形態 1 に係る半導体装置 100 a において、実装基板 2 の主面 20 s 1 に凹部 21 が形成されていることで、電界強度緩和部 12 が実装基板 2 から受ける影響が抑制される。その結果、半導体装置 100 a の耐圧性が改善する。
- [0054] 図 3 に示されているように、凹部 21 は電界強度緩和部 12 の形状に沿って形成されていることが好ましい。具体的には、主面 20 s 1 の平面視において凹部 21 の形状は、環状であってもよい。
- [0055] このようにすることで、電界強度緩和部 12 が実装基板 2 から受ける影響が抑制される。また、半導体基板 1 の裏面（第 1 面 1 s 1）が、放熱面として熱抵抗が抑制される。その結果、当該半導体装置 100 a の放熱性が向上する。
- [0056] 図 4 および図 5 に示されているように、凹部 21 は、底面 21 s 1 と側面 21 s 2 とを有する。底面 21 s 1 は、凹部 21 において、第 1 面 1 s 1 および電界強度緩和部 12 から z 方向において最も離れた面である。側面 21 s 2 は、主面 20 s 1 と底面 21 s 1 とを接続する面である。

- [0057] 図4および図5に示されているように、主面20s1から底面21s1までの距離 t_1 は、導電部20の厚み t_2 より小さい。導電部20の厚み t_2 は、導電部20の表面から裏面20s2までのz方向における距離である。つまり、凹部21の内周面は導電体により構成されており、当該内周面は電氣的に連続している。異なる観点から言うと、たとえば、第1導電部20aにおいて第1電極側面20as1および第1配線回路側面20as2は凹部21を介して導通している。第2導電部20bにおいて第2電極側面20bs1および第2配線回路側面20bs2は凹部21を介して導通している。
- [0058] 凹部21は、主面20s1上に形成された開口部21aを有する。図4および図5に示されているように、z方向に沿った断面において、凹部21の形状は、開口部21aから底面21s1に向かって狭くなっている形状であってもよい。具体的には、図4に示されているように、底面21s1の幅 w_1 は開口部21aの幅 w_2 より小さい。このようにすることで、半導体基板1で発生し電極11を通過する熱の流路幅が広がり、当該半導体装置100aにおける熱抵抗が低減する。
- [0059] 図6に示されているように、z方向に沿った断面において、側面21s2の形状は、直線的なテーパ状であってもよい。具体的には、z方向に沿った断面において、側面21s2の形状は、直線部Lを有してもよい。後述するように、z方向に沿った断面において、側面21s2は、円弧状あるいは楕円状であってもよい。具体的には、z方向に沿った断面において、側面21s2は、曲線部Rを有してもよい。
- [0060] 側面21s2は、直線部Lおよび曲線部Rを組み合わせた面であってもよい。このようにして、z方向における断面において、凹部21の形状は、開口部21aから底面21s1に向かって狭くなっている形状であってもよい。
- [0061] 図6に示されているように、凹部21の幅 w_1 は、電界強度緩和部12の幅 d より大きいことが好ましい。凹部21の幅 w_1 は、第3面1s3から電界強度緩和部12の内周面までの距離 l より大きいことがより好ましい。

- [0062] 図7から図9は、実施の形態1に係る半導体装置100aにおける凹部21の変形例における概略部分断面図である。図7から図9は、図6に対応する。図7から図9に示された半導体装置100aは、基本的には図1から図6に示された半導体装置100aと同様の構成を備え、同様の効果を得ることができるが、凹部21の形状が異なる。
- [0063] 図7に示されているように、底面21s1が実装基板2の側面20s3にまで延在していてもよい。図7に示されているように、凹部21の幅w1は、凹部21の側面21s2から実装基板2の側面20s3までのx方向における距離である。
- [0064] なお、第1配線回路6a、第2配線回路6bなどのリードフレームは、凹部21の底面21s1に接続されてもよい。ただし、凹部21の底面21s1より、第1配線回路側面20as2および第2配線回路側面20bs2などの主面20s1の表面モフォロジーが優れている。そのため、第1配線回路6a、第2配線回路6bなどのリードフレームは、第1配線回路側面20as2および第2配線回路側面20bs2などの主面20s1に接続されていることが好ましい。
- [0065] 図8に示されているように、z方向に沿った断面において、側面21s2は、曲線部Rを有してもよい。側面21s2は、直線部Lと曲線部Rとを組み合わせた面であってもよい。
- [0066] 凹部21において、内周側の側面21s2および外周側の側面21s2の形状が互いに異なっていてもよい。具体的には、図9に示されているように、内周側の側面21s2の断面形状が円弧状あるいは楕円状などの曲線状であり、外周側の側面21s2の断面形状が直線状であってもよい。また、外周側の側面21s2はテーパ状に底面21s1に対して傾斜していてもよい。具体的には、内周側の側面21s2は、曲線部Rを有しており、外周側の側面21s2が、直線部Lを有していてもよい。このようにすることで、z方向における断面において、凹部21の形状は、開口部21aから底面21s1に向かって狭くなっている形状であってもよい。

[0067] 上述のような凹部21は、シリコングルあるいはエポキシ樹脂などの絶縁材料で充填されていることが好ましい。本実施の形態1に係る半導体装置100aにおいて、凹部21に充填される絶縁材料として、たとえば、図1に示されているように、封止樹脂7であってもよい。

[0068] 凹部21は、機械加工あるいは化学加工などの任意の方法で形成されてもよい。機械加工として、具体的には、切削加工、研削加工、フライス加工等の除去加工、およびプレス加工、鋳造加工、鍛造加工等の成形加工などが挙げられる。化学加工として、具体的には、エッチング加工などが挙げられる。

[0069] <半導体装置の製造方法>

本実施の形態に係る半導体装置100aの製造方法では、まず半導体基板1および導電部20を準備する工程(S1a)を実施する。導電部20の表面上には凹部21が形成されている。導電部20は、第1導電部20aおよび第2導電部20bを含む。第1導電部20aおよび第2導電部20bは、互いに離間して配置される。

[0070] 第1導電部20aおよび第2導電部20bが互いに離れている状態だと、当該半導体装置100aの製造工程中において、当該導電部20の取り扱いが困難となる。そのため、図10および図11に示されているように、第1導電部20aおよび第2導電部20bは、絶縁材料として絶縁部3を介して接続されていてもよい。図10は、実施の形態1に係る半導体装置100aにおける導電部20を示す概略平面図である。図11は、図10の線分X1-X1における概略断面図である。

[0071] 絶縁部3は、第1導電部20aおよび第2導電部20bを接続する接着機能と、第1導電部20aおよび第2導電部20bを絶縁する電氣的絶縁機能とを有する。絶縁部3を構成する材料は、たとえば、エポキシ樹脂などの熱硬化性樹脂である。このように、絶縁部3を用いることで、当該半導体装置100aの製造工程中に第1導電部20aおよび第2導電部20bを一体として取り扱うことができる。また、第1導電部20aおよび第2導電部20

bが一体となっているため、導電部20における機械的強度が確保される。

[0072] 次に、導電部20に半導体基板1を搭載する工程(S2a)を実施する。具体的には、半導体基板1の第1面1s1に形成された電極11と導電部20とを接合部5を介して接続する。

[0073] 次に、リードフレームを接続する工程(S3a)を実施する。具体的には、第1導電部20aに接合部5を介して第1配線回路6aを接続する。第2導電部20bに接合部5を介して第2配線回路6bを接続する。半導体基板1の上電極11uに接合部5を介して第3配線回路6cを接続する。

[0074] 次に、封止樹脂7を形成する工程(S4a)を実施する。具体的には、トランスファーマールド用の金型内に、支持層40、熱伝導性絶縁層30、および上述した半導体基板1を搭載した導電部20を配置する。その後、トランスファーマールドによって封止樹脂7を形成する。

[0075] このようにして、図1から図6に示された本実施の形態1に係る半導体装置100aを得ることができる。

[0076] <半導体装置の製造方法の変形例>

本実施の形態1に係る半導体装置100aの製造方法の変形例では、まず半導体基板1および実装基板2を準備する工程(S1b)を実施する。実装基板2は、導電部20、熱伝導性絶縁層30、および支持層40を有する。導電部20の表面上には凹部21が形成されている。

[0077] このようにすることで、当該半導体装置100aの製造工程中に、導電部20、熱伝導性絶縁層30、および支持層40が実装基板2として一体となっていることで、導電部20における機械的な強度が確保される。また、導電部20、熱伝導性絶縁層30、および支持層40が実装基板2として一体となっていることで、当該半導体装置100aの製造工程における導電部20の取り扱い性が向上する。そのため、半導体装置100aの製造工程において、導電部20、熱伝導性絶縁層30、および支持層40が実装基板2として一体となって製造されることが好ましい。

[0078] 次に、導電部20に半導体基板1を搭載する工程(S2b)を実施する。

具体的には、半導体基板1の第1面1s1に形成された電極11と導電部20とを接合部5を介して接続する。

[0079] 次に、リードフレームを接続する工程(S3b)を実施する。具体的には、第1導電部20aに接合部5を介して第1配線回路6aを接続する。第2導電部20bに接合部5を介して第2配線回路6bを接続する。半導体基板1の上電極11uに接合部5を介して第3配線回路6cを接続する。

[0080] 次に、封止樹脂7を形成する工程(S4b)を実施する。具体的には、トランスファーマールド用の金型内に、半導体基板1を搭載した実装基板2を配置する。その後、トランスファーマールドによって封止樹脂7を形成する。

[0081] この工程(S4b)において、樹脂による圧力を利用して、熱伝導性絶縁層30の接着機能、電氣的絶縁機能を発生させる必要がない。そのため、この工程(S4b)におけるトランスファーマールドによって封止樹脂7を形成する際の条件が緩和する。

[0082] このようにして、図1から図6に示された本実施の形態1に係る半導体装置100aを得ることができる。

[0083] <作用効果>

本開示に従った半導体装置100aは、半導体基板1と実装基板2とを備える。半導体基板1は第1面1s1を有する。実装基板2は主面20s1を有する。主面20s1は第1面1s1に対面する。第1面1s1には、電界強度緩和部12と、電極11とが形成されている。電極11は、実装基板2に接続されている。主面20s1には、凹部21が形成されている。凹部21は、第1面1s1の平面視において電界強度緩和部12に重なる位置に配置されている。

[0084] このようにすることで、凹部21が形成されることで電界強度緩和部12と実装基板2との間の距離を充分大きくできる。このため、電界強度緩和部12が実装基板2から受ける影響が抑制される。その結果、半導体装置100aの耐圧性が改善する。

- [0085] 上記半導体装置100aにおいて、第1面1s1に対して垂直な方向をz方向とする。凹部21は、開口部21aと底面21s1とを有する。開口部21aは、主面20s1上に形成されている。底面21s1は、第1面1s1からz方向において最も離れている。底面21s1の幅w1は開口部21aの幅w2よりも小さい。
- [0086] このようにすれば、半導体基板1で発生し電極11を通過する熱の流路幅が広がり、当該半導体装置100aにおける熱抵抗が低減する。
- [0087] 上記半導体装置100aにおいて、凹部21は、側面21s2を有する。側面21s2は、主面20s1と底面21s1とを接続する。z方向に沿った断面において、側面21s2は直線部Lを有する。
- [0088] このようにすれば、z方向における断面において、凹部21の形状は、開口部21aから底面21s1に向かって狭くなっている形状となる。その結果、半導体基板1で発生し電極11を通過する熱の流路幅が広がり、当該半導体装置100aにおける熱抵抗が低減する。
- [0089] 上記半導体装置100aにおいて凹部21は、凹部21は、側面21s2を有する。側面21s2は、主面20s1と底面21s1とを接続する。z方向に沿った断面において、側面21s2は曲線部Rを有する。
- [0090] このようにすれば、z方向における断面において、凹部21の形状は、開口部21aから底面21s1に向かって狭くなっている形状となる。その結果、半導体基板1で発生し電極11を通過する熱の流路幅が広がり、当該半導体装置100aにおける熱抵抗が低減する。
- [0091] 上記半導体装置100aにおいて、電極11は、第1電極11aと第2電極11bとを含む。第1電極11aは、主電極である。第2電極11bは、制御電極である。実装基板2は、導電部20を有する。導電部20は、第1導電部20aと、第2導電部20bとを含む。第1導電部20aは、第1電極11aに接続されている。第2導電部20bは、第2電極11bに接続されている。第1導電部20aおよび第2導電部20bは、絶縁部を介して接続されている。

[0092] このようにすれば、半導体装置100aの製造工程中に第1導電部20aおよび第2導電部20bを一体として取り扱うことができる。つまり、半導体装置100aの製造工程における導電部20の取り扱い性が向上する。また、第1導電部20aおよび第2導電部20bが一体となっているため、導電部20における機械的強度が確保される。

[0093] 上記半導体装置100aにおいて、実装基板2は、熱伝導性絶縁層30を有する。熱伝導性絶縁層30は、導電部20に接続されている。

[0094] このようにすれば、導電部20における機械的な強度が確保される。また、導電部20、熱伝導性絶縁層30、および支持層40が実装基板2として一体となっていることで、当該半導体装置100aの製造工程における導電部20の取り扱い性が向上する。

[0095] <変形例1の構成>

図12は、実施の形態1に係る半導体装置の変形例1における半導体基板1の概略底面図である。図12は、図2に対応する。図13は、実施の形態1に係る半導体装置100aの変形例1における実装基板2の概略平面図である。図13は、図3に対応する。図12および図13に示された半導体装置100aは、基本的には図1から図6に示された半導体装置100aと同様の構成を備え、同様の効果を得ることができるが、図12に示されているように、半導体基板1の第1面1s1に第3電極11cが形成されている点で異なる。第1電極11aおよび第2電極11bの他に、第1面1s1に少なくとも1以上の第3電極11cが形成されていてもよい。第3電極11cの数は、1であってもよく、複数であってもよい。

[0096] 図12に示されているように、第3電極11cは、第1面1s1上において第1電極11aおよび第2電極11bに対して離間して配置されている。このようにすれば、第3電極11cが、主電極である第1電極11aと同電位である時、導電部20は制御電極である第2電極11bに対して平行に配線が可能な第3導電部20cを含む。その結果、耐ノイズ性が向上した半導体装置100aを得ることができる。

- [0097] 前述したように、第1面1s1に第3電極11cが形成されている時、図13に示されているように、導電部20は第3導電部20cを更に含む。第3導電部20cは接合部5（図示せず）を介して第3電極11cに接続されている。
- [0098] 図13に示されているように、第3導電部20cは、第1導電部20aおよび第2導電部20bに対して離間して配置されている。第1導電部20a、第2導電部20b、および第3導電部20cは互いに絶縁されていればよい。第1導電部20a、第2導電部20b、および第3導電部20cの間は、たとえば、シリコンゲルあるいはエポキシ樹脂などの絶縁材料で充填されていることが好ましい。第1導電部20a、第2導電部20b、および第3導電部20cの間に充填される絶縁材料として、たとえば、図1に示されている封止樹脂7であってもよい。
- [0099] 第3導電部20cにおいて、主面20s1は、第3電極側面20cs1と、第3配線回路側面20cs2とを含む。第3電極側面20cs1および第3配線回路側面20cs2の間に凹部21が形成されている。
- [0100] z方向からみた平面視において、第3電極11cは、第3導電部20cの第3電極側面20cs1に重なる位置に配置されている。第3配線回路側面20cs2に、電流センス線およびオンチップダイオードからの配線である温度センス線のいずれかが接続されていてもよい。このようにして、第3電極11cと第3導電部20cとが電気的および機械的に接続されてもよい。
- [0101] <作用効果>
- 上記半導体装置100aにおいて、電極11は、少なくとも1以上の第3電極11cを含む。導電部20は、第3導電部20cを含む。第3導電部20cは、第3電極11cに接続されている。
- [0102] このようにすることで、第3導電部20cに、電流センス線およびオンチップダイオードからの配線である温度センス線のいずれかが接続されていてもよい。
- [0103] 上記半導体装置100aにおいて、第3電極11cは、第1電極11aと

同電位である。

[0104] このようにすることで、耐ノイズ性が向上した半導体装置100aを得ることができる。

[0105] <変形例2の構成>

図14は、実施の形態1に係る半導体装置100aの変形例2における実装基板2の概略底面図である。図14は、図3に対応する。図14に示された実装基板2は、基本的には図1から図6に示された半導体装置100aにおける実装基板2と同様の構成を備え、同様の効果を得ることができるが、図14に示されているように、本実施の形態1に係る半導体装置100aが複数の半導体基板1を備える点で異なる。

[0106] 図1から図6に示された半導体装置100aは、半導体基板1の数は1つであったが、半導体装置100aにおいて半導体基板1の数は複数であってもよい。半導体装置100aは、互いに異なる複数の半導体基板1を備えてもよく、互いに異なる構造を有する複数の半導体基板1を備えてもよい。半導体基板1の種類として縦型と呼ばれる構造であれば、パラレル数および組み合わせに関して特段の制約はない。

[0107] 実施の形態1に係る半導体装置100aの変形例2において、半導体装置100aの回路構成は、1つのモジュールに2つの半導体基板1を搭載したいわゆる2in1タイプとなっている。図14は、ハーフブリッジを構成する実装基板2である。図14に示されているように、実装基板2の左右両端に配置されている4つの第1電極側面20as1はトランジスタ用の半導体基板1に接続されてもよい。実装基板2の中央に配置されている4つの第1電極側面20as1はトランジスタ用の半導体基板1に接続されてもよい。

[0108] 実施の形態2.

<半導体装置の構成>

図15は、実施の形態2に係る半導体装置100bの概略断面図である。図15は、図1に対応する。図16は、実施の形態2に係る半導体装置100bにおける実装基板2の概略平面図である。図16は、図3に対応する。

図17は、図16の線分XV11-XV11における概略断面図である。図17は、図4に対応する。図15から図17に示された半導体装置100bは、基本的には図1および図6に示された半導体装置100aと同様の構成を備え、同様の効果を得られるが、導電部20の裏面20s2に接続されている部材が、熱伝導性絶縁層30ではなく、絶縁基板31である点で異なる。

[0109] 具体的には、本実施の形態2に係る半導体装置100bにおいて、実装基板2は導電部20と絶縁基板31と下電極41とを有する。前述したように、絶縁基板31は、導電部20の裏面20s2に接続されている。下電極41は、絶縁基板31において導電部20が接続されている面の反対側の面に接続されている。下電極41は、絶縁基板31が接続されている面の反対側の面が封止樹脂7から露出している。

[0110] 絶縁基板31を構成する材料は、たとえば、任意の材料であってもよく、Si-NおよびAl-Nのいずれかが主成分であるセラミックであってもよい。絶縁基板31は、導電部20および下電極41を絶縁する。

[0111] 本実施の形態2に係る半導体装置100bにおいて、下電極41には電流が流れない。ただし、高い熱伝導性を有することが好ましい。また、当該半導体装置100bにおける反りを抑制するために、下電極41の線膨張係数は、導電部20の線膨張係数と同じであることが好ましい。つまり、下電極41を構成する材料は、導電部20を構成する材料と同じであることが好ましい。下電極を構成する材料は、たとえば、アルミニウム(Al)、アルミニウム合金、銅(Cu)、銅合金のいずれかを含んでもよい。

[0112] 導電部20、絶縁基板31、下電極41の各々は、直接接合法または活性金属接合(Active Metal Brazing)法により接合されてもよい。なお、ここで直接接合法とは、2つの構成材料を直接反応により接合する方法である。また、ここで活性金属接合法とは、2つの構成材料をチタンまたはジルコニウムなどの活性金属を添加したろう材により接合する方法である。

[0113] 図17に示されているように、導電部20、絶縁基板31、下電極41が実装基板2として一体となっていることで、当該半導体装置100bの製造工程における導電部20の取り扱い性が向上する。

[0114] <作用効果>

上記半導体装置100bにおいて、実装基板2は、絶縁基板31と、下電極41とを有している。絶縁基板31は、導電部20に接続されている。下電極41は、絶縁基板31に接続されている。絶縁基板31からみて導電部20が配置している側の反対側に下電極41が配置されている。

[0115] このようにすることで、導電部20、絶縁基板31、下電極41が実装基板2として一体となる。その結果、当該半導体装置100bの製造工程における導電部20の取り扱い性が向上する。

[0116] 実施の形態3.

<半導体装置の構成>

図18は、実施の形態3に係る半導体装置100cの概略断面図である。図18は、図1に対応する。図18に示された半導体装置100cは、基本的には図1および図6に示された半導体装置100aと同様の構成を備え、同様の効果を得られるが、ケースモールドによって封止樹脂7が形成されている点で異なる。封止樹脂7として、たとえば、ポッティング樹脂が使用される。ポッティング樹脂を構成する材料は、たとえば、シリコーンゲルである。

[0117] 図18に示されているように、支持層40上にケース8が配置されている。当該半導体基板1を囲むようにケース8が配置されている。ケース8は、接着剤などによって支持層40に固定される。接着剤などによって固定されたケース8および支持層40はシールされている。

[0118] ケース8を構成する材料は、たとえば、射出成形が可能であり、高い耐熱性および絶縁性を有する材料であることが好ましい。ケース8を構成する材料として、任意の材料を用いてもよいが、たとえば、ポリフェニレンサルファイド（PPS）などのエンジニアリングプラスチックであってもよい。

[0119] <半導体装置の製造方法>

本実施の形態3に係る半導体装置100cの製造方法では、まず半導体基板1および実装基板2を準備する工程(S1c)を実施する。実装基板2は、導電部20、熱伝導性絶縁層30、および支持層40を有する。導電部20の表面上には凹部21が形成されている。

[0120] 次に、導電部20に半導体基板1を搭載する工程(S2c)を実施する。具体的には、半導体基板1の第1面1s1に形成された電極11と導電部20とを接合部5を介して接続する。

[0121] 次に、リードフレームを接続する工程(S3c)を実施する。具体的には、第1導電部20aに接合部5を介して第1配線回路6aを接続する。第2導電部20bに接合部5を介して第2配線回路6bを接続する。半導体基板1の上電極11uに接合部5を介して第3配線回路6cを接続する。

[0122] 次に、封止樹脂7を形成する工程(S4c)を実施する。具体的には、接着剤などによって支持層40にケース8を固定する。その後、ポッティング樹脂等をケース8に充填する。

[0123] 次の工程として、たとえば、蓋(図示せず)を当該半導体装置100cに搭載してもよい。また、封止樹脂7の外部に延在している配線回路に対して、折り曲げなどの端子処理を施してもよい。

[0124] このようにして、図18に示された本実施の形態3に係る半導体装置100cを得ることができる。

[0125] <作用効果>

上記半導体装置100cは、ケース8を更に備える。ケース8は、封止樹脂7を囲む。

[0126] このようにすれば、ケースモールドによって封止樹脂7が形成された半導体装置100cを得ることができる。

[0127] 実施の形態4.

<半導体装置の構成>

図19は、実施の形態4に係る半導体装置100dの概略断面図である。

図19は、図1に対応する。図19に示された半導体装置100dは、基本的には図1から図6に示された半導体装置100aと同様の構成を備え、同様の効果を得られるが、冷却器9を備える点で異なる。

[0128] 具体的には、封止樹脂7から露出している支持層40の裏面に第6接合部5fを介して冷却器9が接続されている。冷却器9の内部には冷媒としての液体を流通させるための流路が形成されている。本実施の形態4に係る半導体装置100dにおける冷却器9は、液体冷却用の冷却器9であるが、空冷用の冷却器9であってもよい。このようにすれば、当該半導体装置100dの放熱性が改善される。

[0129] 第6接合部5fを構成する材料として、はんだが挙げられるが、高い熱伝導率を有し、接合厚さが薄くても長期信頼性を確保できる材料であることが特に好ましい。

[0130] 冷却器9を構成する材料は、高い熱伝導率を有する材料であればよい。冷却器9を構成する材料は、たとえば、アルミニウム（Al）、アルミニウム合金、銅（Cu）、銅合金のいずれかを含んでもよい。

[0131] 本実施の形態4に係る半導体装置100dにおいて、ケースモールドによって封止樹脂7を形成する場合、冷却器9を実装基板2に接合した後に、ポッティング樹脂をケース8に充填することが好ましい。

[0132] <作用効果>

上記半導体装置100dは、冷却器9を更に備える。冷却器9は、実装基板2に接続されている。

[0133] このようにすることで、当該半導体装置100dにおける放熱性が改善される。

実施の形態5.

<半導体装置の構成>

図20は、実施の形態5に係る半導体装置100eの概略断面図である。図20は、図1に対応する。図20に示された半導体装置100eは、基本的には図1から図6に示された半導体装置100aと同様の構成を備え、同

様の効果を得られるが、封止樹脂 7 が冷却器 9 の一部を封止している点で異なる。

[0134] 冷却器 9 は、実装基板 2 の支持層 4 0 の役割を有する。そのため、冷却器 9 に熱伝導性絶縁層 3 0 が接続されている。そのため、冷却器 9 は、図 1 9 に示されている第 6 接合部 5 f を介して熱伝導性絶縁層 3 0 に接続されていなくてもよい。このようにすることで、当該半導体装置 1 0 0 e の放熱性が更に改善される。

[0135] 図 2 1 は、実施の形態 5 に係る半導体装置 1 0 0 e の変形例における概略断面図である。図 2 1 は、図 1 に対応する。図 2 1 に示された半導体装置 1 0 0 e は、基本的には図 2 0 に示された半導体装置 1 0 0 e と同様の構成を備え、同様の効果を得られるが、封止樹脂 7 が冷却器 9 の全体を封止している点で異なる。

[0136] <作用効果>

上記半導体装置 1 0 0 e は、内部に冷却器 9 の少なくとも一部を封止する。

[0137] このようにすることで、当該半導体装置 1 0 0 e の放熱性が更に改善される。

今回開示された実施の形態はすべての点で例示であって制限的なものではないと考えられるべきである。矛盾のない限り、今回開示された実施の形態の少なくとも 2 つを組み合わせてもよい。本開示の基本的な範囲は、上記した説明ではなく請求の範囲によって示され、請求の範囲と均等の意味および範囲内でのすべての変更が含まれることを意図される。

符号の説明

[0138] 1 半導体基板、1 s 1 第 1 面、1 s 2 第 2 面、1 s 3 第 3 面、2 実装基板、3 絶縁部、5 接合部、5 a 第 1 接合部、5 b 第 2 接合部、5 c 第 3 接合部、5 d 第 4 接合部、5 e 第 5 接合部、5 f 第 6 接合部、6 配線回路、6 a 第 1 配線回路、6 b 第 2 配線回路、6 c 第 3 配線回路、7 封止樹脂、8 ケース、9 冷却器、1 1 電極、1 1

a 第1電極、11b 第2電極、11c 第3電極、11u 上電極、12 電界強度緩和部、20 導電部、20a 第1導電部、20as1 第1電極側面、20as2 第1配線回路側面、20b 第2導電部、20bs1 第2電極側面、20bs2 第2配線回路側面、20c 第3導電部、20cs1 第3電極側面、20cs2 第3配線回路側面、20s1 主面、20s2 裏面、20s3 側面、21 凹部、21a 開口部、21s1 底面、21s2 側面、30 熱伝導性絶縁層、31 絶縁基板、40 支持層、41 下電極

100a, 100b, 100c, 100d, 100e 半導体装置、d 幅、l 距離、L 直線部、R 曲線部、t1 距離、w1 幅、w2 幅。

請求の範囲

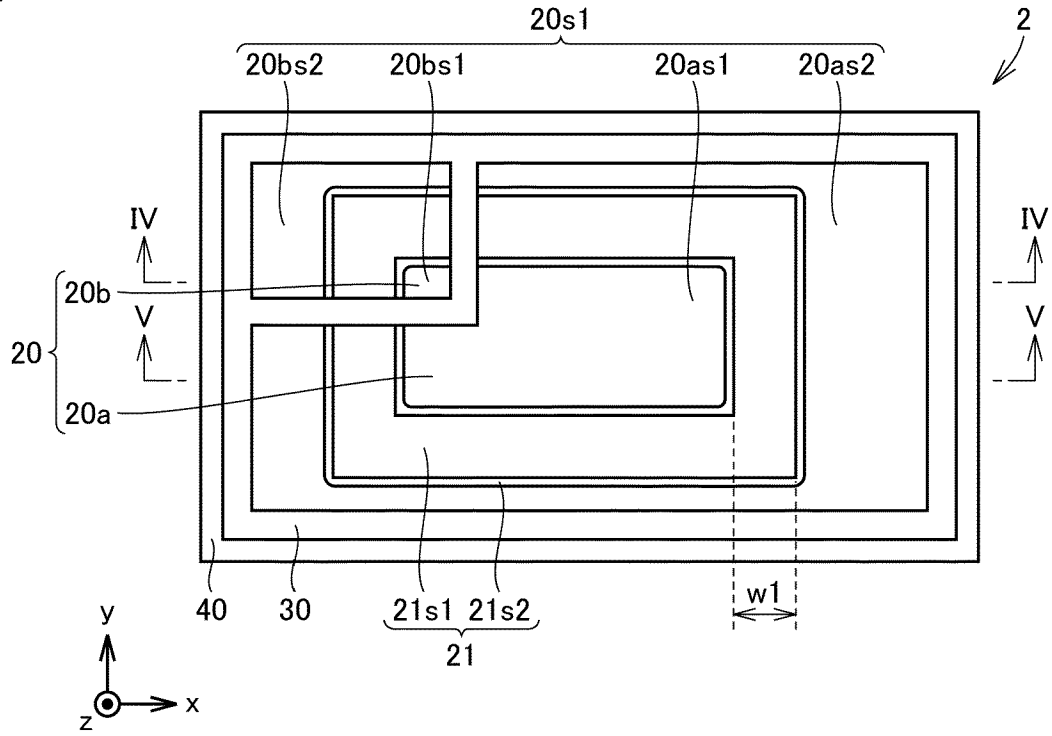
- [請求項1] 第1面を有する半導体基板と、
前記第1面に対面する主面を有する実装基板とを備え、
前記第1面には、電界強度緩和部と、前記実装基板に接続されている電極とが形成されており、
前記主面には、凹部が形成されており、
前記凹部は、前記第1面の平面視において前記電界強度緩和部に重なる位置に配置されている、半導体装置。
- [請求項2] 前記第1面に対して垂直な方向をz方向とすると、
前記凹部は、前記主面上に形成された開口部と、前記第1面から前記z方向において最も離れた底面とを有し、
前記底面の幅は前記開口部の幅よりも小さい、請求項1に記載の半導体装置。
- [請求項3] 前記凹部は、前記主面と前記底面とを接続する側面を有し、
前記z方向に沿った断面において、前記側面は直線部を有する、請求項2に記載の半導体装置。
- [請求項4] 前記凹部は、前記主面と前記底面とを接続する側面を有し、
前記z方向に沿った断面において、前記側面は曲線部を有する、請求項2または請求項3に記載の半導体装置。
- [請求項5] 前記電極は、主電極である第1電極と制御電極である第2電極とを含み、
前記実装基板は、導電部を有し、
前記導電部は、前記第1電極に接続されている第1導電部と、前記第2電極に接続されている第2導電部とを含み、
前記第1導電部および前記第2導電部は、絶縁部を介して接続されている、請求項1から請求項4のいずれか1項に記載の半導体装置。
- [請求項6] 前記電極は、少なくとも1以上の第3電極を含み、
前記導電部は、前記第3電極に接続されている第3導電部を含む、

請求項 5 に記載の半導体装置。

- [請求項7] 前記第 3 電極は、前記第 1 電極と同電位である、請求項 6 に記載の半導体装置。
- [請求項8] 前記実装基板は、前記導電部に接続されている熱伝導性絶縁層を有する、請求項 5 から請求項 7 のいずれか 1 項に記載の半導体装置。
- [請求項9] 前記実装基板は、前記導電部に接続されている絶縁基板と、前記絶縁基板に接続されている下電極とを有し、
前記絶縁基板からみて前記導電部が配置している側の反対側に前記下電極が配置されている、請求項 5 から請求項 7 のいずれか 1 項に記載の半導体装置。
- [請求項10] 前記半導体基板を内部に封止する封止樹脂を更に備える、請求項 1 から請求項 9 のいずれか 1 項に記載の半導体装置。
- [請求項11] 前記封止樹脂を囲むケースを更に備えた、請求項 10 に記載の半導体装置。
- [請求項12] 前記実装基板に接続されている冷却器を更に備えた、請求項 10 または請求項 11 に記載の半導体装置。
- [請求項13] 前記封止樹脂は、内部に前記冷却器の少なくとも一部を封止する、請求項 12 に記載の半導体装置。

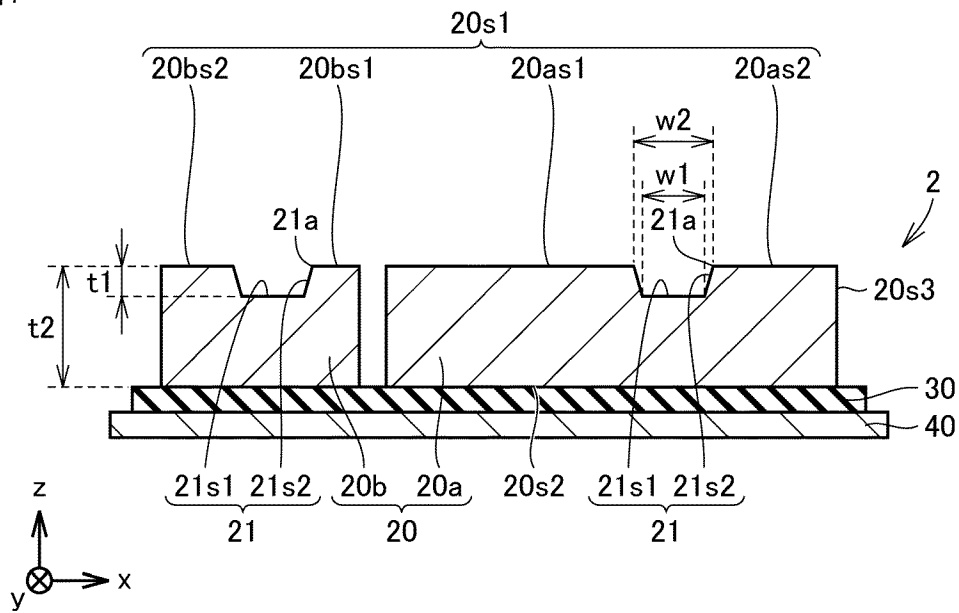
[図3]

図3



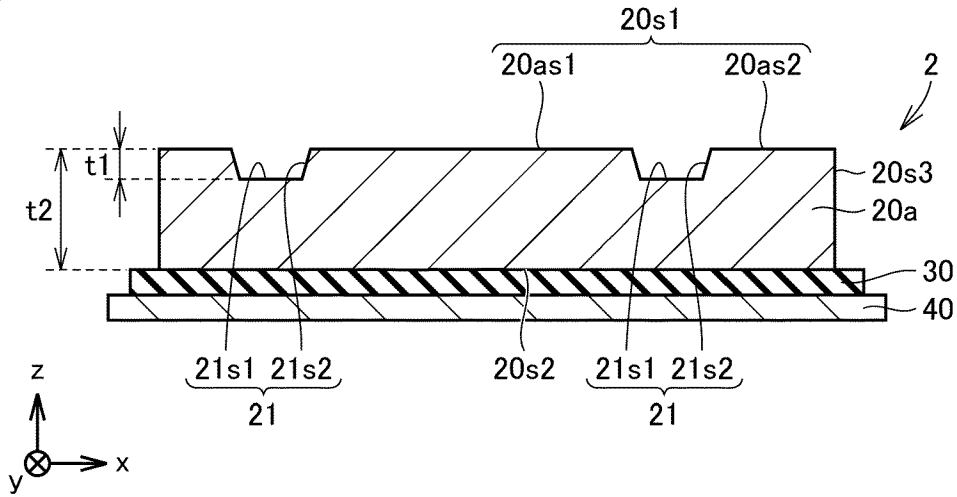
[図4]

図4



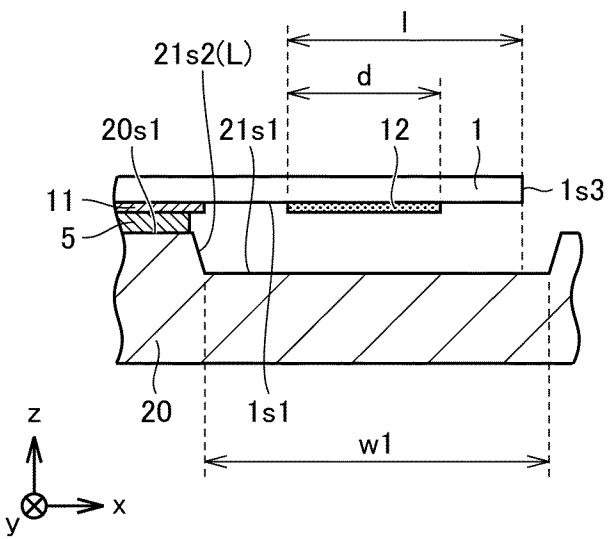
[図5]

図5



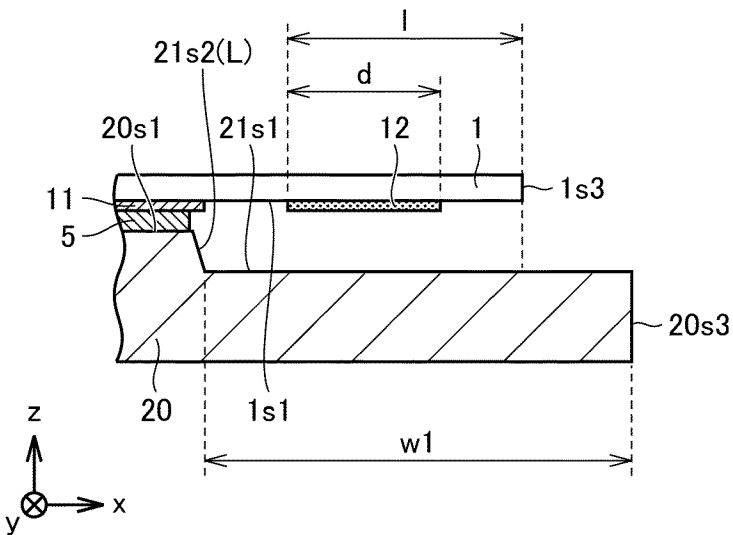
[図6]

図6



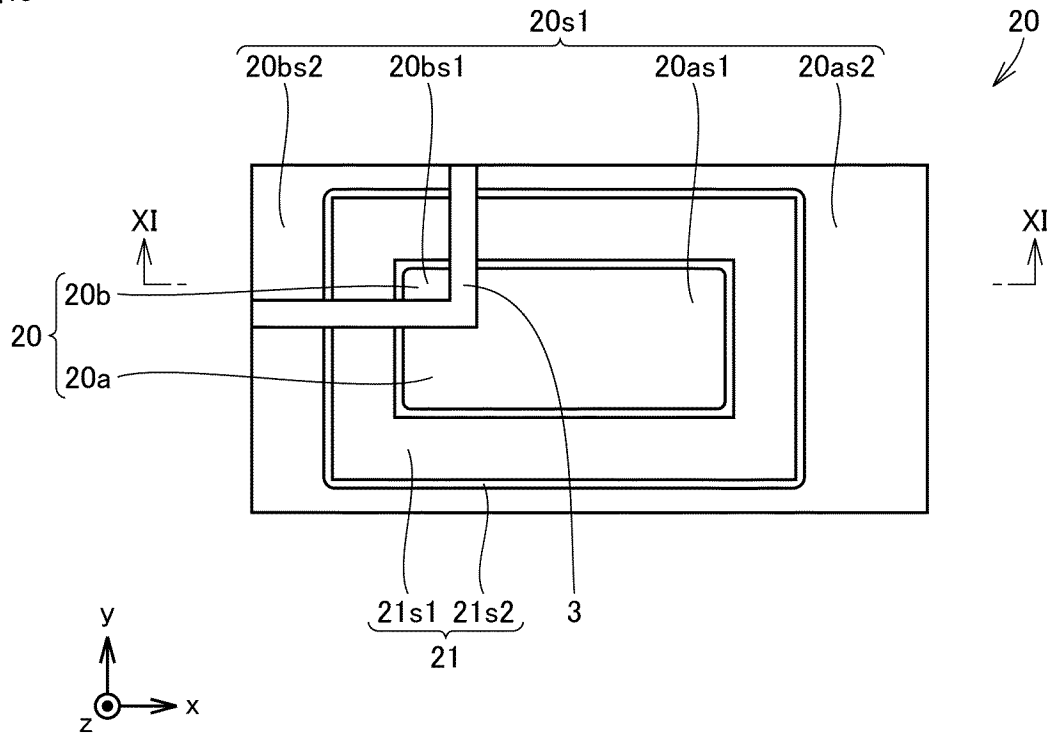
[図7]

図7



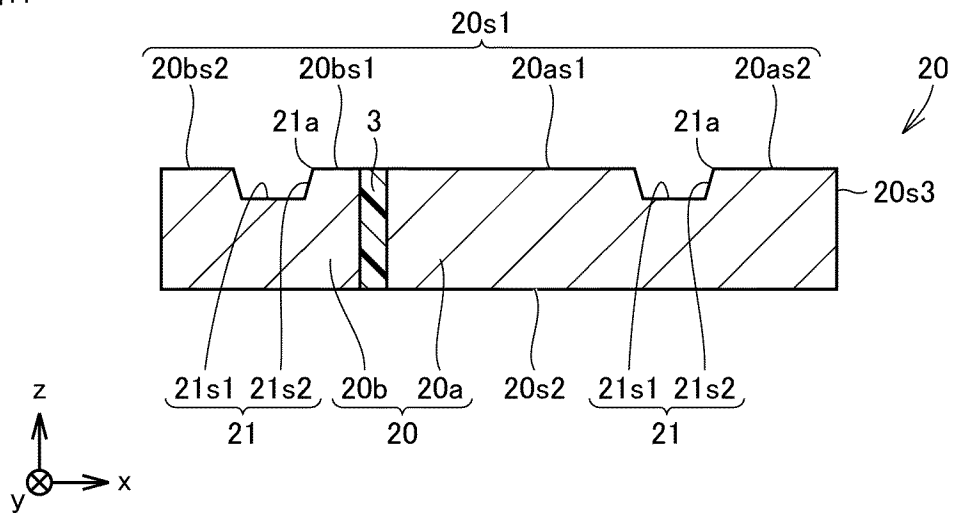
[図10]

図10



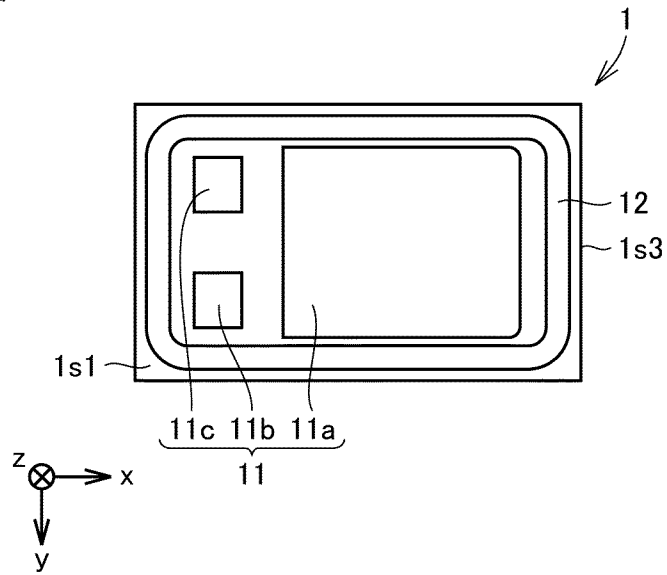
[図11]

図11



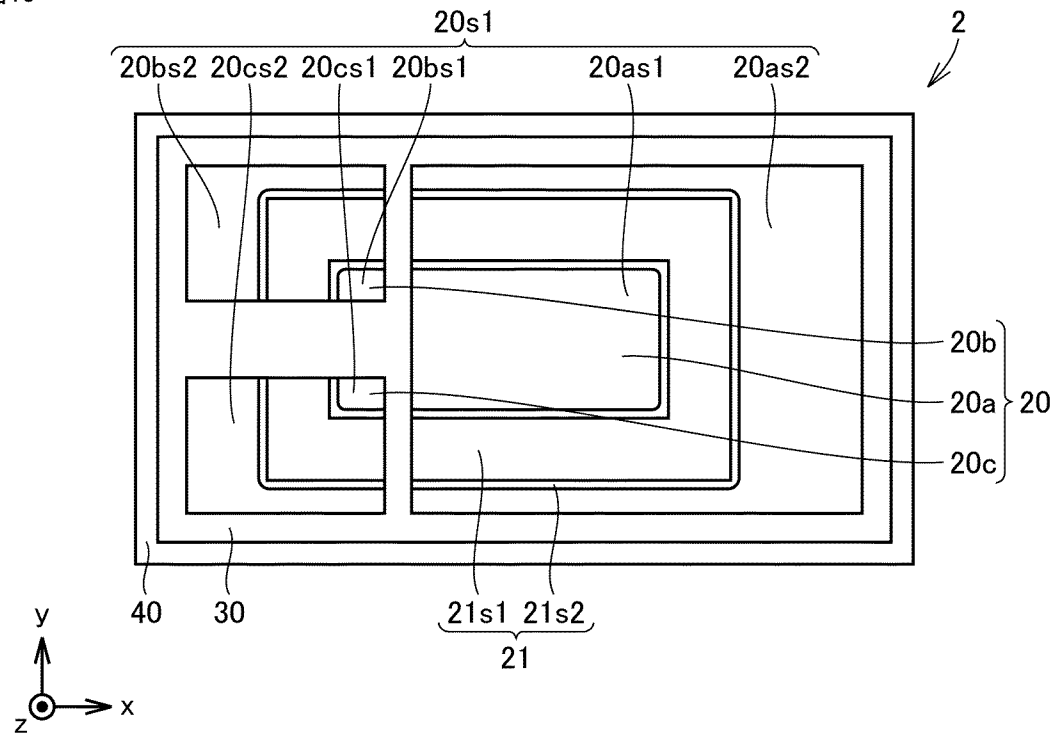
[図12]

図12



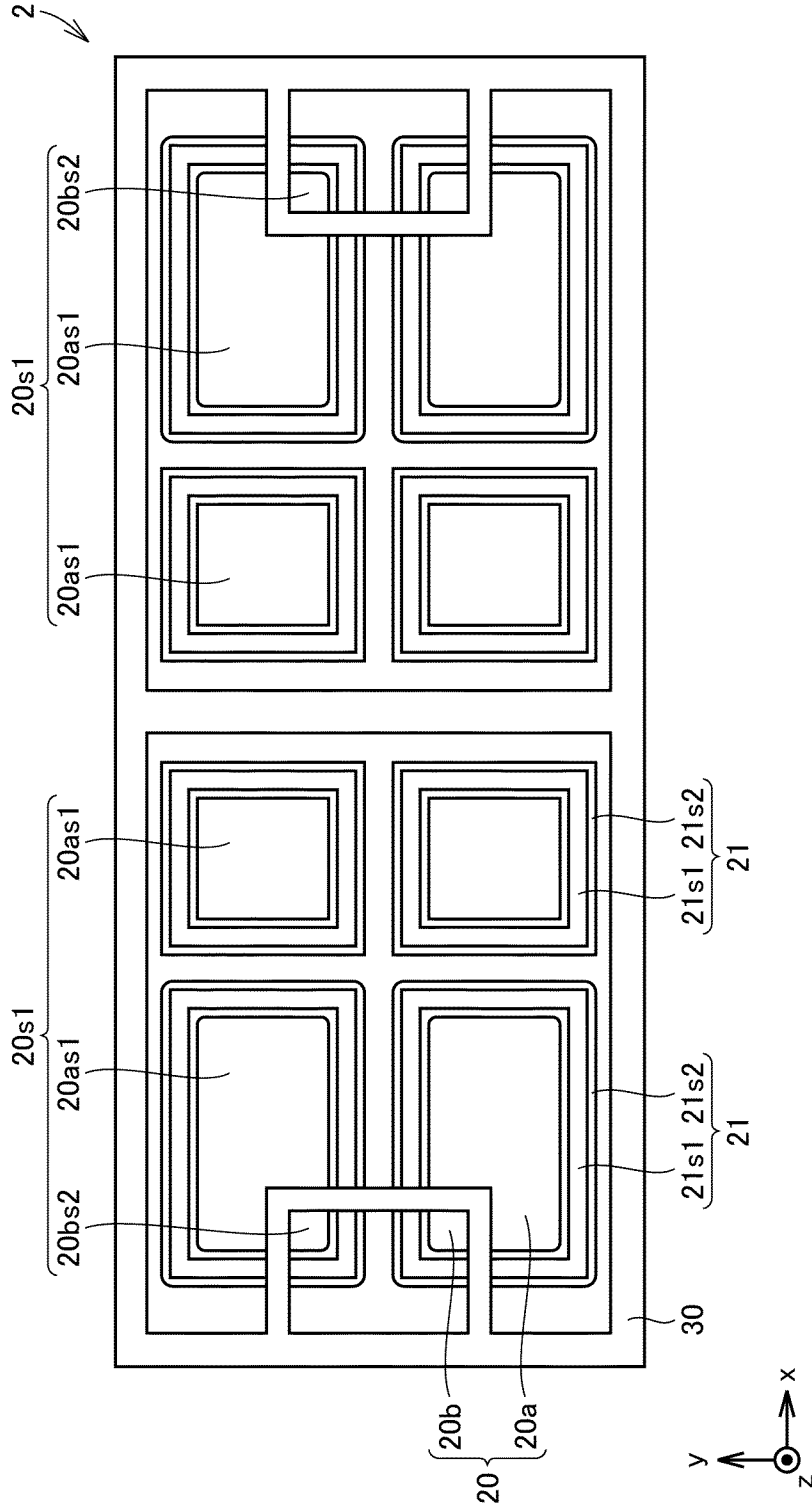
[図13]

図13



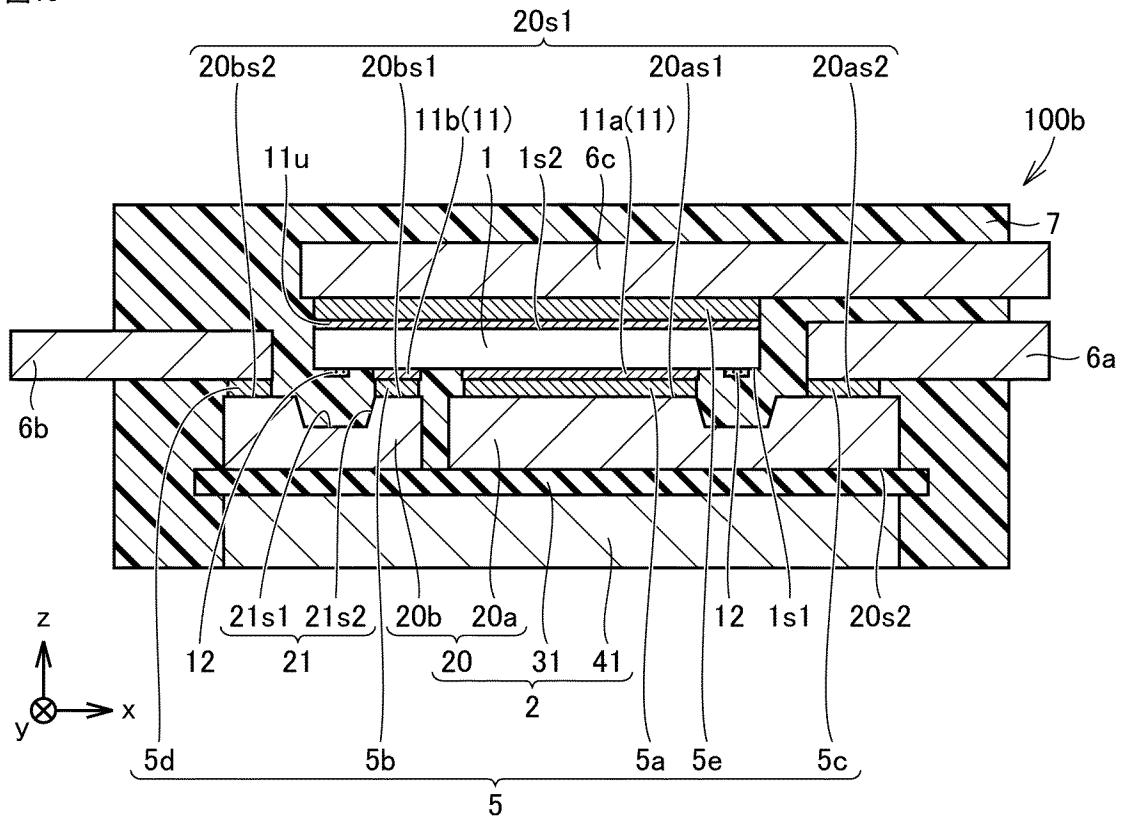
[図14]

図14



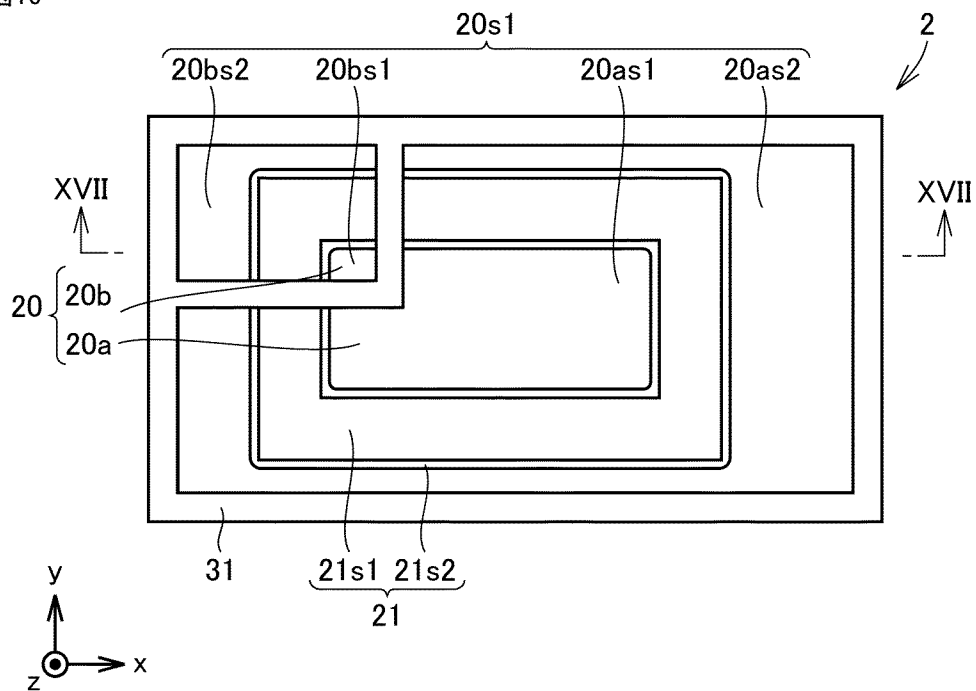
[図15]

図15



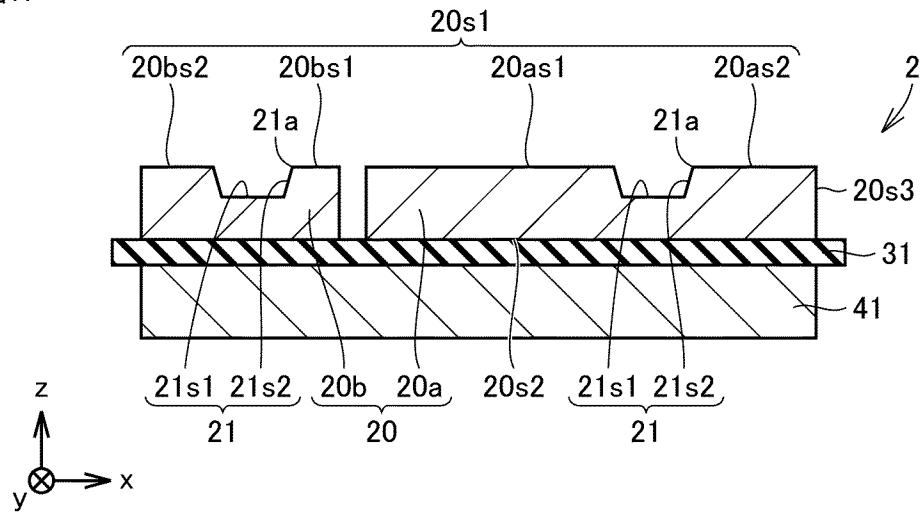
[図16]

図16



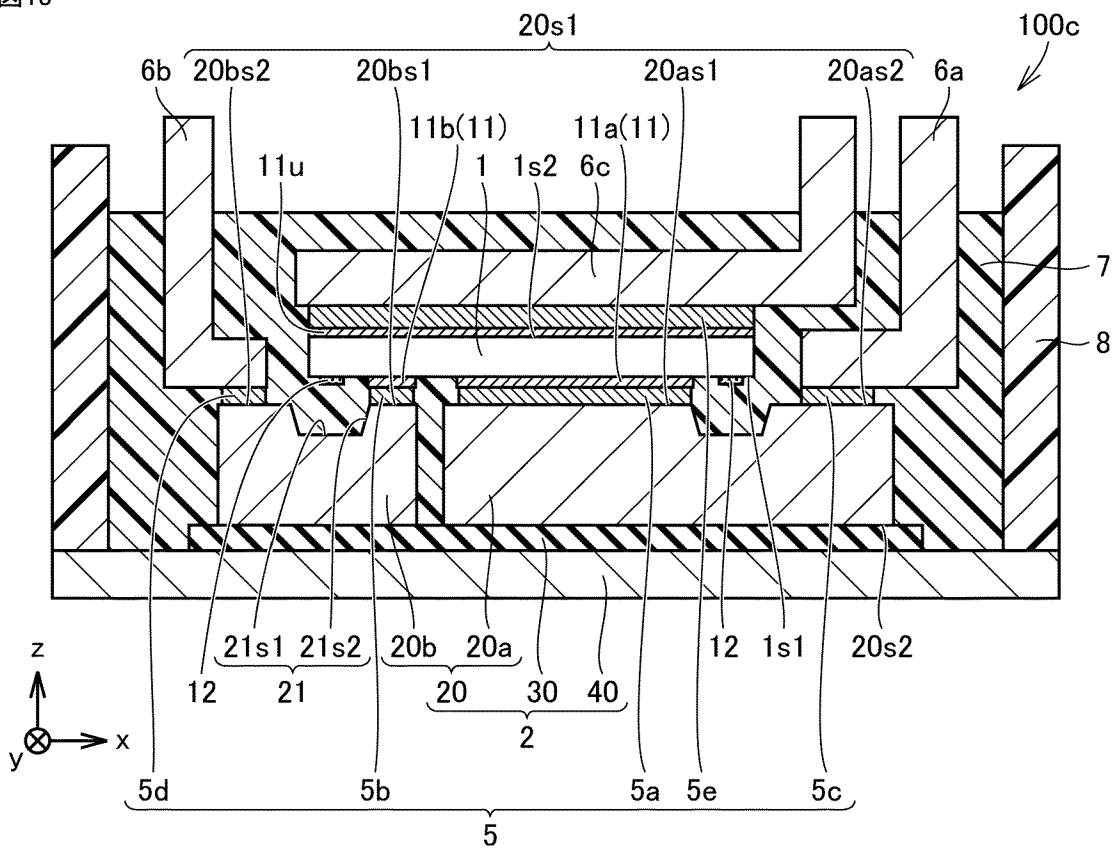
[図17]

図17



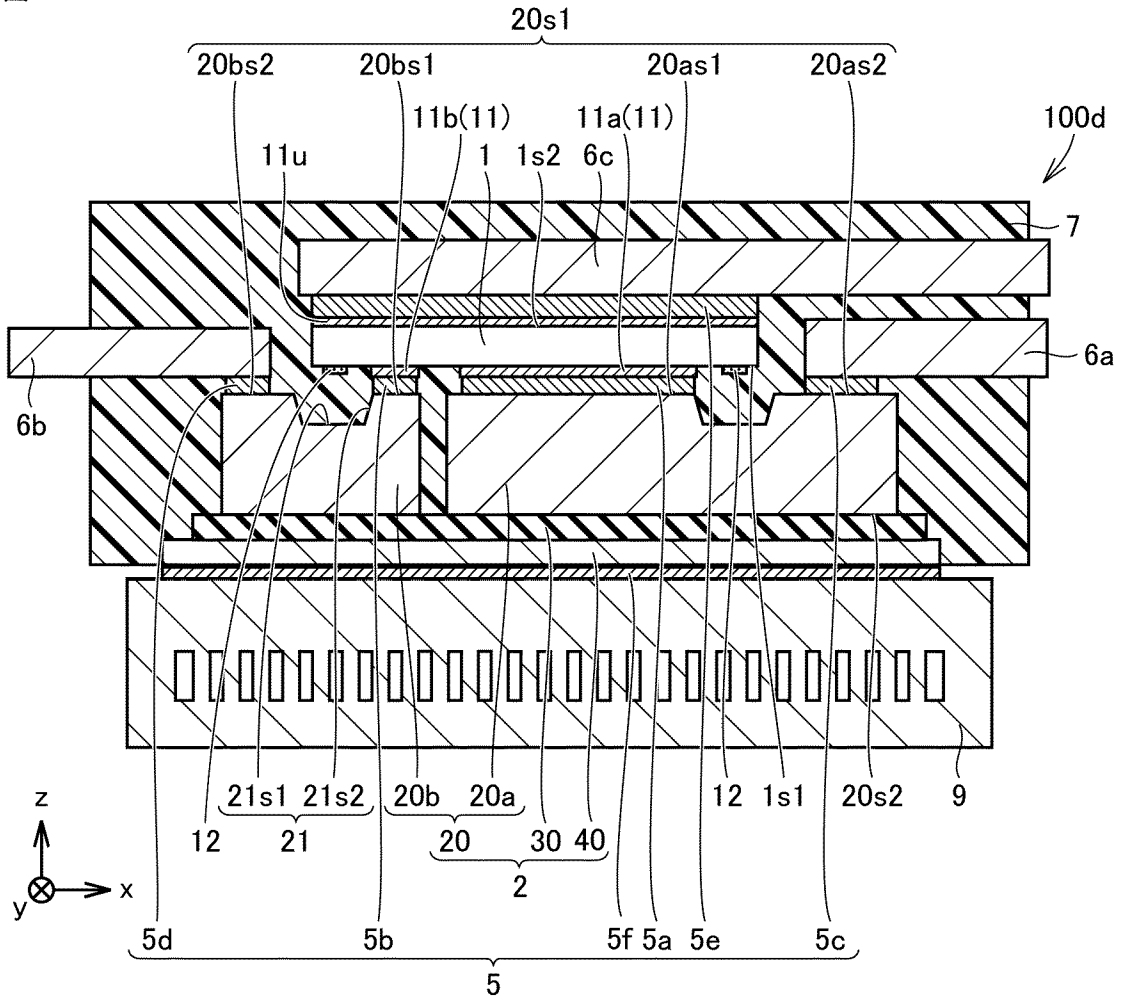
[図18]

図18



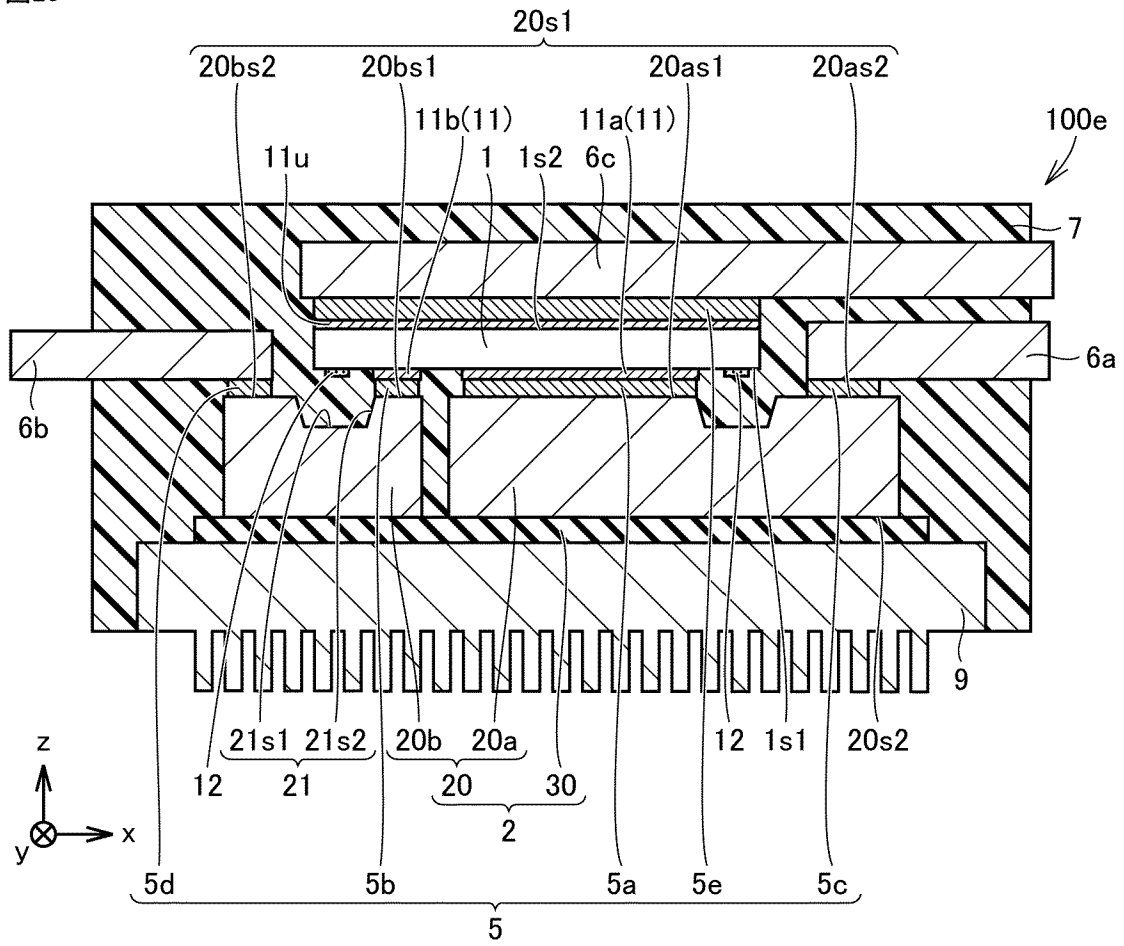
[図19]

図19



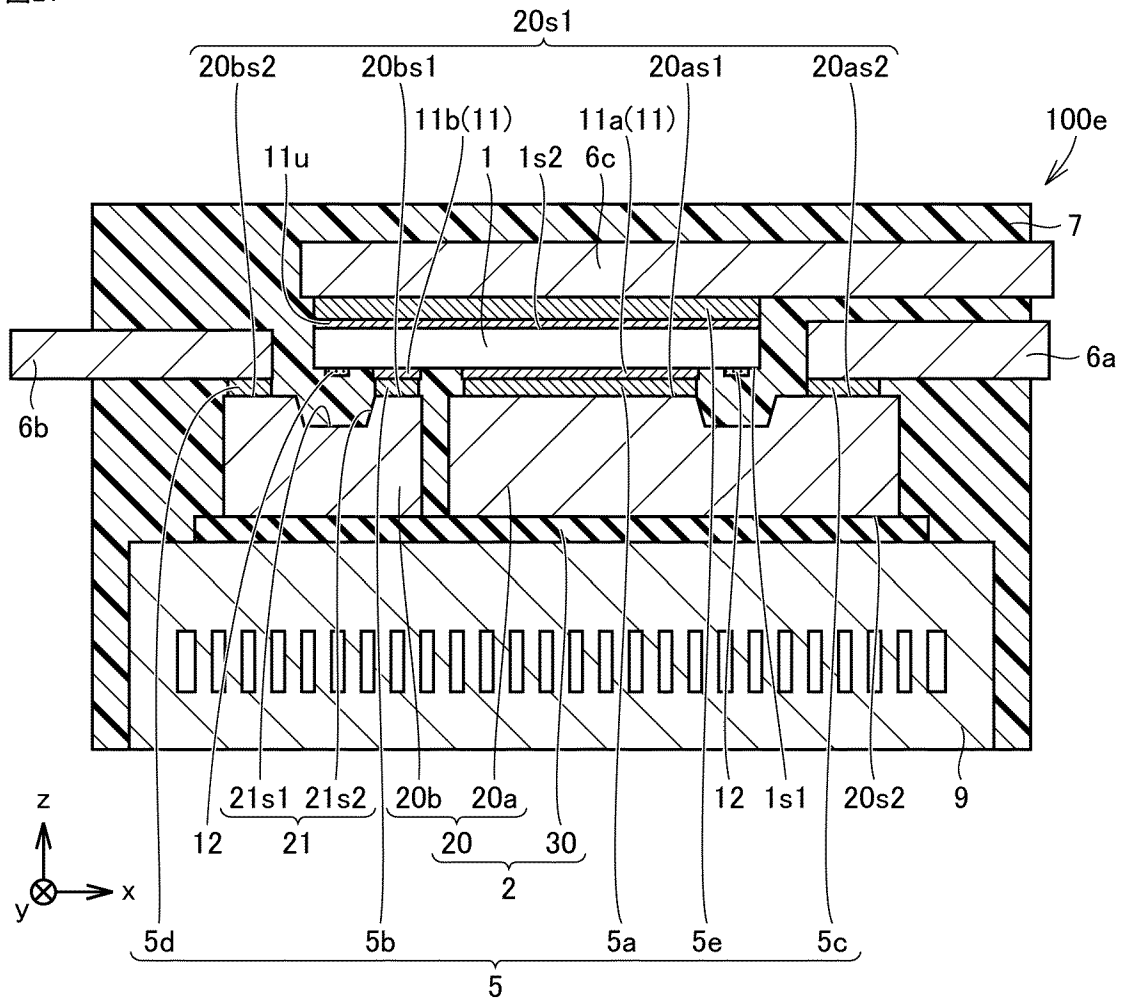
[図20]

図20



[図21]

図21



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2023/034522

A. CLASSIFICATION OF SUBJECT MATTER		
<i>H01L 23/12</i> (2006.01) FI: H01L23/12 F		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED		
Minimum documentation searched (classification system followed by classification symbols) H01L23/12		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Published examined utility model applications of Japan 1922-1996 Published unexamined utility model applications of Japan 1971-2023 Registered utility model specifications of Japan 1996-2023 Published registered utility model applications of Japan 1994-2023		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X A	JP 4-167565 A (FUJITSU LIMITED) 15 June 1992 (1992-06-15) p. 3, upper right column, line 9 to p. 4, lower left column, line 5, fig. 2, 3	1-4 5-13
A	JP 2000-114413 A (SONY CORPORATION) 21 April 2000 (2000-04-21) entire text, all drawings	1-13
<input type="checkbox"/> Further documents are listed in the continuation of Box C. <input checked="" type="checkbox"/> See patent family annex.		
<p>* Special categories of cited documents:</p> <p>“A” document defining the general state of the art which is not considered to be of particular relevance</p> <p>“E” earlier application or patent but published on or after the international filing date</p> <p>“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)</p> <p>“O” document referring to an oral disclosure, use, exhibition or other means</p> <p>“P” document published prior to the international filing date but later than the priority date claimed</p> <p>“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention</p> <p>“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone</p> <p>“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art</p> <p>“&” document member of the same patent family</p>		
Date of the actual completion of the international search 15 November 2023		Date of mailing of the international search report 28 November 2023
Name and mailing address of the ISA/JP Japan Patent Office (ISA/JP) 3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915 Japan		Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/JP2023/034522

Patent document cited in search report	Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
JP 4-167565 A	15 June 1992	(Family: none)	
JP 2000-114413 A	21 April 2000	US 2002/0074146 A1 entire text, all drawings	

A. 発明の属する分野の分類（国際特許分類（IPC）） H01L 23/12(2006.01)i FI: H01L23/12 F		
B. 調査を行った分野		
調査を行った最小限資料（国際特許分類（IPC）） H01L23/12		
最小限資料以外の資料で調査を行った分野に含まれるもの		
日本国実用新案公報	1922 - 1996年	
日本国公開実用新案公報	1971 - 2023年	
日本国実用新案登録公報	1996 - 2023年	
日本国登録実用新案公報	1994 - 2023年	
国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X	JP 4-167565 A（富士通株式会社）15.06.1992（1992 - 06 - 15） 第3頁右上欄第9行目-第4頁左下欄第5行目，図2, 3	1-4
A		5-13
A	JP 2000-114413 A（ソニー株式会社）21.04.2000（2000 - 04 - 21） 全文，全図	1-13
<input type="checkbox"/> C欄の続きにも文献が列挙されている。 <input checked="" type="checkbox"/> パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー “A” 特に関連のある文献ではなく、一般的技術水準を示すもの “E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの “L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） “O” 口頭による開示、使用、展示等に言及する文献 “P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献 “T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの “X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの “Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの “&” 同一パテントファミリー文献		
国際調査を完了した日	15. 11. 2023	国際調査報告の発送日 28. 11. 2023
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号	権限のある職員（特許庁審査官） 佐藤 靖史 5F 5895 電話番号 03-3581-1101 内線 3516	

国際調査報告
パテントファミリーに関する情報

国際出願番号
PCT/JP2023/034522

引用文献	公表日	パテントファミリー文献	公表日
JP 4-167565 A	15.06.1992	(ファミリーなし)	
JP 2000-114413 A	21.04.2000	US 2002/0074146 A1 全文, 全図	