(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl.[6]
G11C 5/14

(45) 공고일자 1999년09월01일
(11) 등록번호 10-0218040
(24) 등록일자 1999년06월08일

(21) 출원번호 10-1996-0038817
(22) 출원일자 1996년09월07일
(65) 공개번호 특1997-0029757
(43) 공개일자 1997년06월26일
(30) 우선권주장 95-309616 1995년11월28일 일본(JP)

(73) 특허권자 미쓰비시덴키 가부시키가이샤 다니구찌 이찌로오
일본국 도쿄도 지요다쿠 마루노우치 2쵸메 2반 3고미쓰비시덴키 가부시키가이샤 기타오카 다카시
일본국 도쿄도 지요다쿠 마루노우치 2쵸메 2반 3고
(72) 발명자 야수다 게니찌
일본국 도쿄도 지요다구 마루노우치 2-2-3 미쓰비시 덴키 가부시끼가이샤 내 후루타니 기요히로
일본국 도쿄도 지요다구 마루노우치 2-2-3 미쓰비시 덴키 가부시끼가이샤 내 오오이시 쓰우카사
일본국 도쿄도 지요다구 마루노우치 2-2-3 미쓰비시 덴키 가부시끼가이샤 내 히다카 히데토
일본국 도쿄도 지요다구 마루노우치 2-2-3 미쓰비시 덴키 가부시끼가이샤 내
(74) 대리인 김영, 김창세

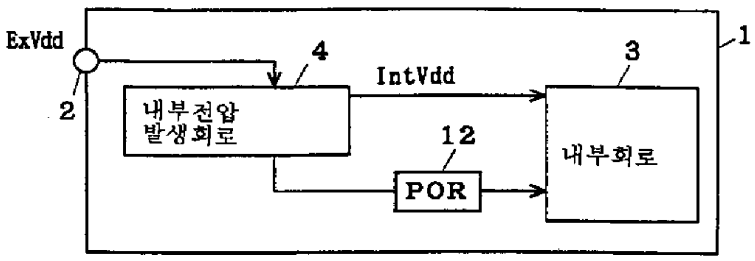
심사관 : 반성원

(54) 반도체장치 및 비교회로

요약

파워온 리세트신호를 인가하는 대상에 따라서 적절한 타이밍에서 파워온 리세트신호를 발생한다. 파워온 리세트 신호를 발생하는 POR 신호 발생회로는 내부전압 발생회로의 전압에 따라 동작한다.

대표도



명세서

도면의 간단한 설명

제1도는 본 발명의 실시예 1에 의한 반도체장치의 구성을 도시한 블럭도.

제2도는 본 발명의 실시예 2에 의한 반도체장치의 구성을 도시한 블럭도.

제3도는 본 발명의 실시예 3에 의한 반도체장치의 구성을 도시한 블럭도.

제4도는 본 발명의 실시예 4에 의한 반도체장치의 구성을 도시한 블럭도.

제5도는 본 발명의 실시예 5에 의한 반도체장치의 구성을 도시한 블럭도.

제6도는 본 발명의 실시예 6에 의한 반도체장치의 구성을 도시한 블럭도.

제7도는 본 발명의 실시예 7에 의한 반도체장치의 구성을 도시한 블럭도.

제8도는 본 발명의 실시예 8에 의한 반도체장치의 구성을 도시한 블럭도.

제9도는 본 발명의 실시예 9에 의한 반도체장치의 구성을 도시한 블럭도.

제10도는 본 발명의 실시예 10에 의한 반도체장치의 구성을 도시한 블럭도.

제11도는 POR신호 발생회로의 구성의 제1의 형태를 도시한 회로도.

제12도는 제11도에 도시한 회로의 동작을 도시한 파형도.

제13도는 기판전위 Vbb를 접지전위GND로 구성하기 위한 수단을 도시한 회로도.

제14도는 POR신호 발생회로의 구성의 제2의 형태를 도시한 회로도.

제15도는 제14도에 도시한 회로의 동작을 도시한 파형도.

제16도는 POR신호 발생회로의 구성의 제3의 형태를 도시한 회로도.

제17도는 도16도에 도시한 회로의 동작을 도시한 파형도.

제18도는 비교회로의 구성을 도시한 회로도.

제19도는 펄스발생기의 구성을 도시한 회로도.

제20도는 비교회로의 구성의 다른 형태를 도시한 회로도.

제21도는 제20도에 도시한 회로의 동작을 도시한 파형도.

제22도는 본 발명의 실시예 11에 의한 반도체장치의 구성을 도시한 블럭도.

제23도는 본 발명의 실시예 12에 의한 반도체장치의 구성을 도시한 블럭도.

제24도는 제22도의 POR신호 발생회로의 구성을 도시한 회로도.

제25도는 종래의 반도체장치의 구성을 도시한 블럭도.

제26도는 종래의 POR신호 발생회로의 구성을 도시한 회로도.

* 도면의 주요부분에 대한 부호의 설명

1 : 반도체칩 2 : 전원단자

3 : 내부회로, 4, 4A~4C, 13

14 : 내부전압 발생회로, 5, 12, 12A, 12B, 15, 16, 20

21 : POR신호 발생회로

발명의 상세한 설명

발명의 목적

발명이 속하는 기술분야 및 그 분야의 종래기술

본 발명은 내부전압 발생회로가 마련된 1개의 반도체칩을 구비하는 반도체장치에 관한 것으로, 특히 전원투입시의 불안정한 상태를 피하기 위해, 전원투입시에 반도체장치의 내부회로를 리세트하거나 또는 내부전위가 안정하게 될 때까지 회로동작을 정지시켜 두기 위해 사용하는 파워온 리세트신호(power-on-reset signal)(이하, POR신호라 한다)를 발생하는 리세트신호 발생회로를 구비하는 반도체장치에 관한 것이다.

반도체장치는 전원투입시의 불안정 상태를 피하기 위해 POR신호를 사용해서 전원투입시에 내부회로를 리세트하거나 또는 내부전위가 안정하게 될 때까지 회로동작을 정지시켜 두도록 구성되는 경우가 있다.

제25도는 POR신호를 발생하기 위한 POR신호 발생회로를 구비하는 종래의 반도체장치의 구성을 도시한 블럭도이다. 제25도에 있어서, (1)은 반도체칩, (2)는 반도체칩(1)에 마련되어 반도체칩(1)의 외부에서 인가되는 외부전압ExVdd를 받는 전원단자, (3)은 반도체칩(1)내에 마련된 내부회로, (4)는 내부회로(3)에 내부전압intVdd를 공급하기 위한 내부전압 발생회로, (5)는 외부전압ExVdd에서 내부회로(3)으로 인가하는 POR신호를 발생하는 POR신호 발생회로이다.

제26도는 POR회로의 구성을 도시한 회로도이다. 제26도에 있어서, (6)은 외부전압ExVdd가 인가되는 게이트, 외부전압ExVdd가 인가되는 드레인 및 소오스를 갖는 N채널 MOS트랜지스터, (7)은 트랜지스터(6)의 소오스에 접속된 한쪽 끝과 접지전위점GND에 접속된 다른쪽 끝을 갖는 캐패시터, (8)은 외부전압ExVdd가 인가되는 게이트, 외부전압ExVdd가 인가되는 드레인 및 소오스를 갖는 N채널 MOS트랜지스터, (9)는 트랜지스터(8)의 소오스에 접속된 드레인, 접지전위점GND에 접속된 다른쪽 끝 및 캐패시터(7)의 한쪽 끝에 접속된 게이트를 갖는 N채널 MOS트랜지스터, (10)은 트랜지스터(9)의 드레인에 접속된 입력단자와 그 입력단자에 입력된 신호의 논리를 반전해서 출력하는 출력단자를 갖는 인버터, (11)은 인버터(10)의 출력단자에 접속된 입력단자와 그 입력단자에 입력된 신호의 논리를 반전해서 출력하는 이버터이다.

발명이 이루고자 하는 기술적 과제

종래의 POR신호 발생회로는 이상과 같이 구성되어 있고, POR신호로서 펄스신호를 출력하지만, 캐패시터(7)의 충전시간에 따라서 POR신호의 펄스폭이 결정된다. 그러나, 종래의 POR신호 발생회로에서는 외부전원의 상승속도에 따라서는 내부전압 발생회로가 충분히 상승하기 전에 POR신호가 발생되어 버리는 경우나 외부전압의 변동에 의해 POR신호가 발생되어 버리는 경우가 있다는 문제가 있었다.

또, 회로구성에 따라서는 타이밍이 다른 POR신호를 마련하는 편이 좋은 경우가 있다. 예를 들면, 반도체

칩 상에 여러개의 내부전압 발생회로가 배치되어 있고, 그들의 내부전압의 발생타이밍이 다른 경우 등이다. DRAM을 예로 들면, 기판전위Vdd, 셀 플레이트전위Vcp 등의 여러개의 전위가 필요하다. 예를 들면, 외부전압ExVdd를 내부에서 강압해서 내부전압intVdd를 사용하는 반도체칩에서는 전위의 안정을 고려해서 셀 플레이트전위Vcp는 예를 들면 접지전위GND를 기준으로 해서 내부전압intVdd에 의해 발생되는 경우가 많다. 그러나, 셀 플레이트와 기판사이의 커플링용량이 크기 때문에 셀 플레이트전위Vcp의 상승시에 커플링용량에 의해서 기준전위Vdd의 부상(浮上)을 초래하는 경우가 있다. 그것을 방지하기 위해서는 셀 플레이트전위Vcp가 상승할 때까지 기판전위Vdd를 접지전위GND에 고정하면 좋다.

그러나, 종래의 POR신호 발생회로는 외부전압에 의해서만 발생되고 있었기 때문에 다른 타이밍, 즉 내부전압 발생회로의 POR신호에는 비교적 빠른 타이밍에서 상승하는 신호(또는 하강신호), 기판전위Vbb를 설정하기 위해 사용하는 내부전압 발생회로의 POR신호에는 셀 플레이트전위Vcp가 안정하게 된 후에 즉 비교적 지연된 타이밍에서 상승하는 신호(또는 하강신호)를 발생하는 것이 곤란하다는 문제가 있었다.

본 발명의 목적은 상기와 같은 문제점을 해결하기 위해 이루어진 것으로, 외부전압의 변동에 좌우되는 일이 적은 안정한 POR신호를 발생하는 것이다.

본 발명의 다른 목적은 리세트 또는 회로동작의 정지를 다른 타이밍에서 실행할 수 있는 반도체장치를 제공하는 것이다.

발명의 구성 및 작용

본 발명의 제1의 국면에 관한 반도체장치는 반도체칩내에 마련된 내부회로, 상기 반도체칩에 마련되어 상기 반도체칩의 외부에서 인가되는 외부전압을 받기 위한 전원입력단자, 상기 반도체칩내에 마련됨과 동시에 상기 전원입력단자에 접속되어 상기 외부전압에서 상기 내부회로로 공급하는 내부전압을 발생하는 내부전압 발생회로 및 상기 반도체칩내에 마련되어 상기 내부전압에 따라서 상기 내부회로를 리세트하거나 또는 소정의 상태로 될 때까지 회로동작을 정지시켜 두기 위한 제1리세트신호를 생성하는 제1리세트신호 발생회로를 구비해서 구성된다.

본 발명의 제2의 국면에 관한 반도체장치는 제1국면의 반도체장치에 있어서, 상기 내부회로는 상기 내부전압을 사용해서 동작하는 제1회로부와 상기 외부전압을 사용해서 동작하는 제2회로부를 구비하고, 상기 제1및 제2회로부가 모두 상기 제1리세트신호로 리세트되거나 소정의 상태로 될 때까지 회로동작을 정지시켜 두는 것을 특징으로 한다.

본 발명의 제3의 국면에 관한 반도체장치는 제1국면의 반도체장치에 있어서, 상기 반도체칩내에 마련되어 상기 외부전압에 따라서 상기 내부회로를 리세트하거나 또는 소정의 상태로 될 때까지 회로동작을 정지시켜 두기 위한 제2리세트신호를 생성하는 제2리세트신호 발생회로를 더 구비하고, 상기 내부회로는 상기 내부전압을 사용해서 동작하는 제1회로부와 상기 외부전압을 사용해서 동작하는 제2회로부를 구비하고, 상기 제1회로부는 상기 제1리세틋니호로 리세트되거나 또는 소정의 상태로 될 때까지 회로동작을 정지시켜 두고, 상기 제2회로부는 상기 제2리세트신호로 리세트되거나 또는 소정의 상태로 될 때까지 회로동작을 정지시켜 두는 것을 특징으로 한다.

본 발명의 제4의 국면에 관한 반도체장치는 제1국면의 반도체장치에 있어서, 상기 내부전압 발생회로는 서로 다른 제1및 제2내부전압을 발생하는 제1및 제2내부전압 발생회로를 포함하고, 상기 제1리세트신호 발생회로는 상기 반도체칩내에 마련되어 상기 제1내부전압에 따라서 상기 내부회로를 리세트하거나 또는 소정의 상태로 될 때까지 회로동작을 정지시켜 두기 위한 제2리세트 신호를 생성하는 제2리세트신호 발생회로와 상기 반도체칩내에 마련되어 상기 제2내부전압에 따라서 상기 내부회로를 리세트하거나 또는 소정의 상태로 될 때까지 회로동작을 정지시켜 두기 위한 제3리세트신호를 생성하는 제3리세트신호 발생회로를 포함하며, 상기 내부회로는 상기 제1내부전압을 사용해서 동작하는 제1회로부와 상기 제2내부전압을 사용해서 동작하는 제2회로부를 구비하고, 상기 제1회로부는 상기 제2리세트신호로 리세트되거나 또는 소정의 상태로 될 때까지 회로동작을 정지시켜 두고, 상기 제2회로부는 상기 제3리세트신호로 리세트되거나 또는 소정의 상태로 될때까지 회로동작을 정지시켜 두는 것을 특징으로 한다.

본 발명의 제5의 국면에 관한 반도체장치는 제1국면의 반도체장치에 있어서, 상기 내부전압 발생회로는 서로 다른 제1및 제2내부전압을 발생하는 제1및 제2내부전압 발생회로를 포함하고, 상기 제1리세트신호 발생회로는 상기 제1내부전압에 따라서 상기 제1리세트신호를 발생시키고, 상기 내부회로는 상기 제1내부전압을 사용해서 동작하는 제1회로부와 상기 제2내부전압을 사용해서 동작하는 제2회로부를 구비하고, 상기 제1및 제2회로부는 모두 상기 제1리세트신호로 리세트되거나 또는 소정의 상태로 될 때까지 회로동작을 정지시켜 두는 것을 특징으로 한다.

본 발명의 제6의 국면에 관한 반도체장치는 제1내지 제5의 국면중 어느 하나의 반도체장치에 있어서, 상기 반도체칩내에 마련되어 상기 외부전압에 따라서 내부전원용 리세트신호를 생성하는 내부전원용 리세트신호 발생회로를 더 구비하고, 상기 내부전압 발생회로가 상기 내부전원용 리세트신호로 리세트되거나 또는 소정의 상태로 될 때까지 회로동작을 정지시켜 두는 것을 특징으로 한다.

본 발명의 제7의 국면에 관한 반도체장치는 제1국면의 반도체장치에 있어서 상기 반도체칩내에 마련되어 상기 내부전압 발생회로에서 인가되는 내부전압에서 내부회로내에서 사용하는 하위 내부전압을 발생하는 하위 내부전압 발생회로와 상기 반도체칩내에 마련되어 상기 하위 내부전압에 따라서 상기 내부회로를 리세트하거나 또는 소정의 상태로 될 때까지 회로동작을 정지시켜 두기 위한 하위 리세트신호를 발생하는 하위 리세트신호 발생회로를 더 구비해서 구성된다.

본 발명의 제8의 국면에 관한 반도체장치는 제1내지 제7의 국면중 어느 하나의 반도체장치에 있어서, 상기 제1리세트신호 발생회로는 상기 내부전압과 함께 상기 외부전압에 따라서 상기 제1리세트신호를 발생하는 것을 특징으로 한다.

본 발명의 제9의 국면에 관한 반도체장치는 제1내지 제7의 국면중 어느 하나의 반도체장치에 있어서, 상기 내부전압 발생회로는 서로 다른 제1및 제2내부전압을 발생하는 제1및 제2내부전압 발생회로를 포함하

고, 상기 제1리세트신호 발생회로는 상기 제1및 제2내부전압에 따른 앞가장자리부 및 뒷가장자리부를 갖는 펄스형상의 상기 제1리세트신호를 발생하는 것을 특징으로 한다.

본 발명의 제10의 국면에 관한 반도체장치는 제1내지 제9의 국면중 어느 하나의 반도체장치에 있어서, 상기제1리세트신호 발생회로는 상기 내부전압 발생회로 내부의 소정의 2점의 노드의 전압을 비교하는 비교수단과 상기 비교수단에 있어서의 비교결과에 따라서 상기 제1리세트신호를 생성하는 리세트신호 생성수단을 구비해서 구성된다.

본 발명의 제11의 국면에 관한 반도체장치는 제1내지 제10의 국면중 어느 하나의 반도체장치에 있어서, 상기 제1리세트신호 발생회로는 상기 내부전압 발생회로 내부에서 발생되는 기준전압 또는 상기 내부전압 발생회로에서 사용하고 있는 기준전압을 발생하는 것과 동일한 구성의 회로에서 출력되는 전압에 따라서 상기 제1리세트신호를 생성하는 것을 특징으로 한다.

본 발명의 제12의 국면에 관한 반도체장치는 제10의 국면의 반도체장치에 있어서, 상기 비교수단은 제1전원전위점에 접속된 한쪽의 전류전극, 제1입력단자에 접속된 제어전극 및 다른쪽의 전류전극을 갖는 제1도전형의 제1트랜지스터, 상기 제1입력단자에 접속된 제어전극, 상기 제1트랜지스터의 상기 다른쪽의 전류전극에 접속된 한쪽의 전류전극 및 다른쪽의 전류전극을 갖는 제1도전형의 제2트랜지스터, 상기 제1트랜지스터의 상기 다른쪽의 전류전극에 접속된 한쪽의 전류전극, 제2입력단자에 접속된 제어전극 및 다른쪽의 전류전극을 갖는 제1도전형의 제3트랜지스터, 제2전원전위점에 접속된 한쪽의 전류전극, 제어전극 및 상기 제1트랜지스터의 상기 다른쪽의 전류전극에 접속된 다른쪽의 전류전극을 갖는 제2도전형의 제4트랜지스터, 상기 제2전원전위점에 접속된 한쪽의 전류전극, 상기 제4트랜지스터의 상기 다른쪽의 전류전극에 접속된 제어전극 및 상기 제2트랜지스터의 상기 다른쪽의 전류전극에 접속된 다른쪽의 전류전극을 갖는 제2도전형의 제5트랜지스터, 상기 제4트랜지스터의 상기 제어전극에 접속된 한쪽의 전류전극, 상기 제5트랜지스터의 상기 제어전극에 접속된 다른쪽의 전류전극 및 제어전극을 갖는 제2도전형의 제6트랜지스터, 상기 제4트랜지스터의 상기 제어전극에 접속된 한쪽의 전류전극 및 상기 제3트랜지스터의 상기 다른쪽의 전류전극에 접속된 다른쪽의 전류전극을 갖는 제2도전형의 제7트랜지스터, 상기 제3트랜지스터의 상기 다른쪽의 전류전극에 접속된 입력단자 및 출력단자를 갖는 제1인버터, 상기 제1인버터의 상기 출력단자에 접속된 입력단자 및 상기 제6트랜지스터의 상기 제어전극에 접속된 출력단자를 갖는 제2인버터, 상기 제2인버터의 출력단자에 접속된 입력단자 및 상기 제7트랜지스터의 상기 제어전극에 접속된 출력단자를 갖는 제3인버터를 구비하고, 상기 제2인버터의 출력단자에서 비교결과를 출력하는 것을 특징으로 한다.

본 발명의 제13의 국면에 관한 반도체장치는 제1전원전위점에 접속된 한쪽의 전류전극, 제1입력단자에 접속된 제어전극 및 다른쪽의 전류전극을 갖는 제1도전형의 제1트랜지스터, 상기 제1입력단자에 접속된 제어전극, 상기 제1트랜지스터의 상기 다른쪽의 전류전극에 접속된 한쪽의 전류전극 및 다른쪽의 전류전극을 갖는 제1도전형의 제2트랜지스터, 상기 제1트랜지스터의 상기 다른쪽의 전류전극에 접속된 한쪽의 전류전극, 제2입력단자에 접속된 제어전극 및 다른쪽의 전류전극을 갖는 제1도전형의 제3트랜지스터, 제2전원전위점에 접속된 한쪽의 전류전극, 제어전극 및 상기 제1트랜지스터의 상기 다른쪽의 전류전극에 접속된 다른쪽의 전류전극을 갖는 제2도전형의 제4트랜지스터, 상기 제2전원전위점에 접속된 한쪽의 전류전극, 상기 제4트랜지스터의 상기 다른쪽의 전류전극에 접속된 제어전극 및 상기 제2트랜지스터의 상기 다른쪽의 전류전극에 접속된 다른쪽의 전류전극을 갖는 제2도전형의 제5트랜지스터, 상기 제4트랜지스터의 상기 제어전극에 접속된 한쪽의 전류전극, 상기 제5트랜지스터의 상기 제어전극에 접속된 다른쪽의 전류전극 및 제어전극을 갖는 제2도전형의 제6트랜지스터, 상기 제4트랜지스터의 상기 제어전극에 접속된 한쪽의 전류전극 및 상기 제3트랜지스터의 상기 다른쪽의 전류전극에 접속된 다른쪽의 전류전극을 갖는 제2도전형의 제7트랜지스터, 상기 제3트랜지스터의 상기 다른쪽의 전류전극에 접속된 입력단자 및 출력단자를 갖는 제1인버터, 상기 제1인버터의 상기 출력단자에 접속된 입력단자 및 상기 제6트랜지스터의 상기 제어전극에 접속된 출력단자를 갖는 제2인버터, 상기 제2인버터의 출력단자에 접속된 입력단자 및 상기 제7트랜지스터의 상기 제어전극에 접속된 출력단자를 갖는 제3인버터를 구비하고, 상기 제2인버터의 출력단자에서 비교결과를 출력하는 것을 특징으로 한다.

본 발명의 상기 및 그밖의 목적, 특징, 국면 및 이익들은 첨부 도면을 참조로 설명하는 이하의 상세한 설명으로부터 더욱 명백해질 것이다.

[실시예]

[실시예 1]

제1도는 본 발명의 실시예 1에 의한 반도체장치의 구성을 도시한 블럭도이다. 제1도에 있어서, (1)은 반도체칩, (2)는 반도체칩(1)에 마련되어 반도체칩(1)의 외부에서 인가되는 외부전압ExVdd를 받는 전원단자, (3)은 반도체칩(1)내에 마련된 내부회로, (4)는 내부회로(3)에 내부전압intVdd를 공급하기 위한 내부전압 발생회로, (12)는 내부전압intVdd에 따라서 내부회로(3)에 인가하는 POR신호를 발생하는 POR신호 발생회로이다.

내부전압intVdd에 따라서 POR신호를 발생하고 있으므로, 내부전압intVdd가 안정하게 되고 나서 POR신호를 발생할 수 있고, 또 외부전압ExVdd의 변동에 의한 POR회로의 오동작도 삭감할 수 있다.

또한, 내부전압intVdd에 따라서 POR신호를 발생하는 방법으로서, POR신호발생회로를 내부전압intVdd으로 동시에 동작시키는 방법과 내부전압intVdd의 변화를 검지하는 방법이 있는데, 이들 방법을 실현하기 위한 구성에 대해서 이하에 설명한다.

제11도는 제1도에 도시한 POR신호 발생회로(12)의 구성을 도시한 회로도이다. 제11도에 있어서, (6A)는 내부전압intVdd가 인가되는 게이트, 내부전압intVdd가 인가되는 드레인 및 소오스를 갖는 N채널 MOS트랜지스터, (7)은 트랜지스터(6A)의 소오스에 접속된 한쪽 끝과 접지전위점GND에 접속된 다른쪽 끝을 갖는 캐패시터, (8A)는 내부전압intVdd가 인가되는 게이트, 내부전압intVdd가 인가되는 드레인 및 소오스를 갖는 N채널 MOS트랜지스터, (9)는 트랜지스터(8A)의 소오스에 접속된 드레인, 접지전위점GND에 접속된 다른쪽 끝및 캐패시터(7)의 한쪽 끝에 접속된 게이트를 갖는 N채널 MOS트랜지스터, (10A)는 트랜지스터(9)의 드레인에 접속된 입력단자와 그 입력단자에 입력된 신호의 논리를 반전해서 출력하는 출력단자를 갖는 인

버터, (11A)는 인버터(10)의 출력단자에 접속된 입력단자와 그 입력단자에 입력된 신호의 논리를 반전해서 출력하기 위한 인버터이다. 인버터(10A), (11A)는 내부전압intVdd의 공급을 받고 동작한다.

제12도는 제25도에 도시한 POR신호 발생회로(5)와 제11도에 도시한 POR신호발생회로(12)의 동작의 차이를 도시한 파형도이다. 제12도에 도시한 바와 같이, 외부전압intVdd가 내부전압intVdd에 비해 높고, 또 당연한 일이지만 외부전압intVdd는 전원이 투입된 원점에서 상승하고 있고, 내부전압intVdd보다 상승이 빠른 것을 알 수 있다. 외부전압intVdd에 의해서 동작하고 있었던 제25도에 도시한 종래의 POR신호 발생회로(5)는 제12도에 도시한 바와 같이 콘덴서(7)의 설정에 의해서는 POR신호 발생회로(5)가 출력하는 POR신호(제12도에는 ExVdd계 POR로 기재되어 있다)는 내부전압intVdd보다 상승이 빨라지는 경우가 있다. 이에 반해, 내부전압intVdd를 받고 동작하는 POR신호 발생회로(12)(제12도에는 intVdd로 기재되어 있다)는 항상 내부전압intVdd보다 지연해서 상승한다. 그 때문에, 내부전압 발생회로(4)가 불안정한 상태에서 내부회로(3)에 대해 리세트가 실행되는 일이 없고 또는 동작이 개시되는 일이 없어 내부전압intVdd가 안정하게 된 상태에서 POR신호를 용이하게 발생할 수 있다. 또, POR신호 발생회로(12)는 내부전압intVdd에 의해서 동작하고 있으므로, 외부전압ExVdd의 변동에 변동해서도 내부전압intVdd가 안정하면 POR신호가 발생되는 일이 없어 오동작을 방지할 수 있다.

다음에, POR신호 발생회로(12)의 제2의 형태를 제14도 및 제15도를 사용해서 설명한다. 제14도에 도시한 POR신호 발생회로는 콘덴서의 시정수로 POR신호의 발생타이밍을 취하는 것이 아니고 내부전압 발생회로 또는 POR신호 발생회로의 내부에 기준전압 발생회로를 마련하고, 기준전압이 발생된 것을 검지해서 POR신호를 발생하는 회로이다.

제14도에 있어서, (30)은 외부전압ExVdd를 받고 기준전압을 발생하는 기준전압 발생회로, (31)은 기준전압 발생회로(30)에 접속되어 기준전압이 발생된 것을 받고 신호를 출력하는 드라이버, (32)는 드라이버(31)의 출력에서 POR신호를 발생하는 신호발생부로 된다.

기준전압 발생회로(30)은 접지전위점GND에 접속된 한쪽 끝 및 다른쪽 끝을 갖는 저항(33), 저항(33)의 다른쪽 끝에 접속된 소오스, 게이트 및 드레인을 갖는 N채널 MOS트랜지스터(34), 외부전압Vdd가 인가되는 소오스, N채널 MOS트랜지스터(34)의 드레인에 접속된 드레인 및 N채널 MOS트랜지스터(34)의 드레인에 접속된 게이트를 갖는 P채널 MOS트랜지스터(35), N채널 MOS트랜지스터(34)의 게이트에 접속된 게이트, 접지전위점GND가 인가되는 소오스 및 N채널 MOS트랜지스터(34)의 게이트에 접속된 드레인을 갖는 N채널 MOS트랜지스터(36), N채널 MOS트랜지스터(36)의 드레인에 접속된 드레인, P채널 MOS트랜지스터(35)의 게이트에 접속된 게이트 및 외부전압ExVdd가 인가되는 소오스를 갖는 P채널 MOS트랜지스터(37)을 구비해서 구성되어 있다.

드라이버(31)은 외부전압ExVdd가 인가되는 소오스, P채널 MOS트랜지스터(35)의 게이트에 접속된 게이트 및 노드 B에 접속된 드레인을 갖는 P채널 MOS트랜지스터(38)과 접지전위점GND에 접속된 한쪽 끝 및 노드B에 접속된 다른쪽 끝을 갖는 저항(39)로 구성되어 있다.

신호발생부(32)는 접지전위점GND에 접속된 소오스, 노드B에 접속된 게이트 및 드레인을 갖는 N채널 MOS트랜지스터(40), 접지전위점GND에 접속된 소오스, 게이트 및 노드C에 접속된 드레인을 갖는 N채널 MOS트랜지스터(41), N채널 MOS트랜지스터(40)의 게이트에 접속된 입력단자 및 N채널 MOS트랜지스터(41)의 게이트에 접속된 출력단자를 갖고 신호를 지연시키기 위한 인버터(42), 외부전압ExVdd가 인가되는 소오스, N채널 MOS트랜지스터(40)의 드레인에 접속된 드레인 및 노드C에 접속된 게이트를 갖는 P채널 MOS트랜지스터(43), 노드C에 접속된 드레인, P채널 MOS트랜지스터(43)의 드레인에 접속된 게이트 및 외부전압ExVdd가 인가되는 소오스를 갖는 P채널 MOS트랜지스터(44), 노드C에 접속된 입력단자 및 그 입력단자에 입력된 신호를 반전해서 출력하는 인버터(45)로 구성되어 있다.

다음에, 제14도에 도시한 POR신호 발생회로의 동작에 대해서 제15도를 사용해서 설명한다. 외부전압ExVdd가 상승해서 P채널 MOS트랜지스터(35)와 P채널 MOS트랜지스터(37)의 임계값을 초과하면, 기준전압 발생회로(30)으로 전류가 흐르기 시작한다. 기준전압 발생회로(30)으로 전류가 흐르면 노드A1의 전압이 상승하고 그 즉시 외부전압ExVdd가 상승해서 노드A1의 전압보다 P채널 MOS트랜지스터의 임계값분만큼 높아지면, 노드B의 전압이 상승하기 시작한다. 그리고, 노드B의 전압이 다음단의 인버터(42)의 임계값을 초과하면 POR신호가 발생된다. 여기에서, 기준전압 발생회로(30)을 내부전압 발생회로(4)에 사용하고 있는 것과 동일한 구성 또는 내부전압 발생회로(4)에 사용하고 있는 것을 사용하는 것에 의해 반도체칩(1)내부의 전원전위가 안정하게 된 후에 POR신호를 발생할 수 있다.

다음에, POR신호 발생회로(12)의 제3의 형태에 대해서 제16도 내지 제19도를 사용해서 설명한다. 제16도는 POR발생회로의 구성을 도시한 블럭도이다. 제16도에 있어서, (60)은 기준전압 발생회로(30)의 소정의 노드의 전압과 드라이버(31)의 출력전압을 비교하는 비교회로, (70)은 비교회로(60)의 출력의 타이밍에 따라서 펄스신호를 생성해서 출력하는 펄스발생기이다.

비교회로(60)은 제18도에 도시한 바와 같이 노드B에 접속된 게이트, 접지전위점GND에 접속된 소오스 및 드레인을 갖는 N채널 MOS트랜지스터(61), 노드A2에 접속된 게이트, 접지전위점GND에 접속된 소오스 및 드레인을 갖는 N채널 MOS트랜지스터(62), N채널 MOS트랜지스터(61)의 드레인에 접속된 드레인, N채널 MOS트랜지스터(61)의 드레인에 접속된 게이트 및 외부전압ExVdd가 인가되는 P채널 MOS트랜지스터(63), N채널 MOS트랜지스터(62)의 드레인에 접속된 드레인, P채널 MOS트랜지스터(63)의 게이트에 접속된 게이트 및 외부전압ExVdd가 인가되는 소오스를 갖는 P채널 MOS트랜지스터(64), P채널 MOS트랜지스터(64)의 드레인에 접속된 입력단자 및 그 입력단자에서 받은 신호를 반전해서 출력하는 출력단자를 갖는 인버터(65), 인버터(65)의 출력단자에 접속된 입력단자 및 그 입력단자에서 받은 신호를 반전해서 출력하는 출력단자를 갖는 인버터(66)으로 구성되어 있다.

또, 펄스발생기(70)은 제19도에 도시한 바와 같이 인버터(66)의 출력을 받는 입력단자 및 그 입력단자에서 받은 신호를 반전해서 출력하기 위한 출력단자를 갖는 인버터(71), 인버터(71)의 출력단자에 접속된 입력단자 및 그 입력단자에서 받은 신호를 반전해서 출력하기 위한 출력단자를 갖는 인버터(72), 인버터(72)의 출력단자에 접속된 입력단자 및 그 입력단자에서 받은 신호를 반전해서 출력하기 위한 출력단자를 갖는 인버터(73), 노드C에 접속된 한쪽의 입력단자, 인버터(73)에 접속된 다른쪽의 입력단자와 이들 한쪽

및 다른쪽의 입력단자에서 받은 신호의 논리곱을 출력하는 출력단자를 갖는 NAND게이트(74)로 구성되어 있다.

다음에, 제17도를 사용해서 제16도에 도시한 POR신호 발생회로의 동작에 대해서 설명한다. 노드A2 및 노드B의 전압을 비교하는 비교회로(60)은 노드B의 전압이 노드A2의 전압보다 높아진 시점에서 하이레벨을 출력한다. 제18도의 회로에서는 노드B의 전압이 노드A2의 전압보다 높아지면 N채널 MOS트랜지스터(62)보다 N채널 MOS트랜지스터(61)이 강하게 온하므로, P채널 MOS트랜지스터(63)과 P채널 MOS트랜지스터(64)로 구성된 전류미러회로에 의해 이버터(65)의 입력단자로 전류가 흘러들어가 인ㅂ너터(65)의 출력단자의 전압은 로우레벨로 된다. 그 때문에, 인버터(66)의 출력단자의 전압은 하이레벨로 된다.

그리고, 비교회로(60)이 하이레벨을 출력하면 펄스발생기(70)은 펄스신호를 발생한다. 제19도의 회로에서는 먼저 비교회로(60)의 출력이 로우레벨인 동안에는 한쪽의 입력단자가 로우레벨이기 때문에 인버터(73)에 접속되어 있는 다른쪽의 입력단자는 하이레벨로 되고 있지만, NAND게이트(74)는 로우레벨을 출력한다. 비교회로(60)의 출력이 로우레벨에서 하이레벨로 변화하면, NAND게이트(74)의 한쪽의 입력단자가 하이레벨로 되는 것에 비해서 NAND게이트(74)의 다른쪽의 입력단자가 로우레벨로 되는 것이 인버터(71)~(73)을 전달하는 분만큼 지연되므로, 그 지연시간에 상당하는 펄스폭을 갖는 펄스신호가 출력된다.

다음에, POR신호발생회로(12)의 제4의 형태에 대해서 제20도 및 제21도를 사용해서 설명한다. 제20도는 제16도에 도시한 비교회로(60)의 다른 형태를 도시한 회로도이다. 제16도에 있어서 (81)은 접지전위점GND에 접속된 소오스, 노드B에 접속된 게이트 및 드레인을 갖는 N채널 MOS트랜지스터, (82)는 N채널 MOS트랜지스터(81)의 드레인에 접속된 소오스, 노드B에 접속된 게이트 및 노드E에 접속된 드레인을 갖는 N채널 MOS트랜지스터, (83)은 N채널 MOS트랜지스터(81)의 드레인에 접속된 소오스, 노드A2에 접속된 게이트 및 노드D에 접속된 드레인을 갖는 N채널 MOS트랜지스터, (84)는 노드E에 접속된 드레인, 외부전압ExVdd가 인가되는 소오스 및 노드G에 접속된 게이트를 갖는 P채널 MOS트랜지스터, (85)는 노드D에 접속된 드레인, 외부전압ExVdd가 인가되는 소오스 및 노드E에 접속된 게이트를 갖는 P채널 MOS트랜지스터, (86)은 노드G에 접속된 한쪽의 전류전극, P채널 MOS트랜지스터(85)의 게이트에 접속된 다른쪽의 전류전극 및 게이트를 갖는 트랜스퍼 게이트, (87)은 노드D에 접속된 한쪽의 전류전극, 노드G에 접속된 다른쪽의 전류전극 및 게이트를 갖는 트랜스퍼 게이트, (88)은 노드D에 접속된 입력단자 및 노드D의 신호를 반전해서 출력하는 출력단자를 갖는 인버터, (89)는 인버터(88)의 출력단자에 접속된 입력단자 및 트랜스퍼 게이트(86)의 게이트에 접속된 출력단자를 갖는 인버터, (90)은 인버터(89)의 출력단자에 접속된 입력단자 및 트랜스퍼 게이트(87)의 게이트에 접속된 출력단자를 갖는 인버터이다.

다음에, 도20에 도시한 비교회로의 동작을 제21도를 사용해서 설명한다.

먼저, 인버터(89)의 출력단자는 로우레벨에 있으므로, 트랜스퍼 게이트(86)은 온상태에 있다. 또, 노드D도 로우레벨에 있으므로, 트랜스퍼 게이트(87)이 온상태이다. 그리고, 노드D, E, G는 전원투입 직후에는 접지전위(0V전압)에 있다. 이 때문에, P채널 MOS트랜지스터(84), (85)가 온하고 있다.

외부전압ExVdd가 상승하면 P채널 MOS트랜지스터(84), (85)가 온하고 있기 때문에 노드D, E의 전압이 상승하지만, P채널 MOS트랜지스터(84), P채널 MOS트랜지스터(85)의 임계값전압을 초과하면 P채널 MOS트랜지스터(84), (85)가 오프로 되므로, 노드D, E의 상승은 거의 정지된다. 노드D가 하이레벨로는 되지 않으므로 노드C는 로우레벨이고 노드F는 하이레벨로 되고, 노드C는 접지전위에 있지만 노드F는 외부전압ExVdd와 함께 상승한다.

그리고, 노드B의 전압이 상승해서 노드A2의 전압보다 높아지면 노드D의 전압은 상승하고 노드E의 전압이 하강한다. 노드D의 전압이 상승해서 인버터(88)의 임계값전압을 초과하면, 인버터(88)은 로우레벨을 출력하므로 인버터(89)의 출력이 하이레벨로 되고, 트랜스퍼 게이트(86)이 오프로 됨가 동시에 인버터(90)의 출력이 로우레벨로 되므로 트랜스퍼 게이트(87)이 온한다. 이것에 의해, P채널 MOS트랜지스터(84)가 오프하고 P채널 MOS트랜지스터(85)가 온한다. 그러나, N채널 MOS트랜지스터(83)의 게이트전압이 낮기 때문에 흐르는 전류는 적어도 좋다. 그 때문에 관통저류가 삭감된다.

또한, 상기 각 POR신호 발생회로는 실시 형태 2~10에 사용되고 있는 POR신호 발생회로에 적용할 수 있다.

[실시예 2]

제2도는 본 발명의 실시예 2에 의한 반도체장치의 구성을 도시한 블럭도이다.

제2도에 있어서, (5)는 외부전압ExVdd에서 내부회로(3)에 인가하는 POR신호를 발생하는 POR신호 발생회로이고, 그밖에 제1도와 동일부호의 것은 제1도의 동일부호부분에 상당하는 부분을 나타낸다. 또, 내부회로(3)은 내부전압intVdd를 받고 동작하는 제1회로부(3a)와 외부전압ExVdd를 받고 동작하는 제2회로부(3c)를 구비해서 구성된다. 예를 들면, 제1회로부(3a)는 POR신호 발생회로(12)에 의해 리세트 또는 동작의 기동이 지연되고, 제2회로부(3c)는 POR신호 발생회로(5)에 의해 리세트 또는 동작의 기동이 지연된다.

제1회로부(3a) 및 제2회로부(3c)가 각각 다른 POR신호 발생회로(5), (12)의 POR신호에 의해 제어되고 있기 때문에 각각이 안정하게 되는 적절한 타이밍에서 기동할 수 있다.

[실시예 3]

제3도는 본 발명의 실시예 3에 의한 반도체장치의 구성을 도시한 블럭도이다.

제3도에 있어서, 제2도와 동일 부호의 부분은 제2도의 동일 부호부분에 상당하는 부분을 나타낸다. 제3도에 도시한 반도체장치와 제2도에 도시한 반도체장치의 다른 점은 제2도의 반도체장치의 (3c)가 POR신호 발생회로(5)의 POR신호를 받는데 반해, 제3도에 도시한 반도체장치의 제2회로부(3b)가 POR신호 발생회로(12)의 POR신호를 받고 있는 점이다. 제2회로부(3b)가 단지 외부전압ExVdd가 안정하게 되고 나서 또는 단지 내부전압intVdd가 안정하게 되고 나서 제2회로부(3b)의 동작이 개시되면 좋은 것이면, POR신호 발생회로(12)에 의해 내부회로(3) 및 제2회로부(3b)의 POR신호를 인가하는 것에 의해 제2도에 도시한 POR신호

발생회로(5)를 1개 생략할 수 있다.

[실시예 4]

제4도는 본 발명의 실시예 4에 의한 반도체장치의 구성을 도시한 블럭도이다.

제4도에 있어서, (4A)는 내부회로(3)에 제1내부전압intVdd1을 공급하기 위한 제1내부전압 발생회로, (4B)는 내부회로(3)에 제2내부전압intVdd2를 공급하기 위한 제2내부전압 발생회로, (12A)는 제1내부전압 발생회로(4A)의 제1내부전압intVdd1에 따라서 제1POR신호를 발생하는 제1POR신호 발생회로, (12B)는 제2내부전압 발생회로(4B)의 제2내부전압intVdd2에 따라서 제2POR신호를 발생하는 제2POR신호 발생회로, 그밖에 제1도와 동일 부호의 부분은 동일 부호부분에 상당하는 부분이다. 제4도에 도시한 반도체장치가 제1도의 반도체장치와 다른 점은 내부회로(3)이 다른 내부전압intVdd1, intVdd2에 따라서 동작하는 제1회로부(3a), 제4회로부(3d)를 구비하고 있는 점이다. 여러 개의 내부전압 발생회로(4A), (4B)가 있는 경우에는 각각의 내부전압 발생회로에 따른 POR신호를 각각의 내부전압intVdd1, intVdd2가 공급되는 제1회로부(3a), 제4회로부(3d)에 인가하는 것에 의해 보다 정확한 파워온리세트를 실행할 수 있다.

[실시예 5]

제5도는 본 발명의 실시예 5에 의한 반도체장치의 구성을 도시한 블럭도이다.

제5도에 있어서, 제4도와 동일 부호의 부분은 제4도의 동일 부호부분에 상당하는 부분이다. 제5도에 도시한 반도체장치가 제4도의 반도체장치와 다른 점은 내부회로(3)에 외부전압ExVdd에 의해 동작하는 제5회로부(3e), 제6회로부(3f)가 마련되어 있는 점이다. 제5회로부(3e)는 제1POR신호 발생회로(12A)의 POR신호에 의해 리세트되고, 제6회로부(3f)는 회로(12B)의 POR신호에 의해 리세트되도록 구성되어 있다. 동일한 외부전압ExVdd에 의해 동작하는 회로부를 다른 타이밍에서 리세트할 수 있어 적절한 파워온리세트를 실행하기 쉬워진다.

[실시예 6]

제6도는 본 발명의 실시예 6에 의한 반도체장치의 구성을 도시한 블럭도이다.

제6도에 있어서, 제4도와 동일 부호의 부분은 제4도의 동일 부호부분에 상당하는 부분이다. 제6도에 도시한 반도체장치가 제4도의 반도체장치와 다른 점은 제2내부전압 발생회로(4B)에서 내부전압intVdd의 공급을 받는 제7회로부(3g)가 제1 POR신호 발생회로(12A)에 의해 리세트되는 것이다. 제6도에 도시한 바와 같이 제7 회로부(3g)가 제1내부전압 발생회로(4A)의 출력이 안정하게 되고 나서 동작하면 좋은 것이면, 제2 POR신호 발생회로(12B)를 생략하고 제1 POR신호 발생회로(12A)에 의해 리세트를 실행할 수도 있다.

[실시예 7]

제7도는 본 발명의 실시예 7에 의한 반도체장치의 구성을 도시한 블럭도이다. 제7도에 있어서, (5)는 외부전압ExVdd에서 내부회로(3)에 인가하는 POR신호를 발생하는 POR신호 발생회로, (4C)는 POR신호 발생회로(5)가 출력하는 POR신호에 의해서 리세트되는 내부전압 발생회로이고, 그밖에 제1도와 동일부호의 것은 제1도의 동일 부호부분에 상당하는 부분을 나타낸다.

DRAM에 있어서, 기판전압Vdd, 셀 플레이트정납Vcp등의 여러 개의 전위가 필요하지만, 예를 들면 외부전압ExVdd를 내부에서 강압해서 외부전압ExVdd를 사용하는 반도체칩에서는 접지전압GND를 기준으로 해서 내부전압intVdd에 의해 발생하는 셈 플레이트전위Vcp를 인가하는 내부전압 발생회로(4C)를 POR신호 발생회로(5)에 의해서 리세트하고, POR신호 발생회로(12)가 출력하는 POR신호에 의해 셀플레이트전위Vcp가 상승할 때까지 기판전위Vbb를 접지전위GND에 고정하면 기판전위Vbb의 부상을 방지할 수 있다. 예를 들면, GND전위로의 고정은 제13도에 도시한 바와 같이, 내부전압intVdd계의 POR신호를 게이트에서 받는 트랜지스터(22)에서 기판전위Vbb를 공급하는 라인과 접지전위GND를 공급하는 라인을 접속해도 좋고, 기판전위Vbb를 인가하는 회로자체의 동작을 제어해서도 좋다.

이와 같이, 다른 타이밍의 여러 개의 POR신호를 확실하게 발생할 수 있어 적절한 파워온리세트가 가능하게 된다.

[실시예 8]

제8도는 본 발명의 실시예 8에 의한 반도체장치의 구성을 도시한 블럭도이다. 제8도에 있어서 (4C)는 POR신호 발생회로(5)에 의해 파워온리세트가 이루어지는 내부전압 발생회로이고, 그밖의 제2도와 동일 부호의 부분은 제2도의 동일 부호부분에 상당하는 부분이다. 제8도에 도시한 반도체장치와 제2도의 반도체장치의 다른 점은 내부전압 발생회로(4)와 내부전압 발생회로(4C)의 차이이고, 그 효과는 실시예 7과 마찬가지이다.

[실시예 9]

제9도는 본 발명의 실시예 9에 의한 반도체장치의 구성을 도시한 블럭도이다. 제9도에 있어서, (4C)는 POR신호 발생회로(5)에 의해 파워온리세트가 이루어지는 내부전압 발생회로이고, 그밖의 제3도와 동일 부호의 부분은 제3도의 동일 부호부분에 상당하는 부분이다. 제9도에 도시한 반도체장치와 제3도의 반도체장치의 다른 점은 내부전압 발생회로(4)와 내부전압 발생회로(4C)의 차이이고, 그 효과는 실시예 7과 마찬가지이다.

[실시예 10]

제10도는 본 발명의 실시예 10에 의한 반도체장치의 구성을 도시한 블럭도이다. 제10도에 있어서, (13)은 내부전압 발생회로(4)에서 내부전압intVdd의 공급을 받고 POR신호 발생회로(12)에 의해 파워온리세트가 이루어지는 제2내부전압 발생회로, (14)는 내부전압 발생회로(4)에서 내부전압intVdd의 공급을 받고 POR신호 발생회로(12)에 의해 파워온리세트가 이루어지는 제3내부전압 발생회로, (15)는 제2내부전압 발생회로(13)의 내부전압intVdd2를 받고 POR신호를 발생하는 POR신호 발생회로, (16)은 제3내부전압 발생회로

(14)의 내부전압intVdd3을 받고 POR신호를 발생하는 POR신호 발생회로, (3h)는 제2내부전압 발생회로(13)에서 제2내부전압intVdd2를 받음과 동시에 POR신호 발생회로(15)에서 POR신호를 받는 제8회로부, (3i)는 제3내부전압 발생회로에서 제3내부전압intVdd3을 받음과 동시에 POR신호 발생회로(16)에서 POR신호를 받는 제9회로부이다.

제2내부전압 발생회로(13) 및 제3내부전압 발생회로(14)는 제1내부전압 발생회로(4)가 출력하는 내부전압에 따라서 POR신호를 출력하는 POR신호 발생회로(12)에 의해서 파워온리세트되므로, 외부전압ExVdd의 변동에 영향받지 않고 안정한 동작이 얻어진다.

또, 내부회로(3)의 제8회로부(3h) 및 제9회로부(3i)는 그 제2및 제3내부전압 발생회로(13), (14)가 출력하는 내부전압에 따라서 발생되므로, 외부전압의 영향은 거의 받지 않고, 또 제1내부전압 발생회로(4)가 출력하는 내부전압이 안정하게 되고 나서 파워온리세트가 이루어지므로 오동작이 제어된다.

[실시예 11]

제22도는 본 발명의 실시예 11에 의한 반도체장치의 구성을 도시한 블럭도이다. 제22도에 있어서, (20)은 내부전압 발생회로(4)가 출력하는 내부전압intVdd와 외부전압ExVdd에 따라서 POR신호를 생성하는 POR신호 발생회로이고, 그밖에 제1도와 동일부호의 부분은 제1도의 동일 부호부분에 상당하는 부분이다. POR신호 발생회로(20)은 외부전압ExVdd에 따라서 상승 타이밍을 결정하고, 내부전압intVdd에 따라서 하강 시간을 결정하는 것에 의해, 펄스신호를 발생한다.

제22도의 POR신호 발생회로(20)의 구성의 1예를 제24도에 도시한다. 제24도에 있어서, (6)은 내부전압intVdd가 인가되는 게이트, 내부전압intVdd가 인가되는 드레인 및 소오스를 갖는 N채널 MOS트래지스터, (7)은 트랜지스터(6)의 소오스에 접속된 한쪽 끝과 접지전위점GND에 접속된 다른쪽 끝을 갖는 캐패시터, (8B)는 외부전압ExVdd가 인가되는 게이트, 외부전압ExVdd가 인가되는 드레인 및 소오스를 갖는 N채널 MOS트래지스터, (9)는 트랜지스터(8B)의 소오스에 접속된 드레인, 접지전위점GND에 접속된 다른쪽 끝 및 캐패시터(7)의 한쪽 끝에 접속된 게이트를 갖는 N채널 MOS트래지스터, (10)은 트랜지스터(9)의 드레인에 접속된 입력단자와 그 입력단자에 입력된 신호의 논리를 반전해서 출력하는 출력단자를 갖는 인버터, (11)은 인버터(10)의 출력단자에 접속된 입력단자와 그 입력단자에 입력된 신호의 논리를 반전해서 출력하는 인버터이다. 인버터(10), (11)도 외부전압ExVdd의 공급을 받고 동작한다.

내부전압intVdd가 상승하는 것에 수반해서 N채널 MOS트래지스터(6)을 통해서 콘덴서(7)에 전하가 축적된다. 따라서, 제12도에 도시한 intVdd계 POR의 상승과 거의 동일한 타이밍에서 상승한다. 그리고, N채널 MOS트래지스터(8B)를 통해서 N채널 MOS트래지스터(9)에 공급되는 전류가 증가해서 인버터(10)의 임계값을 초과하면 인버터(10)의 출력이 반전해서 인버터(11)의 출력은 로우레벨로 된다.

이POR신호의 하강 타이밍은 제12도에 도시한 ExVdd계 POR의 하강과 거의 동일 하다.

이와 같이, 상승 타이밍과 하강 타이밍을 다른 전원전압의 변화를 기본으로 하는 것에 의해, POR신호의 종류가 증가하여 여러개의 전원전압에 의해 동작하는 내부회로에 대응한 POR신호가 얻어지기 쉬워진다.

[실시예 12]

제23도는 본 발명의 실시예 12에 의한 반도체장치의 구성을 도시한 블럭도이다. 제23도에 있어서, (21)은 내부전압 발생회로(4)가 출력하는 내부전압intVdd와 외부전압ExVdd에 따라서 POR신호를 생성하는 POR신호 발생회로이고, 그밖에 제4도와 동일부호의 부분은 제4도의 동일 부호부분에 상당하는 부분이다. 제23도에 도시한 POR신호 발생회로(21)에서는 제1내부전압 발생회로(4A)와 제2내부전압 발생회로(4B)가 공급하는 내부전압을 기본으로 POR신호의 상승 타이밍과 하강 타이밍을 결정하는 것이고, 그 결과는 실시예 11과 마찬가지이다.

발명의 효과

이상 기술한 바와 같이, 본 발명에 의하면, 동일한 전원전압ExVdd에 의해 동작하는 회로부를 다른 타이밍에서 리세트할 수 있어 적절한 파워온리세트를 실행하기 쉬워지고, 다른 타이밍의 여러개의 POR신호를 확실하게 발생할 수 있어 적절한 파워온리세트가 가능하게 된다.

금회 개시된 실시예는 모든 점에서 예시로서 제한적인 것은 아닌 것으로 고려되어져야 한다. 본 발명의 범위는 특허청구의 범위에 의해서 도시되고 특허청구의 범위와 균등한 의미 및 범위내에서의 모든 변경이 포함되는 것이 의도된다.

(57) 청구의 범위

청구항 1

반도체칩내에 마련된 내부회로, 상기 반도체칩에 마련되어 상기 반도체칩의 외부에서 인가되는 외부전압을 받기 위한 전원입력단자, 상기 반도체칩내에 마련됨과 동시에 상기 전원입력단자에 접속되어 상기 외부전압에 따라 상기 내부회로로 공급하는 내부전압을 발생하는 내부전압 발생회로 및 상기 반도체칩내에 마련되어 상기 내부전압에 따라서 상기 내부회로를 리세트하거나 또는 소정의 상태로 될 때까지 회로동작을 정지시켜 두기 위한 제1리세트신호를 생성하는 제1리세트신호 발생회로를 포함하는 반도체장치.

청구항 2

제1항에 있어서, 상기 내부회로는 상기 내부전압을 사용해서 동작하는 제1회로부와 상기 외부전압을 사용해서 동작하는 제2회로부를 포함하고, 상기 제1및 제2회로부가 모두 상기 제1리세트신호로 리세트되거나 소정의 상태로 될 때까지 회로동작을 정지시켜 두는 것을 특징으로 하는 반도체장치.

청구항 3

제1항에 있어서, 상기 반도체칩내에 마련되어 상기 외부전압에 따라서 상기 내부회로를 리세트하거나 또는 소정의 상태로 될 때까지 회로동작을 정지시켜 두기 위한 제2리세트신호를 생성하는 제2리세트신호 발생회로를 더 포함하고, 상기 내부회로는 상기 내부전압을 사용해서 동작하는 제1회로부와 상기 외부전압을 사용해서 동작하는 제2회로부를 포함하고, 상기 제1회로부는 상기 제1리세트신호로 리세트되거나 또는 소정의 상태로 될 때까지 회로동작을 정지시켜 두고, 상기 제2회로부는 상기 제2리세트신호로 리세트되거나 또는 소정의 상태로 될 때까지 회로동작을 정지시켜 두는 것을 특징으로 하는 반도체장치.

청구항 4

제1항에 있어서, 상기 내부전압 발생회로는 서로 다른 제1및 제2내부전압을 각각 발생하는 제1및 제2내부전압 발생회로를 포함하고, 상기 제1리세트신호 발생회로는 상기 반도체칩내에 마련되어 상기 제1내부전압에 따라서 상기 내부회로를 리세트하거나 또는 소정의 상태로 될 때까지 회로동작을 정지시켜 두기 위한 제2리세트신호를 생성하는 제2리세트신호 발생회로와 상기 반도체칩내에 마련되어 상기 제2내부전압에 따라서 상기 내부회로를 리세트하거나 또는 소정의 상태로 될 때까지 회로동작을 정지시켜 두기 위한 제3리세트신호를 생성하는 제3리세트신호 발생회로를 포함하며, 상기 내부회로는 상기 제1내부전압을 사용해서 동작하는 제1회로부와 상기 제2내부전압을 사용해서 동작하는 제2회로부를 포함하고, 상기 제1회로부는 상기 제2리세트신호로 리세트되거나 또는 소정의 상태로 될 때까지 회로동작을 정지시켜 두고, 상기 제2회로부는 상기 제3리세트신호로 리세트되거나 또는 소정의 상태로 될 때까지 회로동작을 정지시켜 두는 것을 특징으로 하는 반도체장치.

청구항 5

제1항에 있어서, 상기 내부전압 발생회로는 서로 다른 제1및 제2내부전압을 발생하는 제1및 제2내부전압 발생회로를 포함하고, 상기 제1리세트신호 발생회로는 상기 제1내부전압에 따라서 상기 제1리세트신호를 발생시키고, 상기 내부회로는 상기 제1내부전압을 사용해서 동작하는 제1회로부와 상기 제2내부전압을 사용해서 동작하는 제2회로부를 포함하고, 상기 제1및 제2회로부는 모두 상기 제1리세트신호로 리세트되거나 또는 소정의 상태로 될 때까지 회로동작을 정지시켜 두는 것을 특징으로 하는 반도체장치.

청구항 6

제1항에 있어서, 상기 반도체칩내에 마련되어 상기 외부전압에 따라서 내부전원용 리세트신호를 생성하는 내부전원을 리세트신호 발생회로를 더 포함하고, 상기 내부전압 발생회로는 상기 내부전원용 리세트신호로 리세트되거나 또는 소정의 상태로 될 때까지 회로동작을 정지시켜 두는 것을 특징으로 하는 반도체장치.

청구항 7

제1항에 있어서, 상기 반도체칩내에 마련되어 상기 내부전압 발생회로에서 인가되는 내부전압에 따라 내부회로내에서 사용하는 하위 내부전압을 발생하는 하위 내부전압 발생회로와 상기 반도체칩내에 마련되어 상기 하위 내부전압에 따라서 상기 내부회로를 리세트하거나 또는 소정의 상태로 될 때까지 회로동작을 정지시켜 두기 위한 하위리세트신호를 발생하는 하위 리세트신호 발생회로를 더 포함하는 것을 특징으로 하는 반도체장치.

청구항 8

제7항에 있어서, 상기 반도체칩상에 형성된 메모리셀의 셀플레이트 전위는 상기 내부전압에 따라 주어지고, 상기 반도체칩의 기판전위는 상기 외부전압에 따라 주어지는 반도체장치.

청구항 9

제1항에 있어서, 상기 제1리세트신호 발생회로는 상기 내부전압과 함께 상기 외부전압에 따라서 상기 제1리세트신호를 발생하는 것을 특징으로 하는 반도체장치.

청구항 10

제9항에 있어서, 상기 내부전압은 제1및 제2전위로 주어지고, 상기 외부전압은 상기 제2및 제3전위로 주어지며, 상기 제1리세트 신호 발생 회로는 상기 제1전위가 인가되는 제어 전극, 상기 제1전위가 인가되는 제1전류전극, 및 제2전류 전극을 갖는 제1절연 게이트 트랜지스터, 상기 제2전위가 인가되는 제1전극, 상기 제1절연 게이트 트랜지스터의 상기 제2전류 전극에 접속된 제2전극을 갖는 캐패시터, 상기 제3전위가 인가되는 제어 전극, 상기 제3전위가 인가되는 제1전류전극, 및 제2전류전극을 갖고, 상기 제1절연 게이트 트랜지스터와 도전형이 동일한 제2절연 게이트 트랜지스터, 상기 제2전위가 인가되는 제1전류전극, 상기 제1절연 게이트 트랜지스터의 상기 제2전류전극에 접속된 제어 전극, 상기 제2절연 게이트 트랜지스터의 상기 제2전류전극에 접속된 제2전류전극을 갖고, 상기 제1절연 게이트 트랜지스터와 도전형이 동일한 제3절연 게이트 트랜지스터, 상기 제2절연 게이트 트랜지스터의 제2전류전극에 접속된 입력 단자와 출력 단자를 갖는 제1인버터와 상기 제1인버터의 출력단자에 접속된 입력단자와 상기 제1리세트 신호를 출력하는 출력 단자를 갖는 제2인버터를 포함하는 반도체장치.

청구항 11

제1항에 있어서, 상기 내부전압 발생회로는 서로 다른 제1및 제2내부전압을 발생하는 제1및 제2내부전압 발생회로를 포함하고, 상기 제1리세트신호 발생회로는 상기 제1및 제2내부전압에 따른 앞가장자리부(leading edge) 및 뒷가장자리부(trailing edge)를 갖는 펄스형상의 상기 제1리세트신호를 발생하는 것을 특징으로 하는 반도체장치.

청구항 12

제11항에 있어서, 상기 제1내부전압은 제1및 제2전위로 주어지고, 상기 제2내부전압은 제2및 제3전위로

주어지며, 상기 제1리세트 신호 발생회로는 상기 제1전위가 인가되는 제어 전극, 상기 제1전위가 인가되는 제1전류전극, 및 제2전류전극을 갖는 제1절연 게이트 트랜지스터, 상기 제2전위가 인가되는 제1전극, 상기 제1절연 게이트 트랜지스터의 상기 제2전류전극에 접속된 제2전극을 갖는 캐패시터, 상기 제3전위가 인가되는 제어 전극, 상기 제3전위가 인가되는 제1전류전극, 및 제2전류전극을 갖고, 상기 제1절연 게이트 트랜지스터와 도전형이 동일한 제2절연 게이트 트랜지스터, 상기 제2전위가 인가되는 제1전류전극, 상기 제1절연 게이트 트랜지스터의 상기 제2전류전극에 접속된 제어전극, 상기 제2절연 게이트 트랜지스터의 상기 제2전류전극에 접속된 제2전류전극을 갖고, 상기 제1절연 게이트 트랜지스터와 도전형이 동일한 제3절연 게이트 트랜지스터, 상기 제2절연 게이트 트랜지스터의 제2전류전극에 접속된 입력 단자와 출력 단자를 갖는 제1인버터와 상기 제1인버터의 출력 단자에 접속된 입력단자와 상기 제1리세트 신호를 출력하는 출력 단자를 갖는 제2인버터를 포함하는 반도체장치.

청구항 13

제1항에 있어서, 상기 제1리세트신호 발생회로는 상기 내부전압 발생회로 내부의 소정의 2점의 노드의 전압을 비교하는 비교수단과 상기 비교수단에 있어서의 비교결과에 따라서 상기 제1리세트신호를 생성하는 리세트신호 생성수단을 포함하는 반도체장치.

청구항 14

제13항에 있어서, 상기 비교수단은 제1전원전위점에 접속된 제1전류전극, 제1입력단자에 접속된 제어전극 및 제2전류전극을 갖는 제1도전형의 제1트랜지스터, 상기 제1입력단자에 접속된 제어전극, 상기 제1트랜지스터의 상기 제2전류전극에 접속된 제1전류전극 및 제2전류전극을 갖는 제1도전형의 제2트랜지스터, 상기 제1트랜지스터의 상기 제2전류전극에 접속된 제1전류전극, 제2입력단자에 접속된 제어전극 및 제2전류전극을 갖는 제1도전형의 제3트랜지스터, 제2전원전위점에 접속된 제1전류전극, 제어전극 및 상기 제1트랜지스터의 상기 제2전류전극에 접속된 제2전류전극을 갖는 제2도전형의 제4트랜지스터, 상기 제2전원전위점에 접속된 제1전류전극, 상기 제4트랜지스터의 상기 제2전류전극에 접속된 제어전극 및 상기 제2트랜지스터의 상기 제2전류전극에 접속된 제2전류전극을 갖는 제2도전형의 제5트랜지스터, 상기 제4트랜지스터의 상기 제어전극에 접속된 제1전류전극, 상기 제5트랜지스터의 상기 제어전극에 접속된 제2전류전극 및 제어전극을 갖는 제2도전형의 제6트랜지스터, 상기 제4트랜지스터의 상기 제어전극에 접속된 제1전류전극 및 상기 제3트랜지스터의 상기 제2전류전극에 접속된 제2전류전극을 갖는 제2도전형의 제7트랜지스터, 상기 제3트랜지스터의 상기 제2전류전극에 접속된 입력단자 및 출력단자를 갖는 제1인버터, 상기 제1인버터의 상기 출력단자에 접속된 입력단자 및 상기 제6트랜지스터의 상기 제어전극에 접속된 출력단자를 갖는 제2인버터, 상기 제2인버터의 출력단자에 접속된 입력단자 및 상기 제7트랜지스터의 상기 제어전극에 접속된 출력단자를 갖는 제3인버터를 포함하고, 상기 제2인버터의 출력단자에서 비교결과를 출력하는 것을 특징으로 하는 반도체장치.

청구항 15

제1항에 있어서, 상기 제1리세트신호 발생회로는 상기 내부전압 발생회로 내부에서 발생되는 기준전압 또는 상기 내부전압 발생회로에서 사용하고 있는 기준전압을 발생하는 것과 동일한 구성의 회로에서 출력되는 전압에 따라서 상기 제1리세트신호를 생성하는 것을 특징으로 하는 반도체장치.

청구항 16

제1항에 있어서, 상기 내부전압 발생회로는 제1및 제2전위로 상기 내부전압을 공급하고, 상기 제1리세트 신호발생회로는 상기 제1전위가 인가되는 제어전극, 상기 제1전위가 인가되는 제1전류전극, 및 제2전류전극을 갖는 제1절연 게이트 트랜지스터, 상기 제2전위가 인가되는 제1전극, 상기 제1절연 게이트 트랜지스터의 상기 제2전류전극에 접속된 제2전극을 갖는 캐패시터, 상기 제1전위가 인가되는 제어전극, 상기 제1전위가 인가되는 제1전류전극, 및 제2전류전극을 갖고, 상기 제1절연 게이트 트랜지스터와 도전형이 동일한 제2절연 게이트 트랜지스터, 상기 제2전위가 인가되는 제1전류전극, 상기 제1절연 게이트 트랜지스터의 상기 제2전류전극에 접속된 제어전극, 상기 제2절연 게이트 트랜지스터의 상기 제2전류전극에 접속된 제2전류전극을 갖고, 상기 제1절연 게이트 트랜지스터와 도전형이 동일한 제3절연 게이트 트랜지스터, 상기 제2절연 게이트 트랜지스터의 제2전류 전극에 접속된 입력 단자와 출력단자를 갖고, 상기 내부전압을 이용하여 동작하는 제1인버터와 상기 제1인버터의 출력 단자에 접속된 입력단자와 상기 제1리세트 신호를 출력하는 출력 단자를 갖고, 상기 내부전압을 이용하여 동작하는 제2인버터를 포함하는 반도체장치.

청구항 17

제1항에 있어서, 상기 내부 전압 발생회로는 상기 내부 전압의 기준으로서 기준 전압을 발생하는 기준전압 발생회로를 포함하고, 상기 제1리세트 신호 발생회로는 상기 기준 전압 발생 회로의 소정의 노드의 전위가 소정의 전위에 도달하는 것을 검출하는 드라이버와 상기 드라이버의 출력신호에 따라서 상기 제1리세트 신호를 발생하는 리세트 신호 발생부를 포함하는 반도체장치.

청구항 18

제17항에 있어서, 상기 외부 전압은 제1및 제2전위로 주어지고, 상기 드라이버는 상기 소정의 전위에 접속된 게이트, 상기 제1전위가 인가되는 소스, 및 드레인을 갖는 제1절연 게이트 트랜지스터, 상기 제1절연 게이트 트랜지스터의 상기 드레인에 접속된 제1단부와 상기 제2전위가 인가되는 제2단부를 갖는 레지스터 수단을 포함하고, 상기 리세트 신호 발생부는, 상기 레지스터 수단의 제1단부에 접속된 입력 단자, 상기 입력 단자에서 보내진 신호를 반전하여 출력하는 출력 단자를 갖고, 상기 외부 전원을 사용하여 동작하는 제1인버터, 상기 제1절연 게이트 트랜지스터의 제2전위가 인가되는 소스, 상기 레지스터 수단의 상기 제1단부에 접속된 게이트와 드레인을 갖는 제2절연 게이트 트랜지스터, 상기 제2전위가 인가되는 소스, 상기 제1인버터의 상기 출력 단자에 접속된 게이트와 드레인을 갖는 제3절연 게이트 트랜지스터, 상기 제2절연 게이트 트랜지스터의 상기 드레인에 접속된 드레인과 상기 제3절연 게이트 트랜지스터의 상기 드레인에 접속된 게이트와 상기 제1전위가 인가되는 소스를 갖는 제4절연 게이트 트랜지스터와 상기 제4

절연 게이트 트랜지스터의 상기 드레인에 접속된 게이트와 상기 제1전위가 인가되는 소스와 상기 제4절연 게이트 트랜지스터의 상기 게이트에 접속된 드레인을 갖는 제5절연 게이트 트랜지스터와 상기 제5절연 게이트 트랜지스터의 상기 드레인에 접속된 입력 단자와 상기 제1리세트 신호를 출력하는 출력 단자를 갖는 제2인버터를 포함하는 반도체장치.

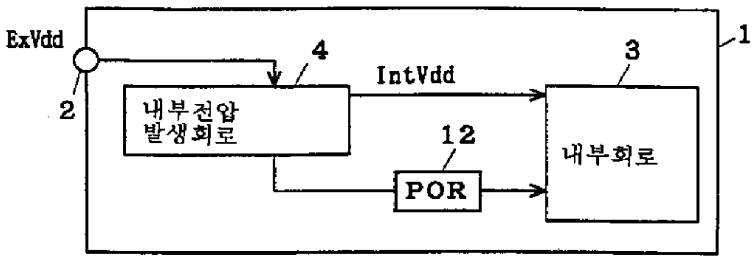
청구항 19

제1전원전위점에 접속된 제1전류전극, 제1입력단자에 접속된 제어전극 및 제2전류전극을 갖는 제1도전형의 제1트랜지스터, 상기 제1입력단자에 접속된 제어전극, 상기 제1트랜지스터의 상기 제2전류전극에 접속된 제1전류전극 및 제2전류전극을 갖는 제1도전형의 제2트랜지스터.

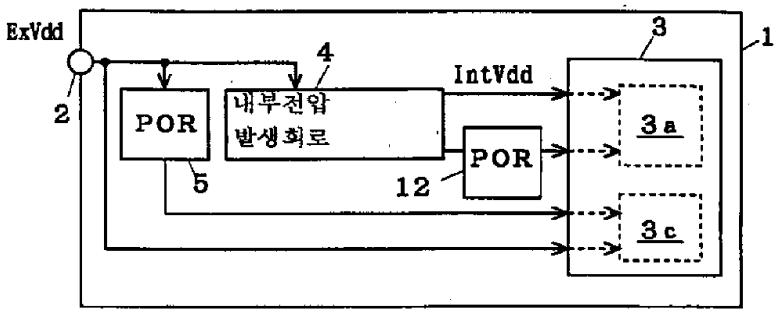
상기 제1트랜지스터의 상기 제2전류전극에 접속된 제1전류전극, 제2입력단자에 접속된 제어전극 및 제2전류전극을 갖는 제1도전형의 제3트랜지스터, 제2전원전위점에 접속된 제1전류전극, 제어전극 및 상기 제1트랜지스터의 상기 제2전류전극에 접속된 제2전류전극을 갖는 제2도전형의 제4트랜지스터, 상기 제2전원전위점에 접속된 제1전류전극, 상기 제4트랜지스터의 상기 제2전류전극에 접속된 제어전극 및 상기 제2트랜지스터의 상기 제2전류전극에 접속된 제2전류전극을 갖는 제2도전형의 제5트랜지스터, 상기 제4트랜지스터의 상기 제어전극에 접속된 제1전류전극, 상기 제5트랜지스터의 상기 제어전극에 접속된 제2전류전극 및 제어전극을 갖는 제2도전형의 제6트랜지스터, 상기 제4트랜지스터의 상기 제어전극에 접속된 제1전류전극 및 상기 제3트랜지스터의 상기 제2전류전극에 접속된 제2전류전극을 갖는 제2도전형의 제7트랜지스터, 상기 제3트랜지스터의 상기 제2전류전극에 접속된 입력단자 및 출력 단자를 갖는 제1인버터, 상기 제1인버터의 상기 출력단자에 접속된 입력단자 및 상기 제6트랜지스터의 상기 제어전극에 접속된 출력단자를 갖는 제2인버터, 상기 제2인버터의 출력단자에 접속된 입력단자 및 상기 제7트랜지스터의 상기 제어전극에 접속된 출력단자를 갖는 제3인버터를 포함하고, 상기 제2인버터의 출력단자에서 비교결과를 출력하는 것을 특징으로 하는 비교회로.

도면

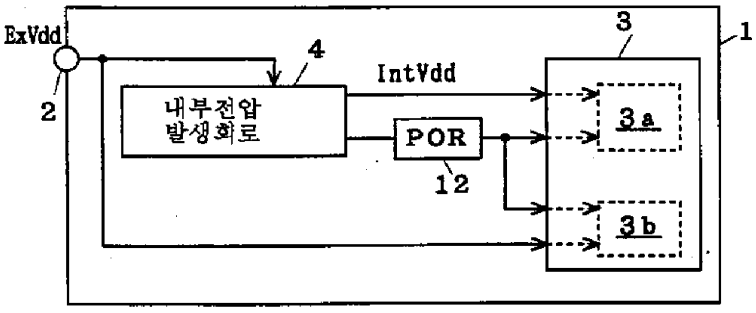
도면1



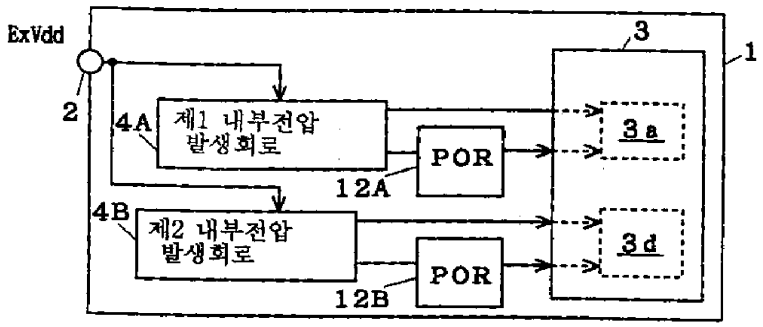
도면2



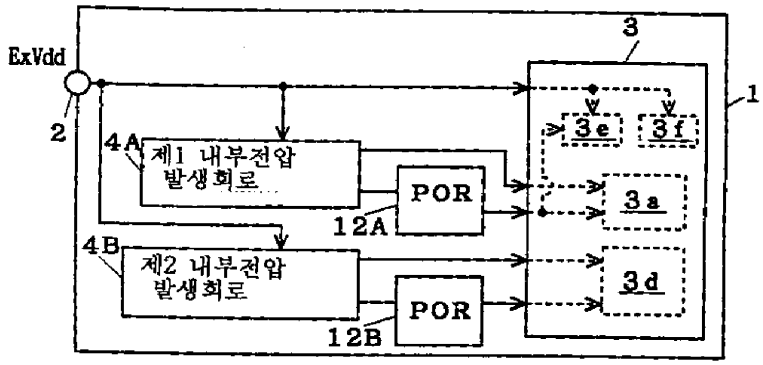
도면3



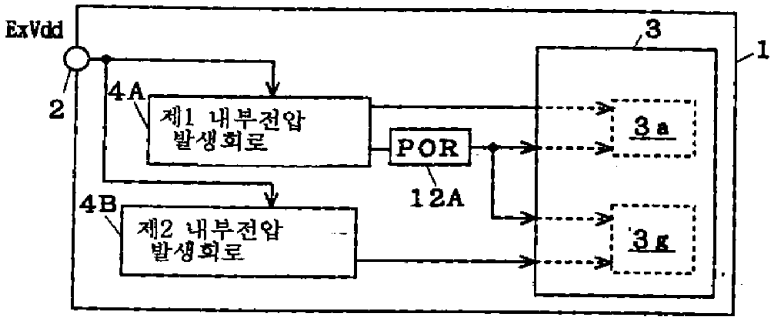
도면4



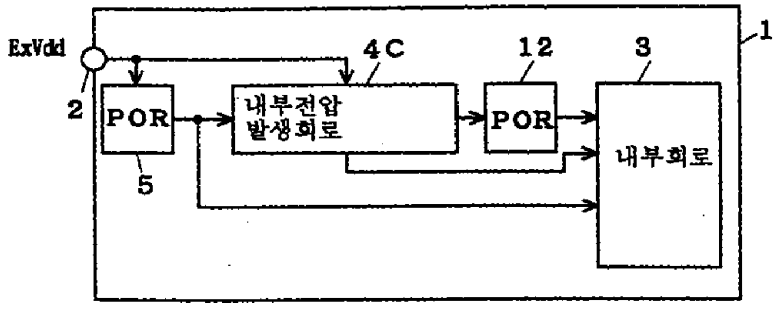
도면5



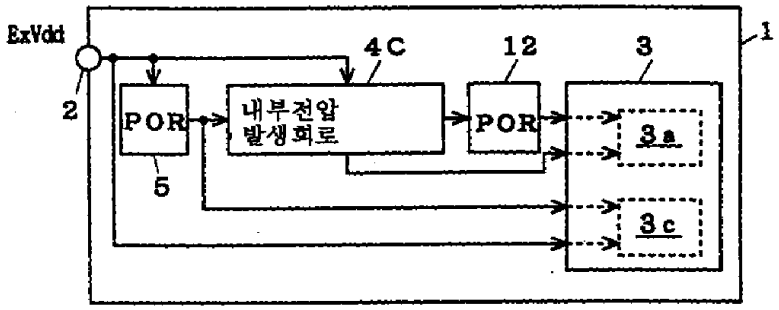
도면6



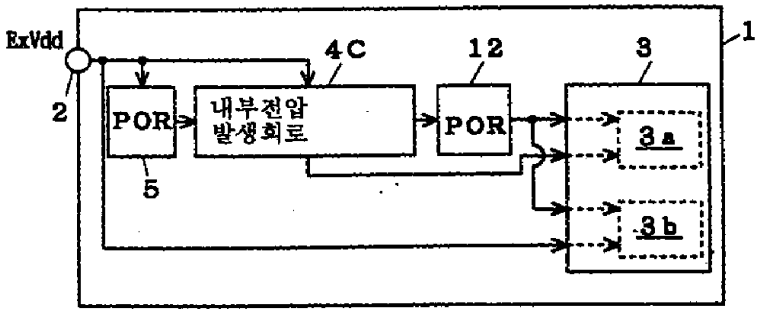
도면7



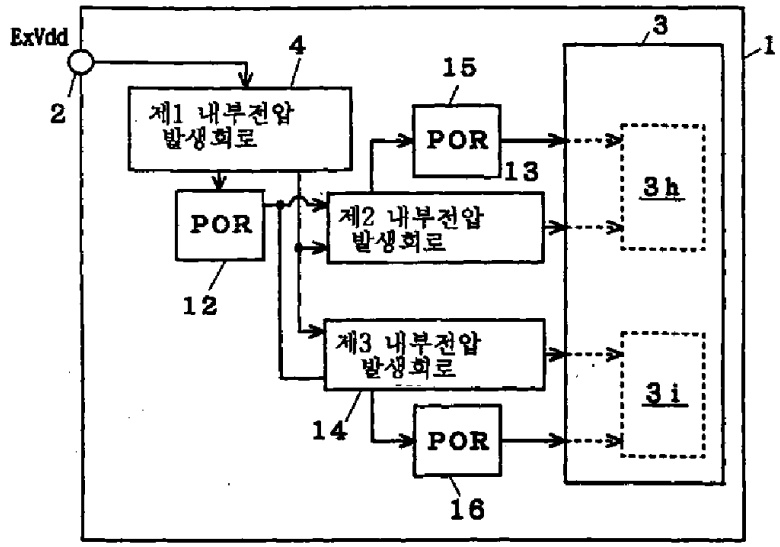
도면8



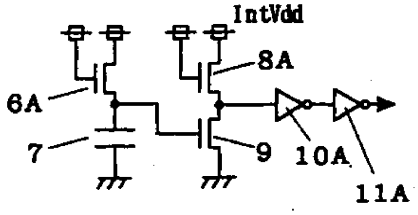
도면9



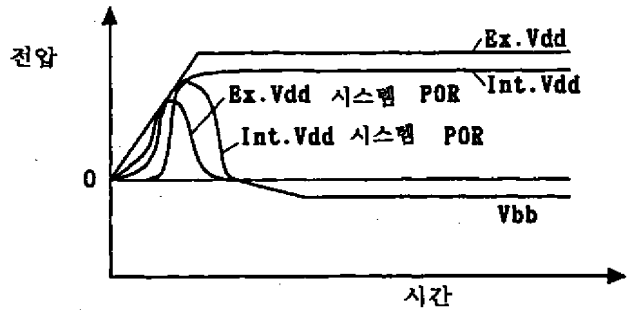
도면10



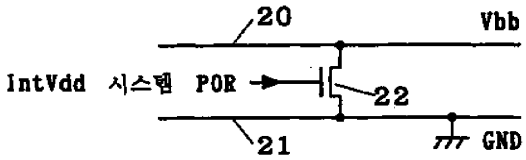
도면11



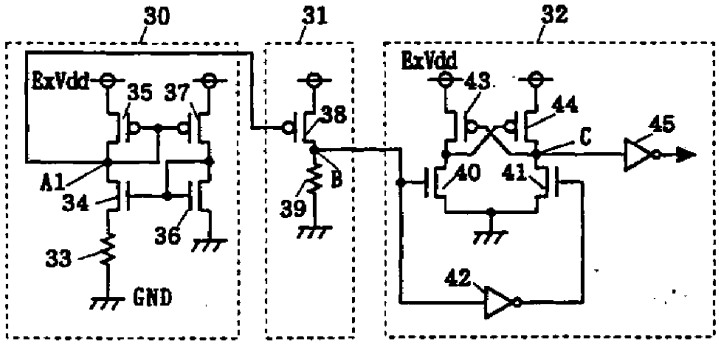
도면12



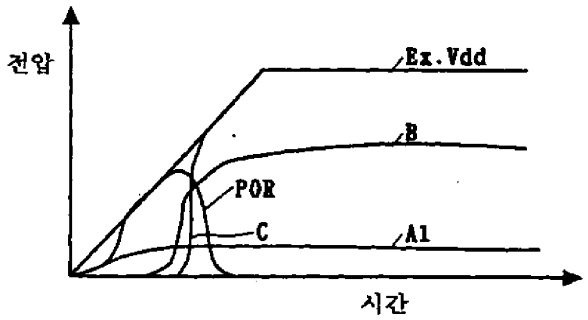
도면13



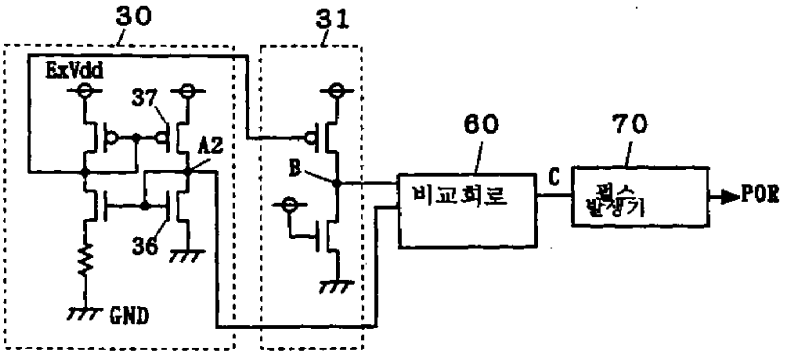
도면14



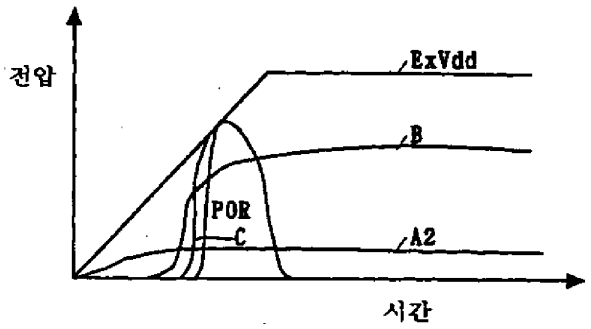
도면15



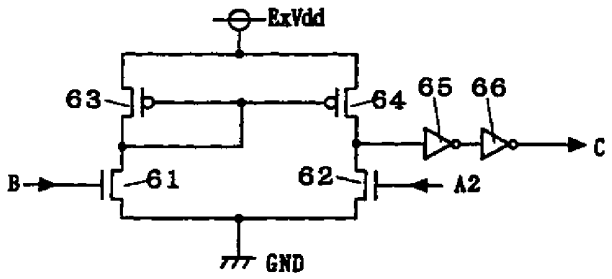
도면16



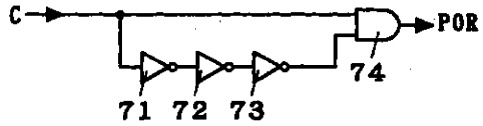
도면17



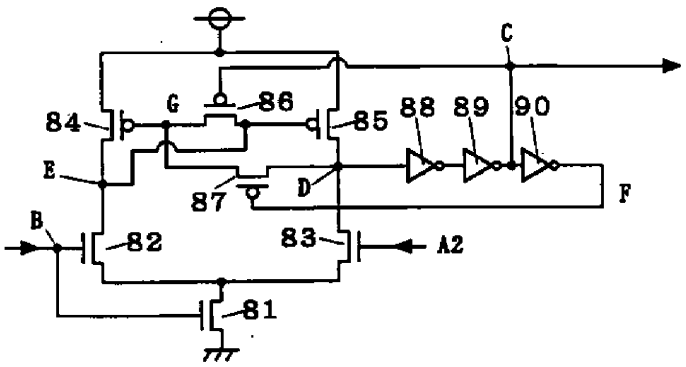
도면18



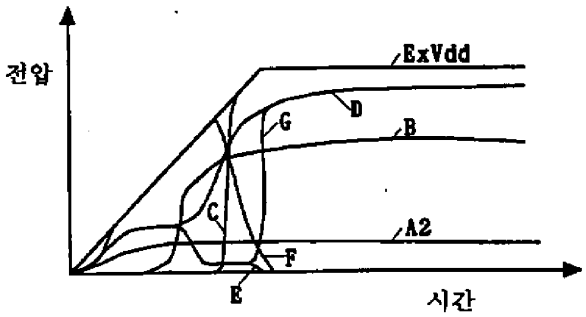
도면19



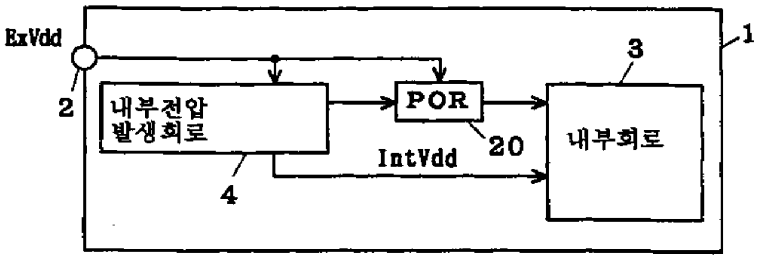
도면20



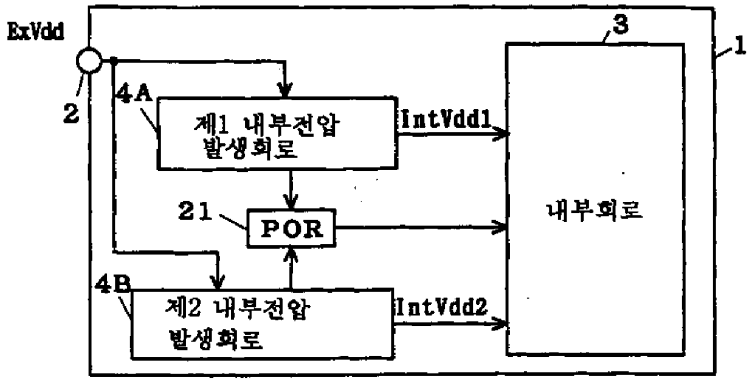
도면21



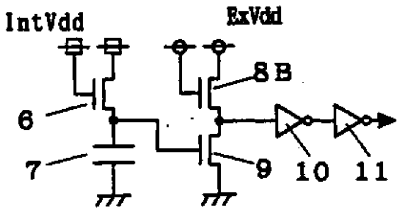
도면22



도면23

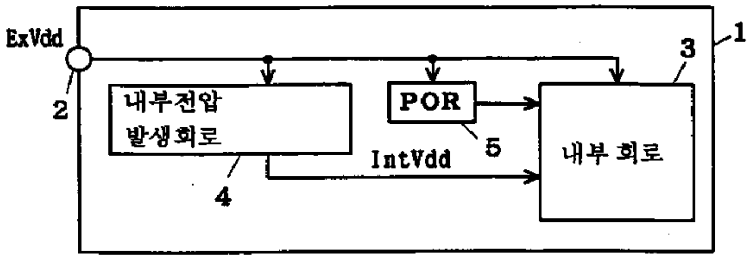


도면24



도면25

(종래 기술)



도면26

(종래 기술)

