



(12) 发明专利

(10) 授权公告号 CN 110945633 B

(45) 授权公告日 2023. 08. 11

(21) 申请号 201880048878.9

(22) 申请日 2018.07.26

(65) 同一申请的已公布的文献号
申请公布号 CN 110945633 A

(43) 申请公布日 2020.03.31

(30) 优先权数据
2017-144726 2017.07.26 JP
2018-117316 2018.06.20 JP

(85) PCT国际申请进入国家阶段日
2020.01.21

(86) PCT国际申请的申请数据
PCT/JP2018/028142 2018.07.26

(87) PCT国际申请的公布数据
W02019/022205 JA 2019.01.31

(73) 专利权人 株式会社电装
地址 日本爱知县

(72) 发明人 河野宪司

(74) 专利代理机构 永新专利商标代理有限公司
72002
专利代理师 吕文卓

(51) Int.Cl.
H01L 21/337 (2006.01)
H01L 21/338 (2006.01)
H01L 29/808 (2006.01)
H01L 29/812 (2006.01)

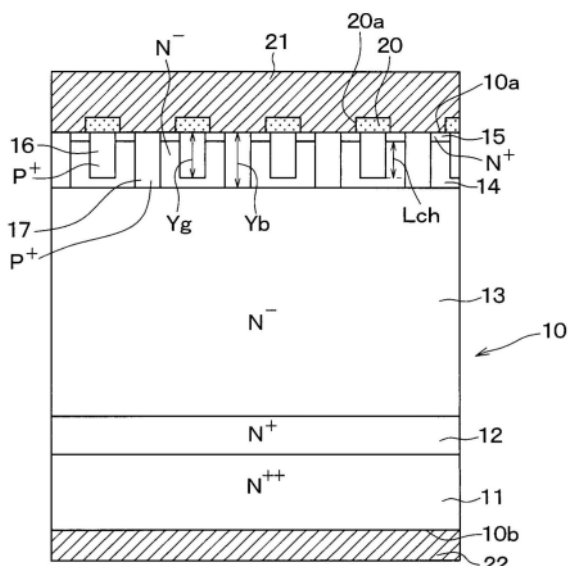
(56) 对比文件
JP 2014220434 A, 2014.11.20
JP 2005005385 A, 2005.01.06
JP 2010034381 A, 2010.02.12
审查员 李巧芬

权利要求书4页 说明书9页 附图17页

(54) 发明名称
半导体装置

(57) 摘要

具备:第1导电型的漂移层(13);第1导电型的沟道层(14),配置在漂移层(13)上;第1导电型的源极层(15),形成在沟道层(14)的表层部;第2导电型的栅极层(16),形成在沟道层(15);第2导电型的体层(17),形成在沟道层(15);漏极层(11),隔着漂移层(13)而配置在与源极层(15)相反的一侧;栅极布线(19),与栅极层(16)电连接;第1电极(21),与源极层(15)及体层(17)电连接;以及第2电极(22),与漏极层(11)电连接。并且,在体层(17)的底部侧,与栅极层(16)的底部侧相比,使电场强度更高。



1. 一种半导体装置,形成有结型FET,其特征在于,
具备半导体基板,该半导体基板具有单元区域(1)和单元区域的外侧,该单元区域形成有上述结型FET,

上述单元区域具备:

第1导电型的漂移层(13);

第1导电型的沟道层(14),配置在上述漂移层上;

第1导电型的源极层(15),形成在上述沟道层的表层部,与上述沟道层相比为高杂质浓度;

第2导电型的栅极层(16),在上述沟道层中形成得比上述源极层深;

第2导电型的体层(17),在上述沟道层中形成得比上述源极层深;

漏极层(11),隔着上述漂移层而配置在与上述源极层相反的一侧;

栅极布线(19),与上述栅极层电连接;

第1电极(21),与上述源极层及上述体层电连接;以及

第2电极(22),与上述漏极层电连接;

上述栅极层从上述沟道层中的与上述漂移层相反侧的表面形成;

在上述单元区域的外侧也形成有上述体层;

在上述体层的底部侧,与上述栅极层的底部侧相比,电场强度更高。

2. 如权利要求1所述的半导体装置,其特征在于,

上述体层形成得比上述栅极层深。

3. 如权利要求2所述的半导体装置,其特征在于,

设上述栅极层的深度为 Y_g ,设上述体层的深度为 Y_b ,设用相对于上述栅极层的深度而言的上述体层中比上述栅极层深的部分的长度来表示的相对突出量为 $(Y_b - Y_g) / Y_g$,则相对突出量为0.1~0.73。

4. 如权利要求2所述的半导体装置,其特征在于,

在上述栅极层的下方形成有屏蔽层(24),该屏蔽层为第2导电型且与上述栅极层相分离并与上述体层连接。

5. 如权利要求4所述的半导体装置,其特征在于,

上述栅极层及上述体层沿着一个方向延伸设置;

上述屏蔽层具有沿着上述一个方向延伸设置的主部(24a)、以及在与上述主部交叉的方向上突出且沿着上述一个方向周期性地形成的多个突出部(24b),上述多个突出部与上述体层连接。

6. 如权利要求1所述的半导体装置,其特征在于,

上述体层的底部为尖细形状。

7. 如权利要求1所述的半导体装置,其特征在于,

上述体层的底面与第1导电型的杂质区域相连,该第1导电型的杂质区域与和上述栅极层的底面相连的第1导电型的杂质区域相比为高杂质浓度。

8. 如权利要求7所述的半导体装置,其特征在于,

上述沟道层与上述漂移层相比为高杂质浓度;

上述栅极层的底面与上述漂移层相连;

上述体层的底面与上述沟道层相连。

9. 如权利要求7所述的半导体装置,其特征在于,
在上述沟道层,以与上述体层的底面相连的状态形成有与上述沟道层相比为高杂质浓度的第1导电型的沟道层(23)。

10. 如权利要求1所述的半导体装置,其特征在于,
与上述栅极层相比,上述体层的宽度窄。

11. 如权利要求1~10中任一项所述的半导体装置,其特征在于,
上述沟道层中,将上述源极层与上述栅极层的底面之间的长度设为沟道长度(Lch),则上述沟道长度为1 μ m以上。

12. 如权利要求1所述的半导体装置,其特征在于,
上述漏极层、上述漂移层、上述沟道层、上述源极层、上述栅极层及上述体层由碳化硅构成。

13. 一种半导体装置,形成有结型FET,其特征在于,
具备半导体基板,该半导体基板具有单元区域(1)和单元区域的外侧,该单元区域形成有上述结型FET,

上述单元区域具备:

第1导电型的漂移层(13);

第1导电型的沟道层(14),配置在上述漂移层上;

第1导电型的源极层(15),形成在上述沟道层的表层部,与上述沟道层相比为高杂质浓度;

第2导电型的栅极层(16),在上述沟道层中形成得比上述源极层深;

第2导电型的体层(17),在上述沟道层中形成得比上述源极层深;

漏极层(11),隔着上述漂移层而配置在与上述源极层相反的一侧;

栅极布线(19),与上述栅极层电连接;

第1电极(21),与上述源极层及上述体层电连接;以及

第2电极(22),与上述漏极层电连接;

上述栅极层从上述沟道层中的与上述漂移层相反侧的表面形成;

在上述单元区域的外侧也形成有上述体层;

上述体层的杂质浓度与上述栅极层相等并且上述体层被设为与上述栅极层相同的宽度,上述体层与上述栅极层相比形成得更深。

14. 如权利要求13所述的半导体装置,其特征在于,
上述漏极层、上述漂移层、上述沟道层、上述源极层、上述栅极层及上述体层由碳化硅构成。

15. 一种半导体装置,形成有结型FET,其特征在于,
具备:

第1导电型的漂移层(13);

第1导电型的沟道层(14),配置在上述漂移层上;

第1导电型的源极层(15),形成在上述沟道层的表层部,与上述沟道层相比为高杂质浓度;

第2导电型的栅极层(16),在上述沟道层中形成得比上述源极层深;
第2导电型的体层(17),在上述沟道层中形成得比上述源极层深;
漏极层(11),隔着上述漂移层而配置在与上述源极层相反的一侧;
栅极布线(19),与上述栅极层电连接;
第1电极(21),与上述源极层及上述体层电连接;以及
第2电极(22),与上述漏极层电连接;

上述体层的杂质浓度与上述栅极层相等,并且上述体层被设为与上述栅极层相同的宽度及深度,并且上述体层的底部为尖细形状。

16.如权利要求15所述的半导体装置,其特征在于,
上述漏极层、上述漂移层、上述沟道层、上述源极层、上述栅极层及上述体层由碳化硅构成。

17.一种半导体装置,形成有结型FET,其特征在于,
具备:
第1导电型的漂移层(13);
第1导电型的沟道层(14),配置在上述漂移层上;
第1导电型的源极层(15),形成在上述沟道层的表层部,与上述沟道层相比为高杂质浓度;

第2导电型的栅极层(16),在上述沟道层中形成得比上述源极层深;
第2导电型的体层(17),在上述沟道层中形成得比上述源极层深;
漏极层(11),隔着上述漂移层而配置在与上述源极层相反的一侧;
栅极布线(19),与上述栅极层电连接;
第1电极(21),与上述源极层及上述体层电连接;以及
第2电极(22),与上述漏极层电连接;
上述体层的杂质浓度与上述栅极层相等,并且上述体层被设为与上述栅极层相同的宽度及深度,并且上述体层的底面与第1导电型的杂质区域相连,该第1导电型的杂质区域与和上述栅极层的底面相连的第1导电型的杂质区域相比为高杂质浓度。

18.如权利要求17所述的半导体装置,其特征在于,
上述漏极层、上述漂移层、上述沟道层、上述源极层、上述栅极层及上述体层由碳化硅构成。

19.一种半导体装置,形成有结型FET,其特征在于,
具备:
第1导电型的漂移层(13);
第1导电型的沟道层(14),配置在上述漂移层上;
第1导电型的源极层(15),形成在上述沟道层的表层部,与上述沟道层相比为高杂质浓度;

第2导电型的栅极层(16),在上述沟道层中形成得比上述源极层深;
第2导电型的体层(17),在上述沟道层中形成得比上述源极层深;
漏极层(11),隔着上述漂移层而配置在与上述源极层相反的一侧;
栅极布线(19),与上述栅极层电连接;

第1电极(21),与上述源极层及上述体层电连接;以及

第2电极(22),与上述漏极层电连接;

上述体层的杂质浓度及深度与上述栅极层相等,并且与上述栅极层相比,上述体层的宽度窄。

20.如权利要求19所述的半导体装置,其特征在于,

上述漏极层、上述漂移层、上述沟道层、上述源极层、上述栅极层及上述体层由碳化硅构成。

半导体装置

[0001] 对相关申请的相互参照

[0002] 本申请基于2017年7月26日申请的日本专利申请第2017-144726号和2018年6月20日申请的日本专利申请第2018-117316号,这里通过参照而引用其记载内容。

技术领域

[0003] 本发明涉及形成有结型FET(Field Effect Transistor:以下也称作JFET)的半导体装置。

背景技术

[0004] 以往,提出了形成有JFET的半导体装置(例如,参照专利文献1)。具体而言,这样的半导体装置具有依次层叠了N⁺型的漏极层、N⁻型的漂移层、N型的沟道层的半导体基板。并且,在沟道层的表层部形成有N⁺型的源极层。此外,在沟道层,以将源极层贯通的方式相分离地形成有P⁺型的栅极层和P⁺型的体(body)层。另外,栅极层及体层被设为相同的宽度并且被设为相同的深度,还被设为相同的杂质浓度。即,栅极层及体层是相同的构造。

[0005] 此外,在半导体基板的沟道层侧的一面上,形成有与栅极层电连接的栅极布线,并且形成有与源极层及体层电连接的上部电极。另外,上部电极形成于半导体基板的一面的大部分,与栅极布线相比充分大。在半导体基板的与一面相反侧的另一面侧,形成有与漏极层电连接的下部电极。

[0006] 在这样的半导体装置中,当在半导体装置中发生了浪涌电流时,该浪涌电流经由栅极层及体层被排出。因此,与没有形成体层的情况相比,能够减小经由栅极层流过栅极布线的浪涌电流。

[0007] 现有技术文献

[0008] 专利文献

[0009] 专利文献1:美国专利申请公开第2014/231883号说明书

[0010] 但是,在上述半导体装置中,栅极层和体层被做成相同的结构。因此,当发生了浪涌电流时,该浪涌电流大致均等地流过栅极层及体层。该情况下,由于与栅极层连接的栅极布线较细(即较小),所以有可能由于流过浪涌电流而熔断。即,上述半导体装置有可能由于浪涌电流而损坏。

发明内容

[0011] 本发明的目的在于,提供能够抑制半导体装置损坏的半导体装置。

[0012] 根据本发明的一技术方案,在形成有JFET的半导体装置中,具备:第1导电型的漂移层;第1导电型的沟道层,配置在漂移层上;第1导电型的源极层,形成在沟道层的表层部,与沟道层相比为高杂质浓度;第2导电型的栅极层,在沟道层中形成得比源极层深;第2导电型的体层,在沟道层中形成得比源极层深;漏极层,隔着漂移层而配置在与源极层相反的一侧;栅极布线,与栅极层电连接;第1电极,与源极层及体层电连接;以及第2电极,与漏极层

电连接。

[0013] 并且,根据本发明的一技术方案,在体层的底部侧,与栅极层的底部侧相比,使电场强度更高。

[0014] 根据本发明的另一技术方案,体层的杂质浓度与栅极层相等并且体层与栅极层为相同的宽度,体层与栅极层相比形成得更深。

[0015] 根据本发明的另一技术方案,体层的杂质浓度与栅极层相等,并且体层被设为与栅极层相同的宽度及深度,并且体层的底部为尖细形状。

[0016] 根据本发明的另一技术方案,体层的杂质浓度与栅极层相等,并且体层被设为与栅极层相同的宽度及深度,并且体层的底面与第1导电型的杂质区域相连,该第1导电型的杂质区域与和栅极层的底面相连的第1导电型的杂质区域相比为高杂质浓度。

[0017] 根据本发明的另一技术方案,体层的杂质浓度及深度与栅极层相等,并且与栅极层相比,体层的宽度窄。

[0018] 在这些半导体装置中,在体层的底部侧,与栅极层的底部侧相比,电场强度变高。因此,当发生了浪涌时,在体层的底部侧容易发生击穿,浪涌电流容易向体层流入。因而,浪涌电流难以经由栅极层向栅极布线流入,能够抑制由于栅极布线熔断而半导体装置被损坏的情况。

[0019] 另外,对各构成要素等赋予的带括弧的标号表示该构成要素等与在后述的实施方式中记载的具体构成要素等的对应关系的一例。

附图说明

[0020] 图1是第1实施方式的半导体装置的平面图。

[0021] 图2是表示第1实施方式的半导体装置的剖视图,是表示单元区域的剖视图。

[0022] 图3是与图2不同的半导体装置的剖视图,是表示单元区域、外周区域、中间区域的剖视图。

[0023] 图4是与图2及图3不同的半导体装置的剖视图,是表示单元区域、外周区域、中间区域的剖视图。

[0024] 图5是图1中的区域V的放大图,是表示栅极层、体层及保护环的配置结构的平面示意图。

[0025] 图6是表示浪涌电流流动的路径的示意图。

[0026] 图7是表示关于沟道长度与饱和电流的关系的模拟结果的图。

[0027] 图8是表示关于相对突出量与相对电压差的关系的模拟结果的图。

[0028] 图9是第2实施方式的半导体装置的剖视图。

[0029] 图10是第3实施方式的半导体装置的剖视图。

[0030] 图11是第3实施方式的变形例的半导体装置的剖视图。

[0031] 图12是第4实施方式的半导体装置的剖视图。

[0032] 图13是第5实施方式的半导体装置的剖视图。

[0033] 图14是第6实施方式的半导体装置的剖视图。

[0034] 图15是图14中的栅极层、体层及屏蔽层的立体图。

[0035] 图16A是表示图14所示的半导体装置的制造工序的图。

- [0036] 图16B是表示接着图16A的半导体装置的制造工序的图。
- [0037] 图16C是表示接着图16B的半导体装置的制造工序的图。
- [0038] 图16D是表示接着图16C的半导体装置的制造工序的图。
- [0039] 图16E是表示接着图16D的半导体装置的制造工序的图。
- [0040] 图16F是表示接着图16E的半导体装置的制造工序的图。
- [0041] 图16G是表示接着图16F的半导体装置的制造工序的图。
- [0042] 图17是表示图14所示的半导体装置的各电容的图。

具体实施方式

[0043] 以下,基于附图对本发明的实施方式进行说明。另外,在以下的各实施方式中,对于相互相同或等同的部分赋予相同的标号而进行说明。

[0044] (第1实施方式)

[0045] 对第1实施方式进行说明。本实施方式的半导体装置如图1所示,具有单元区域1、将该单元区域1包围的外周区域2、以及作为单元区域1与外周区域2之间的区域的中间区域3。

[0046] 此外,半导体装置如图2~图4所示,具备具有由 N^{++} 型的碳化硅(以下也称作SiC)基板构成的漏极层11的半导体基板10。并且,在漏极层11上,配置有比漏极层11低杂质浓度的 N^+ 型的缓冲层12,在缓冲层12上,配置有比缓冲层12低杂质浓度的 N^- 型的漂移层13。另外,缓冲层12为了抑制半导体装置的开关时的电压振动而具备,但也可以不具备。此外,缓冲层12及漂移层13例如通过使SiC的外延膜在构成漏极层11的SiC基板上生长而构成。

[0047] 并且,在单元区域1,在半导体基板10的一面10a侧形成有沟道层14、源极层15、栅极层16及体层17。具体而言,在单元区域1,在漂移层13上配置有与漂移层13相同杂质浓度的 N^- 型的沟道层14,在沟道层14的表层部形成有比沟道层14高杂质浓度的 N^+ 型的源极层15。另外,沟道层14例如通过使SiC的外延膜生长而构成,源极层15例如通过将N型的杂质离子注入并热处理而构成。

[0048] 进而,以将源极层15贯通的方式,形成有比沟道层14高杂质浓度的 P^+ 型的栅极层16及 P^+ 型的体层17。这些栅极层16及体层17例如通过以将源极层15贯通的方式形成沟槽、并使SiC的外延膜生长以将该沟槽内填埋而构成。

[0049] 在本实施方式中,栅极层16及体层17在半导体基板10的面方向的一个方向上延伸设置,在该面方向的与延伸设置方向正交的方向上交替地配置。即,在图2中,栅极层16及体层17在纸面垂直方向上延伸设置。此外,栅极层16及体层17在纸面左右方向上交替地配置。

[0050] 在本实施方式中,栅极层16及体层17杂质浓度相等,并且沿着排列方向的宽度相等。但是,体层17形成到比栅极层16深的位置。即,体层17采用比栅极层16更向漏极层11侧突出的结构。

[0051] 此外,在本实施方式中,如图3~图5所示,栅极层16延伸设置到中间区域3。并且,栅极层16通过使位于中间区域3的延伸设置方向的两端部环绕而被做成环状构造,环状构造的部位相互连接。因此,图2中的体层17也可以说被配置在采用环状构造的栅极层16的内缘侧的区域。

[0052] 另外,在本实施方式中,如图3及图4所示,体层17也形成在中间区域3,如后述那

样,与形成在外周区域2中的多个保护环32中的1个连接。此外,图2是沿着图5中的II—II线的剖视图,图3是沿着图5中的III—III线的剖视图,图4是沿着图5中的IV—IV线的剖视图。

[0053] 并且,如图1、图3及图4所示,在半导体基板10上,在中间区域3形成有栅极焊盘18、以及将该栅极焊盘18与栅极层16电连接的栅极布线19。另外,在半导体装置内,虽然没有特别图示,但还形成有温度传感器及电流传感器等。并且,在中间区域3,还形成有与这些各种传感器电连接的焊盘及未图示的布线。

[0054] 此外,如图2~图4所示,在半导体基板10的一面10a上,以将栅极布线19覆盖的方式形成有层间绝缘膜20。并且,在单元区域1及中间区域3中,在层间绝缘膜20形成有使源极层15及体层17露出的接触孔20a。在层间绝缘膜20上,形成有经由接触孔20a而与源极层15及体层17电连接的上部电极21。

[0055] 另外,在本实施方式中,上部电极21相当于第1电极。此外,上部电极21形成在单元区域1的整面及中间区域3的一部分。即,上部电极21形成为所谓的布满状。因此,上部电极21可以说与栅极布线19相比截面积充分大。换言之,上部电极21可以说与栅极布线19相比容许电流充分大。

[0056] 此外,在半导体基板10的另一面10b侧,形成有与漏极层11电连接的下部电极22。另外,在本实施方式中,下部电极22相当于第2电极。

[0057] 外周区域2如图3及图4所示,通过形成将单元区域1及中间区域3的相当于沟道层14的部分除去的凹部31而被做成台面构造。并且,在外周区域2,形成有采用将单元区域1包围的多重环构造的多个保护环32。另外,在本实施方式中,多个保护环32中的最靠单元区域1侧的1个与形成于中间区域3的体层17电连接,但也可以不电连接。此外,形成于单元区域1的层间绝缘膜20也形成于外周区域2。

[0058] 以上是本实施方式的半导体装置的结构。另外,在本实施方式中, N^- 型、N型、 N^+ 型、 N^{++} 型相当于第1导电型, P^+ 型相当于第2导电型。此外,在本实施方式中,如上述那样,包括漏极层11、缓冲层12、漂移层13、沟道层14、源极层15、栅极层16及体层17而构成半导体基板10。并且,在本实施方式中,如上述那样,漏极层11由SiC基板构成,缓冲层12、漂移层13、沟道层14等通过使SiC的外延膜生长而构成。因此,本实施方式的半导体装置也可以说是SiC半导体装置。

[0059] 这样的半导体装置,在栅极层16没有被施加规定的栅极电压的情况下,通过从栅极层16延伸的耗尽层而将沟道层14夹断。并且,如果从该状态对栅极层16施加栅极电压,则从栅极层16延伸的耗尽层缩小。由此,在沟道层14内形成沟道区域,经由沟道区域流过电流。

[0060] 此外,在本实施方式中,体层17被形成得比栅极层16深。即,体层17的从半导体基板10的一面10a到底面的长度大于从半导体基板10的一面10a到栅极层16的底面的长度。即,体层17成为比栅极层16更向漏极层11侧突出的状态。因此,体层17的底部侧容易比栅极层16的底部侧电场强度高。因而,当发生浪涌时,如图6所示,在体层17的底部侧的区域容易发生击穿,浪涌电流容易向体层17流入。即,浪涌电流难以流入栅极层16,能够减小流过栅极布线19的浪涌电流。因此,能够抑制由于栅极布线19熔断而半导体装置损坏的情况。

[0061] 另外,浪涌电流在向体层17流入后向上部电极21流入。但是,上部电极21形成为布满状,与栅极布线19相比充分大。因此,即使浪涌电流较多地流入上部电极21,该上部电极

21熔断的可能性也较低,半导体装置难以被损坏。

[0062] 这里,上述那样的具备JFET的半导体装置根据栅极层16的深度而饱和电流变化。更详细地讲,根据沟道长度 L_{ch} 而饱和电流变化。并且,饱和电流越大,浪涌电流越大。

[0063] 另外,这里的沟道长度 L_{ch} ,如图2所示,是源极层15与栅极层16的底面之间的长度。换言之,沟道长度 L_{ch} 是与栅极层16的侧面相接的沟道层14的长度。因此,本发明者们对沟道长度 L_{ch} 与饱和电流的关系进行研究,得到了以下的结果。

[0064] 即,如图7所示,饱和电流依存于沟道长度 L_{ch} ,沟道长度 L_{ch} 越长则饱和电流越小。具体而言,在沟道长度 L_{ch} 达到 $1\mu\text{m}$ 为止,饱和电流随着沟道长度 L_{ch} 变大而急剧地变小。相对于此,在沟道长度 L_{ch} 为 $1\mu\text{m}$ 以上的情况下,即使沟道长度 L_{ch} 变大,饱和电流也不怎么变小。因此,在本实施方式中,将沟道长度 L_{ch} 设为 $1\mu\text{m}$ 以上,使得饱和电流充分变小。由此,在本实施方式中,还能够充分地减小浪涌电流的大小本身。

[0065] 此外,本实施方式的半导体装置由于具备体层17,所以相对于不具备体层17的情况下的半导体装置而言耐压变化。因此,本发明者们对栅极层16及体层17的深度与耐压的关系也进行研究,得到了以下的结果。另外,这里如图2所示,设栅极层16的深度为 Y_g ,设体层17的深度为 Y_b 。此外,由于体层17的比栅极层16深的部分的长度(即,突出长度)为 $Y_b - Y_g$,所以相对于栅极层16的深度而言的体层17的突出长度所表示的相对突出量设为 $dy = (Y_b - Y_g) / Y_g$ 。并且,设成为饱和电流时所要求的规定电压(即耐压)为 A (例如 1200V),设使相对突出量变化而成为饱和电流时的电压为 BV ,设相对电压差为 $dBV = (BV - A) / A$ 。另外,在相对电压差是正值的情况下,表示耐压变高,在相对电压差是负值的情况下,表示耐压变低。

[0066] 如图8所示,相对电压差在相对突出量是 $0.1 \sim 0.73$ 时为正值。因此,在本实施方式中,设定栅极层16及体层17的深度,以使相对突出量成为 $0.1 \sim 0.73$ 的值。由此,能够得到抑制耐压下降、并且浪涌电流容易流向体层17的构造。

[0067] 如以上说明,在本实施方式中,体层17形成得比栅极层16深。因此,浪涌电流容易向体层17流入,难以向栅极层16流入。因而,能够抑制由于栅极布线19熔断而半导体装置被损坏的情况。

[0068] 此外,在本实施方式中,沟道长度 L_{ch} 被设为 $1\mu\text{m}$ 以上。由此,能够使饱和电流变小,能够实现浪涌电流的大小本身的减小。

[0069] 进而,体层17的相对突出量被设为 $0.1 \sim 0.73$ 。因此,还能够抑制耐压下降。

[0070] (第2实施方式)

[0071] 对第2实施方式进行说明。本实施方式相对于第1实施方式变更了体层17的构造,其他与第1实施方式是同样的,所以这里省略说明。

[0072] 在本实施方式中,如图9所示,体层17被设为与栅极层16相同的深度。但是,体层17的底部呈尖细形状。具体而言,在本实施方式中,体层17的底部设为凸形状。即,体层17设为底部具有锐角的尖的形状。

[0073] 这样,通过将体层17做成尖细形状,体层17的底部侧的电场强度容易变高,能够得到与上述第1实施方式同样的效果。另外,这里,说明了体层17设为底部尖的形状的例子,但只要底部呈尖细形状,也可以使前端部变圆。

[0074] (第3实施方式)

[0075] 对第3实施方式进行说明。本实施方式相对于第1实施方式变更了沟道层14的结构,其他与第1实施方式是同样的,所以这里省略说明。

[0076] 在本实施方式中,如图10所示,体层17被设为与栅极层16相同的深度。并且,在栅极层16的下部没有配置沟道层14。即,栅极层16的底面是与漂移层13相连的状态。

[0077] 此外,在本实施方式中,沟道层14比漂移层13杂质浓度高。即,在本实施方式中,由于沟道层14比漂移层13杂质浓度高,所以与栅极层16的底面相比,体层17的底面成为与杂质浓度更高的杂质区域形成PN结的状态。

[0078] 由此,由于沟道层14被设为比漂移层13杂质浓度高,所以与在栅极层16与漂移层13之间构成的耗尽层相比,在体层17与沟道层14之间构成的耗尽层难以向漏极层11侧延伸。换言之,与在体层17与沟道层14之间构成的耗尽层相比,在栅极层16与漂移层13之间构成的耗尽层更容易向漏极层11侧延伸。因此,相对地,体层17的底部侧的电场强度容易变高,能够得到与上述第1实施方式同样的效果。

[0079] (第3实施方式的变形例)

[0080] 对第3实施方式的变形例进行说明。如图11所示,可以形成为,比体层17靠漂移层13侧的沟道层14仅与体层17的底面相连。即,位于栅极层16与体层17之间的沟道层14可以被设为与这些栅极层16及体层17的深度相等。这样的结构也能够得到与上述第3实施方式同样的效果。

[0081] (第4实施方式)

[0082] 对第4实施方式进行说明。本实施方式相对于第1实施方式而言以与体层17的底面相连的方式形成了N型的沟道层,其他与第1实施方式是同样的,所以这里省略说明。

[0083] 在本实施方式中,如图12所示,体层17被设为与栅极层16相同的深度。并且,在沟道层14,以与体层17的底面相连的方式形成有比该沟道层14杂质浓度高的N⁺型的沟道层23。即,在本实施方式中,由于N⁺型的沟道层23比沟道层14杂质浓度高,所以与栅极层16的底面相比,P型的体层17的底面成为与更高杂质浓度的杂质区域形成PN结的状态。

[0084] 由此,N型的沟道层23比沟道层14杂质浓度高。因此,与在栅极层16与沟道层14之间构成的耗尽层相比,在P型的体层17与N型的沟道层23之间构成的耗尽层难以向漏极层11侧延伸。换言之,与在体层17与沟道层23之间构成的耗尽层相比,在栅极层16与沟道层14之间构成的耗尽层更容易向漏极层11侧延伸。因此,相对地,体层17的底部侧的电场强度容易变高,能够得到与上述第1实施方式同样的效果。

[0085] (第5实施方式)

[0086] 对第5实施方式进行说明。本实施方式相对于第1实施方式而言使体层17的宽度变窄,其他与第1实施方式是同样的,所以这里省略说明。

[0087] 在本实施方式中,如图13所示,体层17被设为与栅极层16相同的深度,但宽度比栅极层16窄。这样的半导体装置也通过使体层17的宽度比栅极层16的宽度窄从而体层17的底部侧的电场强度容易变高,能够得到与上述第1实施方式同样的效果。

[0088] (第6实施方式)

[0089] 对第6实施方式进行说明。本实施方式相对于第1实施方式追加了屏蔽层,其他与第1实施方式是同样的,所以这里省略说明。

[0090] 在本实施方式中,如图14及图15所示,在沟道层14,在栅极层16的下方形成有与体

层17杂质浓度同等的P⁺型的屏蔽层24。

[0091] 具体而言,屏蔽层24具有沿着栅极层16及体层17的延伸设置方向延伸设置的主部24a。此外,屏蔽层24具有从主部24a沿着与该主部24a的延伸设置方向交叉的、半导体基板10的面方向延伸设置的突出部24b。并且,屏蔽层24的突出部24b与体层17连接。

[0092] 在本实施方式中,突出部24b从主部24a的两侧突出,并且沿着延伸设置方向周期性地形成有多个。即,屏蔽层24经由多个突出部24b而与相邻的体层17连接。

[0093] 以上是本实施方式的半导体装置的结构。接着,参照图16A~图16G对本实施方式的半导体装置的制造方法进行说明。

[0094] 首先,如图16A所示,准备形成有漏极层11、缓冲层12、漂移层13的基板。另外,在图16A中,将位于漂移层13下方的漏极层11及缓冲层12省略而表示。此外,在后述的图16B~图16G中,也将位于漂移层13下方的漏极层11及缓冲层12省略而表示。

[0095] 并且,如图16B所示,在漂移层13上,例如通过使SiC的外延膜生长而形成构成沟道层14的下层侧的下层沟道层14a。在本实施方式中,下层沟道层14a的厚度被设为漂移层13与栅极层16的底面之间的间隔。

[0096] 接着,如图16C所示,在下层沟道层14a上形成未图示的掩模,将P型的杂质向下层沟道层14a进行离子注入。并且,在下层沟道层14a形成下层侧的体层注入区域17a及屏蔽层注入区域24c。此时,将离子注入时的掩模及加速电压适当变更,以使体层注入区域17a一直形成到下层沟道层14a的表面侧为止、并且屏蔽层注入区域24c从下层沟道层14a的表面离开。

[0097] 另外,下层侧的体层注入区域17a是通过被热处理而杂质活性化、从而形成体层17中的下层侧部分的区域。屏蔽层注入区域24c是通过被热处理而杂质活性化从而形成屏蔽层24的区域。此外,屏蔽层注入区域24c形成为,在形成了屏蔽层24时构成主部24a及突出部24b。

[0098] 接着,如图16D所示,通过在下层沟道层14a上再次使SiC的外延膜生长而形成上层沟道层14b。由此,构成沟道层14。

[0099] 接着,如图16E所示,在沟道层14上形成未图示的掩模,将P型的杂质向沟道层14进行离子注入。并且,在下层侧的体层注入区域17a上形成上层侧的体层注入区域17b,并在屏蔽层注入区域24c上形成栅极层注入区域16a。在本实施方式中,使上层侧的体层注入区域17b及栅极层注入区域16a成为相同的深度,将它们同时形成。另外,上层侧的体层注入区域17b是通过被热处理而杂质活性化、从而形成体层17中的上层侧部分的区域。栅极层注入区域16a是通过被热处理而杂质活性化从而形成栅极层16的区域。

[0100] 然后,如图16F所示,将沟道层14上的掩模变更,将N型的杂质向沟道层14进行离子注入,形成源极层注入区域15a。另外,源极层注入区域15a是通过被热处理而杂质活性化从而形成源极层15的区域。

[0101] 接着,如图16G所示,通过进行热处理而进行杂质的活性化,从而形成源极层15、栅极层16、体层17及屏蔽层24。然后,虽然没有特别图示,但通过适当形成上部电极21及下部电极22等,制造出图14所示的半导体装置。

[0102] 如以上说明,在本实施方式中,在栅极层16下方形成有与体层17连接的屏蔽层24。因此,在半导体装置中,能够进一步抑制浪涌电流向栅极层16流入。

[0103] 此外,在本实施方式中,在栅极层16下方配置与体层17连接的屏蔽层24。因此,能够减小栅极—漏极间的电容 C_{gd} ,还能够实现开关损耗的降低。具体而言,如图17所示,通过形成屏蔽层24,与不形成屏蔽层24的情况下的栅极—漏极间的电容 C_{gda} 相比,能够将栅极—漏极间的电容 C_{gd} 降低一位数以上。另外,图17中的 C_{gs} 表示栅极—源极间的电容, C_{ds} 表示漏极—源极间的电容。

[0104] 进而,在本实施方式中,屏蔽层24沿着主部24a的延伸设置方向周期性地形成有突出部24b。并且,屏蔽层24的各突出部24b与体层17连接。因此,例如相比于屏蔽层24与体层17仅在一部分连接的情况,能够抑制屏蔽层24的电位变得不稳定。

[0105] (其他实施方式)

[0106] 将本发明依据实施方式进行了记述,但应理解的是本发明并不限于该实施方式及构造。本发明也包含各种各样的变形例及均等范围内的变形。除此以外,各种各样的组合及形态、进而在它们中仅包含一要素、包含其以上或其以下的其他组合及形态也落入在本发明的范畴及思想范围中。

[0107] 例如,在上述各实施方式中,说明了将第1导电型设为N型、将第2导电型设为P型的例子,但也能够将第1导电型设为P型、将第2导电型设为N型。

[0108] 此外,也能够将上述各实施方式组合。例如,也可以将上述第1实施方式与上述第2~第5实施方式组合,使体层17比栅极层16深。此外,也可以将上述第2实施方式与第3~第6实施方式组合,将体层17的底部做成尖细形状。进而,也可以将上述第3实施方式与上述第4~第6实施方式组合,将沟道层14构成得比漂移层13杂质浓度高,在栅极层16下部不配置沟道层14。该情况下,在将上述第3实施方式与上述第6实施方式组合的情况下,屏蔽层24形成于漂移层13。此外,也可以将上述第4实施方式与上述第5、第6实施方式组合,使在P型的体层17的下部具备N型的沟道层23。进而,也可以将上述第5实施方式与上述第6实施方式组合,使体层17的宽度比栅极层16的宽度窄。并且,也可以将组合了上述各实施方式的形态彼此进一步组合。

[0109] 进而,在上述各实施方式中,栅极层16和体层17也可以不在与延伸设置方向正交的方向上交替地形成。例如,也可以在多个栅极层16之间形成体层17,也可以在多个体层17之间形成栅极层16。此外,栅极层16和体层17也可以分别多个多个地集中配置。进而,体层17也可以仅具备1个。在这样的结构下,也能够通过使体层17的底部侧比栅极层16的底部侧电场强度高,从而浪涌电流容易向体层17流入。但是,栅极层16及体层17交替地配置的情况下浪涌电流难以向栅极层16流入,所以是优选的。另外,在这样的结构的情况下,在上述第6实施方式中,形成屏蔽层24以与栅极层16的下方之中相邻的体层17连接。

[0110] 并且,在上述各实施方式中,栅极层16及体层17也可以设为不同的杂质浓度。在这样的结构下,也能够通过使体层17的底部侧比栅极层16的底部侧电场强度高,从而浪涌电流容易向体层17流入。

[0111] 此外,在上述各实施方式中,说明了使电流在半导体基板10的厚度方向上流动的纵型的半导体装置。但是,也可以将上述各实施方式应用于使电流在半导体基板10的平面上流动的横型的半导体装置。

[0112] 进而,在上述各实施方式中,说明了具备常断型(normally off)的JFET的半导体装置。但是,上述各实施方式的结构也能够应用于具备常通(normally on)型的JFET的半导

体装置。

[0113] 此外,在上述各实施方式中,以SiC半导体装置为例进行了说明,但也可以设为其他化合物半导体装置、或者在硅基板进行异质外延生长而成的半导体装置。

[0114] 进而,在上述第6实施方式中,只要屏蔽层24与体层17连接,则例如突出部24b也可以仅配置在主部24a的单侧,也可以不是沿着主部24a的延伸设置方向周期性地形成。

[0115] 此外,在上述第6实施方式中,屏蔽层24也可以设为与体层17的深度同等,也可以比体层17深。屏蔽层24用来通过与体层17连接而维持对栅极层16进行保护的功能。进而,屏蔽层24也可以不设为与体层17同等的杂质浓度。

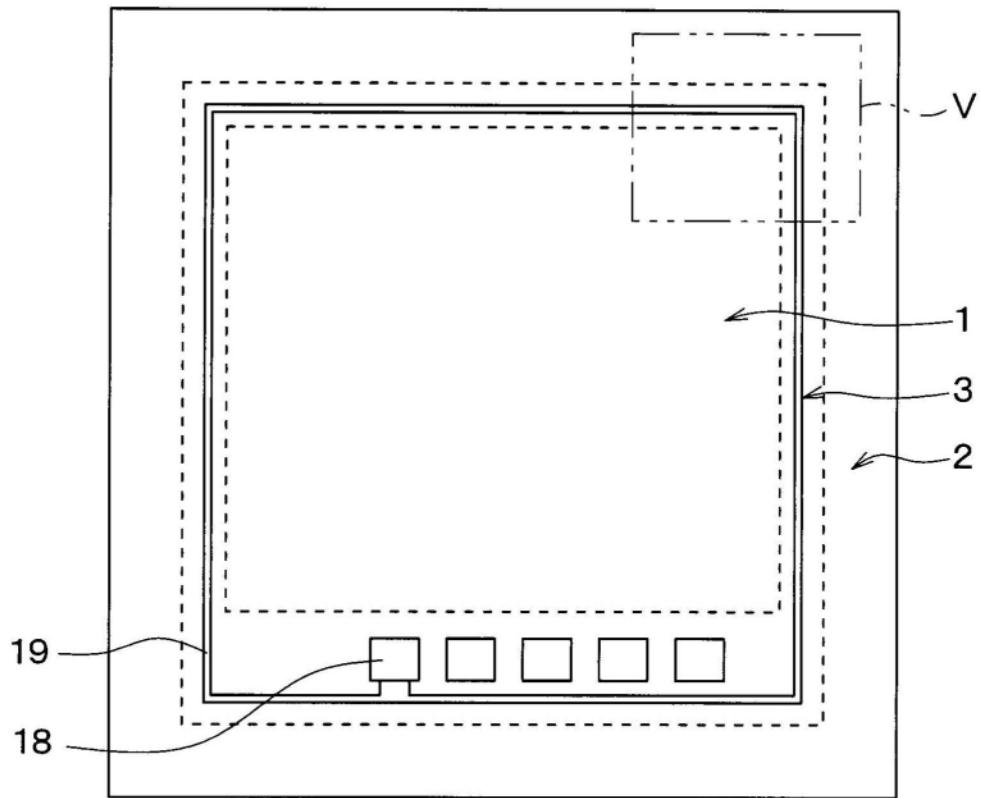


图1

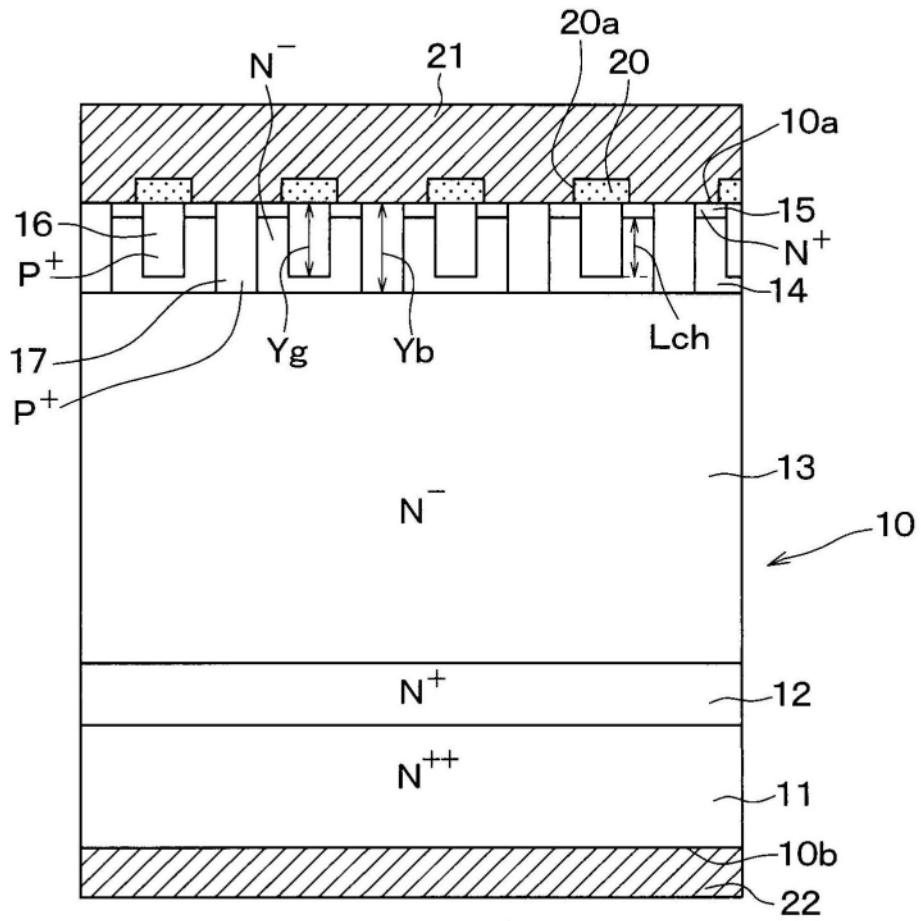


图2

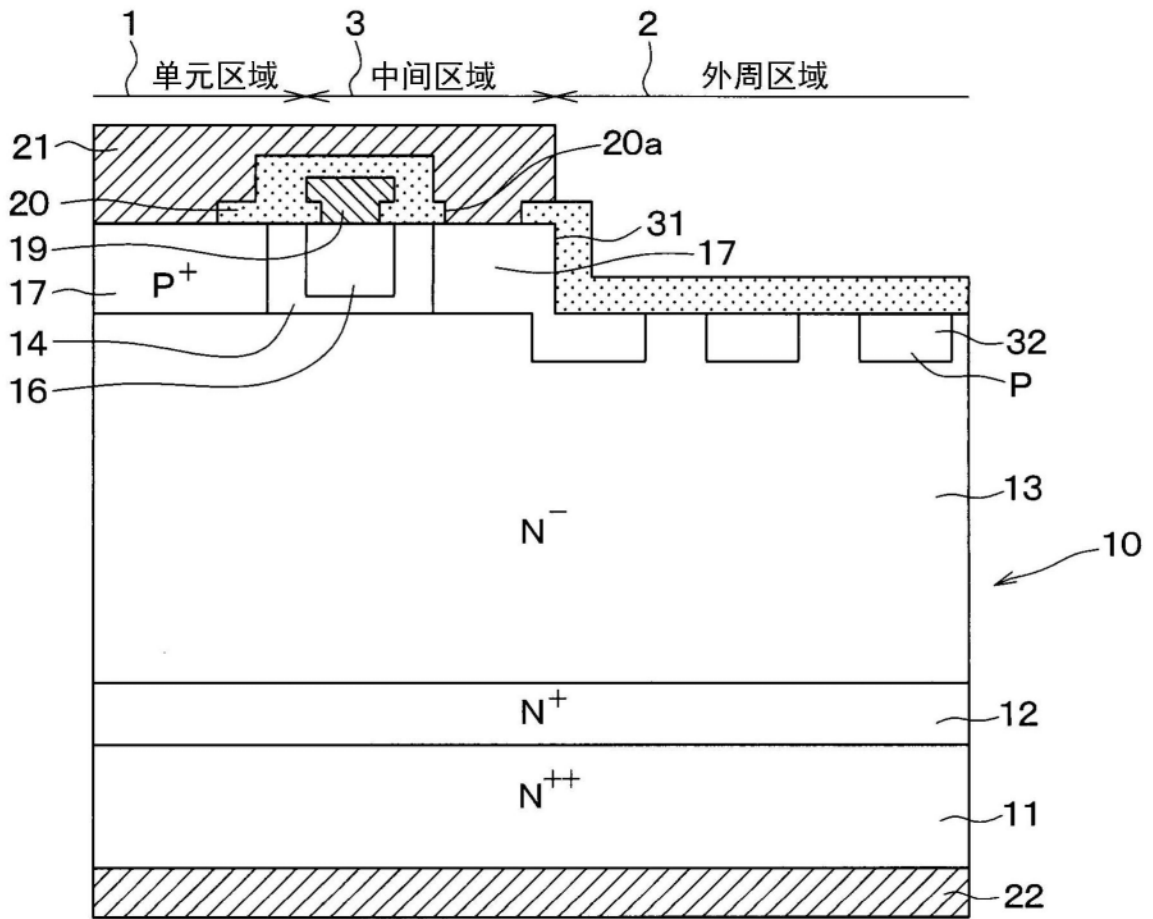


图4

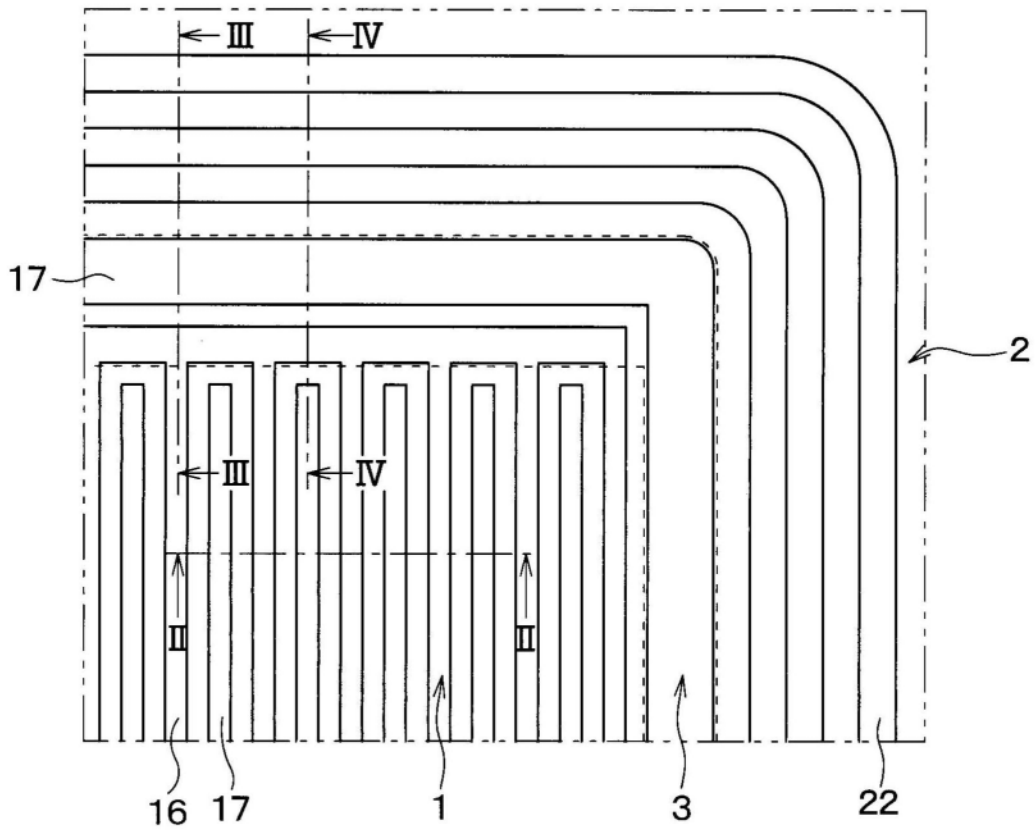


图5

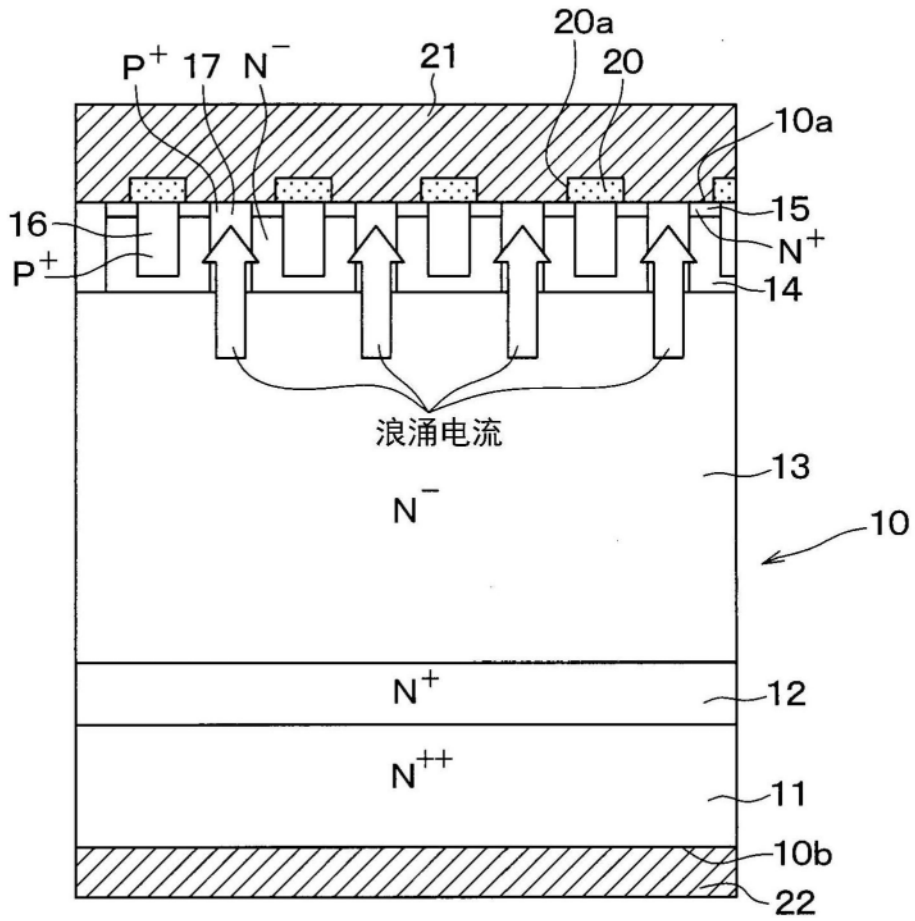


图6

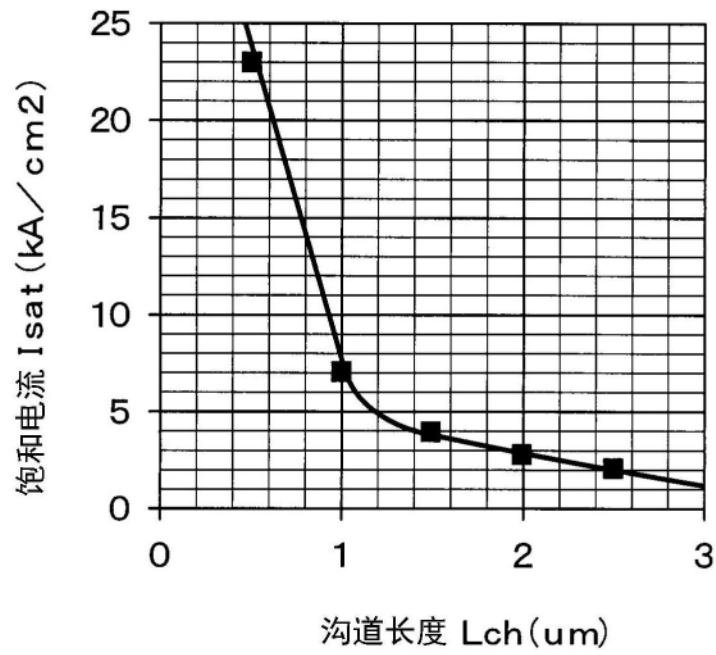


图7

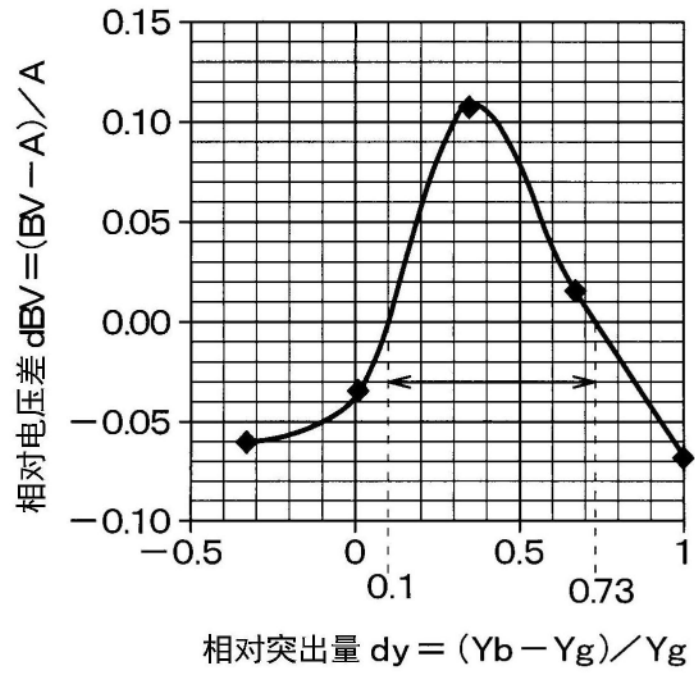


图8

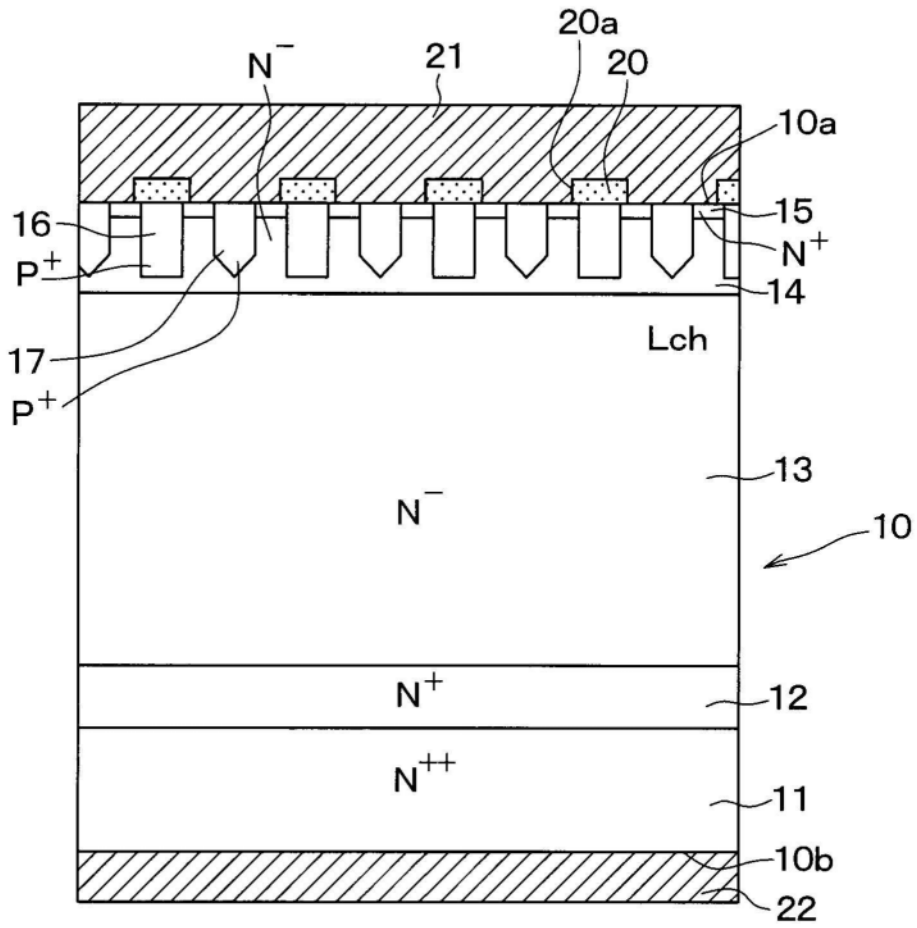


图9

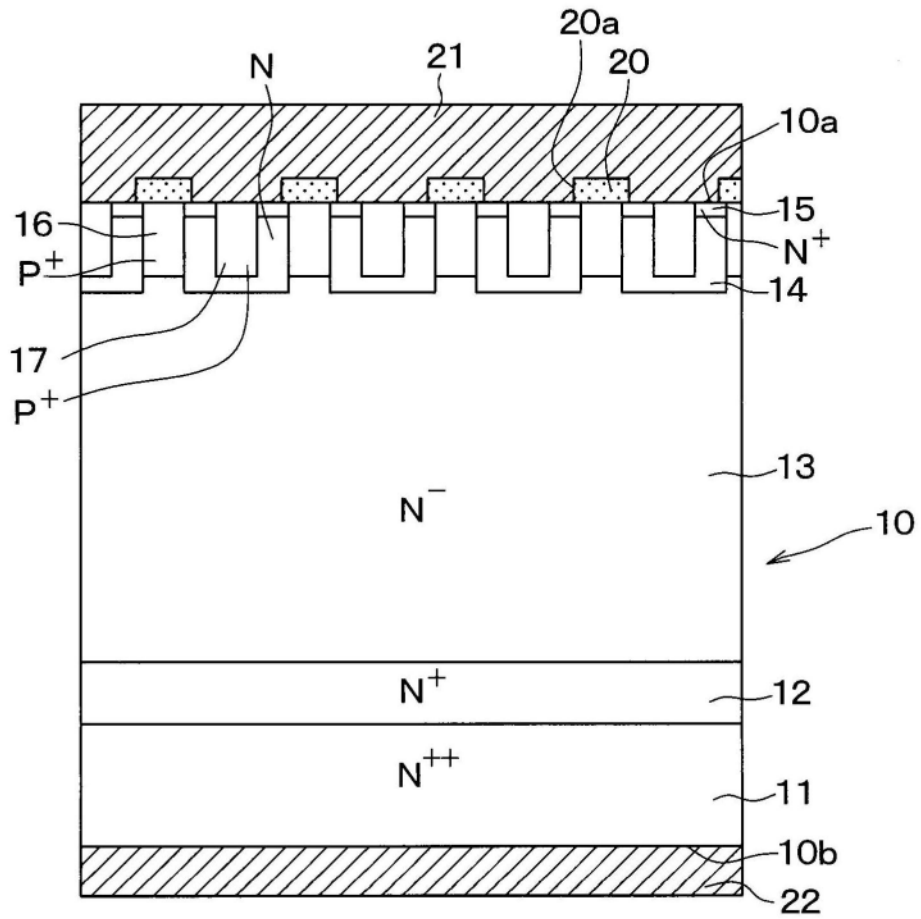


图10

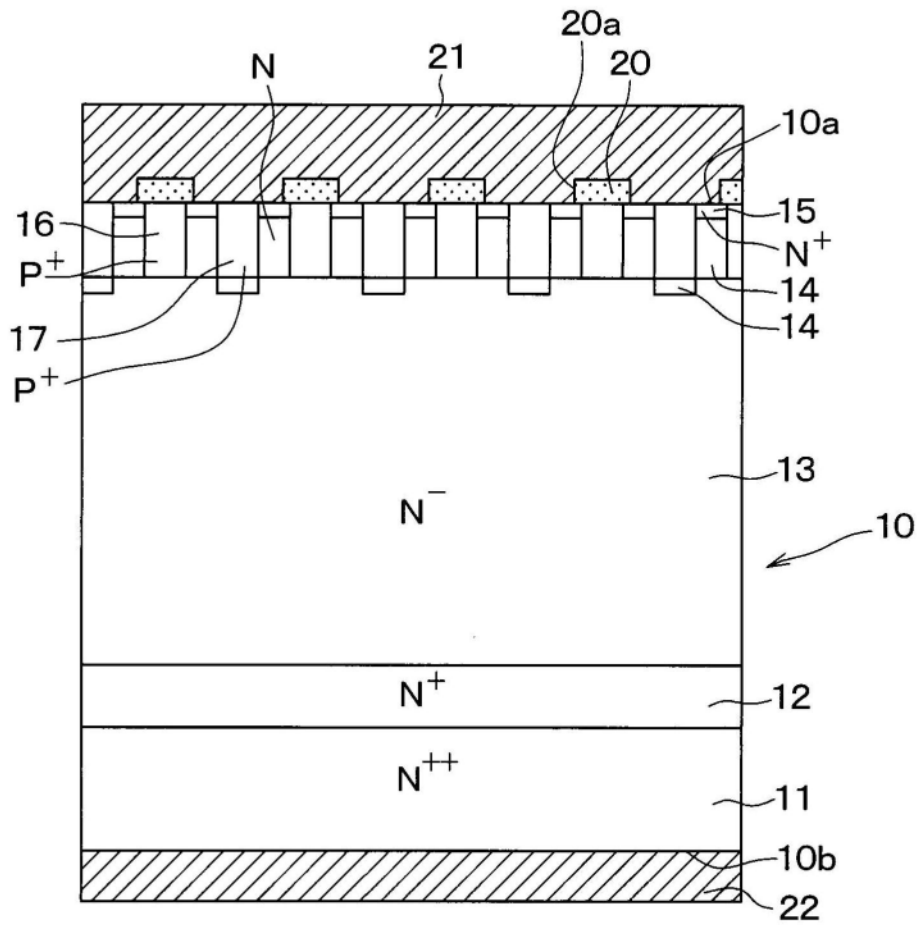


图11

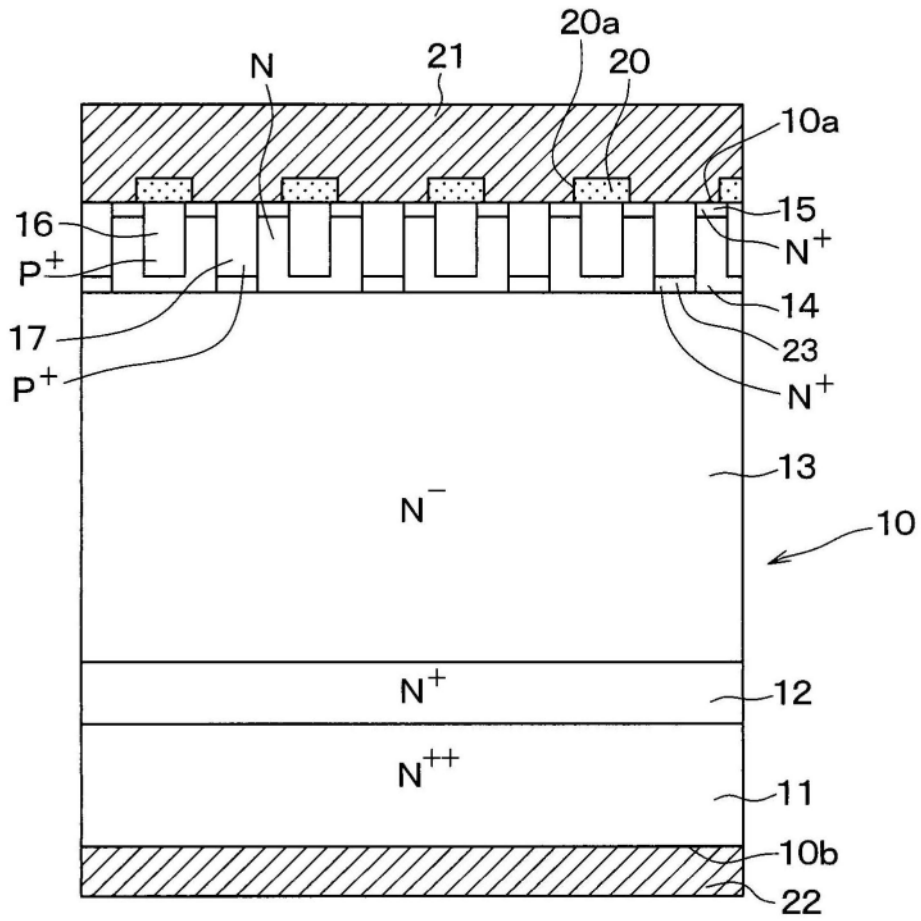


图12

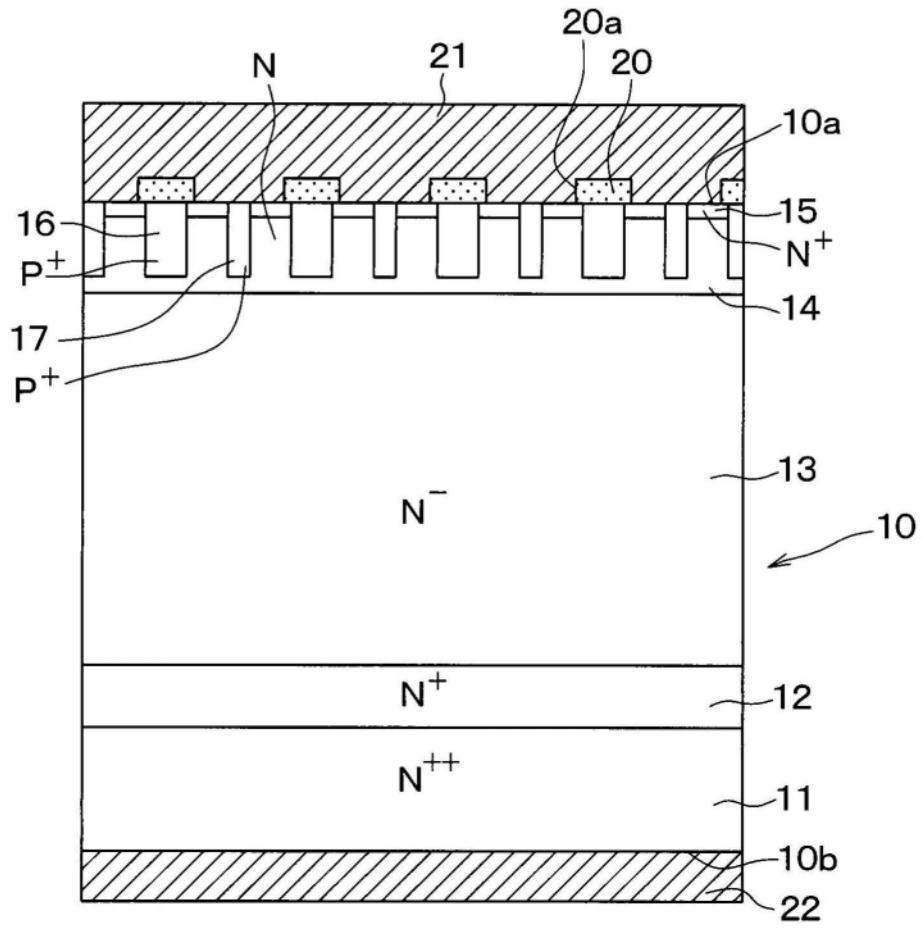


图13

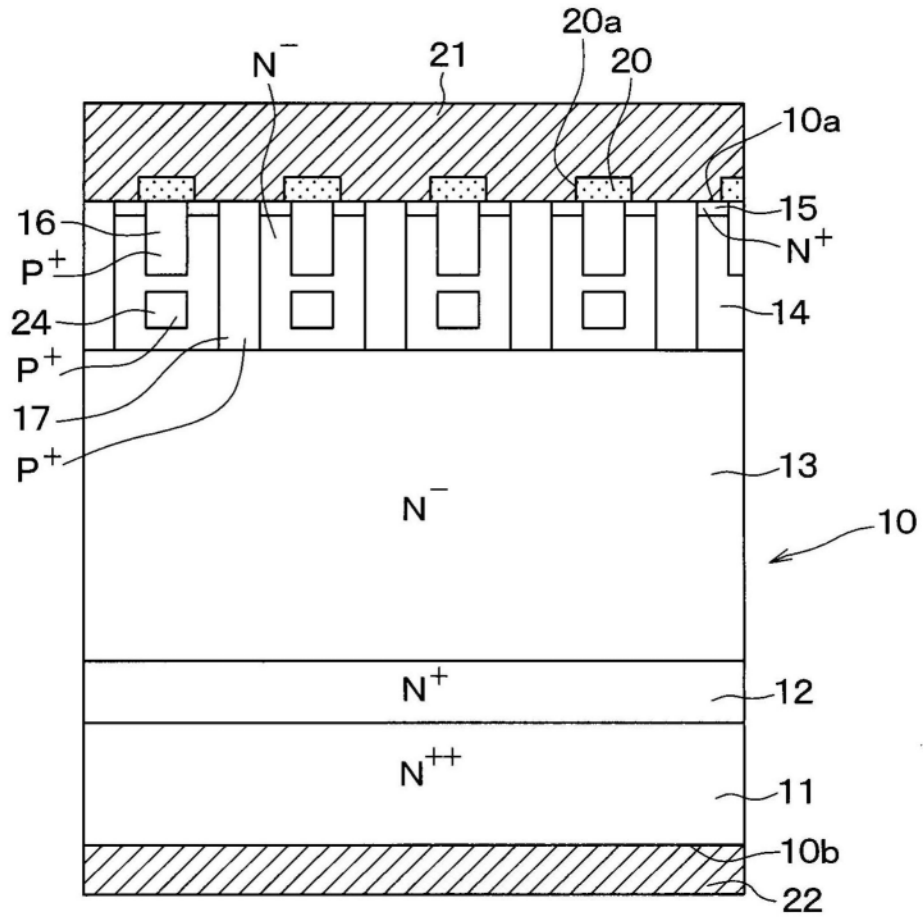


图14

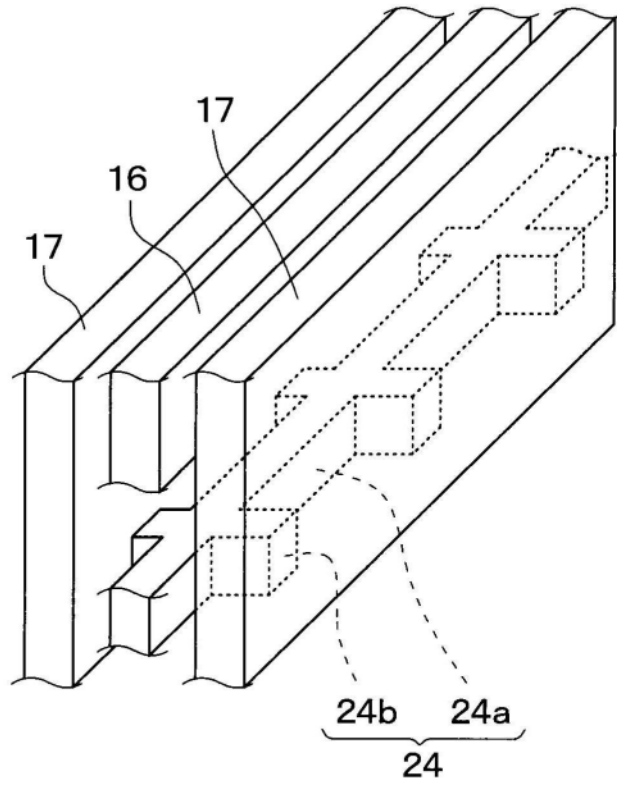


图15

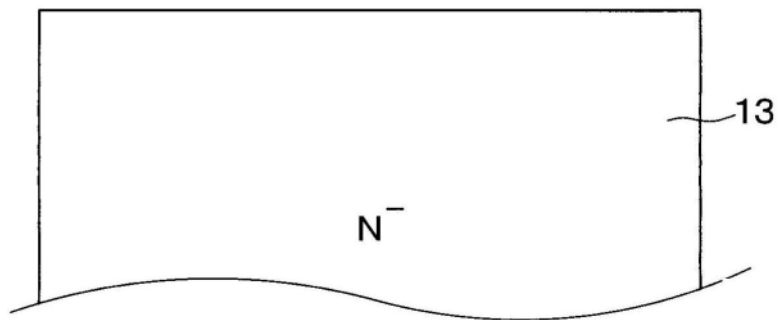


图16A

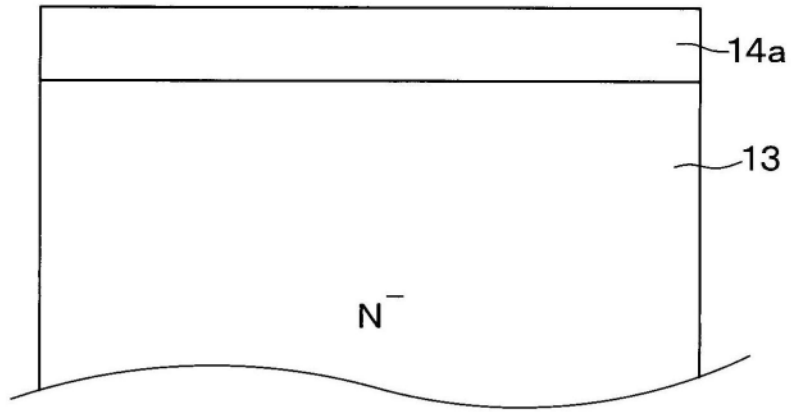


图16B

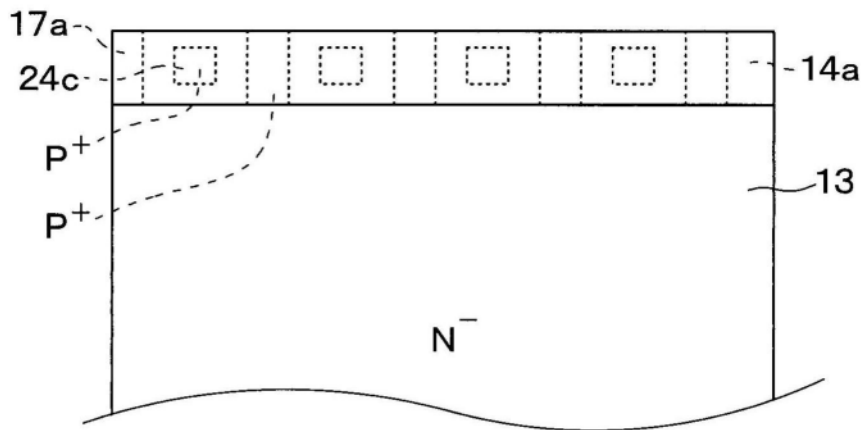


图16C

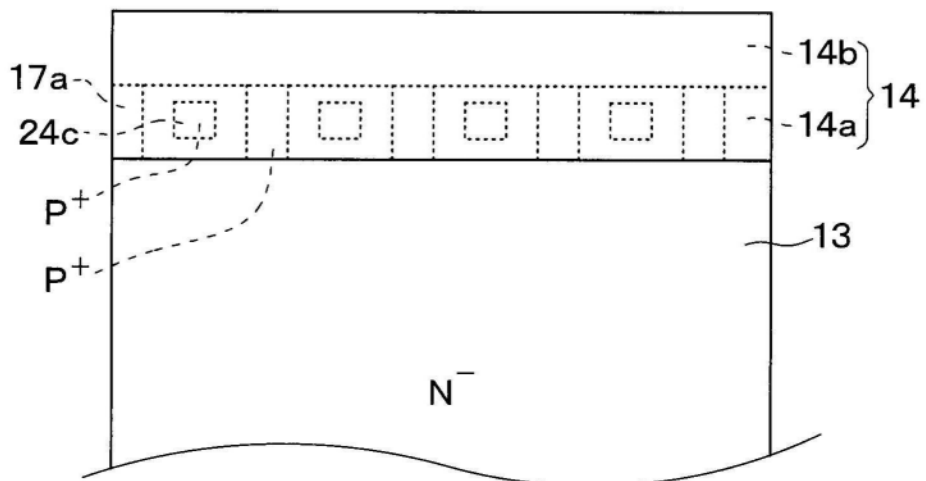


图16D

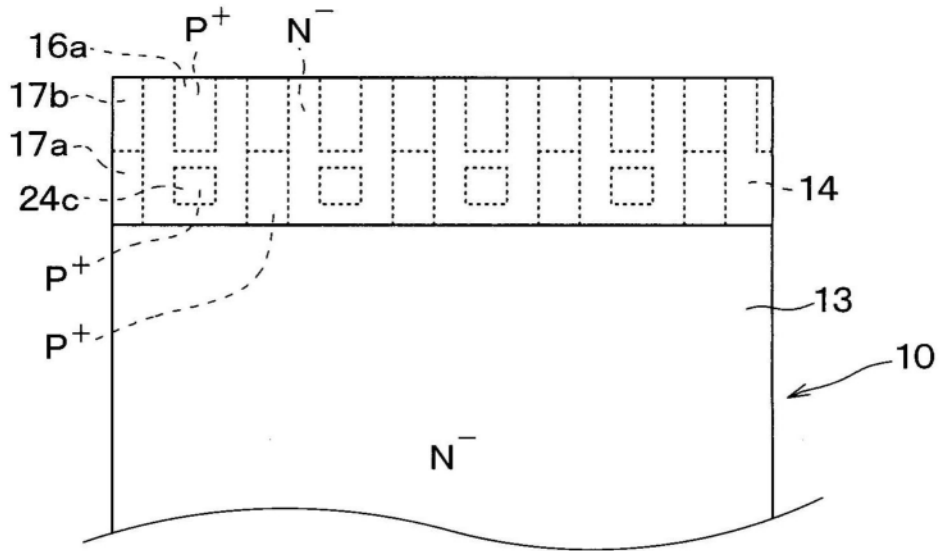


图16E

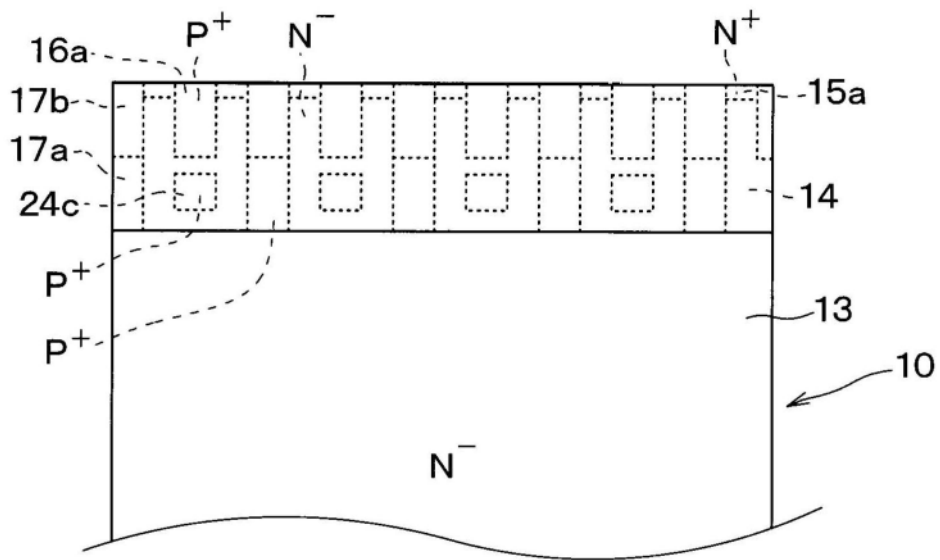


图16F

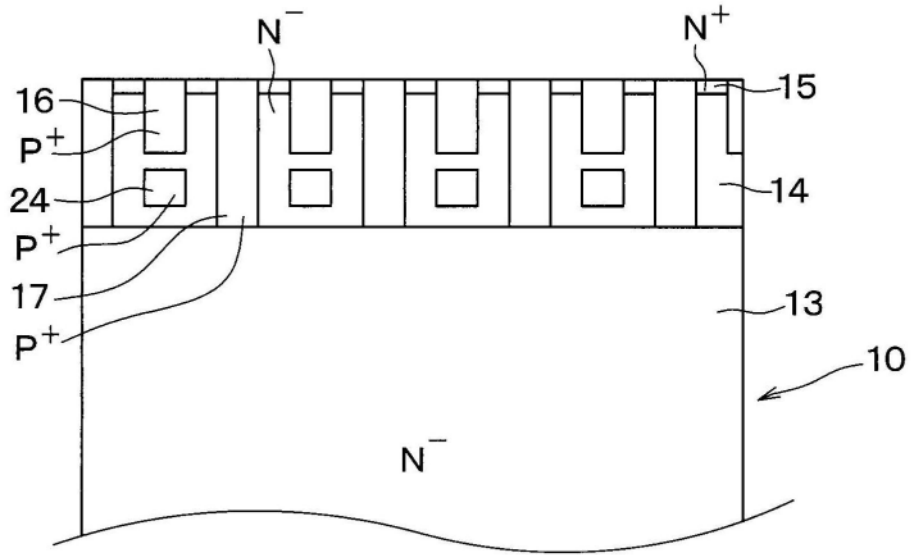


图16G

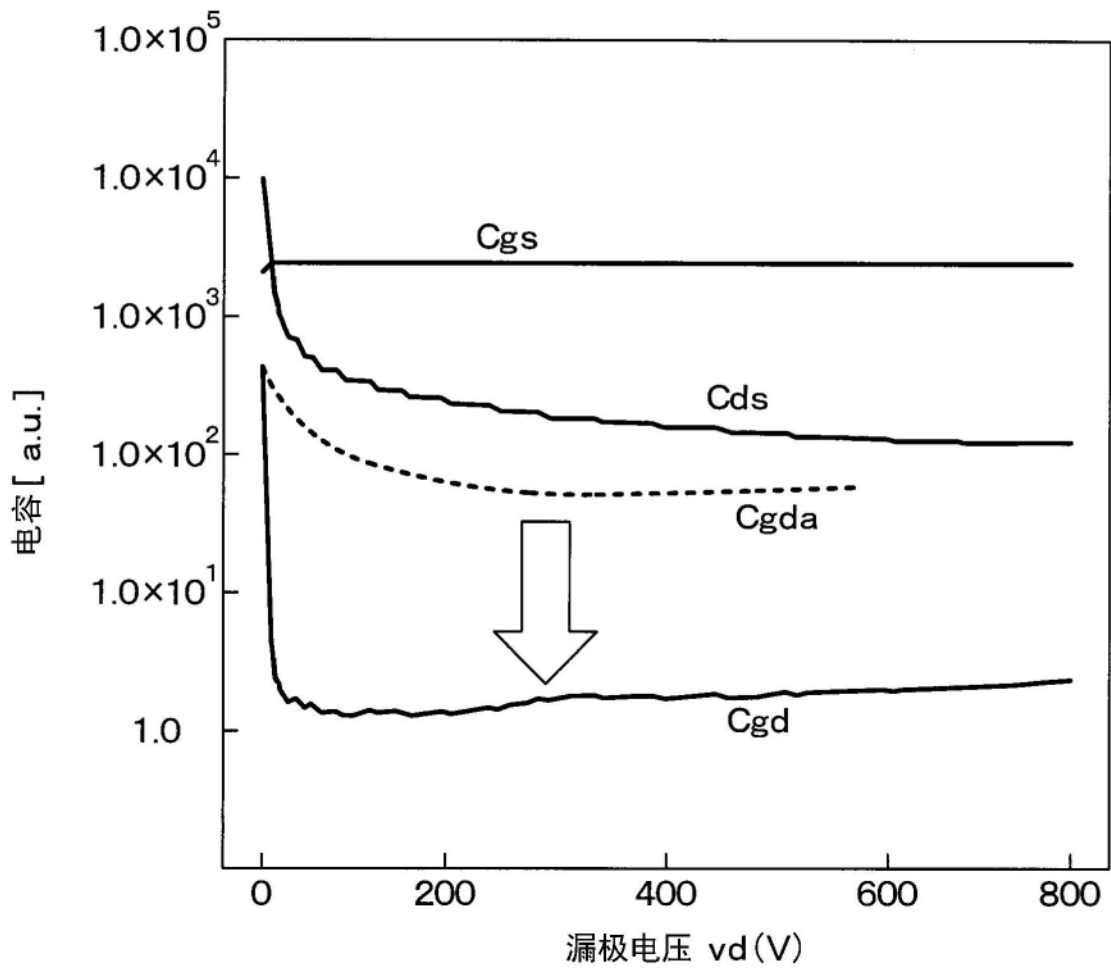


图17