(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号
特許第3687875号
(P3687875)
(45)発行日　平成17年8月24日(2005.8.24)　(24)登録日　平成17年6月17日(2005.6.17)

(51)Int.Cl.[7]　F I
H03K 19/0175　H03K 19/00　101K
H03K 19/003　H03K 19/003　Z

請求項の数 6　(全 13 頁)

(21)出願番号　特願平8-314224
(22)出願日　平成8年11月11日(1996.11.11)
(65)公開番号　特開平10-145222
(43)公開日　平成10年5月29日(1998.5.29)
審査請求日　平成15年3月10日(2003.3.10)

(73)特許権者　503121103
株式会社ルネサステクノロジ
東京都千代田区丸の内二丁目４番１号
(74)代理人　100081938
弁理士　徳若　光政
(72)発明者　高橋　敏郎
東京都青梅市今井２３２６番地　株式会社日立製作所　デバイス開発センタ内

審査官　石井　研一

最終頁に続く

(54)【発明の名称】半導体集積回路装置と情報処理システム

(57)【特許請求の範囲】

【請求項１】

第１導電型の１つのＭＯＳＦＥＴと第２導電型の複数からなるＭＯＳＦＥＴとを備え、制御信号により上記複数からなる第２導電型のＭＯＳＦＥＴの合成コンダクタンスが変化するようにされて、かかる合成コンダクタンスと上記第１導電型のＭＯＳＦＥＴのコンダクタンスとの比に従って決定されるロジックスレッショルド電圧が調整可能にされた入力バッファ回路と、　上記入力バッファ回路のロジックスレッショルド電圧を設定する上記制御信号を形成する制御回路とを備え、

上記制御回路は、

上記入力バッファ回路における第１導電型のＭＯＳＦＥＴと同様な第１導電型のＭＯＳＦＥＴと、上記制御信号により設定される複数通りの合成コンダクタンスに対応した第２導電型のＭＯＳＦＥＴとの組み合わせからなり、複数通りのロジックスレッショルド電圧をそれぞれが持つようにされた複数個のダミー入力回路と、

上記複数個のダミー入力回路に対して共通に所定の基準電圧を供給する外部端子と、

上記複数個のダミー入力回路の出力信号の組み合わせを解読して、上記所望のロジックスレッショルド電圧になるような制御信号を形成する制御信号発生回路とを備えてなることを特徴とする半導体集積回路装置。

【請求項２】

上記所定の基準電圧は、上記所望のロジックスレッショルド電圧とほぼ等しい電圧であ

り、外部に設けられた分圧抵抗回路により形成されるものであることを特徴とする請求項１の半導体集積回路装置。
【請求項３】
上記半導体集積回路装置の動作電圧は、約３Ｖ以下の低電圧で動作させられるものであることを特徴とする請求項１の半導体集積回路装置。
【請求項４】
上記抵抗回路の基準電圧側の抵抗には、キャパシタが設けられて、電源投入時の基準電圧の立ち上がりを電源電圧に対して遅くして電源投入を検出してパルス発生回路を起動させ、かかるパルス発生回路で形成されたパルスのパルス幅によりトレーニング期間を確保し、その終了により上記ダミー入力回路の出力信号をラッチ回路に保持させ、かかるラッチ回路の出力に基づいて上記制御信号が形成されるものであることを特徴とする請求項２の半導体集積回路装置。
【請求項５】
上記入力バッファ回路は、外部端子から供給される入力信号がゲートに供給される第１導電型の第１のＭＯＳＦＥＴ及び第２導電型の第１ＭＯＳＦＥＴと、上記第２導電型のＭＯＳＦＥＴのソース側に並列形態に接続され、上記制御信号によりオン状態にされる複数の第２導電型の第２のＭＯＳＦＥＴからなり、上記ダミー入力回路は、上記入力バッファ回路と同様な第１導電型の第１のＭＯＳＦＥＴ及び第２導電型の第１のＭＯＳＦＥＴと、上記制御信号によりオン状態にされる組み合わせに対応した第２導電型の第２のＭＯＳＦＥＴからなり、これらのＭＯＳＦＥＴは上記パルスにより電源投入時にのみオン状態にされるものであることを特徴とする請求項４の半導体集積回路装置。
【請求項６】
中央処理装置と、かかる中央処理装置が接続される信号バスとは、バスユニットを介して接続される周辺Ｉ／Ｏバスとを含み、
上記周辺Ｉ／Ｏバスに接続される周辺回路を構成する半導体集積回路装置は、
第１導電型のＭＯＳＦＥＴと複数からなる第２導電型のＭＯＳＦＥＴとを備え、制御信号により上記複数からなる第２導電型の合成コンダクタンスが変化するようにされて、かかる合成コンダクタンスと上記第１導電型のＭＯＳＦＥＴのコンダクタンスとの比に従って決定されるロジックスレッショルド電圧が調整可能にされた入力バッファ回路と、
上記入力バッファ回路のロジックスレッショルド電圧を決定する上記制御信号を形成する制御回路を備え、
上記制御回路は、
上記入力バッファ回路における第１導電型のＭＯＳＦＥＴと同様な第１導電型のＭＯＳＦＥＴと、上記制御信号により設定される複数通りの合成コンダクタンスに対応した第２導電型のＭＯＳＦＥＴとの組み合わせからなり、複数通りのロジックスレッショルド電圧をそれぞれが持つようにされた複数個のダミー入力回路と、
上記複数個のダミー入力回路に対して共通に所定の基準電圧を供給する外部端子と、上記複数個のダミー入力回路の出力信号の組み合わせを解読して、上記所望のロジックスレッショルド電圧になるような制御信号を形成する制御信号発生回路を含むことを特徴とする情報処理システム。
【発明の詳細な説明】
【０００１】
【発明の属する技術分野】
この発明は、半導体集積回路装置と情報処理システムに関し、例えばＰＣＩバスのように小信号振幅の入力バッファ回路を持つ半導体集積回路装置と情報処理システムに利用して有効な技術に関するものである。
【０００２】
【従来の技術】
ＭＰＵ（マイクロプロセッサ）、メモリなどのＣＭＯＳ方式の半導体集積回路装置における入力回路は、高速・大消費電力以外では一般にＣＭＯＳインバータ回路で受けるＬＯ－

ＴＴＬ方式が使用される。かかるＬＯ－ＴＴＬ方式では、入力スレッショルド電圧のスペックは、ハイレベル側ＶｉＨ＝２．０Ｖ、ロウレベル側ＶｉＬ＝０．８Ｖと比較的広く決められている。しかしながら、上記ハイレベル側ＶｉＨとロウレベルＶｉＬの差を小さくしなければならない標準インターフェイス仕様が出て来た。例えば、ＰＣＩ(Peripheral Component Interconnect)では、電源電圧ＶＣＣが３．３Ｖのときには、上記ＶｉＨ＝１．５６７５Ｖであり、ＶｉＬ＝１．０７２５Ｖとなり、その差電圧が０．４９５Ｖしかない。

【０００３】

【発明が解決しようとする課題】

上記のようなＰＣＩバスに接続される半導体集積回路装置の入力回路をＣＭＯＳ回路で構成しようとすると、ＣＭＯＳインバータ回路における比較的大きなプロセスバラツキにより、そのロジックスレッショルド電圧が上記小さな電圧範囲に収まるようプロセス制御制御することが困難になってきており、ロジックスレッショルドを調整するための特別の工程を追加したり、あるいは上記ロジックスレッショルドに収まるものを選別するためにコスト高になってしまう。そこで、差動回路を用いることが考えられるが、この場合には定常的に電流を流すものとなり消費電流が増大してしまうという問題が生じる。

【０００４】

この発明の目的は、低消費電力で自動的に所望のロジックスレッショルド電圧に設定できる入力バッファ回路を備えた半導体集積回路装置とそれを用いた情報処理システムを提供することにある。この発明の前記ならびにそのほかの目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【０００５】

【課題を解決するための手段】

本願において開示される発明のうち代表的なものの概要を簡単に説明すれば、下記の通りである。すなわち、第１導電型の１つのＭＯＳＦＥＴと第２導電型の複数からなるＭＯＳＦＥＴとを備え、制御信号により上記複数からなる第２導電型のＭＯＳＦＥＴの合成コンダクタンスが変化するようにされて、かかる合成コンダクタンスと上記第１導電型のＭＯＳＦＥＴのコンダクタンスとの比に従って決定されるロジックスレッショルド電圧が調整可能にされた入力バッファ回路を用い、上記入力バッファ回路における第１導電型のＭＯＳＦＥＴと同様な第１導電型のＭＯＳＦＥＴと、上記制御信号により設定される複数通りの合成コンダクタンスに対応した第２導電型のＭＯＳＦＥＴとの組み合わせからなり、複数通りのロジックスレッショルド電圧をそれぞれが持つようにされた複数個のダミー入力回路及び上記複数個のダミー入力回路に対して外部から共通に所定の基準電圧を供給し、上記複数個のダミー入力回路の出力信号の組み合わせを解読して、上記所望のロジックスレッショルド電圧になるような制御信号を形成する。

【０００６】

【発明の実施の形態】

図１には、この発明に係る半導体集積回路装置に設けられる入力回路の一実施例の概略回路図が示されている。同図の各回路素子及び回路ブロックは、公知のＣＭＯＳ集積回路の製造技術より、単結晶シリコンのような１個の半導体基板上において形成される。同図においては、ゲート部分に○印が付されたＭＯＳＦＥＴは、Ｐチャンネル型である。

【０００７】

同図おいては、代表として６個の入力バッファ回路が例示的に示されている。上記６個の入力バッファ回路のうち１つの入力バッファ回路について、具体的回路が代表として例示的に示されている。上記例示的に示されている５個の入力バッファ回路を含めて必要に応じて設けられる図示しない他の入力バッファ回路も同様な回路により構成されるものである。

【０００８】

外部入力端子に対応して設けられる入力パッド１から供給される入力信号Ｖin1 は、Ｐチャンネル型ＭＯＳＦＥＴMp1とＮチャンネル型ＭＯＳＦＥＴMn1のゲートに共通に供給さ

れる。上記Ｐチャンネル型ＭＯＳＦＥＴMp1のソースには、電源電圧が供給される。上記Ｐチャンネル型ＭＯＳＦＥＴMp1とＮチャンネル型ＭＯＳＦＥＴMn1のドレインが共通に接続され、出力信号をインバータ回路Ｇ１の入力に伝え、かかるインバータ回路Ｇ１を通して図示しない内部回路へ入力信号Ｖin1 に対応した入力信号を伝える。

【０００９】

この実施例では、上記入力信号Ｖin1 のハイレベルとロウレベルの判定するロジックスレッショルドを自動調整するために、上記Ｎチャンネル型ＭＯＳＦＥＴMn1のソースと回路の接地電位点との間には、特に制限されないが、３個のＮチャンネル型ＭＯＳＦＥＴMn2、Mn3及びMn4が並列形態に設けられる。上記３個のＭＯＳＦＥＴMn2、Mn3及びMn4の組み合わせが支配的となって実質的にロジックスレッショルド電圧が決まるようにするため、これらちのＭＯＳＦＥＴMn2、Mn3及びMn4のコンダクタンスに比べて上記ＭＯＳＦＥＴMn1のコンダクタンスが十分に大きく設定される。

【００１０】

特に制限されないが、ＭＯＳＦＥＴMn3に比べてMn4のコンダクタンスは２倍にされる。つまり、ＭＯＳＦＥＴMn3とMn4とはチャンネル長さが同じくされ、ＭＯＳＦＥＴMn3のチャンネル幅をＷ０とすると、ＭＯＳＦＥＴMn4のチャンネル幅は２倍（２×Ｗ０）とされる。ＭＯＳＦＥＴMn2は、チャンネル幅がＷｃのように設定され、そのゲートは定常的に電源電圧が供給されてオン状態にされる。この結果、上記ＭＯＳＦＥＴMn3とMn4とがオフ状態のとき、Ｎチャンネル側の合成コンダクタンスが直列ＭＯＳＦＥＴMn1とMn2で決まる最小となる。つまり、このＭＯＳＦＥＴMn1とMn2との組み合わせが最小のコンダクタンスとなり、上記Ｐチャンネル型ＭＯＳＦＥＴMp1とのコンダクタンス比で決まるロジックスレッショルド電圧が最大値になる。

【００１１】

上記ＭＯＳＦＥＴMn3とMn4のゲートには、制御信号Ｃ０とＣ１が印加され、この制御信号に対応してこれらのＭＯＳＦＥＴMn3とMn4がオン状態になる。上記ＭＯＳＦＥＴMn2は固定的にオン状態であるため、上記ＭＯＳＦＥＴMn3とMn4のいずれか一方がオン状態のとき、両方共にオン状態のときの組み合わせができるので、上記共にオフ状態と合わせて全部で４通りのロジックスレッショルド電圧を得ることができるようにされる。特に制限されないが、電源電圧が３．３Ｖで動作するＰＣＩバスに適合させる場合の半導体集積回路装置に搭載される入力バッファ回路の上記４通りのロジックスレッショルド電圧の設計値は、次の表１の通りに設定される。

【００１２】

【表１】

ＶＬＴ	Ｃ０ Ｃ１	Mn3 Mn4	電圧値（Ｖ）
ＶＬＴ１	LOW LOW	OFF OFF	１．５６Ｖ
ＶＬＴ２	HIGH LOW	ON OFF	１．４０Ｖ
ＶＬＴ３	LOW HIGH	OFF ON	１．２４Ｖ
ＶＬＴ４	HIGH HIGH	ON ON	１．０８Ｖ

【００１３】

上記制御信号Ｃ０とＣ１は、上記同様な入力バッファ回路の対応するＭＯＳＦＥＴのゲートにそれぞれが共通に供給される。上記制御信号Ｃ０とＣ１は、ＶＬＴ（ロジックスレッショルド電圧）自動制御回路により形成される。上記の制御信号Ｃ０，Ｃ１を形成するために、外部端子に接続されるパッド７が設けられ、かかるパッド７を介して基準電圧Ｖre

f が供給される。この基準電圧Ｖref は、外部に設けられた直列抵抗Ｒ１とＲ２により形成された分圧電圧とされ、上記電源電圧を分圧して上記ＶＬＴ２に対応した１．４０Ｖの基準電圧を形成する。後述した説明から理解されるように、基準電圧Ｖref は、ＶＬＴ３に対応した１．２４Ｖであってもよい。

【００１４】

特に制限されないが、上記分圧抵抗Ｒ２には、基準電圧Ｖref の安定化と後述するようなＶＬＴ自動設定動作のための用いられる１ショットパルスを発生させる時定数回路とを兼ねたキャパシタＣｐが並列に設けられる。

【００１５】

図２には、上記ＶＬＴ自動制御回路の一実施例の回路図が示されている。上記のように入力バッファ回路が４つのロジックスレッショルド電圧ＶＬＴ１ないしＶＬＴ４を持つように設計されている場合、それと同じロジックスレッショルド電圧ＶＬＴ１ないしＶＬＴ３を持つ３個のダミーの入力回路が設けられる。なお、残り１つの上記ＶＬＴ４に対応したダミー入力回路は、後述する理由から省略できるものである。

【００１６】

上記ＶＬＴ３に対応したダミー入力回路は、上記入力バッファ回路の同様なＰチャンネル型ＭＯＳＦＥＴMp11 とＮチャンネル型ＭＯＳＦＥＴMn11 に対して、上記ＶＬＴ３を形成するときにオン状態にされる２つのＭＯＳＦＥＴMn2とMn4に相当するＭＯＳＦＥＴMn12 とMn14 が設けられる。上記ＶＬＴ２に対応したダミー入力回路は、上記入力バッファ回路の同様なＰチャンネル型ＭＯＳＦＥＴMp21 とＮチャンネル型ＭＯＳＦＥＴMn21 に対して、上記ＶＬＴ２を形成するときにオン状態にされる２つのＭＯＳＦＥＴMn2とMn3に相当するＭＯＳＦＥＴMn22 とMn23 が設けられる。そして、上記ＶＬＴ１に対応したダミー入力回路は、上記入力バッファ回路の同様なＰチャンネル型ＭＯＳＦＥＴMp31 とＮチャンネル型ＭＯＳＦＥＴMn31 に対して、上記ＶＬＴ１を形成するときに固定的にオン状態にされる１つのＭＯＳＦＥＴMn2に相当するＭＯＳＦＥＴMn32 が設けられる。

【００１７】

この結果、上記３個のダミー入力回路は、上記表１のＶＬＴ１、ＶＬＴ２及びＶＬＴ３の３通りのロジックスレッショルド電圧を持つように設計されるものである。上記のような設計値（目標値）に対して、実際に形成される入力バッファ回路及びダミー入力回路は、それぞれがプロセスバラツキの影響を受けて、実際のロジックスレッショルド電圧そのものも変化する。しかしながら、同じ半導体基板上に同時に形成される上記入力バッファ回路とダミー入力回路の上記それぞれのロジックスレッショルド電圧の相対値はほぼ等しく高い精度を以て維持される。つまり、プロセスバラツキにより、上記設計値に対して上記入力バッファ回路のロジックスレッショルド電圧が＋０．１Ｖだけ変動すると、ダミー入力回路のロジックスレッショルド電圧もそれぞれ＋０．１Ｖずつ同様に変化する。

【００１８】

このようなロジックスレッショルド電圧の変動を検出するために、上記ダミー入力回路に対しは、外部端子から１．４Ｖのような基準電圧Ｖref が供給される。上記基準電圧Ｖref を形成する分圧抵抗のうち、接地側の抵抗Ｒ２にはキャパシタＣｐが設けられる。これにより、電源投入直後には、基準電圧Ｖref は発生されずに遅れて立ち上がる。この実施例では、上記のように遅れて立ち上がる基準電圧Ｖref を、それより十分低い０．８Ｖのような低いロジックスレッショルド電圧を持つ入力回路Ｇ４に供給し、その出力信号により電源投入を検出して、パルス発生回路を起動させるて１ショットパルスを発生させる。このパルスは、ゲート回路（インバータ回路）Ｇ５を通してフリップフロップ回路ＦＦ１～ＦＦ３のクロック端子ＣＫに供給し、ゲート回路Ｇ６を介して上記実質的にロジックスレッショルド電圧ＶＬＴ１～ＶＬＴ３を決めるＭＯＳＦＥＴMn12 ～Mn32 を駆動する。つまり、上記パルスＣＫのパルス幅がトレーニング期間とされる。

【００１９】

上記基準電圧Ｖref は、電源電圧のほぼ中点電圧であり、上記Ｐチャンネル型ＭＯＳＦＥＴMp11 とＮチャンネル型ＭＯＳＦＥＴMn11 を共にオン状態にさせる。そして、上記ロ

ジックスレッショルド電圧を決めるＭＯＳＦＥＴMn12 、Mn14 等がオン状態であると、定常的に直流電流を流して消費電流を増大させてしまうとともに、ＶＬＴ自動調整回路が常時動作状態であると、電源ノイズ等により上記基準電圧Ｖref が変動し、それに上記ＶＬＴ自動制御回路が応答して入力バッファ回路のロジックスレッショルド電圧を変化させてしまうと回路の安定性に欠けるという問題が生じる。

【００２０】

この実施例においては、上記のように電源投入時にプロセスバラツキ等によるロジックスレッショルド電圧を検出し、それをフリップフロップ回路ＦＦ１～ＦＦ３に保持させ、かかる保持信号に基づいて上記制御信号Ｃ０とＣ１を形成するようにするものである。上記の構成では、電源投入時のみＶＬＴ自動制御回路のダミー入力回路動作状態にならないから、低消費電力化を維持することができるとともに、通常動作時に入力バッファ回路のロジックスレッショルド電圧が誤って変化させられてしまうことがなく、回路の安定性を維持することができる。

【００２１】

図３には、この発明を説明するための入力ＶＬＴ特性図が示されている。前記のＰＣＩインターフェイスにおけるロジックスレッショルドの目標値は、１．３２Ｖである。これに対して、前記表１に示したＶＬＴ１～ＶＬＴ４の４通りのロジックスレッショルド電圧を持つ入力バッファ回路と、ＶＬＴ１～ＶＬＴ３の３通りのロジックスレッショルド電圧を持つ３個のダミー入力回路が設けられている。仮に、設計値通りにダミー入力回路及び入力バッファ回路が形成されたなら、ＶＬＴ２＝１．４Ｖにされたダミー入力回路は、それと同じ基準電圧Ｖref を受けて、ハイレベルを出力するときとロウレベルの出力するときのいずれかであり、その出力信号によりＶＬＴ２＝１．４ＶかＶＬＴ３＝１．２４Ｖのいずれかに決まり、上記目標値に対して０．０８Ｖの誤差で済むものとなる。

【００２２】

上記ＶＬＴ４に対応したダミー入力回路を設けてもよいが、それは上記ＶＬＴ３の出力信号によりカバーできるので基準電圧Ｖref を上記のように１．４Ｖにした場合には省略できる。これに対して、基準電圧Ｖref をＶＬＴ３に対応して１．２４Ｖとした場合には、上記ＶＬＴ４に対応したダミー入力回路が必要となり、それに代わって上記ＶＬＴ１＝１．５６Ｖのダミー入力回路を省略することができる。つまり、ＣＭＯＳ回路でのプロセスバラツキの最大値は、±０．２４Ｖにすることは問題なく可能であり、かかる前提では上記３通りのロジックスレッショルド電圧を持つダミー入力回路でかかるバラツキ範囲をカバーできるからである。

【００２３】

プロセスバラツキのために、ある半導体集積回路装置においてＶＬＴが＋０．１Ｖずれたとすると、ダミー入力回路のＶＬＴ３、ＶＬＴ２、ＶＬＴ１は、それぞれ１．３４Ｖ、１．５Ｖ、１．６６Ｖのようにずれる。しかしながら、基準電圧Ｖref は上記のように１．４Ｖのままであり、ＶＬＴ１に対してロウレベル、ＶＬＴ２対しロウレベル、ＶＬＴ３に対してハイレベルになる。したがって、図２の回路において、ゲート回路Ｇ１の出力はハイレベル、Ｇ２とＧ３の出力はロウレベルとなり、これがフリップフロップ回路ＦＦ１、ＦＦ２及びＦＦ３に起動時のクロックで取り込まれて保持されるので、論理ゲート回路Ｇ７の出力Ｃ０がロウレベル、Ｃ１がハイレベルとなり、入力バッファ回路のＮチャンネル型ＭＯＳＦＥＴMn3をオフ状態に、Mn4をオン状態にする。このため、入力バッファ回路においては、上記プロセスバラツキにより変動したＶＬＴ３に対応したロジックスレッショルド電圧（上記１．３４Ｖ）にされ、目標値との差は０．０２Ｖの誤差に止まるものとなる。

【００２４】

上記同様な動作により半導体集積回路装置において、プロセスバラツキのためにロジックスレッショルド電圧ＶＬＴより±０．２４Ｖのような範囲でずれが生じても、上記実施例回路ではそれに対応して上記ＶＬＴ自動制御回路が応答して上記制御信号Ｃ０とＣ１を形成して上記目標値（１．３２Ｖ）に対して±０．０８Ｖの範囲にプロセスバラツキによる

ずれを縮小させることができる。

【００２５】

図４には、上記ＶＬＴ自動制御回路の動作を説明するための波形図が示されている。電源電圧ＶＤＤの投入時において、上記基準電圧Ｖref を形成する分圧回路では、上記キャパシタＣｐの作用により立ち上がりが遅くされる。上記基準電圧Ｖref が０．８Ｖに到達した時点でゲート回路Ｇ４の出力信号Ｐ-in がハイレベルからロウレベルに変化し、パルス発生回路を起動させる。このパルス発生回路より、１ショットパルスＣＫが発生される。このパルスはインバータ回路Ｇ５とＧ６を介してパルスＰ-outとして上記３通りのロジックスレッショルド電圧ＶＬＴ１～ＶＬＴ３を形成するＮチャンネル型のＭＯＳＦＥＴに供給さて、入力ＶＬＴのチェックが開始される。

【００２６】

上記基準電圧Ｖref が上記１．４Ｖに到達し、上記ダミー入力回路の出力信号が決まり、上記フリップフロップ回路ＦＦ１～ＦＦ３の入力に供給される。そして、上記インバータ回路Ｇ５で反転されたパルスの立ち上がり（パルスのバックエッジ）に同期して、フリップフロップ回路ＦＦ１～ＦＦ３が上記ダミー入力回路の出力信号を取り込む保持する。このとき、パルスＰ-outはロウレベルにされるので、それ以降ダミー入力回路での貫通電流が遮断されて無駄な電流消費が抑えられるとともに、電源ノイズ等により上記ＶＬＴ自動制御回路が応答して、入力バッファのロジックスレッショルド電圧を変動させてしまうという不都合が防止され、回路動作の安定性を維持することができる。

【００２７】

図５（ａ）に本発明が適用された半導体集積回路装置を含むパーソナルコンピュータシステムの外観の要部概略図を示す。フロッピーディスクドライブＦＤＤ及び主記憶メモリとしての本発明のＤＲＡＭによるファイルメモリｆｉｌｅＭ，バッテリバックアップとしてのＳＲＡＭを内蔵したシステムである。そして、入出力装置をキーボードＫＢ及びディスプレイＤＰとし、フロッピーディスクＦＤが上記フロッピーディスクドライブＦＤＤに挿入される。このことによってソフトウェアとしての上記フロッピーディスクＦＤおよびハードウェアとしての上記ファイルメモリｆｉｌｅＭに情報を記憶できるデスクトップタイプパソコンとなる。また、本実施例にはデスクトップタイプパソコンについて適用した例について記載したが、ノート型パソコン等についても適用が可能であり、補助機能としてフロッピーディスクを例として記載したが特に限定されない。

【００２８】

図５（ｂ）に本発明が適用された上記パーソナルコンピュータシステムの機能ブロック図を示す。このパーソナルコンピュータは、本情報機器としての中央処理装置ＣＰＵ，上記情報処理システム内に構築したＩ／Ｏバス，ＢＵＳ　Ｕｎｉｔ，主記憶メモリや拡張メモリなど高速メモリをアクセスするメモリ制御ユニットＭｅｍｏｒｙ　Ｃｏｎｔｒｏｌｌ　Ｕｎｉｔ、主記憶メモリとしてのＤＲＡＭ，基本制御プログラムが格納されたＲＯＭ、先端にキーボードが接続されたキーボードコントローラＫＢＤＣ等によって構成される。

【００２９】

さらに、表示アダプタとしてのＤｉｓｐｌａｙ　ａｄａｐｔｅｒがＩ／Ｏバスに接続され、上記Ｄｉｓｐｌａｙ　ａｄａｐｔｅｒの先端にはディスプレイが接続されている。そして、上記Ｉ／ＯバスにはパラレルポートＰａｒａｌｌｅｌ　ＰｏｒｔＩ／Ｆ，マウス等のシリアルポートＳｅｒｉａｌ　Ｐｏｒｔ　Ｉ／Ｆ、フロッピーディスクドライブＦＤＤ、上記Ｉ／ＯバスよりのＨＤＤＩ／Ｆに変換するバッファコントローラＨＤＤ　ｂｕｆｆｅｒが接続される。また、上記メモリ制御ユニットＭｅｍｏｒｙ　Ｃｏｎｔｒｏｌ　Ｕｎｉｔからのバスと接続されて拡張ＲＡＭ及び主記憶メモリとしてのＤＲＡＭが接続されている。

【００３０】

ここで、このパーソナルコンピュータシステムの動作について説明する。電源が投入されて、動作を開始するとまず上記中央処理装置ＣＰＵは、上記ＲＯＭを上記Ｉ／Ｏバスを通してアクセスし、初期診断、初期設定を行なう。そして、補助記憶装置からシステムプロ

グラムを主記憶メモリとしてのＤＲＡＭにロードする。また、上記中央処理装置ＣＰＵは、上記Ｉ／Ｏバスを通してＨＤＤコントローラにＨＤＤをアクセスするものとして動作する。そして、システムプログラムのロードが終了すると、ユーザの処理要求に従い、処理を進めていく。

【００３１】

ユーザは上記Ｉ／Ｏバス上のキーボードコントローラＫＢＤＣや表示アダプタＤｉｓｐｌａｙ　ａｄａｐｔｅｒにより処理の入出力を行ないながら作業を進める。そして、必要に応じてパラレルポートＰａｒａｌｌｅｌ　Ｐｏｒｔ　Ｉ／Ｆ、シリアルポートＳｅｒｉａｌ　Ｐｏｒｔ　Ｉ／Ｆに接続された入出力装置を活用する。また、本体上の主記憶メモリとしての本発明のＤＲＡＭでは主記憶容量が不足する場合は、拡張ＲＡＭにより主記憶を補う。また、図にはハードディスクドライブＨＤＤとして記載したが、フラッシュメモリを用いたフラッシュファイルに置き換えることも可能である。

【００３２】

上記ＰＣＩバスは、特に制限されないが、上記バスユニットＢＵＳ　Ｕｎｉｔを介して設けられるＩ／Ｏバスに適用される。かかる周辺Ｉ／Ｏバスに接続される周辺回路としての上記ＲＯＭ、表示アダプタＤｉｓｐｌａｙ　ａｄａｐｔｅｒ、パラレルポートＰａｒａｌｌｅｌ　Ｐｏｒｔ　Ｉ／Ｆ、シリアルポートＳｅｒｉａｌ　Ｐｏｒｔ　Ｉ／Ｆに接続された入出力装置を構成する半導体集積回路装置の入力バッファ回路に上記のよう実施例回路が用いられる。かかる半導体集積回路装置の製造において、格別なプロセスの追加が必要としないから、低消費電力の周辺回路を構成する半導体集積回路装置で構成され、システム全体の低消費電力化に寄与するものとなる。上記ＰＣＩバスは、中央処理装置ＣＰＵが接続されるバス、あるいはメモリＤＲＡＭが接続されるバスにも適用するものであってもよい。

【００３３】

上記の実施例から得られる作用効果は、下記の通りである。すなわち、

（１）　第１導電型の１つのＭＯＳＦＥＴと第２導電型の複数からなるＭＯＳＦＥＴとを備え、制御信号により上記複数からなる第２導電型のＭＯＳＦＥＴの合成コンダクタンスが変化するようにされて、かかる合成コンダクタンスと上記第１導電型のＭＯＳＦＥＴのコンダクタンスとの比に従って決定されるロジックスレッショルド電圧が調整可能にされた入力バッファ回路を用い、上記入力バッファ回路における第１導電型のＭＯＳＦＥＴと同様な第１導電型のＭＯＳＦＥＴと、上記制御信号により設定される複数通りの合成コンダクタンスに対応した第２導電型のＭＯＳＦＥＴとの組み合わせからなり、複数通りのロジックスレッショルド電圧をそれぞれが持つようにされた複数個のダミー入力回路及び上記複数個のダミー入力回路に対して外部から共通に所定の基準電圧を供給し、上記複数個のダミー入力回路の出力信号の組み合わせを解読して、上記所望のロジックスレッショルド電圧になるような制御信号を形成することにより、自動的にプロセスバラツキを補うようなロジックスレッショルド電圧を持つ入力バッファ回路を得ることができるという効果が得られる。

【００３４】

（２）　上記所定の基準電圧は、上記所望のロジックスレッショルド電圧とほぼ等しい電圧であり、外部に設けられた分圧抵抗回路により形成することにより、簡単に基準電圧を形成することができるとともに、バラツキの範囲が大きくなったときには基準電圧側の調整でその補正も可能になるという効果が得られる。

【００３５】

（３）　約３Ｖ以下の低電圧で動作させられる半導体集積回路装置に適用することにより、プロセスを複雑化することなく低消費電力化と厳しい入力レベルマージンにも十分に適用できるという効果が得られる。

【００３６】

（４）　上記抵抗回路の基準電圧側の抵抗には、キャパシタが設けられて、電源投入時の電圧が電源電圧に対して遅くされるものであり、かかる基準電圧の遅延時間を利用して電

源投入を検出してパルス発生回路を起動させ、かかるパルス発生回路で形成されたパルスのパルス幅によりトレーニング期間を確保し、その終了により上記ダミー入力回路の出力信号をラッチ回路に保持させ、かかるラッチ回路の出力に基づいて上記制御信号を形成することにより、入力バッファ回路の動作の安定化を図ることができるという効果が得られる。

【００３７】

（５）　上記入力バッファ回路は、外部端子から供給される入力信号がゲートに供給される第１導電型の第１のＭＯＳＦＥＴ及び第２導電型の第１ＭＯＳＦＥＴと、上記第２導電型のＭＯＳＦＥＴのソース側に並列形態に接続され、上記制御信号によりオン状態にされる複数の第２導電型の第２のＭＯＳＦＥＴからなり、上記ダミー入力回路は、上記入力バッファ回路と同様な第１導電型の第１のＭＯＳＦＥＴ及び第２導電型の第１のＭＯＳＦＥＴと、上記制御信号によりオン状態にされる組み合わせに対応した第２導電型の第２のＭＯＳＦＥＴからなり、これらのＭＯＳＦＥＴは上記パルスにより電源投入時にのみオン状態にされるものとすることにより、ロジックスレッショルド電圧の切り換えが簡単でしかもダミー入力回路での消費電流を小さくすることができるという効果が得られる。

【００３８】

（６）　中央処理装置と、かかる中央処理装置が接続される信号バスとは、バスユニットを介して接続される周辺Ｉ／Ｏバスとを含む情報処理システムにおいて、上記周辺Ｉ／Ｏバスに接続される周辺回路を構成する半導体集積回路装置として、第１導電型の１つのＭＯＳＦＥＴと第２導電型の複数からなるＭＯＳＦＥＴとを備え、制御信号により上記複数からなる第２導電型のＭＯＳＦＥＴの合成コンダクタンスが変化するようにされて、かかる合成コンダクタンスと上記第１導電型のＭＯＳＦＥＴのコンダクタンスとの比に従って決定されるロジックスレッショルド電圧が調整可能にされた入力バッファ回路を用い、上記入力バッファ回路における第１導電型のＭＯＳＦＥＴと同様な第１導電型のＭＯＳＦＥＴと、上記制御信号により設定される複数通りの合成コンダクタンスに対応した第２導電型のＭＯＳＦＥＴとの組み合わせからなり、複数通りのロジックスレッショルド電圧をそれぞれが持つようにされた複数個のダミー入力回路及び上記複数個のダミー入力回路に対して外部から共通に所定の基準電圧を供給し、上記複数個のダミー入力回路の出力信号の組み合わせを解読して、上記所望のロジックスレッショルド電圧になるような制御信号を形成して自動的にプロセスバラツキを補うようなロジックスレッショルド電圧を持つ入力バッファ回路を用いることにより、情報処理システムの低消費電力と動作の安定性及び低コスト化を実現できるという効果が得られる。

【００３９】

以上本発明者よりなされた発明を実施例に基づき具体的に説明したが、本願発明は前記実施例に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。例えば、図１及び図２において、入力バッファ回路とダミー入力回路は、上記実施例とは逆にＮチャンネル側のＭＯＳＦＥＴを１つに設定し、これを基準にＰチャンネル側のＭＯＳＦＥＴの合成コンダクタンスを変化させて複数通りのロジックスレッショルド電圧を得るようにするものであってもよい。あるいは、ＣＭＯＳ回路を構成する一方のＭＯＳＦＥＴを並列形態に形成しておてい、上記入力信号とオフ状態にさせる電圧とをスイッチにより切り換えて供給するようにし、その合成コンダクタンスを変化させるようにするものであってもよい。しかしながら、この場合には、ダミー入力回路において上記基準電圧の入力により定常的に直流電流を流し続けることになるので、基準電圧は、上記電源投入直後のみに供給し、ダミー入力回路の出力信号をラッチ回路に保持させたなら、上記基準電圧を電源電圧又は接地電位に切り換えるようにすればよい。

【００４０】

上記入力バッファ回路に設けられる複数通りのロジックスレッショルド電圧は、それが用いられる入力インターフェイス仕様に対応して適宜に選べばよい。また、ダミー入力回路の複数通りのロジックスレッショルド電圧も、それぞれに適合して選ぶようにするものであってもよい。また、基準電圧は、必ずしも外部端子から供給されるものの他、内部で発

生させるものであってもよい。ただし、この場合には、プロセスバラツキに影響されないで、高精度で形成することが必要であるので、例えばシリコンバンドギャップを利用した高精度の電圧発生回路をを利用すればよい。この発明は、プロセスバラツキに対して許容範囲が狭くされたロジックスレッショルド電圧を必要とする各種入力バッファ回路を備えた半導体集積回路装置とそれを用いた情報処理システムに広く利用できる。

【００４１】

【発明の効果】

本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば、下記の通りである。すなわち、第１導電型の１つのＭＯＳＦＥＴと第２導電型の複数からなるＭＯＳＦＥＴとを備え、制御信号により上記複数からなる第２導電型のＭＯＳＦＥＴの合成コンダクタンスが変化するようにされて、かかる合成コンダクタンスと上記第１導電型のＭＯＳＦＥＴのコンダクタンスとの比に従って決定されるロジックスレッショルド電圧が調整可能にされた入力バッファ回路を用い、上記入力バッファ回路における第１導電型のＭＯＳＦＥＴと同様な第１導電型のＭＯＳＦＥＴと、上記制御信号により設定される複数通りの合成コンダクタンスに対応した第２導電型のＭＯＳＦＥＴとの組み合わせからなり、複数通りのロジックスレッショルド電圧をそれぞれが持つようにされた複数個のダミー入力回路及び上記複数個のダミー入力回路に対して外部から共通に所定の基準電圧を供給し、上記複数個のダミー入力回路の出力信号の組み合わせを解読して、上記所望のロジックスレッショルド電圧になるような制御信号を形成することにより、自動的にプロセスバラツキを補うようなロジックスレッショルド電圧を持つ入力バッファ回路を得ることができる。

【図面の簡単な説明】

【図１】この発明に係る半導体集積回路装置に設けられる入力回路の一実施例を示す概略回路図である。

【図２】図１のＶＬＴ自動制御回路の一実施例を示す回路図である。

【図３】この発明を説明するための入力ＶＬＴ特性図である。

【図４】図２のＶＬＴ自動制御回路の動作を説明するための波形図である。

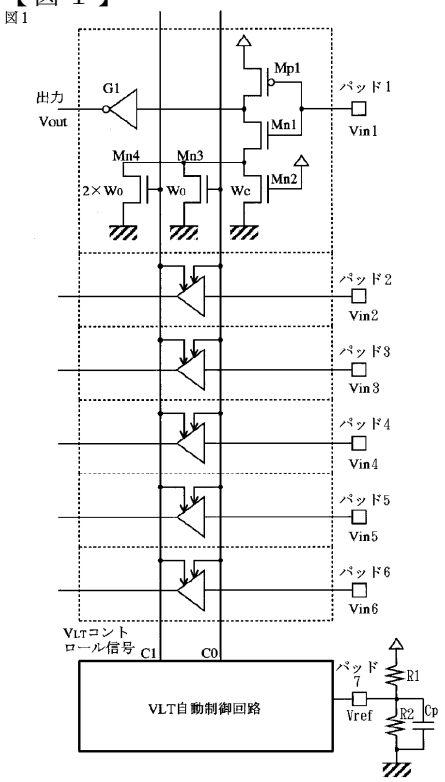
【図５】この発明が適用されたパーソナルコンピュータシステムの外観と要部概略構成図である。

【符号の説明】

ＣＰＵ…中央処理装置、ＲＯＭ…リード・オンリー・メモリ、ＤＲＡＭ…ダイナミック型ランダム・アクセス・メモリ、ＦＤＤ…フロッピーディスクドライブ、ＦＤ…フラッピーディスク、ｆｉｌｅ　Ｍ…ファイルメモリ、ＫＢ…キーボード、ＫＢＤＣ…キーボードコントローラ、ＨＤＤ…ハードディスクドライブ。

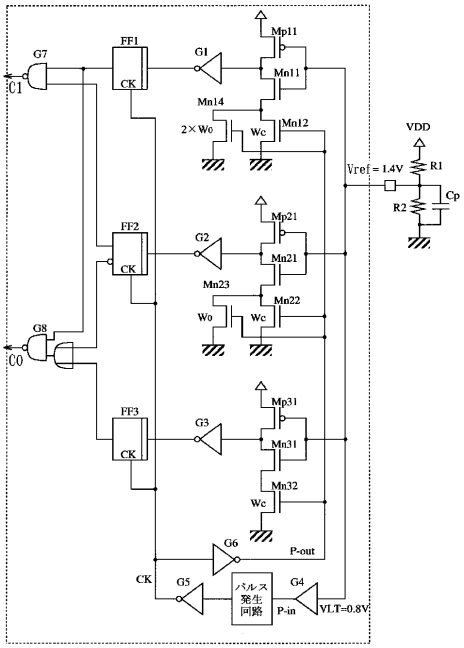
【図１】

図1



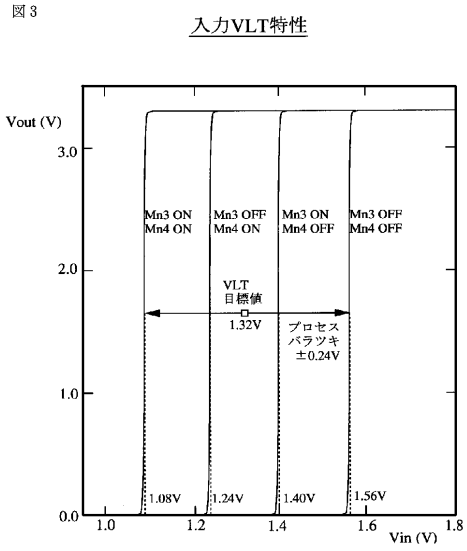
【図２】

図2



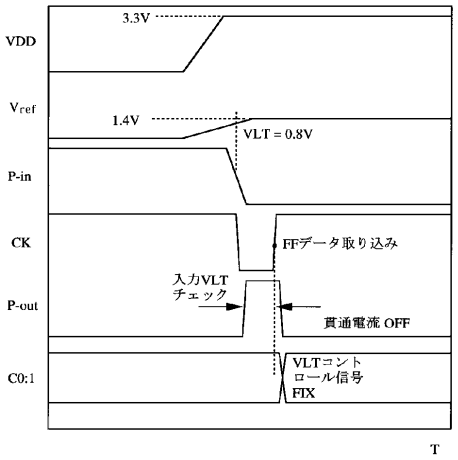
【図３】

図3



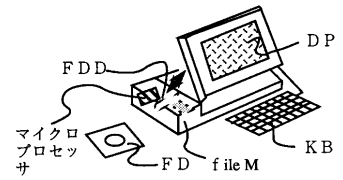
【図４】

図4

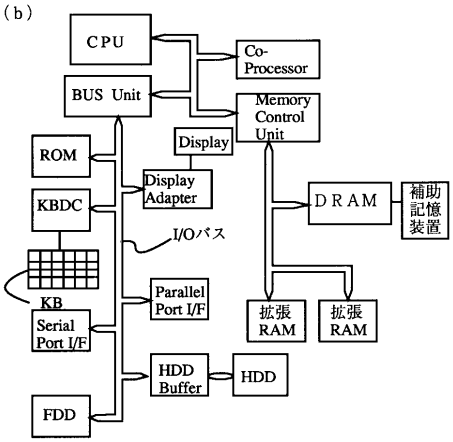


【図５】
図5

(a)


ＦＤＤ
ＤＰ
マイクロプロセッサ
ＫＢ
ＦＤ
ｆile M

(b)


CPU
Co-Processor
BUS Unit
Memory Control Unit
Display
ROM
Display Adapter
KBDC
ＤＲＡＭ
補助記憶装置
I/Oバス
KB
Parallel Port I/F
Serial Port I/F
拡張RAM
拡張RAM
HDD Buffer
HDD
FDD

フロントページの続き

(56)参考文献 特開平０５－２６８０５４（ＪＰ，Ａ）
特開平０４－１３４９２３（ＪＰ，Ａ）
特開平０６－１１２８０６（ＪＰ，Ａ）
特表平０１－５０３５１０（ＪＰ，Ａ）
特開平０４－１０４６１１（ＪＰ，Ａ）

(58)調査した分野(Int.Cl.[7]，ＤＢ名)
H03K 19/0175
H03K 19/003