



(21)申請案號：109114160 (22)申請日：中華民國 109 (2020) 年 04 月 28 日
(51)Int. Cl. : *H01L45/00 (2006.01)* *H01L27/24 (2006.01)*
(30)優先權：2019/05/10 美國 16/408,898
(71)申請人：台灣積體電路製造股份有限公司 (中華民國) TAIWAN SEMICONDUCTOR
MANUFACTURING CO., LTD. (TW)
新竹市力行六路八號
(72)發明人：宋福庭 SUNG, FU-TING (TW)；閔仲強 MIN, CHUNG-CHIANG (TW)；曾元泰
TSENG, YUAN-TAI (TW)
(74)代理人：卓俊傑
(56)參考文獻：
CN 104425715A
審查人員：于若天
申請專利範圍項數：10 項 圖式數：12 共 42 頁

(54)名稱

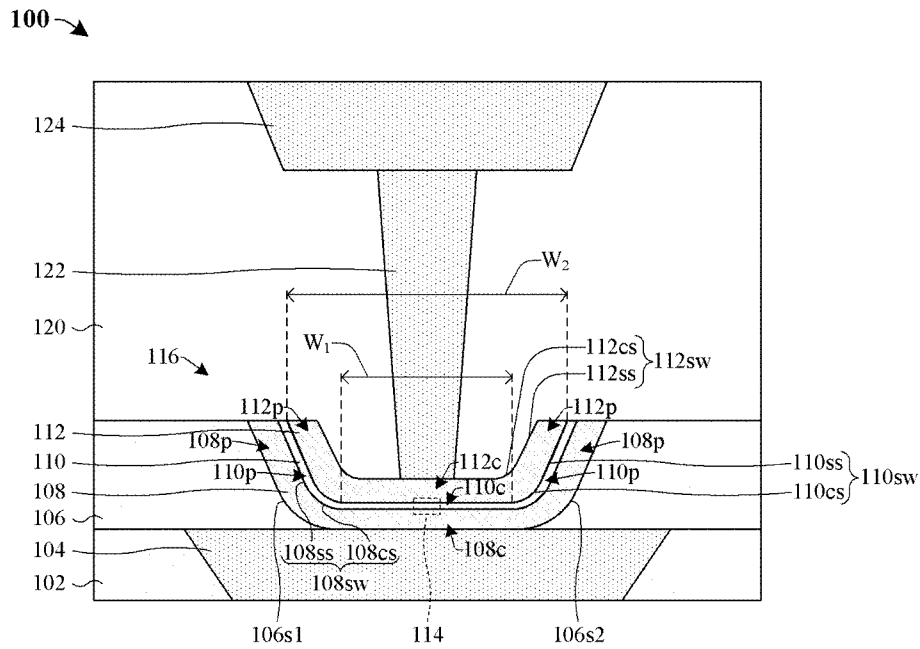
記憶體元件、可程式設計金屬化單元及其製造方法

(57)摘要

一些實施例關於一種記憶體元件。所述記憶體元件包括上覆在底部電極上的頂部電極。資料儲存層上覆在所述底部電極上。所述底部電極托住所述資料儲存層的下側。所述頂部電極上覆在所述資料儲存層上。所述底部電極的頂表面與所述頂部電極的頂表面對齊。

Some embodiments relate to a memory device. The memory device includes a top electrode overlying a bottom electrode. A data storage layer overlies the bottom electrode. The bottom electrode cups an underside of the data storage layer. The top electrode overlies the data storage layer. A top surface of the bottom electrode is aligned with a top surface of the top electrode.

指定代表圖：



【圖1】

符號簡單說明：

- 100:記憶體元件
- 102:層間介電(ILD)層
- 104:底部導電線
- 106:底部介電層
- 106s1、106s2:側壁
- 108:底部電極
- 108c:中心底部電極區
- 108cs、110cs、112cs:彎曲段
- 108p:週邊底部電極區
- 108ss、110ss、112ss:傾斜段
- 108sw、110sw、112sw:內側壁
- 110:資料儲存層
- 110c、112c:中心區
- 110p、112p:週邊區
- 112:頂部電極
- 114:導電橋區
- 116:記憶體單元
- 120:上部層間介電(ILD)結構
- 122:導通孔
- 124:上部導電線



I741571

【發明摘要】

【中文發明名稱】

記憶體元件、可程式設計金屬化單元及其製造方法

【英文發明名稱】

MEMORY DEVICE, PROGRAMMABLE METALLIZATION CELL
AND MANUFACTURING METHOD THEREOF

【中文】一些實施例關於一種記憶體元件。所述記憶體元件包括上覆在底部電極上的頂部電極。資料儲存層上覆在所述底部電極上。所述底部電極托住所述資料儲存層的下側。所述頂部電極上覆在所述資料儲存層上。所述底部電極的頂表面與所述頂部電極的頂表面對齊。

【英文】Some embodiments relate to a memory device. The memory device includes a top electrode overlying a bottom electrode. A data storage layer overlies the bottom electrode. The bottom electrode cups an underside of the data storage layer. The top electrode overlies the data storage layer. A top surface of the bottom electrode is aligned with a top surface of the top electrode.

【指定代表圖】圖1。

【代表圖之符號簡單說明】

100：記憶體元件

- 102：層間介電（ILD）層
- 104：底部導電線
- 106：底部介電層
- 106s1、106s2：側壁
- 108：底部電極
- 108c：中心底部電極區
- 108cs、110cs、112cs：彎曲段
- 108p：週邊底部電極區
- 108ss、110ss、112ss：傾斜段
- 108sw、110sw、112sw：內側壁
- 110：資料儲存層
- 110c、112c：中心區
- 110p、112p：週邊區
- 112：頂部電極
- 114：導電橋區
- 116：記憶體單元
- 120：上部層間介電（ILD）結構
- 122：導通孔
- 124：上部導電線

【特徵化學式】

無

【發明說明書】

【中文發明名稱】

記憶體元件、可程式設計金屬化單元及其製造方法

【英文發明名稱】

MEMORY DEVICE, PROGRAMMABLE METALLIZATION CELL
AND MANUFACTURING METHOD THEREOF

【技術領域】

【0001】 本發明實施例是關於記憶體元件、可程式設計金屬化單元及其製造方法。

【先前技術】

【0002】 許多現代電子裝置包含電子記憶體。電子記憶體可為易失性記憶體 (volatile memory) 或非易失性記憶體 (non-volatile memory)。非易失性記憶體能夠在沒有電力的情況下保留其所存儲的資料，而易失性記憶體在斷電時會丟失其所存儲的資料。可程式設計金屬化單元 (programmable metallization cell, PMC) 隨機存取記憶體 (random access memory, RAM) (其也可被稱為導電橋接 RAM (conductive bridging RAM)、CBRAM、奈米橋或電解記憶體 (electrolytic memory)) 因優於當前電子記憶體的優點而作為下一代非易失性電子記憶體的一個有希望的候選者。與當前非易失性記憶體 (例如，閃速隨機存取記憶體) 相比，PMCRAM 通常具有更好的性能及可靠性。與當前易失性記憶體 (例如，動態隨機存取記憶體 (dynamic random-access memory, DRAM) 及靜

態隨機存取記憶體 (static random-access memory, SRAM)) 相比，PMCRAM 通常具有更好的性能及密度且具有更低的功耗。

【發明內容】

【0003】 在一些實施例中，本公開關於一種記憶體元件，所述記憶體元件包括：底部電極；資料儲存層，上覆在所述底部電極上，其中所述底部電極托住所述資料儲存層的下側；以及頂部電極，上覆在所述資料儲存層上，其中所述底部電極的頂表面與所述頂部電極的頂表面對齊。

【0004】 在其他實施例中，本公開關於一種可程式設計金屬化單元，所述可程式設計金屬化單元包括：底部介電層，上覆在導電線上；底部電極，設置在所述底部介電層內，其中所述底部電極是 U 形的且接觸所述導電線；資料儲存層，上覆在所述底部電極上，其中所述資料儲存層是 U 形的，以使所述底部電極的上表面沿所述資料儲存層的下表面連續延伸；以及頂部電極，上覆在所述資料儲存層上。

【0005】 在另一些實施例中，本公開關於一種製造記憶體元件的方法。所述方法包括：在導電線之上形成底部介電層；將所述底部介電層圖案化以在所述導電線上方形成開口，其中所述開口具有彎曲的側壁以使所述開口的寬度從所述底部介電層的底表面到所述底部介電層的頂表面連續增大；在所述導電線之上及所述開口內形成記憶體層堆疊，其中所述記憶體層堆疊包括上覆在底部電極上的頂部電極；以及對所述記憶體層堆疊執行平坦化製程，以使所述頂部電極的頂表面與所述底部電極的頂表面對齊。

【圖式簡單說明】**【0006】**

結合附圖閱讀以下詳細說明會最好地理解本公開的各個方面。應注意，根據本行業中的標準慣例，各種特徵並非按比例繪製。事實上，為論述清晰起見，可任意增大或減小各種特徵的尺寸。

圖 1 示出包括可程式設計金屬化單元的記憶體元件的一些實施例的剖視圖。

圖 2A 到圖 2B 以及圖 3A 到圖 3B 示出圖 1 所示記憶體元件的各種替代實施例的剖視圖。

圖 4 示出包括兩個可程式設計金屬化單元的記憶體元件的一些實施例的剖視圖。

圖 5 示出圖 4 所示記憶體元件的一些實施例的俯視圖，如由圖 4 及圖 5 中的切割線所示。

圖 6 到圖 11 示出形成包括可程式設計金屬化單元的記憶體元件的方法的一些實施例的剖視圖。

圖 12 以流程圖格式示出方法，其示出形成包括可程式設計金屬化單元的記憶體元件的方法的一些實施例。

【實施方式】

【0007】 本公開提供用於實施本公開的不同特徵的許多不同的實施例或實例。以下闡述元件及排列的具體實例以簡化本公開。當然，這些僅為實例而非旨在進行限制。舉例來說，在以下說明中，

在第二特徵之上或第二特徵上形成第一特徵可包括其中第一特徵與第二特徵被形成為直接接觸的實施例，且也可包括其中第一特徵與第二特徵之間可形成附加特徵從而使得第一特徵與第二特徵可不直接接觸的實施例。另外，本公開在各種實例中可重複使用參考編號和/或字母。此種重複使用是為了簡明及清晰起見，且自身並不表示所論述的各個實施例和/或配置之間的關係。

【0008】 另外，為易於說明，本文中可能使用例如「在...之下」、「在...下方」、「下部的」、「在...上方」、「上部的」等空間相對性用語來闡述圖中所示一個構件或特徵與另一（其他）構件或特徵的關係。除圖中所繪示的取向外，所述空間相對性用語旨在囊括元件在使用或操作中的不同取向。設備可被另外取向（旋轉 90 度或處於其他取向），且本文中所用的空間相對性描述語可同樣相應地作出解釋。

【0009】 可程式設計金屬化單元一般包括排列在頂部電極與底部電極之間的資料儲存層。當在頂部電極及底部電極兩端施加設定電壓（set voltage）時，在資料儲存層內形成導電橋（conductive bridge）（從而引起低電阻狀態）。當在頂部電極及底部電極兩端施加重設電壓（reset voltage）時，在資料儲存層內抹除導電橋（從而引起高電阻狀態）。

【0010】 在可程式設計金屬化單元的製作期間，在基底之上形成記憶體單元堆疊。記憶體單元堆疊包括設置在頂部電極層與底部電極層之間的資料儲存層。在頂部電極層之上形成硬罩幕層。接著執行單獨的蝕刻製程以界定頂部電極及底部電極。舉例來說，執行第一蝕刻製程（例如，第一電漿蝕刻製程）以通過將頂部電

極層圖案化來界定頂部電極。在第一蝕刻製程期間，來自頂部電極層的材料（例如，氮化鈦）將再沉積（**re-deposit**）到硬罩幕層的側壁上。在用於界定底部電極的第二蝕刻製程（例如，第二電漿蝕刻製程）期間，可對來自頂部電極和/或底部電極層的材料進行蝕刻並將所述材料重佈線（**redistribute**）到資料儲存層的側壁上。由於所述材料是導電的，因此所述材料可能使頂部電極與底部電極電短路，從而使可程式設計金屬化單元不可操作。另外，在單獨的蝕刻製程（例如，用於減少再沉積的導電材料）之後使用的濕式清潔製程（例如，使用清潔溶液（例如氫氟酸和/或去離子水））可能損壞頂部電極和/或底部電極與資料儲存層之間的介面，從而導致層之間的剝離。這可能部分地損害可程式設計金屬化單元的穩定性、耐久性和/或切換時間。

【0011】 在本公開的一些實施例中，為不使材料從頂部電極和/或底部電極層再沉積到記憶體單元堆疊的側壁上，可通過平坦化製程（例如，化學機械平坦化）（**chemical-mechanical planarization**，**CMP**）製程）而非單獨的蝕刻製程來形成記憶體單元堆疊。在這種實施例中，在導電線之上形成介電層，且在介電層的外側區之上形成罩幕層。執行蝕刻製程以在直接位於導電線的中心部分上方的介電層中界定開口。在開口內形成記憶體單元堆疊以使記憶體單元堆疊的上表面凹入成低於介電層的頂表面。對記憶體單元堆疊執行平坦化製程直到達到介電層的頂表面為止，從而界定可程式設計金屬化單元。通過平坦化製程，可程式設計金屬化單元內的層分別具有 U 形輪廓。在形成可程式設計金屬化單元之後，對可程式設計金屬化單元執行濕式清潔製程（例如，上述濕式清

潔製程)。可程式設計金屬化單元中的層的 U 形輪廓減輕和/或防止層之間的剝離。記憶體單元堆疊不是通過電漿蝕刻製程形成的，從而減輕和/或消除導電材料在頂部電極和/或底部電極上的再沉積。因此，此方法有利於在不對記憶體單元堆疊進行蝕刻的條件下形成可程式設計金屬化單元，且從而防止頂部電極與底部電極一同短路。另外，以平坦化製程代替單獨的蝕刻製程減少與形成可程式設計金屬化單元相關聯的成本及時間，並減輕在頂部電極和/或底部電極與資料儲存層之間的介面處的剝離。這部分地提高可程式設計金屬化單元的穩定性、耐久性和/或增大切換時間。

【0012】 參照圖 1，提供包括記憶體單元 116 的記憶體元件 100 的一些實施例的剖視圖。

【0013】 記憶體單元 116 包括底部電極 108 及頂部電極 112，其中在頂部電極 112 與底部電極 108 之間設置有資料儲存層 110(在一些實施例中，也被稱為絕緣體層或電解質)。記憶體單元 116 設置在底部介電層 106 內，以使記憶體單元 116 的頂表面與底部介電層 106 的頂表面對齊，且記憶體單元 116 的底表面與底部介電層 106 的底表面對齊。在一些實施例中，記憶體單元 116 被配置成可程式設計金屬化單元 (PMC) 隨機存取記憶體 (RAM)，其也可被稱為導電橋接 RAM、CBRAM、奈米橋或電解記憶體。

【0014】 記憶體單元 116 常常設置在層間介電 (inter-level dielectric, ILD) 層 102 之上，其中在 ILD 層 102 內設置有底部導電線 104。底部導電線 104 將底部電極 108 電耦合到下伏的金屬層和 / 或 互補金屬氧化物半導體 (complementary metal-oxide-semiconductor, CMOS) 元件 (例如，電晶體、二極

體等)，所述下伏的金屬層和/或 CMOS 元件可上覆在半導體基底（未示出）上。導通孔 122 上覆在頂部電極 112 上，且將頂部電極 112 電耦合到上部導電層（例如，上部導電線 124）。導通孔 122 延伸穿過上部 ILD 結構 120。上部導電線 124 延伸超過導通孔 122 的側壁，且可電耦合到上覆的位元線（未示出）。

【0015】 底部電極 108 包括中心底部電極區 108c 及週邊底部電極區 108p，週邊底部電極區 108p 從中心底部電極區 108c 向上延伸。相似地，資料儲存層 110 及頂部電極 112 在中心底部電極區 108c 之上分別包括中心區 110c、112c，且在週邊底部電極區 108p 上分別包括週邊區 110p、112p。

【0016】 在一些實施例中，底部介電層 106 具有一對側壁 106s1、106s2，所述一對側壁 106s1、106s2 直接接觸底部電極 108 的外側壁。所述一對側壁 106s1、106s2 分別具有上覆在彎曲段上的傾斜段，以使底部電極 108 的側壁（例如，外側壁和/或內側壁）分別具有上覆在彎曲段上的傾斜段。另外，資料儲存層 110 的側壁（例如，外側壁和/或內側壁）分別具有上覆在彎曲段上的傾斜段，且頂部電極 112 的側壁（例如，外側壁和/或內側壁）分別具有上覆在彎曲段上的傾斜段。底部電極 108 位於資料儲存層 110 的底表面及外側壁之下並托住（cup）資料儲存層 110 的底表面及外側壁。資料儲存層 110 位於頂部電極 112 的底表面及外側壁之下並托住頂部電極 112 的底表面及外側壁。底部電極 108 的頂表面、資料儲存層 110 的頂表面、頂部電極 112 的頂表面及底部介電層 106 的頂表面對齊。可理解，本文中所述的對齊預期存在一些小的未對齊，例如由於（例如，在用於形成元件的化學機械平坦化（CMP）

製程期間)在對齊的層和/或結構的表面和/或部分中可能存在容差而導致。

【0017】 在一些實施例中，所述一對側壁 106s1、106s2、底部電極 108 的外側壁、資料儲存層 110 的外側壁及頂部電極 112 的外側壁是從剖視圖界定的。舉例來說，如果當從上方觀察時，記憶體單元 116 是圓形或橢圓形，則當從上方觀察時，所述一對側壁 106s1、106s2 是單個連續的側壁，因此，「一對」側壁 106s1、106s2 是指當在剖視圖中繪示時此單個連續的側壁的性質。另外，如果當從上方觀察時，記憶體單元 116 是圓形或橢圓形，則與包括記憶體單元 116 的層的剖視圖相關聯的任何長度和/或寬度分別對應於圓形的直徑或者在橢圓形的主軸上的兩個頂點之間界定的長度。

【0018】 在一些實施例中，頂部電極 112 的內側壁 112sw 具有上覆在彎曲段 112cs 上的傾斜段 112ss 以使頂部電極 112 的第一寬度 W_1 小於頂部電極 112 的第二寬度 W_2 。如圖 1 所見，頂部電極 112 的寬度從第一寬度 W_1 到第二寬度 W_2 連續增大。另外，資料儲存層 110 的內側壁 110sw 具有上覆在彎曲段 110cs 上的傾斜段 110ss。另外，底部電極 108 的內側壁 108sw 具有上覆在彎曲段 108cs 上的傾斜段 108ss。

【0019】 在操作期間，記憶體單元 116 依賴於氧化還原反應(redox reaction) 以在頂部電極 112 與底部電極 108 之間、在資料儲存層 110 的導電橋區 114 中形成導電橋以及溶解(dissolve)導電橋。在頂部電極 112 與底部電極 108 之間在導電橋區 114 中存在導電橋會生成低電阻狀態，而在導電橋區 114 中不存在導電橋會引起

高電阻狀態。因此，通過在頂部電極 112 與底部電極 108 之間施加適當的偏壓以在導電橋區 114 中生成或溶解導電橋，可使記憶體單元 116 在高電阻狀態與低電阻狀態之間切換。

【0020】 在一些實施例中，頂部電極 112 及底部電極 108 由銀製成。在這些和/或其他實施例中，為促進這種切換，頂部電極 112 或底部電極 108 中的一者是電化學惰性的（electrochemically inert），而另一者是電化學活性的（electrochemically active）以幫助促進切換。舉例來說，在一些實施例中，頂部電極 112 可為相對電化學惰性的且可包含氮化鈦、氮化鉭、銀、鉭、鈦、鉑、鎳、鉛、銦和/或鎢等等；和/或底部電極 108 可為電化學活性的，且可由銀、銅、鋁或碲等等製成。在其他實施例中，頂部電極 112 及底部電極 108 的組合物（composition）可相對於上述者翻轉，以使頂部電極 112 是電化學活性的且底部電極 108 是惰性的。在一些實施例中，資料儲存層 110 可表現為固體電解質薄膜，所述固體電解質薄膜是具有高度移動的離子的固體材料。舉例來說，在一些實施例中，資料儲存層 110 可由氧化鉛（ HfO_2 ）、氧化銦（ ZrO_2 ）、氧化鋁（ Al_2O_3 ）、非晶矽或氮化矽（ Si_3N_4 ）等等製成。

【0021】 在一些實施例中，例如在本文中進一步闡述的圖 2A 所示，頂部電極 112 包括上覆在電化學惰性層或電化學活性層上的導電阻障層。舉例來說，在圖 1 中，頂部電極 112 可包括上覆在銀層（即，電化學惰性層）上的氮化鈦層（即，導電阻障層），以使氮化鈦層為上覆的導通孔和/或導電線（例如，導通孔 122）提供穩定的介面。在一些實施例中，如果省略導電阻障層（例如，氮化鈦層）且將導通孔和/或導電線直接設置在電化學惰性層或電

化學活性層（例如，銀層）上，則可發生電化學惰性層或電化學活性層中導電材料（例如，銀）的遷移。這可部分地引起頂部電極 112 與底部電極 108 之間的短路和/或引起上覆導通孔和/或導電線（例如，導通孔 122）與頂部電極 112 之間的非歐姆接觸（non-ohmic contact）。

【0022】 通過沿底部介電層 106 的所述一對側壁 106s1、106s2 上覆記憶體單元 116，在記憶體單元 116 的製作期間會減輕導電材料從頂部電極 112 和/或底部電極 108 到資料儲存層 110 的再沉積。通過減輕來自頂部電極 112 和/或底部電極 108 的導電材料的再沉積，頂部電極 112 及底部電極 108 不會因導電材料而一同電短路，且因此記憶體單元 116 可在高電阻狀態與低電阻狀態之間改變。

【0023】 儘管圖 1 將記憶體單元 116 闡述為可程式設計金屬化單元（PMC）隨機存取記憶體（RAM）單元，然而應理解，記憶體單元 116 並非僅限於這種元件。而是，在替代實施例中，記憶體單元 116 可為相變隨機存取記憶體（phase-change random-access memory，PCRAM）單元、電阻式隨機存取記憶體（resistive random-access memory，RRAM）單元、磁阻式隨機存取記憶體（magnetoresistive random-access memory，MRAM）單元、自旋轉移力矩磁阻式隨機存取記憶體（spin-transfer torque magnetoresistive random-access memory，STT-MRAM）單元等。在這種實施例中，記憶體單元 116 可被形成為使頂部電極的頂表面、底部電極的頂表面以及資料儲存層的頂表面分別與實質上直的水平線對齊，以使頂部電極與底部電極不會電耦合在一起（例如，通過再沉積的導電材料耦合在一起）。

【0024】 參照圖 2A，提供根據圖 1 所示記憶體元件 100 的一些替代實施例的記憶體元件 200a 的剖視圖，其中導電阻障層 202 上覆在頂部電極 112 上。

【0025】 記憶體元件 200a 包括上覆在記憶體單元 116 上的頂部介電層 204。記憶體單元 116 包括上覆在頂部電極 112 上的導電阻障層 202 以及設置在頂部電極 112 與底部電極 108 之間的資料儲存層 110。在一些實施例中，導電阻障層 202 是頂部電極 112 的一部分，以使導電阻障層 202 是頂部電極 112 中的最頂部層。導電阻障層 202 被配置成防止材料（例如，銀）從頂部電極 112 遷移到底部電極 108（和/或遷移到上覆的金屬層），從而減輕頂部電極 112 與底部電極 108 之間的電短路和/或防止與上覆的金屬層（例如，導通孔 122）的非歐姆接觸。在另一些實施例中，導電阻障層 202 的頂表面、頂部電極 112 的頂表面、資料儲存層 110 的頂表面、底部電極 108 的頂表面及底部介電層 106 的頂表面分別與水平面 203（例如，x-z 平面）對齊。在另一些實施例中，水平面 203 與下伏的半導體基底（未示出）的頂表面平行。導通孔 122 的底表面低於水平面 203。導電阻障層 202 的上表面 202u 低於水平面 203。頂部介電層 204 的下部部分延伸到低於水平面 203。在另一些實施例中，導電阻障層 202 的頂表面、頂部電極 112 的頂表面、資料儲存層 110 的頂表面、底部電極 108 的頂表面及底部介電層 106 的頂表面分別直接接觸頂部介電層 204 的下表面。在一些實施例中，底部電極 108 的底表面凹入成低於在底部導電線 104 的頂表面達距離 d_1 ，距離 d_1 可例如處於約 1 埃到 130 埃的範圍內。在另一些實施例中，底部電極 108 的底表面與底部導電線 104 的頂

表面對齊以使距離 d_1 是 0 埃（未示出）。

【0026】 在一些實施例中，底部介電層 106 可為一個或多個介電層且可例如為或可包含厚度處於近似 300 埃到 1000 埃的範圍內的氮化矽、碳化矽等。在另一些實施例中，底部電極 108 可為一個或多個導電層且可例如為或可包含厚度處於近似 75 埃到 300 埃的範圍內的銀、銅、鋁、碲等。在又一些實施例中，資料儲存層 110 可為一個或多個介電層且可例如為或可包含厚度處於近似 20 埃到 100 埃的範圍內的氧化鉛、氧化銻、氧化鋁、氧化鉍、另一種金屬氧化物等。在一些實施例中，頂部電極 112 可為一個或多個導電層且可例如為或可包含厚度處於近似 100 埃到 600 埃的範圍內的銀、銅、氮化鈦、氮化鉍等。在一些實施例中，導電阻障層 202 可為例如厚度處於近似 10 埃到 200 埃的範圍內的氮化鈦、氮化鉍等。在一些實施例中，頂部電極 112 與底部電極 108 包含同一種導電材料（例如，銀），所述導電材料與導電阻障層 202 所包含的材料（例如，氮化鈦）不同。在一些實施例中，底部導電線 104、導通孔 122 及上部導電線 124 可例如為或可包含鋁、銅等。在又一些實施例中，頂部介電層 204 可為一個或多個介電層且可例如為或可包含厚度處於 300 埃到 1500 埃的範圍內的氮化矽、碳化矽等。在一些實施例中，頂部介電層 204 是與底部介電層 106 相同的材料和/或材料組合。在又一些實施例中，上部 ILD 結構 120 包括一個或多個介電層且可例如為或可包含厚度處於約 1250 埃到 2800 埃的範圍內的氧化矽、另一種氧化物、低介電常數介電質等。如本文中所述，低介電常數介電質是介電常數小於 3.9 的介電材料。

【0027】 參照圖 2B，提供根據圖 1 所示記憶體元件 100 的一些替代實施例的記憶體元件 200b 的剖視圖，其中頂部電極 112 的頂表面及底部電極 108 的頂表面凹入成低於資料儲存層 110 的頂表面達距離 d_2 。資料儲存層 110 的上段 110a 在垂直方向上位於頂部電極 112 及底部電極 108 的頂表面上方。這部分地增大頂部電極 112 與底部電極 108 之間的隔離，並由此減輕頂部電極 112 與底部電極 108 之間的「洩漏」(即，電流的流動)。通過增大頂部電極 112 與底部電極 108 之間的隔離，記憶體單元 116 的初始「洩漏」減少，且記憶體單元 116 的穩定性、耐久性可提高和/或記憶體單元 116 的設定/重設電壓裕度可增大。在一些實施例中，頂部電極 112 的頂表面低於底部電極 108 的頂表面，或者底部電極 108 的頂表面低於頂部電極 112 的頂表面(未示出)。這可部分地歸因於在記憶體元件 200b 的形成期間(例如，在用於形成凹槽的蝕刻製程期間)頂部電極 112 或底部電極 108 的過度蝕刻(over etch)。

【0028】 在一些實施例中，距離 d_2 處於 20 埃到 200 埃的範圍內。在一些實施例中，如果距離 d_2 大於 20 埃，則頂部電極 112 與底部電極 108 之間的隔離增大，因此減輕頂部電極 112 與底部電極 108 之間的「洩漏」。在另一些實施例中，如果距離 d_2 小於 200 埃，則頂部電極 112 和/或底部電極 108 足夠大以使記憶體單元 116 具有增強的穩定性、耐久性和/或切換時間。

【0029】 參照圖 3A，提供根據圖 1 所示記憶體元件 100 的一些替代實施例的記憶體元件 300a 的剖視圖，其中資料儲存層 110 的頂表面凹入成低於頂部電極 112 的頂表面以及底部電極 108 的頂表面達距離 d_3 。這部分地增大頂部電極 112 與底部電極 108 之間的

隔離，並由此減輕頂部電極 112 與底部電極 108 之間的「洩漏」。通過增大頂部電極 112 與底部電極 108 之間的隔離，記憶體單元 116 的初始「洩漏」減少，且記憶體單元 116 的穩定性、耐久性可提高和/或記憶體單元 116 的設定/重設電壓裕度可增大。頂部電極 112 的上段及底部電極 108 的上段分別位於資料儲存層 110 的頂表面上方。在一些實施例中，頂部電極 112 的上段及底部電極 108 的上段在橫向上通過頂部介電層 204 彼此隔開。在另一些實施例中，頂部介電層 204 的突出部從頂部電極 112 的頂表面到資料儲存層 110 的頂表面延伸達距離 d_3 。

【0030】 在一些實施例中，距離 d_3 處於 20 埃到 200 埃的範圍內。在一些實施例中，如果距離 d_3 大於 20 埃，則頂部電極 112 與底部電極 108 之間的隔離增大，因此減輕頂部電極 112 與底部電極 108 之間的「洩漏」。在另一些實施例中，如果距離 d_3 小於 200 埃，則頂部電極 112 和/或底部電極 108 足夠大，以使記憶體單元 116 具有增強的穩定性、耐久性和/或切換時間。

【0031】 參照圖 3B，提供根據圖 3A 所示記憶體元件 300a 的一些替代實施例的記憶體元件 300b 的剖視圖，其中頂部電極 112 的上段及底部電極 108 的上段通過填充介電層 302 在橫向上彼此隔開。在一些實施例中，填充介電層 302 可例如為或可包含氮化矽、碳化矽等。在一些實施例中，填充介電層 302 從頂部電極 112 的頂表面到資料儲存層 110 的頂表面延伸達距離 d_3 。在又一些實施例中，填充介電層 302 包含與底部介電層 106 和/或頂部介電層 204 不同的材料。在又一些實施例中，省略填充介電層 302，且以空的空間（例如，空氣）（未示出）來填充由填充介電層 302 佔據的空

間。

【0032】 參照圖 4，提供積體電路 400 的一些實施例的剖視圖，積體電路 400 包括設置在積體電路 400 的內連線結構 404 中的第一記憶體單元 116a 及第二記憶體單元 116b。第一記憶體單元 116a 及第二記憶體單元 116b 分別作為所示出及所闡述的圖 1 所示記憶體單元 116。

【0033】 積體電路 400 包括基底 406。基底 406 可為例如塊狀基底（例如，塊狀矽基底）或絕緣體上矽（silicon-on-insulator, SOI）基底。所示出的實施例繪示一個或多個淺溝渠隔離（shallow trench isolation, STI）區 408，淺溝渠隔離區 408 在基底 406 內可包括介電質填充溝渠。在第一記憶體單元 116a、第二記憶體單元 116b 二者的頂部電極 112 的頂表面、資料儲存層 110 的頂表面及底部電極 108 的頂表面上方直接設置有切割線。

【0034】 在 STI 區 408 之間設置有兩個存取電晶體 410、412。存取電晶體 410、412 分別包括存取閘極電極 414、416；分別包括存取閘極介電質 418、420；包括存取側壁間隔件 422；以及包括源極/汲極區 424。源極/汲極區 424 在基底 406 內設置在存取閘極電極 414、416 與 STI 區 408 之間，且被摻雜成分別具有第一導電類型，所述第一導電類型與存取閘極介電質 418、420 下方的通道區的第二導電類型相反。存取閘極電極 414、416 可為例如經摻雜的多晶矽或金屬，例如鋁，銅或其組合。存取閘極介電質 418、420 可為例如氧化物，例如二氧化矽或高介電常數介質材料。如本文中所述，高介電常數介電材料是介電常數大於約 3.9 的介電材料。存取側壁間隔件 422 可由例如氮化矽（例如， Si_3N_4 ）製成。在一

些實施例中，存取電晶體 410 和/或存取電晶體 412 可例如電耦合到字元線（word line，WL）以使得可向存取閘極電極 414 和/或存取閘極電極 416 施加適當的 WL 電壓。

【0035】 內連線結構 404 排列在基底 406 之上且將元件（例如，存取電晶體 410、412）電耦合到彼此。內連線結構 404 包括以交替方式彼此層疊的多個金屬間介電（inter-metal dielectric，IMD）層 426、428、430 與多個金屬化層 432、434、436。IMD 層 426、428、430 可例如由低介電常數介電層或氧化物（例如二氧化矽）製成。金屬化層 432、434、436 包括金屬線 438、440、442，金屬線 438、440、442 形成在溝渠內，且金屬線 438、440、442 可由金屬（例如銅或鋁）製成。接觸件 444 從底部金屬化層 432 延伸到源極/汲極區 424 和/或存取閘極電極 414、416；且通孔 446 在金屬化層 432、434、436 之間延伸。通孔 446 延伸穿過介電保護層 450（介電保護層 450 可由介電材料製成且在製造期間可充當蝕刻停止層）。舉例來說，介電保護層 450 可由極低介電常數介電材料製成。舉例來說，接觸件 444 及通孔 446 可由金屬（例如銅或鎢）製成。在一些實施例中，金屬線 438 中的金屬線可例如電耦合到源極線（source line，SL），以使得可在 SL 處對存取電晶體 410、412 的輸出進行存取。

【0036】 被配置成存儲相應的資料狀態的第一記憶體單元 116a 及第二記憶體單元 116b 排列在相鄰的金屬層之間的內連線結構 404 內。第一記憶體單元 116a 及第二記憶體單元 116b 分別包括底部電極 108、資料儲存層 110 及頂部電極 112。第一記憶體單元 116a 及第二記憶體單元 116b 分別經由金屬線 442 電耦合到第一位元線

BL₁ 及第二位元線 BL₂。在一些實施例中，在底部導電線 104 與金屬線 440 之間設置有導通孔（未示出）。在又一些實施例中，在第一記憶體單元 116a 及第二記憶體單元 116b 與導通孔 122 之間分別設置有頂部電極通孔（未示出）。

【0037】 參照圖 5，提供圖 4 所示積體電路 400 的一些實施例的俯視圖。

【0038】 如圖 5 所示，第一記憶體單元 116a 及第二記憶體單元 116b 具有圓形/橢圓形形狀。在一些實施例中，當從俯視圖觀察時，第一記憶體單元 116a 及第二記憶體單元 116b 可具有正方形和/或矩形形狀。然而，在其他實施例中，例如由於許多蝕刻製程的分區性（*partialities*），正方形或矩形形狀的隅角可變成圓形，從而使第一記憶體單元 116a 及第二記憶體單元 116b 分別具有帶有圓形隅角的正方形或矩形形狀，或者具有圓形或橢圓形形狀。第一記憶體單元 116a 及第二記憶體單元 116b 分別排列在金屬線（圖 4 所示 440）之上，且具有與導通孔 122 直接電連接的上部部分。在一些實施例中，頂部電極 112 的上部部分直接電耦合到設置在頂部電極 112 與金屬線 442 之間的頂部電極通孔（未示出）。

【0039】 圖 6 到圖 11 示出根據本公開的形成包括可程式設計金屬化單元的記憶體元件的方法的一些實施例的剖視圖 600 到 1100。儘管參照一種方法來闡述圖 6 到圖 10 的剖視圖 600 到 1100，然而應理解圖 6 到圖 11 所示結構並非僅限於所述方法，而是確切來說可單獨地獨立於所述方法。儘管圖 6 到圖 11 被闡述為一系列動作，然而應理解這些動作不進行限制，這是因為動作的順序可在其他實施例中被改變，且所公開的方法也適用於其他結構。在其

他實施例中，所示和/或所述的一些動作可全部或部分地被省略。

【0040】如圖 6 的剖視圖 600 所示，在層間介電 (ILD) 層 102 內形成底部導電線 104。在底部導電線 104 之上形成介電膜 602。在一些實施例中，介電膜 602 包括一個或多個介電層且可例如為或可包含被形成為厚度處於約 300 埃到 1000 埃的範圍內的氮化矽、碳化矽等。在介電膜 602 之上形成罩幕層 604 以使罩幕層 604 覆蓋介電膜 602 的外側區 606a、606c，並使介電膜 602 的中心區 606b 不被覆蓋並被暴露出。在一些實施例中，罩幕層 604 包括光阻罩幕。在其他實施例中，罩幕層 604 包括硬罩幕層 (例如，包括氮化物層)。在又一些實施例中，罩幕層 604 可包括多層式硬罩幕。在一些實施例中，底部導電線 104 可例如為或可包含鋁、銅等。

【0041】如圖 7 的剖視圖 700 所示，執行蝕刻製程以對介電膜 (圖 6 所示 602) 進行蝕刻並在介電膜 (圖 6 所示 602) 中形成開口 702，從而界定底部介電層 106。蝕刻製程關於使中心區 (圖 6 所示 606b) 內的介電膜 (圖 6 所示 602) 暴露到一種或多種蝕刻劑，且接著執行移除製程以移除罩幕層 (圖 6 所示 604) (未示出)。在一些實施例中，蝕刻製程可包含一種或多種蝕刻劑，例如二氟甲烷 (例如， CH_2F_2 、 CHF_3)、全氟環丁烷 (C_4F_8)、氫氟酸和/或硝酸。在另一些實施例中，蝕刻製程可包括利用第一蝕刻劑 (例如，二氟甲烷 (例如， CH_2F_2 、 CHF_3) 和/或全氟環丁烷 (C_4F_8)) 進行的乾式蝕刻製程以及緊接著的利用與第一蝕刻劑不同的第二蝕刻劑進行的毯覆式回蝕製程。在一些實施例中，蝕刻製程對底部導電線 104 進行蝕刻以使底部導電線 104 的上表面低於底部介電層 106 的底表面達處於近似 1 埃到 130 埃 (未示出) 的範圍內的距離。

【0042】 在一些實施例中，通過蝕刻製程，底部介電層 106 具有一對相對的側壁 106s1、106s2，所述一對相對的側壁 106s1、106s2 分別包括上覆在彎曲的側壁段 106cs 上的傾斜的側壁段 106ss。舉例來說，乾式蝕刻製程可形成傾斜的側壁段 106ss，且毯覆式回蝕製程可形成彎曲的側壁段 106cs。在一些實施例中，彎曲的側壁段 106cs 是從第一點 704（其中底部介電層 106 的邊緣直接接觸底部導電線 104）到第二點 706（其中第二點 706 低於底部介電層 106 的中點且高於第一點 704 達非零距離）界定。在另一些實施例中，在從第一點 704 到第二點 706 沿彎曲表面的增量段移動的同時，底部介電層 106 的彎曲表面的斜率連續增大。在彎曲表面與底部導電線 104 之間界定的角度 α 可處於約 1 度到 60 度的範圍內。在另一些實施例中，傾斜的側壁段 106ss 從第二點 706 到第三點 708 界定（在底部介電層 106 的頂表面的邊緣處界定）。在一些實施例中，傾斜的側壁段 106ss 是實質上直的且從底部導電線 104 的頂表面到底部介電層 106 的側壁 106s2 具有角度 Φ 。角度 Φ 可例如處於約 30 度到 75 度的範圍內。在另一些實施例中，側壁 106s1 具有傾斜的側壁段 106ss，傾斜的側壁段 106ss 上覆在如上所述配置的彎曲的側壁段 106cs 上。

【0043】 如圖 8 的剖視圖 800 所示，在底部介電層 106 之上形成底部電極層 802。在底部電極層 802 之上形成資料存儲膜 804。在資料存儲膜 804 之上形成頂部電極層 806。在頂部電極層 806 之上形成導電阻障膜 808。在導電阻障膜 808 之上形成頂部介電膜 812。在頂部介電膜 812 之上形成緩衝層 814。在一些實施例中，導電阻障膜 808 是頂部電極層 806 的一部分（以使頂部電極層 806

包括直接上覆在底部層上的頂部層)。實質上直的水平線 820 與底部介電層 106 的頂表面對齊。

【0044】 在一些實施例中，底部電極層 802 可例如為或可包含被形成為厚度處於近似 75 埃到 300 埃的範圍內的銀、銅等。在一些實施例中，資料存儲膜 804 可例如為或可包含被形成為厚度處於近似 20 埃到 100 埃的範圍內的金屬氧化物(例如氧化鉛、氧化鋁、氧化鉬等)。在一些實施例中，頂部電極層 806 可例如為或可包含被形成為厚度處於近似 100 埃到 600 埃的範圍內的銀、鈦、氮化物、銅等。在一些實施例中，導電阻障膜 808 可例如為或可包含被形成為厚度處於近似 25 埃到 250 埃的範圍內的氮化鈦、氮化物、氮化鉬等。在一些實施例中，頂部介電膜 812 可例如為或可包含被形成為厚度處於近似 300 埃到 1500 埃的範圍內的氮化矽、碳化矽等。在又一些實施例中，頂部介電膜 812 可包含與底部介電層 106 相同的材料。在一些實施例中，緩衝層 814 可例如為或可包含被形成為厚度處於近似 1000 埃到 3000 埃的範圍內的氧化物(例如氧化矽)。

【0045】 如圖 9 的剖視圖 900 所示，執行平坦化製程，直到到達底部介電層 106 的頂表面為止，從而界定記憶體單元 116。平坦化製程移除緩衝層 814 並移除底部電極層 802、資料存儲膜 804、頂部電極層 806、導電阻障膜 808 及頂部介電膜 812 的部分，從而分別界定底部電極 108、資料儲存層 110、頂部電極 112、導電阻障層 202 及介電段 902。記憶體單元 116 包括底部電極 108、資料儲存層 110、頂部電極 112 及導電阻障層 202。在一些實施例中，平坦化製程包括沿實質上直的水平線 820 執行化學機械平坦化

(CMP) 製程。在一些實施例中，平坦化製程包括用於非選擇性 CMP 的一種或多種漿料。因此，在一些實施例中，通過例如單個 CMP 製程形成記憶體單元 116 以使頂部電極 112 及底部電極 108 彼此電隔離。另外，在一些實施例中，在執行平坦化製程之後，執行清潔製程（例如，利用氫氟酸進行的濕式清潔製程）。在另一些實施例中，清潔製程可移除在頂部電極 112 及底部電極 108 以及資料儲存層 110 之上延伸的導電材料，從而增大頂部電極 112 與底部電極 108 之間的隔離。在又一些實施例中，分別具有 U 形輪廓的頂部電極 112、資料儲存層 110、底部電極 108 減輕上述層之間的剝離，從而提高記憶體單元 116 的穩定性和/或耐久性。

【0046】 在一些實施例中，在執行平坦化製程和/或清潔製程之後，執行回蝕刻製程（pullback etch process）。在一些實施例中，回蝕刻製程利用乾式蝕刻（例如，包含甲烷（ CH_4 ）和/或氫氣（ H_2 ）蝕刻劑）進行，所述乾式蝕刻被配置成移除頂部電極 112、導電阻障層 202 和/或底部電極 108 的一部分（例如，請參照圖 2B）。在另一些實施例中，回蝕刻製程利用乾式蝕刻（例如，包含四氟化碳（ CF_4 ）蝕刻劑）進行，所述乾式蝕刻被配置成移除數據儲存層 110 的一部分（例如，請參照圖 3A）。在又一些實施例中，回蝕刻製程利用濕式蝕刻（例如，包含鹽酸蝕刻劑）進行，所述濕式蝕刻被配置成移除頂部電極 112、導電阻障層 202 和/或底部電極 108 的一部分（例如，請參照圖 2B）。在其他實施例中，回蝕刻製程利用濕式蝕刻（例如，包含二氫葉酸蝕刻劑（dihydrofolic acid etchant））進行，所述濕式蝕刻被配置成移除數據儲存層 110 的一部分（例如，請參照圖 3A）。

【0047】 如圖 10 的剖視圖 1000 所示，在記憶體單元 116 之上形成頂部介電膜 1002。在一些實施例中，頂部介電膜 1002 可包含與介電段 902 和/或底部介電層 106 相同的材料。在另一些實施例中，頂部介電膜 1002 可例如為或可包含被形成為厚度處於近似 300 埃到 1500 埃的範圍內的極低介電常數介電材料、氧化物（例如氧化矽）等。

【0048】 如圖 11 的剖視圖 1100 所示，在頂部介電膜 1002 之上形成上部層間介電（ILD）結構 120。在一些實施例中，上部 ILD 結構 120 可包含一種或多種介電材料和/或包括一個或多個介電層。在另一些實施例中，上部 ILD 結構 120 可例如為或可包含被形成為厚度處於近似 1250 埃到 2800 埃的範圍內的極低介電常數介電材料、氧化物（例如氧化矽）等。在記憶體單元 116 之上形成導通孔 122，以使導通孔 122 將導電阻障層 202 電耦合到上覆的導電線。在導通孔 122 之上形成上部導電線 124。

【0049】 在一些實施例中，通過單鑲嵌製程形成導通孔 122，且接著通過單鑲嵌製程形成上部導電線 124。在另一些實施例中，單鑲嵌製程包括沉積介電層，將介電層圖案化成具有用於得到單層導電特徵（例如，一層接觸件、通孔或導線）的開口，以及利用導電材料填充開口以形成所述單層導電特徵。在一些實施例中，導通孔 122 及上部導電線 124 可例如為或可包含銅、鋁等。在又一些實施例中，導通孔 122、上部導電線 124、頂部介電膜 1002 及上部 ILD 結構 120 是內連線結構的一部分。

【0050】 圖 12 示出根據一些實施例的形成記憶體元件的方法 1200。儘管方法 1200 被示出和/或闡述為一系列動作或事件，然而

應理解所述方法並非僅限於所示順序或動作。因此，在一些實施例中，這些動作可採用與所示不同的順序來進行，和/或可同時進行。另外，在一些實施例中，所示動作或事件可被細分成多個動作或事件，所述多個動作或事件可在單獨的時間進行或與其他動作或子動作同時進行。在一些實施例中，一些示出的動作或事件可被省略，且還可包括其他未示出的動作或事件。

【0051】 在動作 1202 處，在導電線之上形成底部介電層。圖 6 示出與動作 1202 的一些實施例對應的剖視圖 600。

【0052】 在動作 1204 處，對底部介電層執行移除製程以在底部介電層中界定開口。圖 7 示出與動作 1204 的一些實施例對應的剖視圖 700。

【0053】 在動作 1206 處，在導電線之上以及在開口內形成記憶體層堆疊。記憶體層堆疊包括上覆在底部電極上的頂部電極。圖 8 示出與動作 1206 的一些實施例對應的剖視圖 800。

【0054】 在動作 1208 處，對記憶體層堆疊執行平坦化製程，以使頂部電極的頂表面與底部電極的頂表面對齊，從而界定記憶體單元。圖 9 示出與動作 1208 的一些實施例對應的剖視圖 900。

【0055】 在動作 1210 處，在記憶體單元之上形成內連線結構。圖 10 及圖 11 示出與動作 1210 的一些實施例對應的剖視圖 1000 及 1100。

【0056】 因此，在一些實施例中，本公開關於一種利用平坦化製程（例如，單個 CMP 製程）形成記憶體單元（所述記憶體單元包括上覆在底部電極上的頂部電極）的方法，以使頂部電極的頂表面與底部電極的頂表面對齊。

【0057】 在一些實施例中，本公開關於一種記憶體元件，所述記憶體元件包括：底部電極；資料儲存層，上覆在所述底部電極上，其中所述底部電極托住所述資料儲存層的下側；以及頂部電極，上覆在所述資料儲存層上，其中所述底部電極的頂表面與所述頂部電極的頂表面對齊。

【0058】 在一些實施例中，所述頂部電極的側壁包括上覆在彎曲段上的傾斜段以使所述頂部電極的寬度從所述頂部電極的底表面到所述頂部電極的所述頂表面連續增大。在一些實施例中，所述資料儲存層包括位於所述中心底部電極區之上的導電橋區，且其中所述導電橋區包括導電橋，所述導電橋將所述底部電極耦合到所述頂部電極以實現第一資料狀態。在一些實施例中，所述底部電極沿所述資料儲存層的側壁及所述資料儲存層的底表面連續延伸且直接接觸所述資料儲存層的所述側壁及所述資料儲存層的所述底表面。在一些實施例中，所述頂部電極的所述頂表面及所述底部電極的所述頂表面低於所述資料儲存層的頂表面。在一些實施例中，所述頂部電極的所述頂表面及所述底部電極的所述頂表面高於所述資料儲存層的頂表面。在一些實施例中，所述頂部電極包括上覆在底部層上的上部層以使所述上部層包含第一材料且所述底部層包含第二材料，所述第二材料與所述第一材料不同，且其中所述底部電極包含所述第二材料。在一些實施例中，所述第一材料是氮化鈦且所述第二材料是銀。在一些實施例中，所述記憶體元件更包括：介電段，設置在所述頂部電極之上，其中所述頂部電極托住所述介電段的下側且具有與所述介電段的頂表面對齊的頂表面。

【0059】 在其他實施例中，本公開關於一種可程式設計金屬化單元，所述可程式設計金屬化單元包括：底部介電層，上覆在導電線上；底部電極，設置在所述底部介電層內，其中所述底部電極是 U 形的且接觸所述導電線；資料儲存層，上覆在所述底部電極上，其中所述資料儲存層是 U 形的，以使所述底部電極的上表面沿所述資料儲存層的下表面連續延伸；以及頂部電極，上覆在所述資料儲存層上。

【0060】 在一些實施例中，所述頂部電極是 U 形的且所述資料儲存層的上表面沿所述頂部電極的下表面連續延伸。在一些實施例中，所述底部介電層具有側壁，所述側壁具有上覆在彎曲段上的傾斜段，以使所述底部電極的側壁直接接觸所述傾斜段及所述彎曲段。在一些實施例中，介電段上覆在所述頂部電極上，以使所述頂部電極沿所述介電段的下表面連續延伸且直接接觸所述介電段的所述下表面，所述介電段的頂表面與所述頂部電極的頂表面對齊。在一些實施例中，所述介電段包含與所述底部介電層不同的介電材料。在一些實施例中，所述頂部電極包括氮化鈦層，所述氮化鈦層直接上覆在銀層上。在一些實施例中，所述底部電極的最底部表面凹入成低於所述導電線的最頂部表面。

【0061】 在另一些實施例中，本公開關於一種製造記憶體元件的方法。所述方法包括：在導電線之上形成底部介電層；將所述底部介電層圖案化以在所述導電線上方形成開口，其中所述開口具有彎曲的側壁以使所述開口的寬度從所述底部介電層的底表面到所述底部介電層的頂表面連續增大；在所述導電線之上及所述開口內形成記憶體層堆疊，其中所述記憶體層堆疊包括上覆在底部

電極上的頂部電極；以及對所述記憶體層堆疊執行平坦化製程，以使所述頂部電極的頂表面與所述底部電極的頂表面對齊。

【0062】 在一些實施例中，所述記憶體層堆疊包括中心區，所述中心區上覆在所述開口上且共形地加襯（**lining**）所述開口，以使所述記憶體層堆疊包括外側區，所述外側區上覆在所述底部介電層的頂表面上，其中所述外側區在垂直方向上位於所述中心區上方。在一些實施例中，所述圖案化包括執行蝕刻製程且所述平坦化製程包括執行化學機械平坦化製程。在一些實施例中，所述圖案化移除所述導電線的一部分，以使所述記憶體層堆疊延伸為低於所述底部介電層的底表面。

【0063】 上述內容概述了數個實施例的特徵，以使所屬領域的技術人員可更好地理解本發明的各方面。所屬領域的技術人員應瞭解，其可容易地使用本發明作為設計或修改其他製程及結構以實現與本文中所介紹的實施例相同的目的及/或達成相同的優勢的基礎。所屬領域的技術人員還應意識到這些等效構造並不背離本發明的精神及範圍，且其可在不背離本發明的精神及範圍的情況下在本文中做出各種變化、代替及變動。

【符號說明】

【0064】

100、200a、200b、300a、300b：記憶體元件

102：層間介電（ILD）層

104：底部導電線

106：底部介電層

106s1、106s2：側壁

108：底部電極

108c：中心底部電極區

108cs、110cs、112cs：彎曲段

108p：週邊底部電極區

108ss、110ss、112ss：傾斜段

108sw、110sw、112sw：內側壁

110：資料儲存層

110a：上段

110c、112c、606b：中心區

110p、112p：週邊區

112：頂部電極

114：導電橋區

116：記憶體單元

116a：第一記憶體單元

116b：第二記憶體單元

120：上部層間介電（ILD）結構

122：導通孔

124：上部導電線

202：導電阻障層

202u：上表面

203：水平面

204：頂部介電層

302：填充介電層

- 400：積體電路
- 404：內連線結構
- 406：基底
- 408：淺溝渠隔離（STI）區
- 410、412：存取電晶體
- 414、416：存取閘極電極
- 418、420：存取閘極介電質
- 422：存取側壁間隔件
- 424：源極/汲極區
- 426、428、430：金屬間介電（IMD）層
- 432、434、436：金屬化層
- 438、440、442：金屬線
- 444：接觸件
- 446：通孔
- 450：介電保護層
- 600、700、800、900、1000、1100：剖視圖
- 602：介電膜
- 604：罩幕層
- 606a、606c：外側區
- 702：開口
- 704：第一點
- 706：第二點
- 708：第三點
- 802：底部電極層

804：資料存儲膜

806：頂部電極層

808：導電阻障膜

812、1002：頂部介電膜

814：緩衝層

820：水平線

902：介電段

1200：方法

1202、1204、1206、1208、1210：動作

BL₁：第一位元線

BL₂：第二位元線

d₁、d₂、d₃：距離

W₁：第一寬度

W₂：第二寬度

WL：字元線

α 、 Φ ：角度

【發明申請專利範圍】

【請求項1】 一種記憶體元件，包括：

底部電極，包括中心底部電極區及週邊底部電極區，所述週邊底部電極區從所述中心底部電極區向上延伸；

資料儲存層，上覆在所述底部電極上，其中所述底部電極的上表面托住所述資料儲存層的下側；以及

頂部電極，上覆在所述資料儲存層上，其中所述資料儲存層的上表面托住所述頂部電極的下側且所述資料儲存層將所述頂部電極與所述底部電極隔開，且其中所述底部電極的頂表面與所述頂部電極的頂表面高於所述資料儲存層的頂表面。

【請求項2】 如請求項 1 所述的記憶體元件，其中所述頂部電極的側壁包括上覆在彎曲段上的傾斜段以使所述頂部電極的寬度從所述頂部電極的底表面到所述頂部電極的所述頂表面連續增大。

【請求項3】 如請求項 1 所述的記憶體元件，其中所述頂部電極的所述頂表面及所述底部電極的所述頂表面齊平。

【請求項4】 如請求項 1 所述的記憶體元件，其中所述頂部電極的所述頂表面高於或低於所述底部電極的所述頂表面。

【請求項5】 如請求項 1 所述的記憶體元件，其中所述頂部電極包括上覆在底部層上的上部層以使所述上部層包含第一材料且所述底部層包含第二材料，所述第二材料與所述第一材料不同，且其中所述底部電極包含所述第二材料。

【請求項6】 如請求項 1 所述的記憶體元件，更包括：

介電段，設置在所述頂部電極之上，其中所述頂部電極托住所述介電段的下側且具有與所述介電段的頂表面對齊的頂表面。

【請求項7】 一種可程式設計金屬化單元，包括：

底部介電層，上覆在導電線上；

底部電極，設置在所述底部介電層內，其中所述底部電極是U形的且接觸所述導電線；

資料儲存層，上覆在所述底部電極上，其中所述資料儲存層是U形的，以使所述底部電極的上表面沿所述資料儲存層的下表面連續延伸；以及

頂部電極，上覆在所述資料儲存層上，

其中所述底部電極的最底部表面凹入成低於所述導電線的最頂部表面。

【請求項8】 如請求項7所述的可程式設計金屬化單元，其中所述頂部電極包括氮化鈦層，所述氮化鈦層直接上覆在銀層上。

【請求項9】 如請求項7所述的可程式設計金屬化單元，其中所述底部電極的所述最底部表面凹入成低於所述導電線的所述最頂部表面達一距離，所述距離處於1埃到130埃的範圍內。

【請求項10】 一種製造記憶體元件的方法，包括：

在導電線之上形成底部介電層；

將所述底部介電層圖案化以在所述導電線上方形成開口，其中所述開口具有彎曲的側壁以使所述開口的寬度從所述底部介電層的底表面到所述底部介電層的頂表面連續增大；

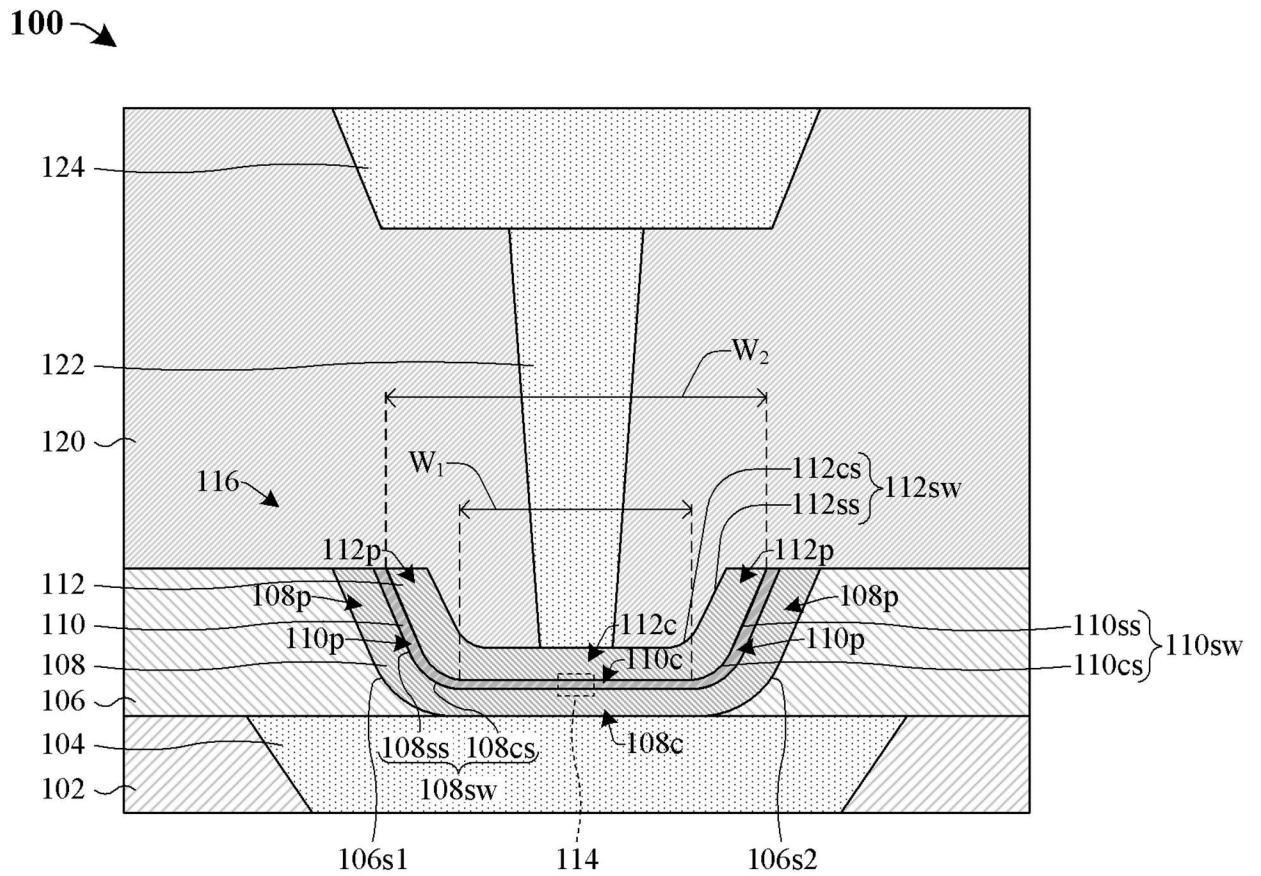
在所述導電線之上及所述開口內形成記憶體層堆疊，其中所述記憶體層堆疊包括上覆在底部電極上的頂部電極以及位於所述頂部電極與所述底部電極之間的資料儲存層；

對所述記憶體層堆疊執行平坦化製程，以使所述頂部電極的

頂表面與所述底部電極的頂表面齊平；以及

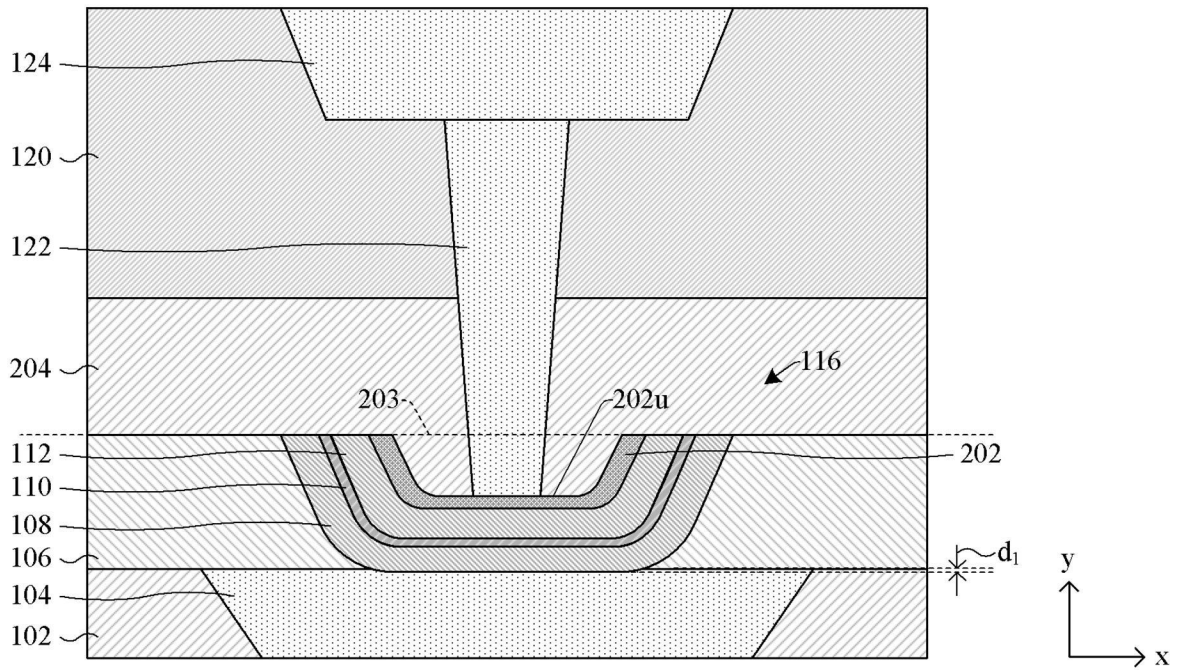
使所述底部電極的頂表面與所述頂部電極的頂表面低於所述資料儲存層的頂表面。

【發明圖式】



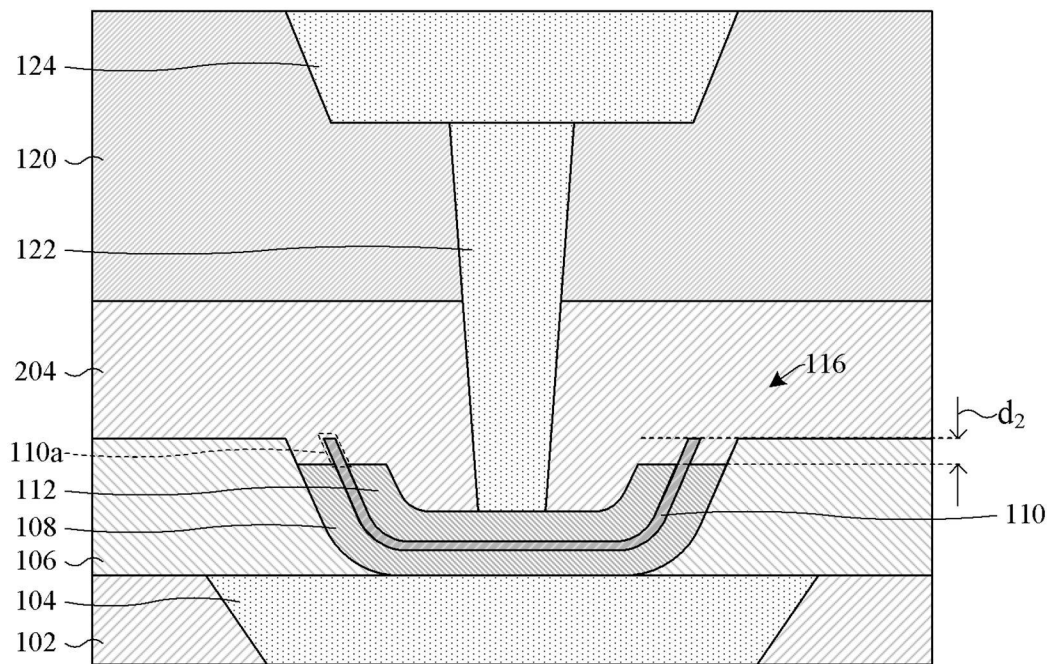
【圖1】

200a



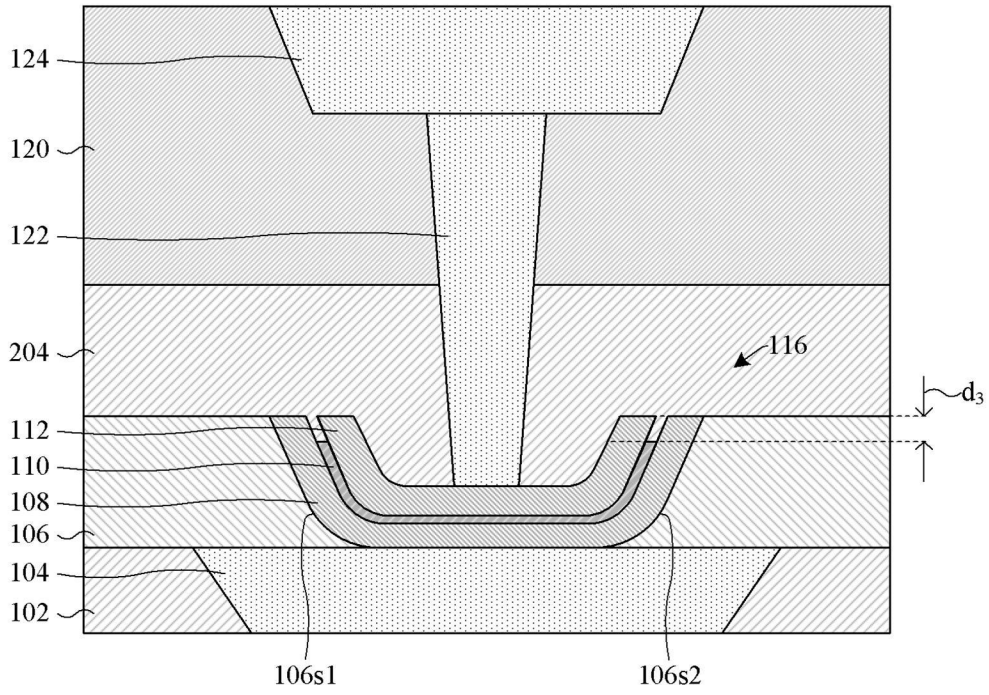
【圖2A】

200b



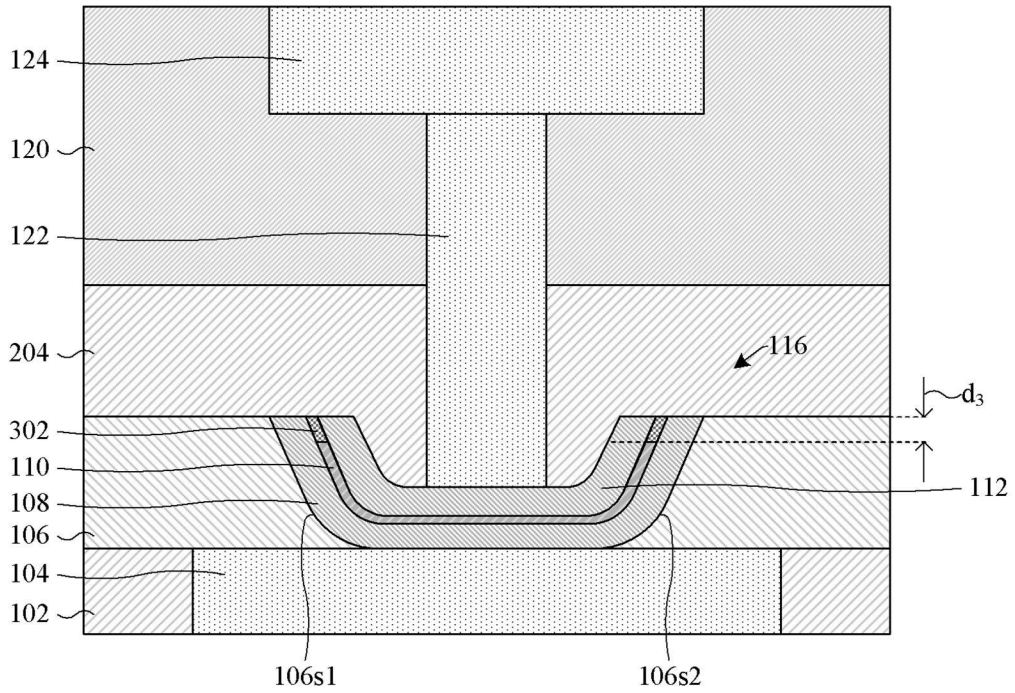
【圖2B】

300a →

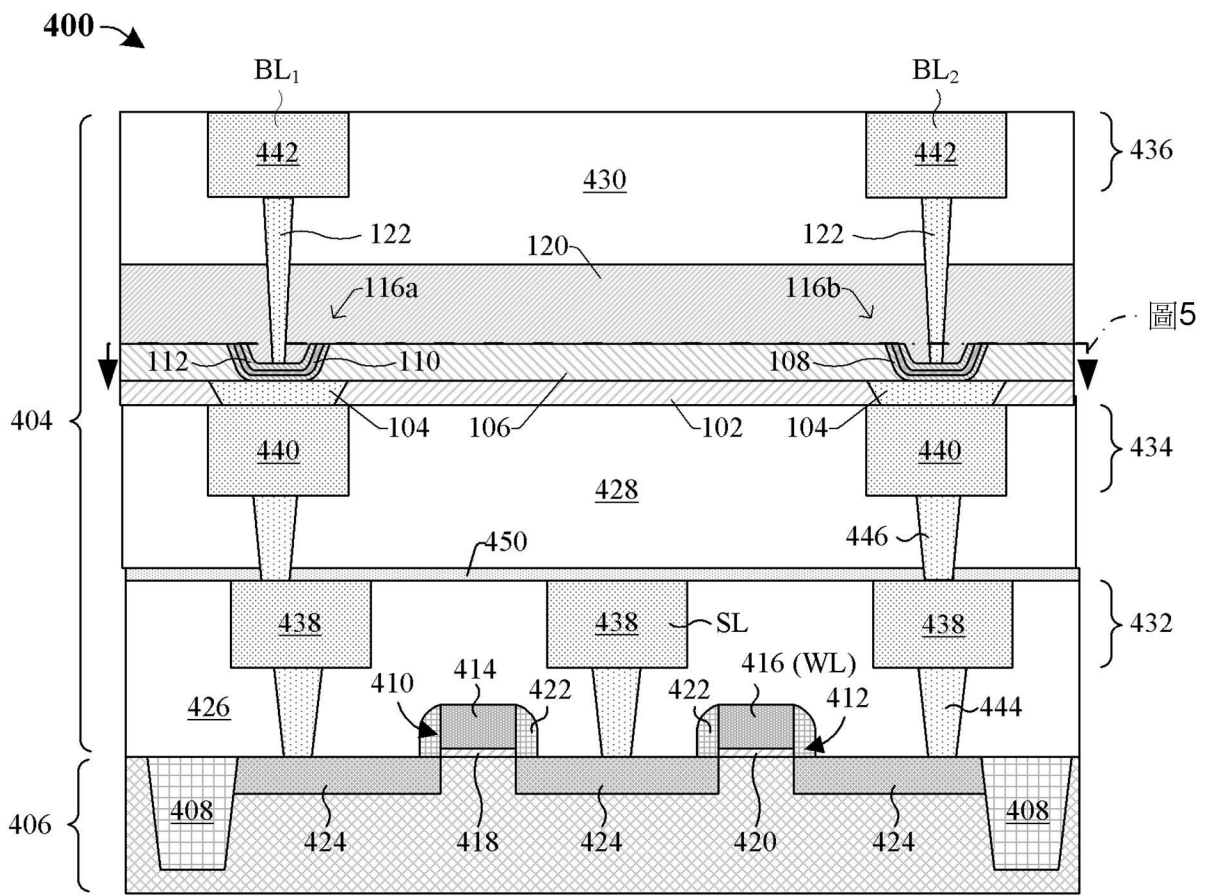


【圖3A】

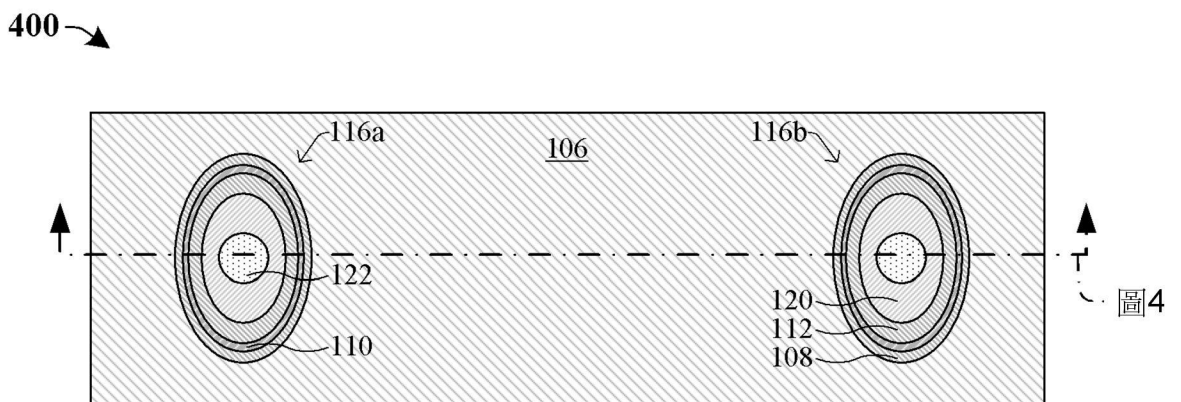
300b →



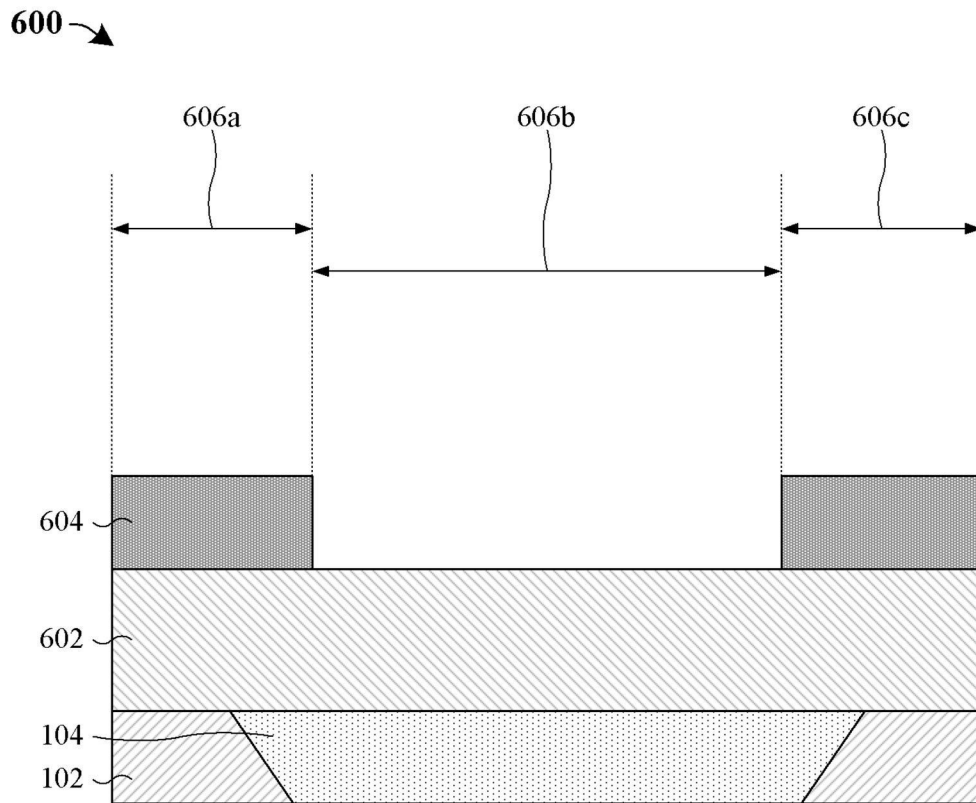
【圖3B】



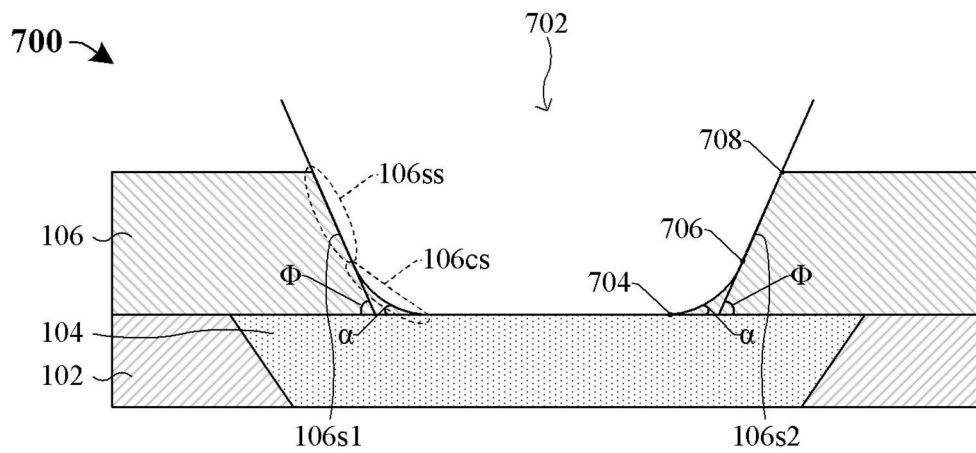
【圖4】



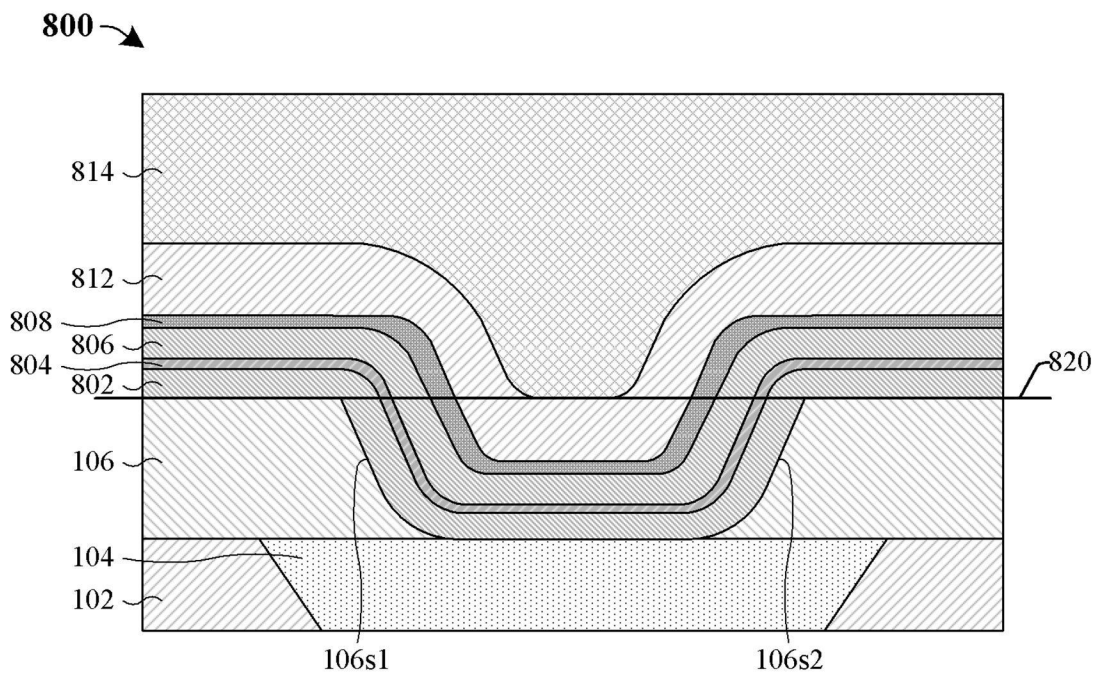
【圖5】



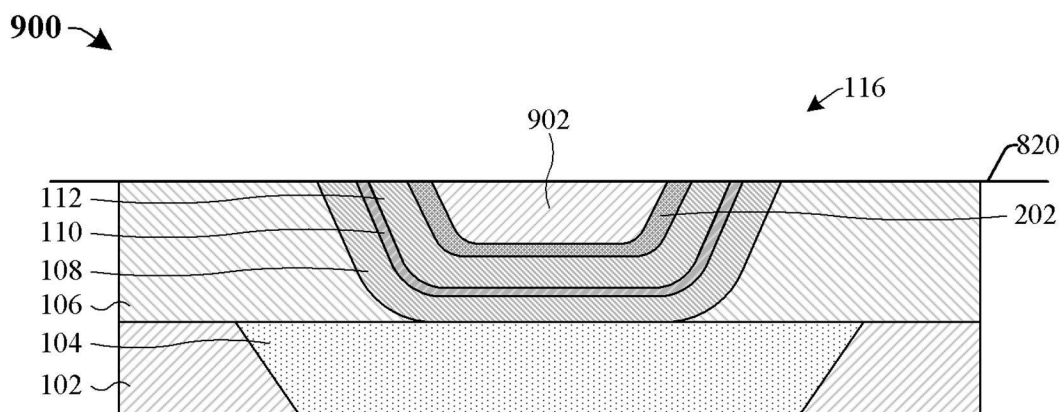
【圖6】



【圖7】

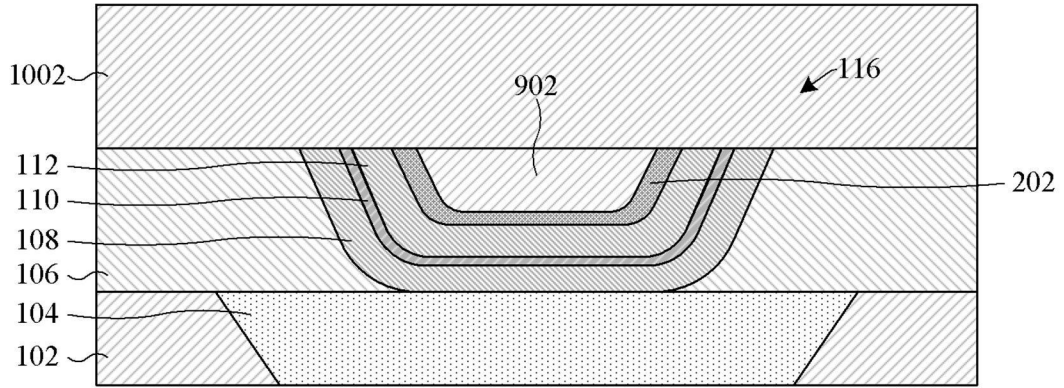


【圖8】



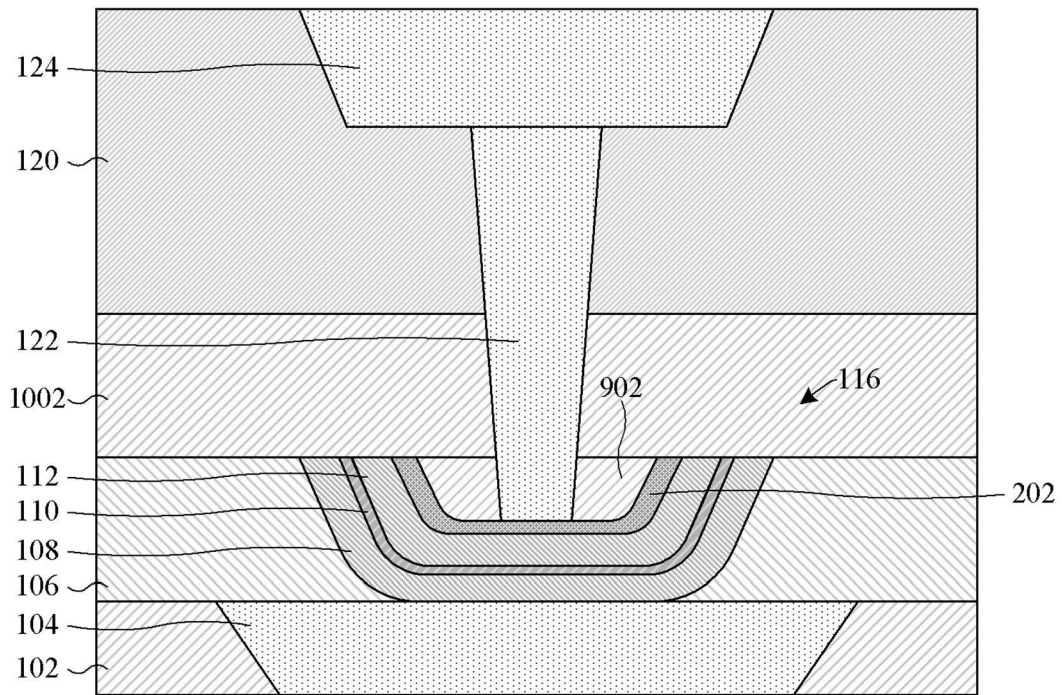
【圖9】

1000 →



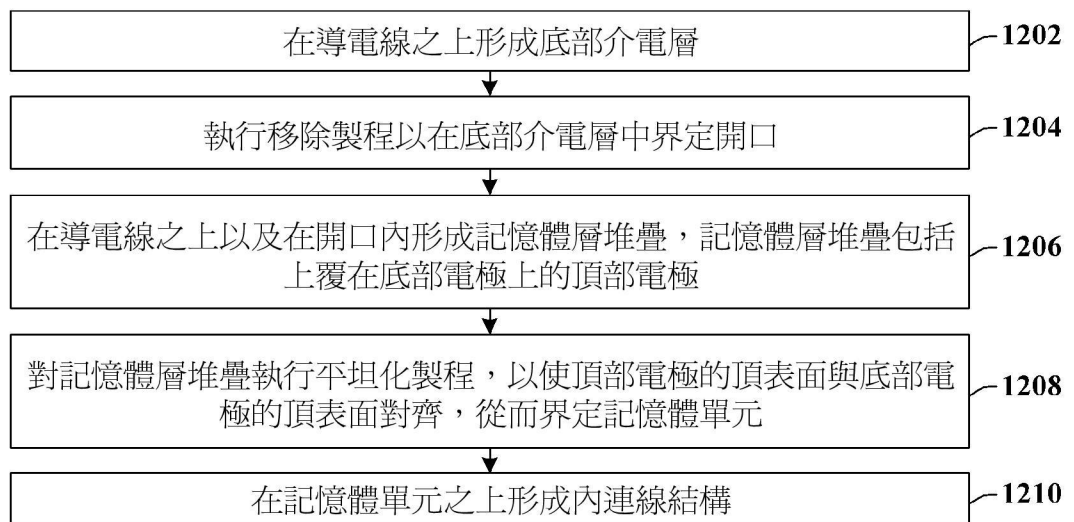
【圖10】

1100 →



【圖11】

1200 →



【圖12】