[19]中华人民共和国国家知识产权局

[51]Int.Cl[6]
H01L 27/108
G11C 11/409
G11C 11/24

[12]发明专利说明书

[21] ZL 专利号 96100422.3

[45]授权公告日 1999 年 10 月 6 日

[11]授权公告号 CN 1045502C

[22]申请日 96.1.11 [24]颁证日 99.7.16
[21]申请号 96100422.3
[30]优先权
[32]95.1.12 [33]JP [31]003248/95
[73]专利权人 三菱电机株式会社
地址 日本东京
[72]发明人 筑出正树 有本和民
[56]参考文献
US5,337,270 1994.8.9 G11C11/24
审查员 赵百令

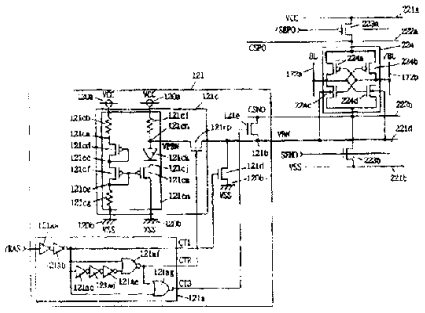
[74]专利代理机构 中国国际贸易促进委员会专利商标事务所
代理人 冯赛宣

权利要求书 11 页 说明书 49 页 附图页数 21 页

[54]发明名称 读出放大器电路和半导体存储器件

[57]摘要

在读出操作启动之前，将 n 沟道读出放大器晶体管(224c,224d)的背栅极电位设置到大于操作电源电位和地电位之间的中间电位的背栅极预充电电位，然后在读出操作期间，背栅极电位随着 n 型公共源极节点电位(CSN)的下降而下降。n 型公共源极节点(221b)预充电到该中间电位。设置背栅极预充电电位，使其不大于中间电位加上一个 pn 结扩散电位之和的电位，从而抑制了自每个读出放大器晶体管的背栅极至源极或漏极的漏电流。



ISSN1008-4274

权 利 要 求 书

1.一种读出放大器电路，用于差分放大第一位线（ 172a ）和与所说第一位线配对的第二位线（ 172b ）上的电位，所说第一和第二位线在一个中间电位上预充电，中间电位在一个第一电源电位和一个与所说第一电源电位不同的第二电源电位之间，其特征在于，所说读出放大器包括:

一个第一读出允许晶体管(223a,223b),它耦合在接收所说第一电源电位的一个第一电源节点（ 221a,221b ）和预充电到所说中间电位的一个第一节点（ 222a,222b ）之间，并且响应变为有效的第一读出放大器允许信号（/SEPr;SENr ），电耦合所说第一电源节点和所说第一节点;

一个第一读出晶体管（ 224a;224c ），它连接在所说第一节点和所说第一位线之间，并且具有耦合到所说第二位线的一个栅极（ 224ac;224cc;224ah;224ch ），并且具有接收第一背栅极电位（ VBP； VBN ）的一个背栅极（ 303a;303c;224af;224cf ），第一背栅极电位（ VBP； VBN ）在所说第一读出放大器允许信号激励之前预充电到第一预充电电位（ VPRP； VPRN ）并且在所说第一读出放大器允许信号激励期间随所说第一节点上的电位而变化，在所说第一预充电电位和所说第一电源电位之间的差的绝对值大于所说中间电位和所说第一电源电位之间的差；以及

一个第二读出晶体管（ 224b;224d ），它连接在所说第一节点和所说第二位线之间，并且具有耦合到所说第一位线的一个栅

极（ 224bc;224dc;224bh;224dh ）和接收所说第一背栅极电位的一个背栅极（ 304a;303a;224bf;224df ）。

2.如权利要求 1 的读出放大器电路，其特征在于，每个所说第一和第二读出晶体管（ 224a,224b,224c,224d ）都包括：一个第一电导型的第一杂质区（ 224aa;224ca;224ae;224ce ），它电连接到第一和第二位线（ 172a,172b ）的一个相应的位线上；一个与所说第一杂质区隔开的所说第一电导型的第二杂质区（ 224ab;224cb;224ag;224cg ），它电连接到所说第一节点；一个与所说第一电导型不同的第二电导型的主体区（ 304a;303a;224af;224bf;224cf;224df ），用作所说背栅极；并且其中在所说第一预充电电位（ VPRP； VPRN ）和所说中间电位之间的差的绝对值不大于在所说第一、第二杂质区和所说主体区之间的一个结上的 pn 结扩散电位（Φ）。

3.如权利要求 2 的读出放大器电路，其特征在于，所说第一和第二位线（ 172a,172b ）之一的电位改变了一个读出电压（ΔV ），该读出电压（ΔV ）是在所说背栅极预充电到所说第一预充电电位期间由读出存储单元数据引起的；并且其中，将所说第一预充电电位（ VPRP； VPRN ）的电平设置成能使所说差的绝对值大于零并且不大于所说 pn 结扩散电位减去所说读出电压的一个数值。

4.如权利要求 1 的读出放大器电路，其特征在于，所说第一和第二读出晶体管(224a;224b)中的每一个都包括一个 p 沟道绝缘栅型晶体管，并且所说第一电源电位就是所说读出放大器电路的操作电源电位，并且所说第二电源电位就是所说读出放大器电路的

地电位。

5.如权利要求 1 的读出放大器电路，其特征在于，所说第一和第二读出晶体管(224c;224d)中的每一个都包括一个 n 沟道绝缘栅型晶体管，并且所说第一电源电位就是所说读出放大器电路的地电位，所说第二电源电位就是所说读出放大器电路的操作电源电位。

6.如权利要求 5 的读出放大器电路，其特征在于，所说第一预充电电位（ VPRN ）是所说读出放大器电路的操作电源电位。

7. 如权利要求 4 的读出放大器电路，其特征在于，所说第一预充电电位（ VPRN ）是所说读出放大器的地电位。

8.如权利要求 1 的读出放大器电路，其特征在于，所说第一和第二读出晶体管(224a;224b;224c;224d)是在一个具有绝缘层(312)的 SOI 基片上形成的，该绝缘层（ 312 ）是在一个半导体区（ 311 ）上形成的。

9.如权利要求 1 的读出放大器电路，其特征在于，它进一步包括:

一个第二读出允许晶体管（ 223b;223a ），它耦合在一个第二电源节点（ 221b;221a ）和一个第二节点（ 222b;222a ）之间，第二电源节点（ 221b;221a ）接收所说第二电源电位，第二节点（ 222b;222a ）预充电到所说中间电位并且响应变为有效的第二读出放大器允许信号（ SENr; /SEPr ），电耦合所说第二电源节点和所说第二节点;

一个第三读出晶体管（ 224c;224a ），它连接在所说第二节点和所说第一位线之间，并且具有耦合到所说第二位线的一个栅

极（ 224cc;224ac;224ch;223ah ）并且具有接收第二背栅极电位（ VBN； VBP ）的一个背栅极（ 303c;303a;224af;224af ），第二背栅极电位（ VBN； VBP ）在所说第二读出放大器允许信号激励以前预充电到第一预充电电位（ VPRN： VPRP ），并且在所说第二读出放大器允许信号激励期间与所说第二节点上的电位一起变化，所说第二预充电电位和所说第二电源电位之间的差的绝对值大于所说中间电位和所说第二电源电位之间的差的绝对值；以及

一个第四读出晶体管（ 224d,224a ），它连在所说第二节点和所说第二位线之间，并且具有耦合到所说第一位线的一个栅极（ 224dc;224bc;224dh;224bh)和接收所说第二背栅极电位的一个第二背栅极（ 303a;304a;224df;224cf ）。

10.如权利要求 9 的读出放大器电路，其特征在于，所说第三和第四读出晶体管(224c;224d;224a;224b)中的每一个都包括：第二电导型的一个第三杂质区（ 224ca;224aa;224ce;224ae ），它电连接到第一和第二位线（ 172a,172b ）中的一个相应的位线；与所说第三杂质区隔开的所说第二电导型的一个第四杂质区（ 224cb;224ab;224cg;224ag ），它电连接到所说第二节点；以及一个与所说第一电导型不同的第一电导型的第二主体区（ 303a,304a;224cf;224df;224af;224bf ），用作所说第二背栅极，并且其中在所说第二预充电电位（ VPRN： VPRP ）的所说中间电位之间的差的绝对值不大于在所说第三、第四杂质区和所说第二主体区之间的一个结上的 pn 结扩散电位（Φ ）。

11.如权利要求 10 的读出放大器电路，其特征在于，所说第

一和第二位线(172a,172b)中的一个位线的电位改变了一个读出电压（ΔV），该读出电压（ΔV）是在所说背栅极预充电到所说第二预充电电位期间由读出存储单元数据引起的；并且其中将所说第二预充电电位（VPRP；VPRN）的电平设置成能使所说的差的绝对值大于零并且不大于所说 pn 结扩散电位减去所说读出电压的一个数值。

12.如权利要求 9 的读出放大器电路，其特征在于，所说第三和第四读出晶体管(224;224)中的每一个都包括一个 p 沟道绝缘栅型晶体管，所说第二电源电位是所说读出放大器电路的操作电源电位，所说第一电源电位是所说读出放大器电路的地电位。

13.如权利要求 9 的读出放大器电路，其特征在于，所说第三和第四读出晶体管(224c;224d)中的每一个都包括一个 n 沟道绝缘栅型晶体管，所说第二电源电位是所说读出放大器电路的地电位，所说第一电源电位是所说读出放大器电路的操作电源电位。

14.如权利要求 13 的读出放大器电路，其特征在于，所说第二预充电电位(VPRN)是所说读出放大器的操作电源电位。

15.如权利要求 12 的读出放大器电路，其特征在于，所说第二预充电电位(VPRP)是所说读出放大器电路的地电位。

16.如权利要求 9 的读出放大器电路，其特征在于，所说第三和第四读出晶体管(224c;224d;224a,224b)是在具有绝缘层(312)的一个 SOI 基片上形成的，该绝缘层（312）是在一个半导体区（311）上形成的。

17.一种半导体存储器件，包括：

一个第一和第二位线（172a,172b），每个位线都连接预定数目

的存储单元（ 173 ）；其特征在于，它还包括：

一个读出放大器（ 224 ），包括：一个第一读出晶体管（ 224a;224c ），它连接在一个第一节点（ 222a ）和所说第一位线之间，并且具有一个耦合到所说第二位线和第一背栅极的控制极；以及，一个第二读出晶体管（ 224b;224d ），它连接在所说第一节点和所说第二位线之间，并且具有一个耦合到所说第一位线和第二背栅极的控制栅极，所说第一和第二背栅极连接到一个第一背栅极节点，用于差分放大所说第一和第二位线上的电位；

一个第一读出允许晶体管（ 223a;223b ），它耦合在第一电源节点（ 221； 221b ）和所说第一节点之间，并且响应变为有效的第一读出放大器允许信号，电连接所说第一电源节点和所说第一节点；

预充电电路（ 174 ），它耦合到所说第一节点，响应变为有效的预充电指令信号使所说第一节点在一个中间电位上预充电，该中间电位在所说第一电源电位和与所说第一电源电位不同的第二电源电位之间；

第一背栅极电位产生器（ 122dn;121cn ），它以所说第一和第二电源电位操作，产生一个第一背栅极预充电电位（ VPRP；VPRN ），使其电平在所说中间电位和所说第二电位之间；

第一装置（ 112p;121cp ），它耦合在所说第一背栅极电位产生器和所说第一背栅极节点之间，响应变为有效的第一控制信号（ CT2 ）向所说第一背栅极节点传送所说第一背栅极预充电电位；

第二装置（ 122f;121e ），它耦合在所说第一节点和所说第

一背栅极之间，响应变为有效的第二控制信号（ CT3 ），电连接所说第一节点和所说第一背栅极节点；以及

控制器（ 121a ），用于接收存储循环启动指令信号，并且响应所说存储循环启动指令信号的激励，用于激励在所说第一读出放大器允许信号激励之前要加到所说第一装置的所说第一控制信号，并且用于激励在所说第一读出放大器允许信号激励期间的所说第二控制信号，所说预充电指令信号响应所说存储循环启动指令信号的激励而去激励，并且所说第一读出放大器允许信号响应所说存储循环启动指令信号的激励而被激励。

18.如权利要求 17 的半导体存储器件，其特征在于，所说控制器（ 121a ）包括:

第一延迟装置（ 121aa,121ab ），用于接收所说存储循环启动指令信号（/RAS ），将所说存储循环启动指令信号延迟一个第一预定的时间，以产生第三控制信号（ CT1 ）；

一个第一门装置（ 121ac-121ae,121af ），用于接收所说第三控制信号，响应所说第三控制信号的去激励激励所说第一控制信号（ CT2 ）一个第二预定的时间；以及

一个第二门装置（ 121ag ），用于接收所说第一和第三控制信号，响应所说第一和第三控制信号这两个信号的去激励来激励所说第二控制信号。

19.如权利要求 17 的半导体存储器件,其特征在于,它进一步包括:

一个第三装置（ 122e;121d ），它耦合在所说第一电源节点（ 120a;120b ）和所说第一背栅极节点（ 221e;221d ）之间，并

且响应变为有效的所说第三控制信号（ CT1 ），电连接所说第一电源节点和所说第一背栅极节点。

20.如权利要求 18 的半导体存储器件,其特征在于,所说第一和第二读出晶体管（ 224a,224b;224c,224b ）中的第一个都包括:第一电导型的一个第一杂质区（ 224aa;224ca;224ae;224ce ），它电连接到第一和第二位线（ 172a,172b ）中的相应的一个位线上;与所说第一杂质区隔开的所说第一电导型的一个第二杂质区（ 224ab;224cb;224ag;224cg ），它电连接到的所说第一节点上,以及与所说第一电导型不同的第二电导型的一个主体区,（ 304a,303a;224af;224bf;224cf;224df ），它用作所说背栅极，并且其中：在所说第一背栅极电位（ VPRP； VPRN ）和所说中间电位之间的差的绝对值不大于在所说第一、第二杂质区和所说主体区之间的一个结上的 pn 结扩散电位（Φ ）。

21.如权利要求 20 的半导体存储器件，其特征在于，所说第一和第二位线(172a,172b)中的一个位线的电位改变了一个读出电压（ΔV ），这一改变是在所说第一控制信号（ CT2 ）激励之前由于读出存储单元数据而引起的，并且其中设定所说第一背栅极预充电电位（ VPRP； VPRN ）的电平，使所说差的绝对值不大于零并且不大于所说 pn 结扩散电位减去所说读出电压的一个数值。

22.如权利要求 17 的半导体存储器件,其特征在于,所说第一和第二读出晶体管(224a;224b)中的每一个都包括一个 p 沟道绝缘栅型晶体管，所说第一电源电位是一个操作电源电位，所说第二电源电位是地电位，并且所说第一背栅极预充电电位（ VPRP ）

是地电位。

23.如权利要求 17 的半导体存储器件,其特征在于,所说第一和第二读出晶体管(224c;224d)中的每一个都包括一个 n 沟道绝缘栅型晶体管，所说第一电源电位是地电位，所说第二电源电位是操作电源电位，并且所说第一背栅极预充电电位（ VPRN ）是操作电源电位。

24.如权利要求 17 的半导体存储器件,其特征在于,所说第一和第二读出晶体管(224a;224b,224c,224d)是在具有绝缘层(312)的一个 SOI 基片上形成的，该绝缘层（ 312 ）是在一个半导体区（ 311 ）上形成的。

25.如权利要求 17 的半导体存储器件,其特征在于,所说读出放大器(224)进一步还包括：一个第三读出晶体管(224c;224a)，它耦合在一个第二节点（ 222b;222a ）和所说第一位线（ 172a ）之间，并且具有耦合到所说第二位线（ 172b ）和一个第三背栅极的一个控制栅极；以及一个第四读出晶体管（ 224d,224b ），它耦合在所说第二节点和所说第二位线之间，并具有耦合到所说第一位线和一个第四背栅极之间的控制栅极，所说第三和第四背栅极连接到一个第二背栅极节点（ 221d;221a ）；并且

所说预充电电路（ 174 ）包括耦合到所说第二节点的装置，以便响应变为有效的预充电指令信号将所说第二节点预充电到所说中间电位，并且其中所说半导体存储器件进一步还包括:

第二背栅极电位产生器（ 122cn;121dn ），用所说第一和第二电源电位操作，用于产生其电平在所说中间电平和所说第一电源电位之间的第二背栅极预充电电位（ VPRN； VPRP ）:

一个第一连接装置（ 121cp,122dp ），它耦合在所说第一背栅极电位产生器和所说第二背栅极节点之间，响应变为有效的所说第一控制信号（ CT2 ）向所说第二背栅极节点传送所说第二背栅极预充电电位;

一个第二连接装置（ 121e;122f ），它耦合在所说第二节点和所说第二背栅极节点之间，响应所说变为有效的第二控制信号（ CT3 ）电连接所说第一节点和所说第二背栅极节点;

一个第二读出允许晶体管，耦合在接收所说第二电源电位的第二电源节点（ 221b;221a ）之间并响应第二读出允许信号用于耦合所说第二节点到所说第二电源节点。

26.如权利要求 25 的半导体存储器件,其特征在于,它进一步包括:

耦合在所说第二电源节点（ 120b;120a ）和所说第二背栅极节点（ 221d;221c ）之间，响应所说存储循环启动指令信号的去激励，电连接所说第二电源节点和所说第二背栅极节点。

27.如权利要求 25 的半导体存储器件，其特征在于，所说第三和第四读出晶体管(224c,224d;224a,224b)中的每一个都包括: 一个第二电导型的第三杂质区（ 224ca;224aa;224ca;224ae ），它电连接到第一和第二位线（ 172a;172b ）中的一个相应的位线上;一个与所说第三杂质区隔开的所说第二电导型的第四杂质区（ 224cb;224ab;224cg;224ag ），它电连接到所说第二节点; 以及,一个与所说第二电导型不同的第一电导型的第二主体区（ 303a;304a;224cf;224df;224af;224bf ），用作所说第三或第四背栅极，并且其中的所说第二预充电电位（ VPRN； VPRP ）和所

说中间电位之间的差的绝对值不大于在所说第三、第四杂质区和所说第二主体区之间的一个结上的 pn 结扩散电位（Φ）。

28.如权利要求 27 的半导体存储器件，其特征在于，所说第一和第二位线(172a,172b)中的每一个位线的电位变化了一个读出电压（ΔV），这个电压变化是由读出存储单元数据引起的，并且将第二预充电电位（ VPRP； RPRN ）的电平设置成能够使所说差的绝对值大于零并且不大于所说 pn 结扩散电位减去所说读出电压的一个数值。

29.如权利要求 25 的半导体存储器件，其特征在于，所说第三和第四读出晶体管(224a,224b)中的每一个都包括一个 p 沟道绝缘栅型晶体管，所说第二电源电位是操作电源电位，所说第一电源电位和所说第二背栅极预充电电位都是地电位。

30.如权利要求 25 的半导体存储器件，其特征在于，所说第三和第四读出晶体管(224c,224d)中的每一个都包括一个 n 沟道绝缘栅型晶体管，所说第一电源电位和所说第二背栅极预充电电位都是操作电源电位，所说第二电源电位是地电位。

31.如权利要求 25 的半导体存储器件，其特征在于，所说第三和第四读出晶体管(224c,224d;224a,224b)是在具有绝缘层(312)的一个 SOI 基片上形成的，绝缘层（ 312 ）是在一个半导体区（ 311 ）上形成的.

说　明　书

读出放大器电路和半导体存储器件

本发明涉及读出和放大存储单元数据电位的读出放大器，具体来说涉及动态随机存取存储器中由绝缘栅型场效应晶体管构成的差分读出放大器。

个人计算机和工作站一般都包括一个用于数据存储的存储器。有一种大容量的 *DRAM*（动态随机存取存储器），它本身具有可读并且可写数据的存储器，*DRAM* 可用作个人计算机、工作站等的主存储器。

图 1 表示一种常规 *DRAM* 中的读出放大器的结构和它的外围电路，例如由日本专利公开 *No.* 2—231760 所公开的结构和电路。

现在参照图 1，读出放大器 5 在电源节点 1*a* 接收工作电源电位 *Vcc*，并在地接点 1*b* 接收地电位 *Vss*，以此作为电源电位；读出放大器 5 响应读出放大器允许信号 *SEN* 和 *SEP* 读出并放大位线 2*a* 和 2*b* 上的电位差。

读出放大器 5 包括一个 *p* 沟道 *MOS*（绝缘栅型场效应）晶体管 5*a*、*pMOS* 读出放大器 5*c*、*n* 沟道 *MOS* 晶体管 5*f*、和 *NMOS* 读出放大器 5*d*；晶体管 5*a* 连在电源节点 1*a* 和一个节点 5*b* 之间，并在栅极接收该读出放大器的允许信号 *SEP*；放大器 5*c* 使位线 2*a* 和 2*b* 的较高电位的位线电位变为电源电位 *Vcc*；晶体管 5*f* 连在地节

点 1b 和一个节点 5e 之间并接收读出放大器允许信号 *SEN*；放大器 5d 使位线 2a 和 2b 的较低电位的位线电位变为地电位 *Vss*。

pMOS 读出放大器 5c 包括 *p* 沟道 *MOS* 晶体管 5ca 和 *p* 沟道 *MOS* 晶体管 5cb；晶体管 5ca 连在节点 5b 和 2a 之间，并且具有连到位线 2b 的栅极；晶体管 5cb 连在节点 5b 和位线 2b 之间，并且具有连到位线 2a 的栅极。

NMOS 读出放大器 5d 括 *n* 沟道 *MOS* 晶体管 5da 和 *n* 沟道 *MOS* 晶体管 5db；晶体管 5da 连在节点 5e 和位线 2a 之间并且具有连到位线 2b 的栅极；晶体管 5db 连在节点 5e 和位线 2b 之间并且具有连到位 2a 的栅极。*NMOS* 晶体管 5da 和 5db 是在一个与任何其它电路区隔开的阱区内形成的，并且从一个势阱控制电路 6 为晶体管 5da 和 5db 提供一个阱电位 *VSB*。

势阱控制电路 6 包括电流镜型差分放大器 6a 和控制电路 6b；放大器 6a 响应于控制信号/*ΦSTR*，放大基准电压 *Vref* 和节点 5e 的电位 *Va* 之间的差，输出表示放大结果的信号；控制电路 6b 响应控制信号 *ΦSTR* 和来自放大器 6a 的信号，产生阱电位 *VSB*。

差分放大器 6a 包括：*p* 沟道 *MOS* 晶体管 6aa，晶体管 6aa 连在电源节点 1a 和一个节点 6ab 之间，在栅极接收控制信号 1*ΦSTR*；*p* 沟道 *MOS* 晶体管 6ac，它连在节点 6ad 和节点 6ab 之间，并具有连到节点 6ad 的栅极；*p* 沟道 *MOS* 晶体管 6af，它连在节点 6ab 和节点 6ag 之间，并且具有连到节点 6ag 的栅极；*n* 沟道 *MOS* 晶体管 6ae，它连在节点 6ad 和地节点 1b 之间，接收基准电位 *Vref*；以及 *n* 沟道 *MOS* 晶体管 6ah，它连在节点 6ag 和地节点 1b 之间，并且具有在节点 5e 接收电位的栅极。

晶体管 6ac 攻 6af 构成一个电流镜电路，向对应的晶体管 6ae 和 6ah 提供电流，而晶体管 6ae 和 6ah 又构成一个比较级。

控制电路 6b 包括：n 沟道 MOS 晶体管 6ba，它连在接收中间电位 Vcc/2 的一个节点和节点 6bc 之间，并且具有接收控制信号 ΦSTR 的栅极；p 沟道 MOS 晶体管 6bd，它连在节点 6bc 和地节点 1b 之间，并且具有在放大器 6a 的节点 6ag 接收输出信号的栅极；以及电容器 6be，它连在节点 6bc 和地节点 1b 之间。在节点 6bc 产生阱电位 VSB。

当启动一个存储循环时，使控制信号 ΦSTR 为高，直到使读出放大器允许信号 SEN 有效(高)时为止。当启动一个存储循环时，使控制信号/ΦSTR 为低，直到使读出放大器允许信号 SEP 有效(低)时为止。

将字线 3a 和 3b 分别安排成和位线 2a 和 2b 交叉。每个字线 3a 和 3b 将存储单元连成一排，每个位线 2a 和 2b 将存储单元连成一列(在一种"开路位线结构"中)。

虽然把存储单元安排成一个由行和列组成的矩阵，但在图 1 中只是有代表性地表示出两个存储单元 4a 和 4b。存储单元 4a 位于字线 3b 和位线 2a 的交叉点上，并且包括电容器 4aa，用于以电荷形式存储信息，存储单元 4a 还包括一个 n 沟道 MOS 晶体管 4ab，它响应位线 WLO 上的电位将电容器 4aa 连到位线 2a 上。电容器 4aa 在一个电极上(单元板)接收中间 电位 Vcc/2 的预充电电位 Vp，MOS 晶体管 4ab 在一个主体电极(bulk)(背栅极)上接收一个预定的、恒定的、背栅极偏置负电位 VBB。

存储单元 4b 类似地包括电容器 4ba 和 n 沟道 MOS 晶体管

4bb。预充电电位 Vp 也加到电容器 4aa 的单元板，背栅极偏置电位 VBB 加到 MOS 晶体管 4bb 的背栅极。背栅极偏置电位 VBB 还要加到读出放大器 6 的 MOS 晶体管 5f 的背栅极。

现在，参照图 2 的波形图描述图 1 所示电路的操作，图 2 表示读出存储在存储单元 4a 中的一个低电平("L"电平)数据的操作。

在如图 2 中的(a)所示确定一个存储循环的行地址选通信号 RAS 升到高电平(H 电平)的时刻 t0，图 2 中分别由(b)和(c)表示的读出放大器 SEP 和 SEN 分别为高电平和低电平。在各自的栅极接收相应允许信号 SEP 和 SEN 的 p 沟道 MOS 晶体管 5a 和沟道 MOS 晶体管 5f 全都不导通，因此不会给 pMOS 读出放大器 5c 和 NMOS 读出放大器 5d 提供电源电位 Vcc 和地电位 Vss，读出放大器 5 不工作。

在字线 3a 和 3b 上的电位 WL0 和 WL1 如图 2 的(e)和(f)所示全都为低电平，存储单元 4a 和 4b 中的 MOS 晶体管 4ab 和 4bb 全都保持不导通，因此将数据保持在存储单元 4a 和 4b 中。

借助于未曾表示出来的位线预充电电路，将图 2 中的(g)所示的位线 2a 和 2b 上的电位 BL 和/BL 预充电至预充电电位 Vcc/2。通过未示出的预充电电路将图 2 中的(i)所示的节点 5e 的电位 Va 设置在位线预充电电位，MOS 晶体管 5da 和 5db 全都变为截止。

分别依照行地址选通信号 RAS、读出放大器 SEP 和 SEN，使控制信号/ΦSTR 和 ΦSTR 分别为高电平和低电平，如图 2 中的(d)所示。在栅极接收控制信号/ΦSTR 的 p 沟道 MOS 晶体管 6aa 处在不导通状态，差分放大器 6aa 因为没有加上电源电位 Vcc 而保持在不工作状态。在栅极接收控制信号 ΦSTR 的 n 沟道 MOS 晶

体管 6*ba* 也处在不导通状态，使控制电路 6*b* 不工作，并且在节点 6*bc* 产生的阱电位 *VSB* 保持着在图 2 中的(*b*)所示的前一有效循环中获得的地电位 *Vss*。

当行地址选通信号 *RAS* 升到高电平，如图(2)中的时刻 *t*0 所示，则等待循环完成，并且启动存储循环(有效循环)。与此相应地，控制信号/*ΦSTR* 和 *ΦSTR* 分别变低和变高，如图 2 中的(*d*)所示，从而激励了势阱控制电路 6 中的差分放大器 6*a* 和 6*b*。

读出放大器 5 的节点 5*e* 的电位 *Va* 这时大于基准电压 *Vref*，*MOS* 晶体管 6*ah* 的 电导大于 *MOS* 晶体管 6*ae* 的电导，所以节点 6*ag* 通过 *MOS* 晶体管 6*ah* 放电到地节点 1*b* 的电位，使节 点 6*ag* 的信号电位变低，从而使控制电路 6*b* 中的 *MOS* 晶体管 6*bd* 截止 。*MOS* 晶体管 6*ba* 响应控制信号 *ΦSTR* 的上升而导电，使节点 6*bc* 充电到中间电位 *Vcc*/2。于是，由节点 6*bc* 产生的阱电位 *VSB* 以预定的时间常数上升 ，如图 2 中的(*b*)所示。

通过未示出的译码器对在行地址选通信号 *RAS* 的上升沿加入的行地址信号译码。由行地址信号规定的字线 3*a* 的电位 *WL*0 在时刻 *t*1 上升到高电平，如图 2 中的(*e*)所示。与此相应地，使存储单元 4*a* 中的 *MOS* 晶体管 4*ab* 导通，从而使预充电到 *Vcc*/2 的位线 2*a* 与处在电容器 4*aa* 的地电位的电极(存储节点)相连接。位线 2*a* 上的电荷流入电容器 4*aa* 的存储节点，使位线 2*a* 的电位 *BL* 从预充电电位 *Vcc*/2 下降了一点，如图 2 的(*g*)所示。由于字线 3*b* 的电位 *WL*1 保持在低电平，所以从存储单元 4*b* 向位线 2*b* 没有数据读出，并且位线 2*b* 的电位/*BL* 保持在预充电电位 *Vcc*/2，如图 2 中的(*g*)所示。

当读出放大器允许信号*SEN*在时刻*t2*升到高电平，如图2中的(*c*)所示，使读出放大器5中的*MOS*晶体管5*f*导通，从而激励了*NMOS*读出放大器5*d*，并且位线2*a*的电位*BL*下降到地电位*Vss*，如图2中的(*g*)所示。节点5*e*的电位*Va*也下降到地电位*Vss*，并且因变得比基准电位*Vref*还要低。于是，由差分放大器6*a*产生的信号变高，使*MOS*晶体管6*bd*导通。因为读出放大器允许信号*SEN*有效时*MOS*晶体管6*ba*响应控制信号*ΦSTR*而截止，所以通过*MOS*晶体管6*bd*使阱电位*VSB*变为地电位*Vss*。虽然当在图2的(*d*)所示的时刻*t2*使读出放大器允许信号*SEN*变高时使控制信号*ΦSTR*变低，但控制信号/*ΦSTR*在低电平时仍旧保持有效。节点6*ag*的电位和电位*Vref*与*Va*之差成比例，并且*MOS*晶体管6*bd*使节点6*bc*放电，因而阱电位*VSb*跟随电位*Va*的下降而下降。

当使读出放大器允许信号*SEP*在图2中的(*b*)所示的时刻*t3*变为有效时，使控制信号/*ΦSTR*变为无效(高)，如图2中的(*d*)所示，从而使差分放大器6*a*退激。*MOS*晶体管5*a*响应读出放大器允许信号*SEP*的下降(激励)而导通，从而激励了*PMOS*读出放大器5c。如图2中的(*g*)所示，将位线2*b*上的电位/*BL*提高到电源电位*Vcc*。当把位线2*a*和2*b*之间的微小电位差放大到电源电位*Vcc*和地电位*Vss*之间的电位差时，读出放大器5的读出和放大操作即告完成。

现在，参照图3*A*—3*C*描述控制势阱电位*VSB*的操作效果，图3*A*—3*C*中表示出图1所示的*NMOS*读出放大器5*d*的*MOS*晶体管5*da*和5*db*的各个节点的电位。

在本领域中众所周知的是，*MOS*晶体管有一个背栅极效应，

即阈电压随相对于源极电位的背栅极偏置电位而变化。阈电压 *Vthn* 和相对于源极电位的背栅极偏置电位 *VBB* 满足下述关系式

$$Vthn = A + \sqrt{B + |VBB|},$$

其中 *A* 和 *B* 都是由晶体管参数确定的常数。若 $|VBB|$ 增大，则 *Vthn* 也增大。现在参照图 3*A*，在等待状态，*MOS* 晶体管 5*da* 和 5*db* 在它们的栅极接收 0 伏(=*Vss*)的势阱电位 *VSB*，并且在它们的源极接收 *Vcc*/2 的电位 *Va*，其中假定：中间电位 *Vcc*/2 大于 *MOS* 晶体管 5*da* 和 5*db* 的阈电压 *Vthn*。在这种条件下，$|VBB| = |Vcc/2|$，并且晶体管 5*da* 和 5*db* 都有相当大的阈电压。位线 2*a* 和 2*b* 都预充电到中间电位 *Vcc*/2。

现参照图 3*B*，当选择了字线(3*a*)并将其驱动到一个选定状态(高电平的电位)时，向位线 2*a* 读出存储单元数据，位线 2*a* 的电位从中间电位 *Vcc*/2 变到 *Vcc*/2−△*A*，其中△*V* 代表一个读出电压，而位线 2*b* 的电位保持中间电位 *Vcc*/2 的预充电电位。节点 5*e* 的电位 *Va* 也保持中间电位 *Vcc*/2 的预充电电位。势阱电位 *VSB* 从地电位 *Vss*(=0 伏)变到中间电位 *Vcc*/2。

在读出启动之前，势阱电位 *VSB* 为中间电位 *Vcc*/2。因此，*MOS* 晶体管 5*da* 和 5*db* 都有彼此相等的源极和背栅极电位，或者 $|VBB| = 0$，并且 *MOS* 晶体管 5*da* 和 5*db* 的阈电压都变得相当小。

现在参照图 3*c*，当启动读出操作时，节点 5*e* 的电位 *Va* 下降到地电位 *Vss*(=0 伏)。当位线 2*b* 和节点 5*e* 间的电位差(或 *Vcc*/2−*Va*)变为大于 *MOS* 晶体管 5*da* 的阈电压 *Vth* 时，*MOS* 晶体管 5*da* 导通，使位线 2*a* 放电。该阈电压 *Vth* 小于 *VSB*=0 伏时的阈电

压，并且在读出放大器允许信号 *SEN* 变为有效后马上引起位线放电。这就是说，和加有恒定的势阱电位的情况相比，读出操作的速度更高些。

在节点 5*e* 的电位 *Va* 降低期间，势阱电位 *VSB* 随着电位 *Va* 的降低而降低，并且电位 *VSB* 和 *Va* 之间的差基本保持不变，因此阈电压 *Vth* 在一很小值上保持恒定。

因为在读出操作时阈电压 *Vth* 被迫变得很小，即使电源电压 *Vcc* 降低，并且电源电压 *Vcc* 和 *VSB* 为 0 伏时的阈电压之间的差值极小，也能有效地使阈电压 *Vth* 变小，并能够很容易地使 *MOS* 晶体管 5*da* 或 5*db* 导通。因此，即使在低电源电压的条件下，读出放大器也能高速操作。

然而，虽然当背栅极电位（势阱电位）和源极电位（节点 5*e* 电位）相等时所提供最小的阈电压，但这样一种措施也只能消除背栅极效应。一般来说，*MOS* 晶体管在无背栅极偏置效应时的阈电压约为 0.7—1.0 伏。另一方面，按照最近的发展趋势，电源电压变得越来越低，3.3 伏、1.5 伏、或 1.2 伏，目的在于快速操作和降低功率消耗。如果使 1.2 伏的电源电压，那么中间电压 *Vcc*/2 就是 0.6 伏，就不可能使用在无背栅极效应时阈电压为 0.7 伏的 *MOS* 晶体管。这就是说，常规的读出放大器装置不可能应用到用低电源电位操作的器件上。

此外，如图 3*c* 所示，*MOS* 晶体管 5*db* 在栅极接收地电位，以便在完成读出操作后能够截止。但在这种状态下，锁存了存储单元数据，并且位线 2*b* 上的电位是电源电位。*MOS* 晶体管 5*db* 的阈电压 *Vth* 保持很小，因此一个大的亚阈值电流从位线 2*b* 开始、经 *MOS*

晶体管 5*db* 和激励 *MOS* 晶体管 5*f* 的读出放大器流到地节点 1*b*（图 1），并且增大了电流消耗。这里所说的亚阈值电流是 *MOS* 晶体管的栅极和源极的电位彼此相等时流过 *MOS* 晶体管的电流，在本领域中公知的是，当阈电压的绝对值减小时，亚阈值电流增加。

本发明的一个目的是提供一种用低电源电位高速操作的半导体存储器件。

本发明的另一个目的是提供一种能实现快速读出操作的半导体存储器件。

按本发明的半导体存储器件包括交叉耦合 *MOS* 晶体管，它们耦合在一个第一节点和一对位线之间，用于差分放大位线上的电位。每个交叉耦合 *MOS* 晶体管都有一个背栅极，对背栅极进行耦合以接收背栅极电位。第一节点在等待状态接收一个中间电位，并且在差分放大位线电位时或者说在读出操作时接收一个第一电位。将背栅板电位设定为一个确定电位。该确定电位和中间电位间的差大于中间电位和第一电位间的差。

第一电位和确定电位之间的差的绝对值不大于交叉耦合 *MOS* 晶体管的背栅极和源极/漏极的接合部的 *pn* 结扩散电位。

背栅极电位在读出操作期间随第一节点电位的变化而变化。

由于该背栅极偏置比背栅极电位和源极电位彼此相等的情况下背栅极偏置更浅些，由于背栅极效应使交叉耦合 *MOS* 晶体管的阈电压的绝对值更小些。因此，第一节点电位改变后，一个交叉耦合 *MOS* 晶体管马上按照位线电位导通，并且可在一个较早的时刻启动读出操作。此外，背栅极电位随第一节点电位的变化而变化，并且能可靠地防止交叉耦合 *MOS* 晶体管的背栅极相对于源极/漏

极正向偏置。

交叉耦合 *MOS* 晶体管的阈电压的绝对值可有效地减小，因此即使减小了电源电位，并且在背栅极电位和源极电位相等的情况下中间电位接近交叉耦合 *MOS* 晶体管阈电压的绝对值，该交叉耦合 *MOS* 晶体管的阈电压的绝对值在读出操作时也是较小的，并能可靠地导通一个交叉耦合 *MOS* 晶体管，因此即使在极低的电源电位下也能实现可靠的读出操作。

从下述结合附图对本发明的详细描述中，本发明的上述目的和其它的一些目的、特征、方面、和优点都将变得更加清楚明白。

图 1 表示常规的读出放大器及其外围电路的结构；

图 2 是表示图 1 所示的结构的操作的操作波形图；

图 3*A*—3*C* 表示 *n* 沟道读出放大器在读出操作时的各个节点的电位；

图 4 表示按本发明的半导体存储器件的示意总体结构；

图 5 表示图 4 所示的存储阵列中的一个存储模板的示意结构；

图 6 表示图 5 所示的一个子阵列及其相关外围电路的示意详细结构；

图 7 是描述图 4—6 所示的存储器件的操作的波形图；

图 8 瑶示 按本发明第一实施例的读出放大器及其相关电路的特殊结构；

图 9 是表示图 8 结构的操作的操作波形图；

图 10*A* 表示 *NMOS* 读出放大器的各个节点在读出操作前的电位；

图 10*B* 是用于描述图 10*A* 所示的读出放大器的操作的操作波

形图；

图 11 是图 8 所示 *NMOS* 读出放大器中的 *MOS* 晶体管的剖面图；

图 12 是表示 *pn* 结扩散电位的曲线图；

图 13 表示按第一实施例的改进形式的 *NMOS* 读出放大器各个节点在读出操作前的所加电位；

图 14 表示用于产生图 13 所示的背栅极预充电电位的一个特殊结构；

图 15 表示按本发明第二实施例的一个子阵列及其相关外围电路的特殊结构；

图 16 表示 按本发明第二实施例的一个读出放大器及其相关外围电路的特殊结构；

图 17 是图 16 所示 *pMOS* 读出放大器的 *MOS* 晶体管的剖面图；

图 18 是表示图 16 所示电路操作的操作波形图；

图 19*A* 表示 *pMOS* 读出放大器在按第二实施例读出操作前各个节点上所加电压；

图 19*B* 是表示图 19*A* 所示的 *pMOS* 读出放大器的操作的操作波形图；

图 20 表示按本发明第三实施例的子阵列及其相关外围电路的示意结构；

图 21 表示按本发明第三实施例的读出放大器及其相关外围电路的示意结构；

图 22 表示用于第四实施例的读出放大器的一个 *n* 沟道背栅极

电位产生器的示意结构；

图 23 表示 用于本发明第五实施例的读出放大器的一个 *p* 沟道背栅极电位产生器的示意结构；

图 24 表示 用于本发明第六实施例的读出 放大器的一个背栅极电位产生器的示意结构；

图 25*A* 表示 按本发明第七实施例的 *NMOS* 读出放大器的晶体管的平面布局；

图 25*B* 是沿图 25*A* 中所示的 *XV*—*XV* 线取的剖面图；

图 26*A* 表示 按本发明第七实施例的 *pMOS* 读出放大器的晶体管的平面布局；以及

图 26*B* 是沿图 26*A* 中所示的 *XX*—*XX* 线取的一个剖面图 。

图 4 表示按本发明的一个实施例的 *DRAM* 的结构。参照图 4，*DRAM* 包括存储阵列 170，存储阵列 170 分割成 4 个存储模板 *MM*0—*MM*3，每个存储模板都有多个排成由行和列组成的一个矩阵的存储单元。后边会对存储阵列的详细结构作出介绍。

DRAM 进一步还包括一个 *ZRAS* 缓冲器 100，缓冲器 100 接收并缓冲外加的行地址选通信号 *ext*/*RAS*，用于产生各个内部电路（和行选择有关的电路）所需的一个内部行地址选通 信号/*RAS*；*DRAM* 还包括一个 *ZCAS* 缓冲器 110，缓冲器 110 接收并缓冲外加的列地址选通信号 *ext*/*CAS*，用于产生各个内部电路（和列选择有关的电路）所需的一个内部列地址选通信号/*CAS*。信号/*RAS* 确定存储循环周期，并且确定启动行选择操作的时间。信号/*CAS* 确定启动列选择操作的时间以及当信号/*RAS* 有效时读出数据的时间。

DRAM 进一步还包括：一个行地址缓冲器 130，它响应有效的内部行地址选通信号/*RAS*，以便能加入一个外加的地址信号 *A*，从而产生一个内部行地址信号 *RA* 和一个互补的内部行地址信号/*RA*；一个行预译码器 140；它接收并预译码内部行地址信号 *RA* 和/*RA*，用于产生一个模块选择信号 *BS* 和一个预译码信号 *X*；一个行译码器 150，它接收模块选择信号 *BS* 和预译码信号 *X*，用于产生一个行译码信号 *RD*，信号 *RD* 规定了由模块选择信号 *BS* 规定的一个选定模块的一行；以及，一个字驱动器 160，它接收行译码信号 *RD*，用于驱动一个选定的行（字线）至提升电压 *Vpp* 电平的一个选定的状态。

如下面将会描述的，每个存储模板 *MM*0—*MM*3 都包括多个（32 个）存储模块，模块选择信号 *BS* 一次选择 8 个存储模块（在每个存储模板中选择 2 个存储模块），或者说，使 8 个模块选择信号（*BSj*）进入有效状态。预译码信号 *X* 包括 16 位的预译码信号 *X*0—*X*15，其中：按照行地址信号 *RA*0、/*RA*0、*RA*1、和/*RA*1 使信号 *X*0—*X*3 之一有效，按照行地址信号 *RA*2、/*RA*2、*RA*3、和/*RA*3 使预译码信号 *X*4—*X*7 之一有效，按照行地址信号 *RA*4、/*RA*4、*RA*5、和/*RA*5 使预译码信号 *X*8—*X*11 之一有效，按照行地址信号 *RA*6、/*RA*6、*RA*7、和/*RA*7 使预译码信号 *X*12—*X*15 之一有效。预译码信号 *X*0—*X*15 是按照 8 位行地址信号 *RA*0—*RA*7（加上互补的行地址信号/*RA*0—*RA*7 共 16 位）产生的，因此它们规定了一个存储模块中的 256 行里的一行。

按照行地址信号 *RA*8、/*RA*8～*RA*11、/*RA*11 产生模块选择信号 *BS*。模块选择信号 *BS* 包括用于相应存储模块的模块选择信号

*BS*0—*BS*127。因此，可同时规定 128 个存储模块中的 8 个存储模块。一般来说，同时激励所有的存储模板 *MM*0—*MM*3，并且在每个存储模板中一次规定两个存储模块。

DRAM 进一步还包括：一个列地址缓冲器 180，它响应有效的列地址选通信号/*CAS*，用于引入并锁存用作列地址信号的一个外部地址信号，以产生一个内部列地址信号 *CA* 和一个互补的内部列地址信号/*CA*；一个列预译码器 190，它接收并预译码内部列地址信号 *CA* 和/*CA*，用于产生在存储阵列 170 中规定一个列模块的列模块选择信号 *CBS* 和在一个列模块中规定一个列的预译码信号 *Y*；以及一个译码器 200，对预译码信号 *Y* 和列模块选择信号 *CBS* 译码，用于产生在存储阵列 170 中规定多个列的列选择信号 *CSL* 和在选定的列上规定多个存储单元中的一个存储单元的数据选择信号 *DS*。

如下面将会描述的，将每个存储模板 *MM*0—*MM*3 都分为多个列模块，每个列模块都包括 128 个列，并且在每个存储模板中通过列模块选择信号 *CBS* 选择一个列模块。

预译码信号 *Y* 包括 12 位的预译码信号 *Y*0—*Y*11，其中：按照列地址信号 *CA*0、/*CA*0、*CA*1、和/*CA*1 使信号 *Y*0—*Y*3 之一有效，按照列地址信号 *CA*2、/*CA*2、/*CA*3、和/*CA*3 使预译码信号 *Y*4—*Y*7 之一有效，并且按照列地址信号 *CA*4、/*CA*4、*CA*5、和/*CA*5 使预译码信号 *Y*8—*Y*11 有效。模块选择信号 *CBS* 包括 64 位的模块选择信号 *CBS*0—*CBS*63，用于存储阵列 170 中相应的列模块。数据选择信号 *DS* 按照列模块选择信号选择一个列模块。

DRAM 进一步还包括：为位线（列）设置的读出放大器，用于

读出、放大、和锁存向位线读出的存储单元数据；一个模块相关信号产生器 210，它响应行地址选通信号/*RAS*，对从行地址缓冲器 130 接收的模块地址信号进行译码，用于提供位线隔离信号 *BLI*、读出放大器允许信号/*SEP* 和 *SEN*、和选择连接到全局 *I/O* 总线（以后再介绍）的一个存储模块的选择信号 *SEL*；以及 *I/O* 电路，它响应列选择信号 *CSL* 和数据选择信号，用于把一个选定的列（位线）连到输入/输出缓冲器 240 上。在图 4 中，读出放大器和 *I/O* 电路一起用框 220 表示。

如下面将会介绍的，将读出放大器按排在一个按另一种方式设置的共用读出放大器结构中，从读出放大器只隔离出一个存储模块，这个存储模块与包括一个选定行的存储模块配对，并且只激励为该包括选定行的存储模块提供的读出放大器。非选定的存储模块都保持在无效（预充电）状态。*I/O* 电路包括为存储模块提供的局部 *I/O* 线和为相应列模块提供的全局 *I/O* 线。

DRAM 进一步还包括：一个写/读控制电路 230，它响应地址选通信号/*RAS* 和/*CAS*、写允许信号/*WE*、输出允许信号/*OE*，用于提供一个写/读控制信号 *WO*，以表明应向输入/输出缓冲器 240 完成哪个数据读出 和数据写入；以及，一个内部电位产生电路 120，用于产生大于操作电源电位的提升电位 *Vpp*、具有中间电位的位线预充电电位 *VBL*、具有中间电位的单元板电位 *Vcp*、双及提供给形成一个读出放大器的势阱的势阱电位 *VBN*。

势阱电位（*n* 沟道背栅极电位）*VBN* 在中间电位（*Vcc*＋*Vss*）/2 和中间电位与一个 *pn* 结扩散电位中相加之和的中间进行变化。

图 5 表示在存储阵列 170 中的一个存储模板 *MM* 的结构。现

参照图 5，一个存储模板 *MM*（*MM*0—*MM*3 中的任何一个）包括排列成 32 行和 16 列的多个子阵列#00—#3115。在一行上的子阵列#*io*—#*i*15 构成了一个存储模块 *MBi*，在一列上的子阵列#*oj*—#31*j* 构成了一个列模块 *CBj*。每个子阵列#00—#3115 都包括排列成 256 行和 128 列的多个存储单元。存储模板 *MM* 包括 32 个存储模块 *MB*0—*MB*31 和 16 个列模块 *CB*0—*CB*15。

操作中，按照模块选择信号 *BS* 一次选择两个存储模块，并且按照列模块选择信号 *CBS* 选择一个列模块。从列译码器 200（图 4）过来的一个根列列选择线 *CSLn* 沿列方向在存储模板上延伸，并在一个选定的列模块（在图 5 中的 *CB*15）中的相应子阵列内选择了两个列。于是，因为选择了两个存储模块（*MB*2 和 *MB*30），同时总共选择了四个列或者位线对 *BLPa* 和 *BLPb*，然后通过数据选择信号 *DS* 选择一个位线对（一位存储单元）。

图 6 表示图 4 的存储阵列 170 的详细结构，并且有代表性地表示出两个子阵列#*a* 和#*b* 及其相关的外围电路。

每个子阵列#*a* 和#*b* 都包括排列成 256 行和 128 列的多个存储单元 173，多个（256 个）字线 171 对应于相应的行并且在相应的行上连接存储单元 173，多个位线对 172 对应于相应的列并且在相应的列上连接存储单元。

存储单元 173 包括一个电容器 173*a*，电容器 173 具有接收中间电位（*Vcc*+*Vss*）2 的单元板电位 *Vcp* 的一个单元板电极和一个存储电荷形式的信息的存储节点；存储单元 173 还包括一个存储晶体管 173*b*，它响应在相应字线上的电位 *WL*，把存储节点连到相应位线对 172 的一个位线上。

位线对 172 包括位线 172*a* 和 172*b*，用于传送彼此互补的数据信号 *BL* 和/*BL*。相对于位线 172*a* 或 172*b* 和字线 171 的交叉点来定位存储单元 173。

位线 172*a* 和 172*b* 仅在一个相应的子阵列#*a* 或#*b* 的内部延伸，而字线 171 则在一个相应的存储模块 170*a*(*MB*)中的所有的子阵列上延伸。

读出放大器 224 在子阵列#*a* 和#*b* 的两侧排成一行。在图 6 中，有代表性地表示出子阵列#*a* 的两侧的读出放大器 224。

在子阵列#*a* 中，在偶数列上的位线对 172 响应于一个(位线隔离)控制信号 *BLIO* 穿过位线隔离门 175 连到上侧的读出放大器 224，在奇数列上的位线对 172 响应于控制信号 *BLI1* 穿过位线隔离门 175 连到下侧的读出放大器 224。

在子阵列#*b* 中，在奇数列上的位线 172 响应于控制信号 *BLI2* 穿过位线隔离门 175 连到读出放大器 224 上。

位线隔离门 175 包括传输门 175*a* 和 175*b*，传输门 175*a* 响应相关位线隔离控制信号 *BLI* 把位线 172*a* 连到读出节点 *NA*，传输门 175*b* 响应相关位线隔离控制信号把位线 172*b* 连到读出节点 *NB*。

位线预充电/均衡电路(*EQ*)174 相对于读出放大器 224 排成一行。位线预充电/均衡电路 174 通过读出节点 *NA* 和 *NB* 把相应的位线对预充电到中间电位并使它们均衡，电路 174 包括传输门 174*a*、174*b*、和 174*c*；传输门 174*a* 用于彼此耦合读出节点 *NA* 和 *NB*；传输门 174*b* 用于在存储模板上的位线预充电线 221*c* 上传送位线预充电电位 *VBL*；传输门 174*c* 用于把位线预充电电位 *VBL* 传送到读出节点 *NB*。

提供p沟道MOS晶体管构成的上拉晶体管和下拉晶体管作为读出允许晶体管223a和223b，由上拉晶体管构成的读出允许晶体管223a响应有关的读出放大器允许信号/SEP(/SEP0、...)，将设在存储模板上的电源线221a耦合到相应的读出放大器224的P型公共源极节点；由下拉晶体管构成的读出允许晶体管223b响应一个相关的读出放大器允许信号*SEP*，将设在该存储模板上的地线221*b*耦合到相应读出放大器224的一个*n*型公共源极节点。读出放大器224的*p*型公共源极节点通过一个*p*沟道公共源极线222*a*连在一起，读出放大器224的*n*型公共源极节点通过一个*n*沟道公共源极线222*b*内部耦合。

通过在一个存储模块上延伸的*n*沟道背栅极电位线221*d*将背栅极电位*VBN*加到每个读出放大器的*p*型势阱区。

*p*沟道和*n*沟道的公共源极线222*a*和222*b*只在一个子阵列上延伸，并且和同一个存储模块中的相邻子阵列中的那些公共源极线隔开。

在*p*沟道和*n*沟道的公共源极线222*a*和222*b*之间设有公共源极线预充电电路225，它响应位线均衡信号*BLEQ*，用于向公共源极线222*a*和222*b*传送预充电电位*VBL*。

为子阵列#*a*提供由局部*I/O*线226*aa*和226*ab*组成的两个线对226*a*，一对在上侧，另一对在下侧。在同一个列模块中的相邻的两个子阵列之间共享一对局部*I/O*线。例如，在子阵列4*a*和4*b*之间共享下侧的局部*I/O*线对226*a*。

包括线226*ba*和226*bb*的全局*I/O*线对226*b*在一个公共列模块的子阵列上延伸。尽管为一个列模块提供了4对全局*I/O*线

226*ba* 和 226*bb*，但因为为 16 个存储模块要提供两对全局 *I/O* 线，所以按典型的情况只表示出两对全局 *I/O* 线。

为读出放大器 224 的每对读节点 *NA* 和 *NB* 提供一个局部 *I/O* 门电路 227*a*，它响应列选择信号 *CSL* 把这对读出节点 *NA* 和 *NB* 耦合到一个相应的局部 *I/O* 线对 226*a*。门电路 227*a* 包括传输门 227*aa* 和 227*ab*，传输门 227*aa* 响应列选择信号 *CSL* 耦合位线 172*a* 和局部 *I/O* 线 226*aa*；传输门 227*ab* 响应到选择信号 *CSLa* 耦合位线 172*b* 和局部 *I/O* 线 226*ab*。

在局部 *I/O* 线对 226*a* 和全局 *I/O* 线对 226*bb* 之间。提供一个全局 *I/O* 电路 227*b*，该电路响应选择信号 *SEL*（*SELr*：*r*＝0—63）耦合局部 *I/O* 线对 226*a* 和全局 *I/O* 线对 226*b*，并且包括传输门 227*ba* 和 227*bb*；传输门 227*ba* 用于耦合局部 *I/O* 线 226*aa* 和全局 *I/O* 线 226*ba*；传输门 227*bb* 用于耦合局部 *I/O* 线 226*ab* 和全局 *I/O* 线 226*bb*。

线 221*a* 上的电源电位 *Vcc* 可以是一个外加电源电位，或者是通过向下变换外加电源电位产生的一个内部电源电位。地电位 *Vss* 可以是一个外加的地电位，也可以像在虚地系统或分级电源线装置那样通过向上变换外部地电位产生的一个内部地电位。现在参照图 7 的操作波形图描述图 4—6 所示的 *DRAM* 的操作，图 7 表示的是读出低电平数据时的操作顺序。

使写允许信号/*WE* 变高、并使输出允许信号/*OE* 变低，并且规定数据读出方式。

在时刻 *t*1，行地址选通信号/*RAS* 由高电平变为低电平，如图 7(*a*)所示，但在时刻 *t*1 之前，位线均衡信号 *BLEQ* 为高电平（如图

7(*d*)所示)，并且位线隔离信号 *BLIq*(*q*=0—511) 全为高电平提升电位 *Vpp*(如图 7(*g*) 所示)。因此，在时刻 *t*1，在位线预充电/均衡电路 174 中的 *MOS* 晶体管 174*a*，174*b*、和 174c 以及在共享的放大器门电路 175 中的 *MOS* 晶体管 1 75*a* 和 175*b* 全都导通，并且通过位线预定电电路 174 把位线对 172 上的电位 *BL* 和/*BL* 预充电到位线预充电电位 *VBL*，即(*Vcc*+*Vss*)/2，如图 6(*f*)所示。

P 沟道读出放大器允许信号/*SEPr* 全都为高电平(如图 7(*h*) 所示)，并且 *n* 沟道读出放大器允许信号 *SENr* 全都为低电平(如图 7(*i*)所示)，因此上拉晶体管 223*a* 和下拉晶体管 223*b* 全都截止。因为接收公共源极线均衡电路 225 中的高电位位线均衡信号 *BLEQ* 的 *MOS* 晶体管 225*a*、225*b*、和 225c 全都导通，所以通过公共源极线均衡电路，225 将 *p* 沟道公共源 极线 222*a* 的电位 *CSPr* 和 *n* 沟道公共源极线 222*b* 的电位 *CSNr* 均衡为中间电位(*Vcc*+*Vss*)/2。*n* 沟道背栅极电位 *VBN* 处在地电位 *Vss*，如图 7(*l*)所示。

字线 171 上的电位 *WL* 全为低电平，如图 7(*e*)所示。按照一个行地址信号有选择地把全局 *I*/*O* 线对连接到局部 *I*/*O* 线对的选择信号 *SELr* 全为低电平(如图 7(*m*)所示)，并且列选择信号 *CSLn* 全为低电平(如图 7(*n*)所示)。

均衡局部 *I*/*O* 线对的电位 *LIOr* 和/*LIOr*，并将其预充电到 (*Vcc*+*Vss*)/2，如图 7(*o*)所示；均衡 *I*/*O* 线对 226*b* 的电位 *GIOt*、/*GIot*(*t*=0—255)，并将其预充电到电源电位 *Vcc*，如图 7(*p*)所示；并且数据 *DQ* 处在高阻态(*Hi*—*Z* 态)，如图 7(*q*)所示。

如图 7(*c*)所示确定了地址信号 *Ai* 的一个行地址，并且在时刻 *t*1 行地址选通信号/*RAS* 从高电平变为低电平，如图 7(*a*)所示。与

此相应地，位线均衡信号 *BLEQ* 从高电平变为低电平，并且停止了位线对 172 和公共源极线 222*a* 和 222*b* 的预充电和均衡操作。

n 沟道背栅极电位 *VBN* 响应行地址选通信号/*RAS* 的下降在时刻 *t*2 上升到预充电位 *VPRN*，即(*Vcc*+*Vss*)/2+*Φ*，如图 7(*l*)所示，从而使读出放大器 224 中 *n* 沟道 *MOS* 晶体管的阈电压下降。

通过该行地址信号(模块选择信号 *BS*)选择的存储模块 170*a* (*MB*)所用的位线隔离信号 *BLIq* 保持在提升电位 *Vpp*，如图 7(*g*)所示。在时刻 *t*3，使与该选择的存储模块共享读出放大器的一个未被选择存储模块所用的位线隔离信号变低，这个未被选择的存储模块从读出放大器中隔离出来，如图 7(*g*)所示。另外的未被选择的存储模块都耦合到相应的读出放大器上。包括由该行地址信号选择的一条字线在内的一个存储模块所用的选择信号 *SELr* 大致在时刻 *t*3 变高，从而导通在全局 *I/O* 门电路中的 *MOS* 晶体管 227*ba* 和 227*bb*，将相应的局部 *I/O* 线 226*a* 和相应的全局 *I/O* 线 226*b* 连接起来。预充电到(*Vcc*+*Vss*)/2 的局部 *I/O* 线对 226 的电位(*IOr*、/*LIOr* 提升到相应全局 *I/O* 线对的电位 *Vcc*，如图 7(*o*)所示。

如图 7(*e*)所示，在时刻 *t*4，通过字驱动器 160 将行地址信号选择的字线 171 的电位 *WL* 升至提升电位 *Vpp*。然后使连到该被选中的字线 171 的存储单元 173 中的存储晶体管 123*b* 导通，并且在被选中的存储单元的存储电器 1773*a* 和相应的位线 172*a* 或 172*b* 之间传送电荷。电位 *BL* 或/*BL* 从位线预充电电位 *VBL* 开始改变了 4*V*，如图 7(*f*)所示。

如图 7(*i*)所示，在时刻 *t*5，用于被选中的存储模块 170*a* 的读出放大器允许信号 *SENr* 上升到高电平，并且相应下拉晶体管 223*b*

变为导通，并将用于所选存储模块的 n 沟道公共源极线 222b 的电位 $C.SNr$ 下拉到地电位，如图 7(h)所示。

背栅极电位 VBN 为($Vcc+Vss$)/2+Φ，并且在读出放大器中的每个 $NMOS$ 晶体管 由于背栅极效应具有极小的阈电压，这些 MOS 晶体管在电位 $CSNr$ 下降后立即导通，从而可提供快速读出操作。如图 7(l)所示，电位 VBN 跟随(跟踪)电位 $CSNr$ 的下降从电位 $VPRN$(=($Vcc+Vss$)/2+Φ)被下拉到地电位 Vss。

用于所 选中的存储模块的读出放大器 224 响应在时刻 $t5$ 的电位 $SCNr$ 的下降启动读出操作，从而将低于电位/BL 的电位 BL 下拉到地电位。通过这种读出操作使电位/BL 也降低了一点，如图 7(f)所示。

如图 7(h)所示，在时刻 $t6$，用于所选存储模块的读出放大器允许信号/$SEPr$ 变低，从而使相关的上拉晶体管 223a 导通；并且，如图 7(j)所示，p 沟道公共源极线 222a 的电位被上拉到电源电位 Vcc。通过上拉晶体管 223a 施加电源电位以激励读出放大器 224，借此将处在较高电位下的一个位线的电位/BL 提升到电源电位 Vcc。

当电位 BL 和/BL 分别变到地电位 Vss 和电源电位 Vcc 时，读出操作即告完成，并且通过读出放大器 224 锁存了电位 BL 和/BL。

如图 7(c)所示，将地址信号 Ai 确定为一个列地址信号，并且如图 7(b)所示，列地址选通信号/CAS 在时刻 $t7$ 由高电平变为低电平。如图 7(q) 所示，在时刻 $t8$，由该列地址选择(规定)的列选择信号 $CSLn$ 提升到高电平，使相关的局部 I/O 门电路 227a 中的导

通的 *MOS* 晶体管 227*aa* 和 227*ab* 能连接相应的局部 *I/O* 线对 226*a* 和相应的位线对 172。将位线对 172 上的电位 *Vcc* 和 *Vss* 传送到相应的局部 *I/O* 线对 226*a*，并且将相应的 局部 *I/O* 线 226*ab* 上的电位/*LIOr* 从电源电位降低到一个钳位电平，如图 7(*o*)所示。将局部 *I/O* 线对 226*a* 上的电位传送到相应的全局 *I/O* 线对 226*b*，并且引出它们之间的电位差，如图 7(*p*)所示。

如图 7(*p*)所示，通过一个未示出的电平移动器下移全局 *I/O* 线对 226*b* 上的电位 *GIOt*、/*GIOt*，从而使一个未示出的前置放大器的增益变大，该前置放大器又将要送到输入/输出缓冲器 240 的电位差进行了放大。如图 7(*f*)所示，在时刻 *t9*，输入/输出缓冲器 240 提供低电平的数据 *DQ*。

在本发明中，使 *n* 沟道背栅极电位 *VBN* 大于中间电位，从而可减小读出放大器 224 中 *n* 沟道 *MOS* 晶体管的阈电压。因此在读出放大器允许信号 *SEN*(*SENr*)激励后立即就可操作读出放大器，启动读出操作。

图 8 表示 为存储模块 *MO0* 产生背栅极电位 *VBN* 的背栅极电位产生器的特殊结构。图 8 还表示出读出放大器 224 的一种特殊结构。

现在参照图 8，读出放大器 224 包括：一个 *p* 沟道 *MOS* 晶体管 224*a*，它连接在位线 172*a* 和 *p* 沟道公共源极线 222*a* 之间，并且具有一个连到位线 172*b* 的栅极；一个 *p* 沟道 *MOS* 晶体管 224*b*，它连接在 *p* 沟道公共源极线 222*a* 和位线 172*b* 之间，并且具有连到位线 172*a* 的栅极；一个 *n* 沟道 *MOS* 晶体管 224*c*，它连在 *n* 沟道公共源极线 222*b* 和位线 172*a* 之间，并且具有连到位线 172*b* 的栅极。

以及一个 n 沟道 MOS 晶体管 $224d$，它连在 n 沟道公共源极线 $222b$ 和位线 $172b$ 上面，并且具有连到位线 $172a$ 的栅极。p 沟道 MOS 晶体管 $224a$ 和 $224b$ 构成了一个交叉耦合的 p 型读出放大器，用于将较高电位的位线上拉到电源电位 Vcc；n 沟道 MOS 晶体管 $224c$ 和 $224d$ 构成了一个交叉耦合的 n 型读出放大器，用于将较低电位的位线下拉到地电位。

n 沟道 MOS 晶体管 $224c$ 和 $224d$ 的背栅极还要接收 n 沟道背栅极电位 VBN。

p 沟道 MOS 晶体管 $223a$ 连在电源线 $221a$ 和 p 沟道公共源极线 $222a$ 之间，它的栅极接收 p 型读出放大器允许信号 $/SEPO$（$/SEPr$）。n 沟道 MOS 晶体管 $223b$ 连在地线和 n 沟道公共源极线 $222b$ 之间，它的栅极接收读出放大器允许信号 $SENO$（$SENr$）。

n 沟道背栅极电位产生器 121 包括在图 4 所示的内部电位产生电路 120 之中。产生器 121 包括：一个背栅极电位控制器 $121a$，它响应内部行地址选通信号 $/RAS$ 产生三个控制信号 $CT1$、$CT2$、和 $CT3$；一个 n 沟道预充电电位供给电路 $121c$，它以节点 $120a$ 的电源电位 Vcc 和节点 $120b$ 的地电位 Vss 作为操作电源电位进行操作，并且响应控制信号 $CT2$ 产生 n 沟道预充电电位 $VPRN$，并将该电位 $VPRN$ 送向一个 n 沟道背栅极电位输出节点 $121b$；一个 n 沟道 MOS 晶体管 $121d$，它连接在地接点 $120b$ 和输出节点 $121b$ 之间，它的栅极接收控制信号 $CT1$；以及一个 n 沟道 MOS 晶体管 $121e$，它连在 n 沟道公共源极节点（线）$222b$ 和输出节点 $121b$ 之间，它的栅极接收控制信号 $CT3$。

背栅极电位控制器 $121a$ 包括：接收并延迟行地址选通信号 $/$

RAS 的两个级联的反相器 121*aa* 和 121*ab*，用于产生控制信号 *CT*1；三个级联的反相器 121*ac*、121*ad*、和 121*ae*，它们接收并反相反相器 121*ab* 的输出（或者说控制信号 *CT*1）；一个或非门 121*af*，接收控制信号 *CT*1 和反相器 121*ae* 的输出，用于产生控制信号 *CT*2；以及一个或非门 121*ag*，接收反相器 121*ab* 和或非门 121*af* 的输出 *CT*1 和 *CT*2，用于产生控制信号 *CT*3。

n 沟道预充电电位供给电路 121*c* 包括：一个电阻元件 121*cb*，它连在电源节点 120*a* 和节点 121*ca* 之间；一个 *p* 沟道 *MOS* 晶体管 121*cd*，它连在节点 121*cd* 和 121*cc* 之间，它的栅极连到节点 121*cc*；一个 *p* 沟道 *MOS* 晶体管 121*cf*，它连在节点 121*cc* 和节点 121*ce* 之间，它的栅极连在节点 121*ce*；以及一个电阻元件 121*cg*，它连在节点 121*ce* 和地接点 120*b* 之间。电阻元件 121*cb* 和 121*cg* 有相同的电阻值，并且 *MOS* 晶体管 121*cd* 和 121*cf* 具有 相同的大小。电阻元件的电阻值要充分大于 *MOS* 晶体管 121*cd* 和 121*cf* 的导通电阻（沟道电阻），并且 *MOS* 晶体管 121*cd* 和 121*cf* 以二极管方式操作。因此，在节点 121*cc* 处的电位就是 $(Vcc+Vss)/2$。

n 沟道预充电电位供给电路 121*c* 进一步还包括有一个 *n* 沟道预充电电位产生器 121*cn*，它产生 *n* 沟道预充电电位 *VPRN*，并且包括：连在电源节点 120*a* 和节点 121*ch* 之间的电阻元件 121*cd*；正极连到节点 121*ch* 并且负极连到节点 121*cj* 的二极管 121*ck*；以及连在节点 121*cj* 和地节点 120*b* 之间并栅极连到节点 121*ce* 的 *p* 沟道 *MOS* 晶体管 121*cm*。响应控制信号 *CT*2 的 *n* 沟道 *MOS* 晶体管 121*cp* 连在节点 121*ch* 和 121*b* 之间。二极管 21*ck* 例如由一个 *pn* 结二极构形成，并能产生 *pn* 结扩散电位中的电压降。*p* 沟道 *MOS*

晶体管 121*cm* 按源极跟随器方式操作，并且保持它的源—栅电位差为它的阈电压 *Vthp* 的绝对值。假定 *MOS* 晶体管 121*cd*、121*cf*、和 121*cm* 具有相同的阈电压 *Vthp*。则可由下式表示电位 *VRRN*：

$$VPRN = (Vcc+Vss)/2-|Vthp|+|Vthp|+\Phi$$

$$=(Vcc+Vss)/2+\Phi。$$

现在参照图 9 的操作波形图描述图 8 结构的操作。

在时刻 *t*1 之前，信号/*RAS* 为高电平，该存储器件处在等待状态。如图 9(*b*)所示，位线均衡信号 *BLEQ* 为高电平，电位 *CSPO* 和 *CSNO* 保持在中间电位。读出放大器允许信号/*SEP*0 为高电平，读出放大器允许信号 *SEN*0 为低电平，*MOS* 晶体管 223*a* 和 223*b* 截止。

由于行地址选通信号在高电平时无效，所以控制信号 *CT*1 为高电平，控制信号 *CT*2 和 *CT*3 为低电平，如图 9(*h*)—(*j*)所示。因而，*MOS* 晶体管 121*d* 导通，将电位 *VBN* 下拉至地电位 *Vss*，如图 9(*l*)所示。

当行地址选通信号/*RAS* 在时刻 *t*1 变低时，信号 *BELQ* 下拉至低电平，如图 9(*b*)所示；并且使公共源极线 222*a* 和 222*b* 进入电浮动状态。实现字线选择操作，并且在 *t*2—*t*3 之间的一个时刻所选字线的电位 *WL* 开始变高。

来自反相器 121*aa* 和 121*ab* 的控制信号 *CT*1 响应于行地址选通信号/*RAS* 的下降在时刻 *t*2 变低，如图 9(*i*)所示，从而使 *MOS* 晶体管 121*d* 截止。

响应控制信号 *CT*1 的下降，在由反相器 121*ac*—121*ae* 的延迟时间确定的一个预定时间内使控制信号 *CT*2 变高。在图 9 中，控制

信号 *CT2* 在时刻 *t1* 和 *t4* 之间为高电平。与此相应地，*MOS* 晶体管 121*cp* 导通，以便把预充电电位 *VPRN* 传送到节点 121*b*，并且使 *n* 沟道背栅极电位 *VBN* 为电位 *VPRN*。*MOS* 晶体管 224*c* 和 224*d* 的阈电压得以下降。

按照时刻 *t2* 时所选字线的电位的升高来引出 *BL* 和/*BL* 之间的电位差。

从时刻 *t* 1 控制信号 *CT2* 上升或控制信号 *CT1* 下降开始算起预定时间过后，控制信号 *CT2* 在时刻 *t5* 变为低电平，*MOS* 晶体管 121*cp* 截止，阻止预充电位 *VPRN* 向背栅极线（节点）221*d* 传送。另一方面，来自或非门 121*ag* 的控制信号 *CT3* 响应控制信号 *CT2* 的下降在时刻 *t4* 变高，如图 9(*k*)所示，并且 *MOS* 晶体管 121*e* 导通，把 *n* 沟道公共源极线 222*b* 连到背极线 221*b*。

MOS 晶体管 224*c* 和 224*d* 每一个都有彼此相等的源极电位和背栅极电位。

在时刻 *t5*，使读出放大器允许信号 *SENO* 变高，从而使 *MOS* 晶体管 223*b* 导通。在 *n* 沟道公共源极线 222*b* 上的电位 *CSNO* 被下拉到地电位。因为 *MOS* 晶体管 224*c* 和 224*d* 的阈电压很小，所以 *MOS* 晶体管 223*b* 导通后立即通过 *MOS* 晶体管 224*d* 和 *MOS* 晶体管 223*d* 下拉较低的位线电位/*BL*，使电位 *CSNO* 下降。在放电或读出操作期间，*MOS* 晶体管 121*e* 导通，从而使 *MOS* 晶体管 224*c* 和 224*d* 中的每一个 *MOS* 晶体管的背栅极和源极耦合在一起，并且背栅极电位跟随（跟踪）公共源极线电位的下降被降到地电位。在读出操作期间，应保持 *MOS* 晶体管 224*c* 和 224*d* 的阈电压尽可能地小，并且在 *MOS* 晶体管 121*e* 导通前激励读出放大器允

许信号 *SEN*0。但还可同时使信号 *SEN*0 或 *CT*3 升高，或者在控制信号 *CT*3 上升后使使读出放大器允许信号 *SEN*0 有效。在启动读出操作时，只要电位 *VBN* 大于电位 *CSNO* 就足够了。

在时刻 *t*6，如图 9(*e*)所示，使 *p* 型读出放大器允许信号/*SEP*0 变低，并且 *MOS* 晶体管 223*a* 导通，从而激了 *p* 型读出放大器（晶体管 224*a* 和 224*b*）。电位 *BL* 升高到电源电位 *Vcc*。读出操作完成后，使位线电位 *BL* 和/*BL* 变为地电位 *Vss* 和电源电位 *Vcc*，并将其锁存。然后，进行如先前所述的数据读出操作。

当如图 9(*a*)所示在时刻 *t*11 行地址选通信号/*RAS* 变高时，就完成了一个存储循环，这些电位都返回到预充电状态的电位，或者说进入等待状态。因为 *MOS* 晶体管 121*e* 按照控制信号 *CT*3 变为导通，所以通过公共源极线 222*a* 和 222*b* 的均衡和预充电可使电位 *VBN* 在时刻 *t*11 上升。

借助于反相器 121*aa* 和 121*ab* 对行地址选通信号/*RAS* 的上升的延迟作用，使控制信号 *CT*3 变低并使控制信号 *CT*1 变高，如图 9 的(*i*)和 (*k*)所示，并且 *MOS* 晶体管 121*e* 截止，*MOS* 晶体管 121*d* 导通，从而将电位 *VBN* 下拉到地电位 *Vss*。

图 10*A* 表示读出操作前对 *n* 沟道 *MOS* 晶体管 224*c* 和 224*d* 所加的电位，图 10*B* 表示 *n* 沟道读出放大器部分的电位变化。

时刻 *t*0 之前，背栅极电位 *VBN* 为 *VPRN*＝(*Vcc*＋*Vss*)/2＋*Φ*，大于中间电位。而电位/*BL* 比位线预充电电位（中间电位）低 △*V*。公共源极电位 *CSN*(*CSNO*)为中间电位。

在时刻 *t*0，*n* 型读出放大器允许信号 *SEN*(*SEN*0)变低，使公共源极电位 *CSN* 变低。当电位 *CSN* 在时刻 *t*1 达到电位 *BL*（中间

电位)减去阈电压 Vth 时，*MOS* 晶体管 224*d* 导通，使电位/*BL* 放电。背栅极电位 *VBN* 大于中间电位或公共源极电位，这时的阈电压 Vth 小于源极电位 *CSN* 和背栅极电位 *VBN* 彼此相等时的阈电压。这是因为，在一个沟道区形成反向层所需的表面电位要上移电位 Φ 以减小阈电压 Vth。可使 $t1$ 和 $t0$ 之间的时间差减小，就可实现快速读出操作。

此外，即使中间电位 $(Vcc+Vss)/2$ 很低，并接近代表背栅极电位 *VBN* 为地电位的阈电压 $Vth(o)$ 的数值，也能在读出操作之前使阈电压变得较小，从而有可能使 *n* 型读出放大器中的 *n* 沟道 *MOS* 晶体管 224*c* 或 224*d* 可靠的导通。于是，可实现能用极低电源电压操作的并且能提供快速读出操作的 *DRAM*。

读出操作后，背栅极电位 *VBN* 为地电位，*n* 沟道 *MOS* 晶体管 224*c* 和 224*d* 的阈电压和读出操作时的这个阈电压相比变得较大，并且可以抑制通过 *MOS* 晶体管 224*c* 或 224*d* 流入地线 221 的准阈值电流，从而减小了通过读出放大器 224 进行数据锁存期间的电流消耗。

图 11 是读出放大器 224 中 *MOS* 晶体管 224*c* 和 224*d* 的简化方块图。参照图 11，在 *p* 型半导体基片(*p* 型基片)301 上形成一个 *n* 型势阱区(*n* 型阱)302。在阱 302 上形成 *p* 型阱 303*a* 和 303*b*，它们彼此电隔离并且具有比 *p* 型基片 301 高的杂质浓度。

在 *n* 型阱 302 的表面上并且在 *p* 型阱 302*a* 的外部形成一个高杂质浓度 *n* 型(n^+)杂质区 304*a*，接收加到 *n* 型阱 302 的电源节点(线)221*a* 的电源电位 Vcc。

在 *p* 型阱 303*a* 的表面，形成高杂质浓度 *p* 型(p^+)杂质区

304*b*，接收加到 *p* 型阱 303*a* 的背栅极电位 *VBN*。

在 *p* 型阱 303*a* 的表面，形成相互隔开的高杂质浓度 *n* 型（n^+）杂质区 224*ca* 、224*cb*（224*db*）、和 224*da*。在 n^+杂质区 224*ca* 和 224*cb*(224*db*) 之间的沟道区上的一个栅极绝缘膜 224*cd* 上，形成栅电极 224*cc*。在 n^+杂质区 224*cb*(224*db*)和 224*da* 之间的沟道区上的一个栅极绝缘膜 224*dd* 上形成栅电极 224*dc*。

MOS 晶体管 224*c* 包括栅电极 224*cc*、用作漏极的 n^+杂质区 224*ca*、和用作源极的 n^+杂质区 224*cb*。*MOS* 晶体管 224*d* 包括栅电极 224*dd*、用作源极的 n^+杂质区 224*db*、和用作漏极的 n^+杂质区 224*da*。n^+杂质区 224*ca* 和栅电极 224*dc* 连到位线 172*a*，栅电极 224*cc* 和 n^+杂质区 *da* 连到位线 172*b*。n^+杂质区 224*cb*(224*cd*) 由 *MOS* 晶体管 224*c* 和 224*d* 共享，并连到公共源极线 222*b*。

在 *p* 型阱 303*b* 的表面，形成彼此隔开的高杂质浓度 *n* 型（n^+）杂质区 223*ba* 和 223*bb*、以及 p^+杂质区 304*c*。在 n^+杂质区 223*ba* 和 223*bb* 之间的沟道区上的一个栅极绝缘膜 223*bd* 上形成一个栅电极 223*bc*。

p^+杂质区 304*c* 用于接收加到 *p* 型阱 303*b* 的地电位。*MOS* 晶体管 223*b* 包括作为漏极连到公共源检线 222*b* 的 n^+杂质区 223*ba*、接收读出放大器允许信号 *SEN*0 的栅电极 223*bc*、和作为源极连到地线 221*b* 的 n^+杂质区 223*bb*。

pn 结扩散电位 Φ 是 n^+杂质区 224*ca*、224*cb*、224*da* 和 *p* 型阱 303*a* 之间的电位。换言之，*pn* 结电位 Φ 是用于导通 p/n^+结二极管的电压。

图 12 是表示 *pn* 结特性的曲线，其中水平轴代表背栅极电位

VBN 和公共源极节点电位 *CSNO* 之间的差 *VBN*—*CSNO*，垂直轴代表从 *p* 型阱 303*a* 流入 n^+区 224*cb* 的电流 *I*。如图 12 清晰可见，当电位差 *VBN*—*CSNO* 超过 *pn* 结扩散电位 *Φ* 时，一个大的电流 *I* 骤然流出。

因此，即使当如图 10*A* 所示公共源极电位 *CSN*（*CSNO* 或 *CSNr*）为中间电位时栅极电位 *VBN* 升高到预充电电位 *VPRN*，电位差 *VBN*—*CSNO* 也是 *Φ*，并且只有极少量电流 *I* 从 *p* 型阱流到 n^+杂质区 224*ca*，不会发生严重问题。

但还可能存在某种问题，即可能减小读出电压△*V*。这就是说，当位线电位/*BLK* 为（*Vcc*+*Vss*）/2—△*V* 时，位线电位/*BL* 和背栅极电位 *VBN*（=*VPRN*）之间的差是 *Φ*+△*V*。因此，电流 *I* 有可能从 *p* 型阱 303*a* 流入 n^+杂质区 224*da*，从而提高了位线电位/*BL*，降低了读出电位△*V*。

为了避免出现这种情况，最好将背栅极预充电电位 *VPRN* 设定为（*Vcc*+*Vss*）/2+*Φ*—△*V*，如图 13 所示。

为了减小背栅极预充电电位，应使电位产生器 121*cn* 中电阻元件 121*cg* 的阻值小于电阻元件 121*cb* 的阻值，如图 14 所示。节点 121*cc* 的电位应为中间电位减去读出电压，或者说为（*Vcc*+*Vss*）/2—△*V*。另外，可以使 *MOS* 晶体管 121*cf* 的阈电压的绝对值大于晶体管 121*cm* 的这个值。

实施例 2

图 15 表示按本发明第二实施例的一个子阵列及其相电路的结构。除了下面所描述的以外，图 15 的结构与图 6 的结构相同，用相同的标号表示这些相对应的部分，并省去了对这些部分的描述。

在图 15 的结构中，提供一个 p 沟道背栅极电位线 221e.，线 221e 在具有 2048 对位线的一个存储模板上延伸，以便向读出放大器 224 中的 p 沟道 MOS 晶体管提供 p 沟道背栅极电位 VBP。没有提供 p 沟道背栅极电位线。p 沟道背栅极电位在电源电位 Vcc 和 p 沟道预充电电位 $VPRN$ 之间变化。

图 16 表示图 15 的读出放大器及其外围电路的结构。在图 16 中，读出放大器 224 包括接收可变的背栅极电位 VBP($VBPm$:m=0—511)的交叉耦合的 p 沟道 MOS 晶体管 224a 和 224b，以及交叉耦合的 n 沟道 MOS 晶体管 224c 和 224d。

用于产生背栅极电位 VBP 的 p 沟道背栅极电位产生器 122 包括：和图 8 所示的控制器 121a 结构相同的背栅极电位控制器 121a；反相器 122a、122b、和 122c，分别接收并反相控制信号 $CT1$、$CT2$、和 $CT3$，并产生控制信号/$CT1$、/$CT2$、和/$CT3$；一个 p 沟道预充电电位供给电路 122d，它以电源电位 Vcc 和地电位 Vss 作为电源电位操作，并产生电平在中间电位和各间电位减去 pn 结扩散电位 Φ 之差的电位之间的背栅极预充电电位 $VPRN$；一个 p 沟道 MOS 晶体管 122e，它连在电源节点 120a 和 p 沟道背栅极线 221e 之间，它的栅极接收控制信号/$CT1$；以及，一个 p 沟道 MOS 晶体管 122f，它耦合在背栅极线 221e 和 p 沟道公共源极线 222a 之间，它的栅极接收控制信号/$CT3$。

p 沟道预充电电位供给电路 122d 包括：一个 p 沟道预充电电位产生器 122dn，用于从电源电位 Vcc 和地电位 Vss 产生预充电电位 $VPRN$；以及一个 p 沟道 MOS 晶体管 122dp，它响应控制信号/$CT2$，用于向背栅极线 221e 传送预充电电位 $VPRP$。

p 沟道预充电电位产生器 122*dn* 包括：一个电阻元件 122*db*，它连在电源节点 120*a* 和节点 122*da* 之间；一个 *n* 沟道 *MOS* 晶体管 122*dd*，它连在节点 122*da* 和节点 122*dc* 之间，它的栅极连到节点 122*da*；一个 *n* 沟道 *MOS* 晶体管 122*df*，它连在节点 122*dc* 和节点 122*de* 之间，它的栅极连到节点 122*dc*；以及，一个电阻元件 122*dg*。出于先前介绍过的理由，要使电阻元件 122*db* 的阻值小于电阻元件 122*dg* 的阻值，当然也可以让这两个阻 值彼此相等。要使电阻元件 122*db* 和 122*dg* 的阻值充分大于 *MOS* 晶体管 122*dd* 和 122*df* 的导通电阻（沟道电阻），从而可使 *MOS* 晶体管 122*dd* 和 122*df* 按二极管方式工作。*MOS* 晶体管 122*dd* 和 122*df* 具有相同的大小，或者说相同的栅极宽度/栅极长度。

电位产生器 122*dn* 进一步还包括：一个 *n* 沟道 *MOS* 晶体管 122*di*，它连在电源节点 120*a* 和节点 122*dh* 之间，它的栅极连到节点 122*da*；一个二极管 122*dk*，例如由 *pn* 结二极管形成，连在节点 122*dh* 和预充电电位输出节点 122*dj* 之间；以及，一个电阻元件 122*dl*，它连在节点 122*dj* 和地节点 120*b* 之间。

电阻元 件 122*dl* 有限流功能，*MOS* 晶体管 122*di* 按源极跟随器方式工作。因为电阻元件 122*db* 的阻值小于电阻元件 122*dg* 的阻值，所以节点 122*dc* 的电位为 $(Vcc+Vss)/2+\triangle V$。节点 122*da* 的电位为 $(Vcc+Vss)/2+\triangle V+Vth$。*MOS* 晶体管 122*di* 按源极跟随器方式工作，在节点 122*dh* 处的电位是 $(Vcc+Vss)/2+\triangle V$。因此，预充电电位 *VPRP* 为 $(Vcc+Vss)/2+\triangle V-\Phi$，其中 Φ 为二极管 122*dk* 的正向压降，或者是 *MOS*。晶体管 224*a* 和 224*b* 的 *pn* 结扩散电位。

图 17 是图 16 所示的 p 型读出放大器的示意剖面图。现参照图 17，在 P 型半导体基片（p 型基片）301 的表面上形成一个 n 型阱区（n 型阱）304a，在阱区 304a 的表面上形成 *MOS* 晶体管 224a 和 224b。*MOS* 晶体管 224a 包括在 n 型阱 304a 上形成的高杂质浓度 p 型（p^+）杂质区 224aa、与 p^+ 杂质区 224aa 隔开的 p^+ 杂质区 224ab、以及在一个栅极绝缘膜上形成的 栅电极 224ac，该栅极绝缘膜是 p^+ 杂质区 224aa 和 224ab 之间的沟道区上形成的。

MOS 晶体管 224b 包括 p^+ 杂质区 224ab（224bb）、在 p 型阱 304a 的表面上形成 的 与 p^+ 杂质区 224ab（ 224bb）隔开的一个 p^+ 杂质杂质区 224ba、以及在一个栅极绝缘膜 224bd 上形成的栅电极 224bc，该膜位于 p^+ 区 224ba 和 224ab（ 224bb）之间的沟道区上。这里，标号 224ab 和 224bb 代表由 *MOS* 晶体管 224a 和 224b 共享的同一个 p^+ 杂质区。

p^+ 杂质区 224aa 和栅电极 224bc 一起耦合到位线 172a，栅电极 224ac 和 p^+ 杂质区 224ba 一起耦合到位线 172b。n 型阱 304a 在 n 型阱 304a 的表面上形成的高杂质浓度 n 型（n^+）杂质区 305a 接收背栅极电位 *VBP*，并耦合到背栅极线 221e。p^+ 杂质区 224ab（224bb）耦合到公共源极线 222a。

pn 结扩散电位 Φ 是 p^+ 杂质区 224aa、224ab、或 224ba 与 n 型阱 304a 之间的电位差。例如，如果公共源极电位 *CSPO* 比背栅极电位 *VBP* 大扩散电位 Φ，则杂质区 224ab（224bb）和 n 型阱 304a 之间的 pn 结果正向偏置导通的，并且电流从 p^+ 杂质区 224ab（224bb）流入 n 型阱 304a。于是，可保持 $VBP \geqslant CSPO + \Phi$。

在 p 型基片 301 上形成与 n 型阱 304a 隔开的 n 型阱 304b，在

n 型阱 304b 上形成激励 p 型读出放大器的 *MOS* 晶体管 223a。*MOS* 晶体管 223a 包括在 n 型阱 304b 上形成的并耦合到公共源极线 222a 上的一个 p^+ 杂质区 223aa、在 n 型阱 304b 上形成的与 p^+ 杂质区 223aa 隔开的并且耦合到电源节点 221a 的一个 p^+ 杂质区 223ab、以及在一个栅极绝缘膜 223ad 上形成的用于接收 p 型读出放大器允许信号/*SEPO* 的一个栅电极 223ac，该栅极绝缘膜 223ad 是在 p^+ 杂质区 223aa 和 223ab 之间的沟道区上形成的。

n 型阱 304b 通过在 n 型阱 304b 的表面上形成的 n^+ 杂质区 305b 接收电源电位 *Vcc*。现在，参照图 18 的操作波形图描述图 16 所示的电路的操作。因为行和列的操作与图 7 的操作波形图中所示的第一实施例相同，所以这里只描述读出操作。在第二实施例中，完成的是改变背栅极电位 *VBP* 的操答，而不是改变背栅极电位 *VBN* 的操作。

在时刻 $t1$ 之前，由反相器 122a（图 16）产生的控制信号/*CT*1 是低电平，如图 18(d)所示；来自反相器 122c 的控制信号/*CT*2 是高电平，如图 18(e)所示；来自反相器 122b 的控制信号 *CT*3 是高电平，如图 18(f)所示；来自反相器 122b 的控制信号/*CT*3 是高电平，在时刻 $t1$，行地址选通信号/*RAS* 由高电平变低，如图 18(a)所示。因此，p 沟道 *MOS* 晶体管 122e 响应低电平的控制信号/*CT*1 而导通，p 沟道 *MOS* 晶体管 122f 和 122dp 响应高电平的控制信号/*CT*2 和/*CT*3 而截止。借助于导通的 *MOS* 晶体管 122e 使公共源极线 221e 上的电位 *VBP* 为电源电位 *Vcc* 的电平，如图 18(g)所示。

当如图 18(a)所示行地址选通信号/*RAS* 在时刻 $t1$ 由高电平

变为低电平时，来自背栅极电位产生器 121*a* 的控制信号 *CT*1 和 *CT*2 在时刻 *t*2(参看图 7 或 9)分别变为低电平和高电平，并且来自反相器 122*a* 的控制信号/*CT*1 在时刻 *t*10 变为高电平，来自反相器 122*c* 的控制信号/*CT*2 在时刻 *t*10 变为低电平，如图 18(*d*)和(*e*)所示。与此相应地，*MOS* 晶体管 122*e* 截止并且 *MOS* 晶体管 122*dp* 导通，并且向背栅极线 221*e* 传送来自电位产生器 122*dn* 的预充电电位 *VBP*，因此背栅极电位 *VBP* 从电源电位降到预充电电位 *VPRP*。*n* 型阱 304*a* 预充电到该预充电电位 *VPRN*(=(*Vcc*+*Vss*)/2−Φ+△*V*)，源极电位 *CSPO* 和预充电电位 *VPRP* 之间的差等于电平 Φ−△*V*，它小于 *pn* 结扩散电位 Φ(其中：Φ～−0.6 伏，△*V*～0.1 伏或更小)，所以没有电流从 p^+ 杂质区 224*aa*、224*ab*、或 224*ba* 流入 *n* 型阱 304*a*，同时，*MOS* 晶体管 224*a* 和 224*b* 的阈电压的绝对值充分小于背栅极电位 *VBP* 为电源电压 *Vcc* 的情况下的这个绝对值。

在时刻 *t*5，使读出放大器允许信号有效，以导通 *MOS* 晶体管 223*b*，并激励 *n* 型读出放大器中的 *MOS* 晶体管 224*c* 和 224*d*。使较低电位的位线电位 *BL* 和/*BL* 放电到地电位。

在时刻 *t*6 如图 18(*e*)所示，控制信号/*CT*2 响应控制信号 *CT*2 的下降而变高，并且 *MOS* 晶体管 122*dp* 截止，禁止向背栅极线 221*e* 传送预充电电位 *VPRP*。还有，如图 18(*f*)所示，在时刻 *t*6 控制信号/*CT*3 响应控制信号 *CT*3 的上升而下降，并且 *MOS* 晶体管 122*f* 导通以相互耦合背栅极线 221*e* 和公共源极线 222*a*。

在和这种相互耦合基本上相同的时刻，使读出放大器允许信号/*SEPO* 有效，以导通上拉 *MOS* 晶体管 223*a*。相应地，公共源极电

位 *CSPO* 升高到电源电位 *Vcc*，因此背栅极电位 *VBP* 跟随公共源极电位 *CSPO* 的升高而升高到电源电位 *Vcc*。

因为 *MOS* 晶体管 224*a* 和 224*b* 的阈电压较小，因此公共源极电位 *SCPO* 升高后、或者读出放大器允许信号/*SEPO* 激励后，*MOS* 晶体管 224*a* 和 224*b* 立即导通，在较早的时刻升高了较高电位的位线电位 *BL* 和/*BL*，因此实现了快速读出操作。

为了在 启动读出操作时使 *MOS* 晶体管 224*a* 和 224*b* 的阈电压的绝对值尽可能地小，最好使读出放大器允许信号/*SEPO* 在比控制信号/*CT*3 变化略早的时刻变为有效。然而，在背栅极电位 *VBP* 小于公共源极电位 *CSPO* 的情况下，也可以在 *MOS* 晶体管 122*f* 导通后激励读出放大器允许信号/*EPO*。为了确保电位 *VBP* 能高速跟踪公共源极电位 *CSPO* 而变低，最好在控制信号/*CT*3 变低之前使控制信号/*CT*2 变高。然而，控制信号/*CT*2 也可 以在读出放大器允许信号/*SEPO* 激励后变高。

在时刻 *t*7，较高电位的位线电位 *BL* 和/*BL* 升高到电源电位 *Vcc*，完成了读出操作，并且锁存了位线 172*a* 和 172*b* 上的数据(电位)。然后，像在第一实施例那样(参照图 7)，在一个选中的存储单元上进行数据读出或数据写入。

图 19*A* 表示 启动读出操作之前在 *p* 型读出放大器(*MOS* 晶体管 224*a* 和 224*b*)的各个节点上的所加电位。

如图 19*A* 所示，公共源极电位 *CSPO* 为中间电位(*Vcc*+*Vss*)/2，背栅极电位 *VBN* 为预充电电位 *VPRP*=(*Vcc*+*Vss*)/2−Φ+△*V*，位线电位/*BL* 为(*Vcc*+*Vss*)/2−△*V*。位线电位 *BL* 为中间电位(*Vcc*+*Vss*)/2。

在*MOS*晶体管224*a*的栅极电位和源、漏极电位之间的差是$\Phi-\triangle V$，并且达个差不超过*pn*结扩散电位Φ，因此没有电流流入背栅极或*n*型阱304*a*(图17)。*MOS*晶体管224*b*的背栅极和漏极间的电位差为$\Phi-2\triangle V$，并且这个电位差也不超过*pn*结扩散电位Φ。

如果较高电位的位线电位*BL*和/*BL*为$(Vcc+Vss)/2+\triangle V$，如图19中的括号中所示，则漏极相对于背栅极的电位差为Φ并且不超过*pn*结扩散电位Φ因此能可靠地防止由于电流从漏极流到背栅极(*n*型阱)引起的读出电压下降$\triangle V$。

背栅极电位*VBP*小于电源电位*Vcc*，有效地提高了*MOS*晶体管224*a*和224*b*的源极电位，并使*MOS*晶体管224*a*和224*b*的阈电压*Vthp*的绝对值变小。

如图19*B*所示，当在时刻*t*6激励读出放大器允许信号/*SEPO*使其变低时，将公共源极电位*CSPO*上拉到电源电位*Vcc*。当在时刻*t*12将源极电位*C SPO*从中间电位$(Vcc+Vss)/2$开始升高了*MOS*晶体管224*a*和224*b*的阈电压的绝对值$|Vthp|$以便进行如图19(*b*)虚线所示的高电位数据读出时，*MOS*晶体管224*a*导通。对于位线电位/*BL*为$(Vcc+Vss)/2-\triangle V$的低电平数据读出，*MOS*晶体管224*a*在源极电位*CSPO*为$(Vcc+Vss)/2-\triangle V+|Vthp|$时导通。即使在*p*型读出放大器激励之前位线电位/*BL*降到地电位*Vss*，也会使*MOS*晶体管224*a*和224*b*的阈电压*Vthp*的绝对值较小，并且在启动*p*型读出放大器操作时使*MOS*晶体管224*a*更加导通，并产生大的电流动动，从而以高速度升高了较高电位的位线电位*BL*。

即使在背栅极电位 *VBP* 为电源电位 *Vcc* 时中间电位(*Vcc*+*Vss*)/2 接近 *PMOS* 读出放大器晶体管 224*a* 和 224*b* 的阈电压的绝对值，也能在读出操作时使 *MOS* 晶体管 224*a* 和 224*b* 的阈电压 *Vthp* 的绝对值足够地小，从而可实现在极低电源电位下工作的 *DRAM*。

在时刻 *t*12 完成读出操作。在此操作中，随着源极电位 *CSPO* 的变化上拉电位 *VBP*，并能可靠地保持 *MOS* 晶体管 224*a* 的阈电压的绝对值很小。

这里，在图 19*B* 的(*i*)中，由于 *MOS* 晶体管 122*f*(图 16)存在电阻分量，所以电位 *VBP* 的变化相对于电位 *CSPO* 的变化有一个延迟。另一方面，在图 19*B* 的(*ii*)中，电位 *VBP* 曾经等于电位 *CSPO*，然后电位 *VBP* 就随电位 *CSPO* 而变化。在这种情况下，*MOS* 晶体管 122*f* 的电阻分量就是可忽略不计的，并且为了使 *MOS* 晶体管 224*a* 和 224*b* 的阈电压的绝对值尽可能地小，在时刻 *t*13 应使控制信号/*CT*3 变低。

在读出操作后进行数据锁存时，因为 *MOS* 晶体管 224*a* 和 224*b* 每一个的源极电位 *CSPO* 和背栅极电位 *VBP* 都彼此相等，所以要使阈电压 *Vthp* 的绝对值相当大，并且能够可靠地抑制子阈值电流，以在数据锁存操作期间实现低功率消耗。

让电阻元件 122*db* 和 122*dg* 的电阻值为相同数值，即可将预充电电位 *VBP* 设置在(*Vcc*+*Vss*)/2−Φ。

实施例 3

图 20 表示按本发明第三实施例的一个子阵列及其相关电路的结构。在图 20 的结构中，在有 2048 对位线 172 的一个模板(16 个

列模块)上设有:n 沟道背栅极线 221d,用于向读出放大器 224 中的 n 沟道 MOS 晶体管传送背栅极电位 VBN;以及,p 沟道背栅极线 221e,用于向 p 沟道 MOS 晶体管传送背栅极电位 VBP。其它的结构与第一和第二实施例相同,并用相同的标号代表相应的部分。

图 21 表示 产生 n 和 p 型背栅极电位 VBN 和 VBP 的读出放大器 224 及其外围电路的结构。

现参照图 21, n 沟道背栅极电位产生器 121 的结构与图 8 所示相同,并且相应的部分具有相同的标号。按照响应行地址选通信号/RAS 产生的控制信号 $CT1$、$CT2$、和 $CT3$,n 沟道背栅极电位 VBN 在预充电位 $VPPN(=(Vcc+Vss)/2+\Phi-\triangle V)$ 和地电位 Vss 之间变化。

p 沟道 背栅极电位产生器 122 具有和图 16 所示的产生器相同的结构,并且相应的部分具有相同的标号。背栅极电位产生器 122 还可以利用背栅极电位控制器 121a。对于 p 沟道背栅极电位产生器不提供背栅极电位控制器,从而可减小电路面积和功率消耗。

n 沟道出放大器部分以及 p 沟道读出放大器部分的电路结构和剖面结构都分别和第一及第二实施例相同。

n 沟道 背栅极电位 VBN 响应行地址选通信号/RAS 从地电位 Vss 变化到预充电电位 $VPRN$,即中间电位$(Vcc+Vss)/2$ 再加上 pn 结扩散电位 Φ,并且跟随 n 沟道公共源极电位 CSN($CSNO$, $CSNr$)变到地电位 Vss。

p 沟道背栅极电位 VBP 响应行地址选通信号/RAS 的下降从电源电位 Vcc 变到 p 沟道背栅极预充电电位 $VPRP$, 即中间电位 $(Vcc+Vss)/2$ 减去 pn 结扩散电位 Φ(~0.6 伏),并且跟随 p 沟道

公开源极电位 $CSP(CSPO,CSPr)$ 变到电源电位 Vcc。

第三实施例的结构与第一和第二实施例基本相同，并进行类似的操作并且可以得到类似的有益效果。

这里，可分别将预充电电位 $VPRN$ 和 $VPRP$ 设定为 $(Vcc+Vss)/2+\Phi-\triangle V$ 和 $(Vcc+Vss)/2-\Phi+\triangle V$。

实施例 4

图 22 表示 按本发明第四实施例的 n 沟道背栅极电位产生器的示意结构。在图 22 的结构中，n 沟道预充电电位供给电路 121c 包括提供电源电位 $V\ cc$ 的一个电源节点 120a 以代替 n 沟道预充电电位产生器 121cn。其它的结构与第一和第三实施例相同，并且对相似的部件使用相同的标号。背栅极电位 VBN 加到 $NMOS$ 读出放大器 224cd(MOS 晶体管 224c 和 224d)。

随着集成度的提高，为了实现高速操作并降低功耗，将电源电位 Vcc 降到 3.3 伏、1.5 伏、1.2 伏、或更小。如果电源电位为 1.0 伏，则电位差 $Vcc-Vss$ 小于两倍 pn 结扩散电位 Φ，或 2Φ。于是，可得到下述程(1)和(2)：″

$$(Vcc+Vss)/2<Vcc,\cdots(1)$$

$$Vcc\leqslant 2\Phi+Vss,$$

$$Vcc+Vcc\leqslant 2\Phi+Vcc+Vss$$

$$Vcc\leqslant(Vcc+Vss)/2+\Phi\cdots(2)$$

因此，电源电位 Vcc 本身就可用作预充电电位 $VPRN$。在这种条件下，如果控制信号 $CT2$ 的高电平为电源电位 Vcc，而不是高于电源电位 Vcc 的提升电位，则由于 MOS 晶体管 121cp 的阈电压较小，可使预充电电位 $VPRN$ 小于 $(Vcc+Vss)/2+\Phi$，并因此可将预

充电电位 *VPRN* 设在高于中间电位的$(Vcc+Vss)/2+\Phi-\triangle V$。

控制信号 *CT*1—*CT*3 的变化方式与第一和第三实施例相似，因此操作情况及有益效果也都和第一及第三实施例相同。

此外，不需要 *n* 沟道预充电电位产生器 121*cn*，因此减小了电路面积。

同时，可用在栅极接收反向控制信号/*CT*2 的 *p* 沟道 *MOS* 晶体管代替 *n* 沟道 *MOS* 晶体管 121*cp*。

实施例 5

图 23 表示产生预充电电位 *VBP* 的 *p* 沟道预充电电位产生器 122，该电位 *VBP* 加到读出放大器 224 的 *p* 沟道 *MOS* 晶体管 224*a* 和 224*b* 的背栅极上。在图 23 中，*p* 沟道预充电电位供给电路 122*d* 包括一个地节点 120*b*，以代替 *p* 沟道预充电电位产生器 122*dn*。其它的结构和第一及第三实施例相同，对于相似的部件采用相同的标号。在此结构中，在电源电位 *Vcc* 和地 电位之间的差 *Vcc*—*Vss* 不大于 2 倍 *pn* 结扩散电位 Φ，或 $Vcc-Vss\leqslant 2\Phi$。

于是，可获得下述方程：

$$Vcc-2\Phi\leqslant Vss$$

$$Vcc+Vss-2\Phi\leqslant Vss+Vss$$

$$(Vcc+Vss)/2-\Phi\leqslant Vss<Vcc$$

这就是说，地电位 *Vss* 本身就满足了 *p* 沟道背栅极电位 *VPRP* 的条件。*P* 沟道 *MOS* 晶体管 122*dp* 响应控制信号/*CT*2 向 *p* 沟道背栅极线 221*e* 发送用作背栅极电位 *VPRP* 的地电位。如果计及 *p* 沟道 *MOS* 晶体管 122*dp* 的阈电压，则由于该阈电压在 *p* 沟道 *MOS* 晶体管 122*dp* 上较小，可将预充电电位 *VBP* 设定为$(Vcc+Vss)/2$

$-\Phi+\triangle V$。

不仅通过减小电源电位，而且通过使用分级电源线结构，都能得到条件：$Vcc-Vss\leqslant\Phi$，在分级电源线结构中，下移电源电位并且上移地电位，并且用移动的电位作为操作电源电位。

控制信号/*CT*1—/*CT*3 改变的方式与第一和第三实施例相同，因此可以实现相同的操作和类似的有益效果。

此外，不需要 *p* 沟道预充电电位产生器 122*dn*，因此可减小电路面积和功率消耗。

可以使用接收控制信号 *CT*2 的 *n* 沟道 *MOS* 晶体管来替代 *p* 沟道 *MOS* 晶体管 122*dp*。

实施例 6

图 24 表示按本发明第六实施例的 *n* 型和 *p* 型预充电电位产生器 120 和 121 的示意结构。在第六实施例中，电源电位 *Vcc* 和地电位 *Vss* 之间的差，在 *NMOS* 读出放大器部分（*n* 沟道 *MOS* 晶体管 224*c* 和 224*d*）中不大于 *P* 型阱和 n^+ 杂质区之间的 *pn* 结扩散电位 Φ 的两倍，而在 *PMOS* 读出放大器部分（*p* 沟道 *MOS* 晶体管 224*a* 和 224*b*）中不大于 *n* 型阱和 P^+ 杂质区之间的 *pn* 结扩散电位 Φ 的两倍。

因此，电源电位 *Vcc* 本身就可以是 *n* 沟道预充电电位 *VPRN*，地电位 *Vss* 本身就可以是 *p* 沟道预充电电位 *VPRP*。

在图 24 中，*p* 沟道背栅极电位产生器 121*c* 包括提供电源电位 *Vcc* 的电源节点 120*a* 和 *n* 沟道 *MOS* 晶体管 121*cp*，晶体管 121*cp* 响应来自背栅极电位控制器 121*a* 的控制信号 *CT*2，有选择地向背栅极线 221*d* 传送电源电位 *Vcc* 至 *NMOS* 读出放大器 224*cd*。

n 沟道 预充电电位产生器 122d 包括提供地电位 Vss 的地节点 120b 和 P 沟道晶 体管 122dp，晶体管 122dp 响应来自反相器 122c 的控制信号/$CT2$ 有选择地向背栅极线 221e 传送地电位 Vss 位，反相器 122c 接收来自背栅极电位控制器 121a 的控制信号 $CT2$。

图 24 的结构与第四和第五实施例的组合结构基本相同，并且实现和第四及第五实施例相同的操作和有益效果。在图 22—24 中用类似的标号代表相同的部件，并且省去了具体的描述。在 n 型和 p 型背栅极电位产生器 121 和 122 之间共享背栅极电位控制器 121a，因此减小了电路面积和功率消耗。

实施例 7

在第七实施例中，构成读出放大器的 **MOS** 晶体管是在 *SOI*（硅在绝缘体上）基片上形成的。

图 25A 表示 n 沟读出放大器晶体管 224c 和 224d 的示意平面图，图 25B 是沿图 25A 的线 $XV-XV$ 取的剖面图。

现在参 照 图 25A，彼此隔开地形成 p^+ 杂质区 315a、n^+ 杂质区 224ce 、n^+ 杂质区 224cg(224dg)、n^+ 杂质区 224de、和 p^+ 杂质区 314b，它们沿线 $XV-XV$ 排齐。

围绕 p^+ 杂质区 315a 和 n^+ 杂质区 224ce、并且和 p 型主体区相对地形成一个栅电极 224ch。在 p^+ 杂质区 315a 和 n^+ 杂质区 224ce 之间的区域设有一个沟道区。

p^+ 杂质区 315a 通过一个接触孔 314f 耦合到背栅极电位线 221d，栅电极 224ch 通过一个接触孔 314c 连到位线 172b，n^+ 杂质区 224ce 通过一个接触孔 314a 耦合到位线 172a。在栅电极 224ch

外部的 N^+ 杂质区 224cg(224dg) 通过一个接触孔 314b 耦合到 p 沟道公共源极线 222b。

通过 n^+ 杂质区 224dg(224cd) 使栅电极 224dh 与栅电极 224ch 分隔开，栅电极 224dh 包围着 N^+ 杂质区 224de 和 P^+ 杂质区 315b 并且和 P 型主体区相对。栅电极 224dh 通过接触孔 314he 耦合到位线 172a，n^+ 杂质区 224de 通过一个接触孔 314d 耦合到位线 172b，P^+ 杂质区 315b 通过接触孔 314g 耦合到背栅极电位线 221d。接触孔 314f、314a、314d、和 314e 排成一条直线，并且接触孔 314c 和 314e 的位置相对于接触孔 314b 基本上是点对称的。在 n^+ 杂质区 315d 和 315c 的外部设置 LOCOS(硅的局部氧化)膜 313，以便进行元件隔离。

现在参照图 25B，在 p 型半导体基片 311 上的一个绝缘层 312 (如氧化硅)上形成相应的杂质区。在 P^+ 杂质区 315a 和 n^+ 杂质区 224ce 之间并且包围这些区 315a 和 224ce 形成一个相当低杂质浓度的 p 型(P^-)杂质区(主体区)224cf。在 P^- 主体区 224cf 上的一个栅极绝缘膜 224ci 上形成栅电极 224ch。在 n^+ 杂质区 224ce 和 224cg(224dg)之间的 P^- 杂质(主体) 区 224cf 连续延伸，以便与 p^+ 和 n^+ 杂质区 315a 和 224ce 之间的主体区 224cf 相连。这就是说，P^- 杂质区(主体区)224cf 包围了 n^+ 杂质区 224ce。

穿过绝缘膜 224di 面对 P^- 主体区 224df 形成栅电极 224dh。P^- 主体区 224df 包围着 n^+ 杂质区 224de，并且也定位在 n^+ 杂质区 224de 和 P^+ 杂质区 315b 之间。

在 n^+ 杂质区 224de 和 P^+ 杂质区 315b 之间的 P^- 主体区 224df 上形成的绝缘膜 224di 上还定位栅电极 224dh。

n 沟道读出放大器 224c 包括：用于接收位线电位/BL 的栅电极 224ch、作为漏极用于接收位线电位 BL 的 n^+ 杂质区 224ce、作为源极用于接收公共源极电位 CSN 的 n^+ 杂质区 224cg(224dg)、以及作为背栅极通过 P^+ 杂质区 315a 接收势阱栅极电位 VBN 的 P^- 主体区 224cf。

n 沟道读出放大器 224d 包括：用于接收位线电位 BL 的栅电极 224dh、作为源极用于接收公共源极电位 CSN 的 n^+ 杂质区 224dg(224cg)、作为漏极用于接收位线电位/BL 的 n^+ 杂质区 224de、以及作为背栅极的 P 主体区 224df。

在 P^+ 杂质区 315a 和 n^+ 杂质区 224ce 之间的主体 224cf 上形成的栅电极 224ch 抑制耗尽层从 n^+ 杂质区 224ce 扩展到 P^+ 杂质区 315a 附近的主体区 224cf 中，从而抑制了漏电流。P^+ 杂质区 315b 附近的 栅电极 2 24df 按类似的方式抑制在 n^+ 杂质区 224de 和 P^+ 杂质区 315b 之间的漏电流。

通过主体区 224cf 和 n^+ 杂质区 224ce 及 224cg 之间的结的电位、并且通过 P^- 主体区 224df 和 n^+ 杂质区 224dg 及 224de 之间的结的电位来提供 pn 结扩散电位 $\Phi 1$(或 Φ)。

n^+ 杂质区 224ce、224cg(224dg)、和 224de 的下表面接触到绝缘层 312，并且在 P^+ 杂质区 224ce 及 224cg 和 P^- 主体区 224cf 之间的结的面积、以及在 n^+ 杂质区 224dg 及 224de 和 P^- 主体区 224df 之间的结的 面积都较小，因此可减小通过这些 P^-/n^+ 结流动的漏电流。此外，主体区 224cf 和 224df 都是在绝缘膜 312 上形成的，而不是在一个 n 型阱的表面上形成的，因此根本不存在阱—阱的结电容，因此可以 用 较少的电流对主体区 224cf 和 224df 进行高

速的充电和放电。再有，晶体管 224c 和 224d 在源极和漏极区都已经减小了结电容，因此这些晶体管 224c 和 224d 可快速操作，导致通过 *NMOS* 读出放大器(晶体管 224c 和 224d)实现的快速读出操作。

图 26*A* 表示读出放大器 224 中 *PMOS* 读出放大器的 *MOS* 晶体管 224*a* 和 224*b* 的平面设计图，图 26*B* 是沿图 26*A* 的 *XX*—*XX* 线取的示意剖面图。在图 26*A* 和 26*B* 中，和图 25*A* 及 25*B* 相似的部件用相同的标号表示。

参照图 26*A* 和 26*B*，在 *p* 型硅半导体基片或 *p* 型阱 311 上淀积绝缘层 312，在绝缘层 312 上形成 *p* 沟道读出放大器晶体管 224*a* 和 224*b*。

在绝缘层 312 上设置彼此隔开的 n^+ 杂质区 315*c*、P^+ 杂质区 224*ae*、p^+ 杂质区 224*ag*(224*bg*)、P^+ 杂质区 224*be*、和 n^+ 杂质区 315*d*，它们沿线 *XX*—*XX* 排齐。n^- 杂质区(主体区)224*af* 包围着 P^+ 杂质区 224*ae* 和 n^+ 杂质 315*c*。穿过栅极施绝缘膜 224*ai* 面对 n^- 主体区 224*af* 形成栅电极 224*ah*，栅电极 224*ah* 通过接触孔 314*j* 耦合到位线 172*b*。n^+ 杂质区 315*c* 通过接触孔 314*n* 耦合到背栅极位线 221*e*，以便向 n^- 杂质区 224*af* 施加背栅极电位 *VBP*。P^+ 杂质 224*ae* 通过接触孔 314*h* 耦合到位线 172*a*。P^+ 杂质区 224*ag*(224*bg*)耦合到公共源极电位线 222*a*。

p 沟道读出放大器晶体管 224*a* 包括：接收位线电位/*BL* 的一个栅极 224*ah*、作为漏极接收位线电位 *BL* 的一个 P^+ 杂质区 224*ae*、作为源极接收公共源极电位 *CSP* 的一个 P^+ 杂质区 224*ag*、以及作为背栅极的一个 n^- 主体区 224*af*。

n^-杂质区 224*bf* 包围 P^+杂质区 224*be* 和 n^+杂质区 315*d*。P^+杂质区通过接触孔 314*k* 耦合到位线 172*b*。n^+杂质区 315*d* 通过接触孔 314*p* 耦合到公共源极电位线 221*e*，以便向主体区 224*bf* 施加背栅极电位 *VBP*。穿过栅极绝缘膜 224*bi* 面对 n^-主体区 224*bf* 形成栅电极 224*bh*，并通过接触孔 314*m* 将栅电极 224*bh* 耦合到位线 172*b*。

p 沟道读出放大器晶体管 224*b* 包括：作为源极接收公共源极电位 *CSP* 的 P^+杂质区 224*bg*(224*ag*)、作为漏极接收位线电位/*BL* 的 P^+杂质区 224*be*、接收位线电位 *BL* 的栅电极 224*bh*、以及作为背栅极接收 背栅极电位 *VBP* 的 n^-杂质区(主体区)224*bf*。

接触孔 314*n*、314*h*、314*i*、314*k*、和 314*p* 相互排齐，接触孔 314*j* 和 314*m* 相对于接触孔 314*i* 点对称设置。

设置位于 P^+杂质区 224*ae* 和 n^+杂质区 315c 之间的主体区 224*af* 上的栅电极 224*ah*、并且设置位于 P^+杂质区 224*be* 和 n^+杂质区 315*d* 之间的主体区 224*bf* 上的栅电极 224*bh*，是为了抑制耗尽层从 n^+杂质区 315*c* 和 315*d* 的扩展，以便抑制 P^+杂质区 224*ae*、224*be* 和 n^+杂质区 315c、315*d* 之间的漏电流。

通过在主体区 224 和 P^+杂质(源/漏)区 224*ae*、224*ag* 之间的结上的电位和在主体区 224*bf* 和 P^+杂质(源/漏)区 224*be* 之间的结上的电位，来提供 *pn* 结扩散电位 Φ 或 Φ2。

n^-杂质区 224*ae* 和 224*be* 彼此隔开。P^+杂质区 224*ag*(224*bg*)在晶体管 224*a* 和 224*b* 之间共享。

在如图 26*A* 和 26*B* 所示的 *PMOS* 读出放大器部分的结构中，P^+杂质区 224*ae*、224*ag*(224*bg*)、和 224*be* 的下表面都和绝缘膜 312

接触，并且在 P^+ 杂质区 224*ae*、224*ag* 和主体区 224*af* 之间的结的面积、以及在 P^+ 杂质区 224*be*、224*bg*(224*ag*)和主体区 224*bf* 之间的结的面积都很小，因此减小了漏电流，从而减小了功耗。

此外，由于减小了结的面积，所以减小了背栅极(主体区)和源极及漏极区(P^+ 杂质区)之间的结电容，因此可由晶体管 224*a* 和 224*b* 实现快速读出操作。

主体区 224*af* 和 224*bf* 是在绝缘层上形成的所以不需要用势阱来提供主体区 224*af* 和 224*bf*。因此在背栅极区阱—阱的结电容消失，并且可以用较少的电流消耗高速改变背栅极电位 *VBP*。

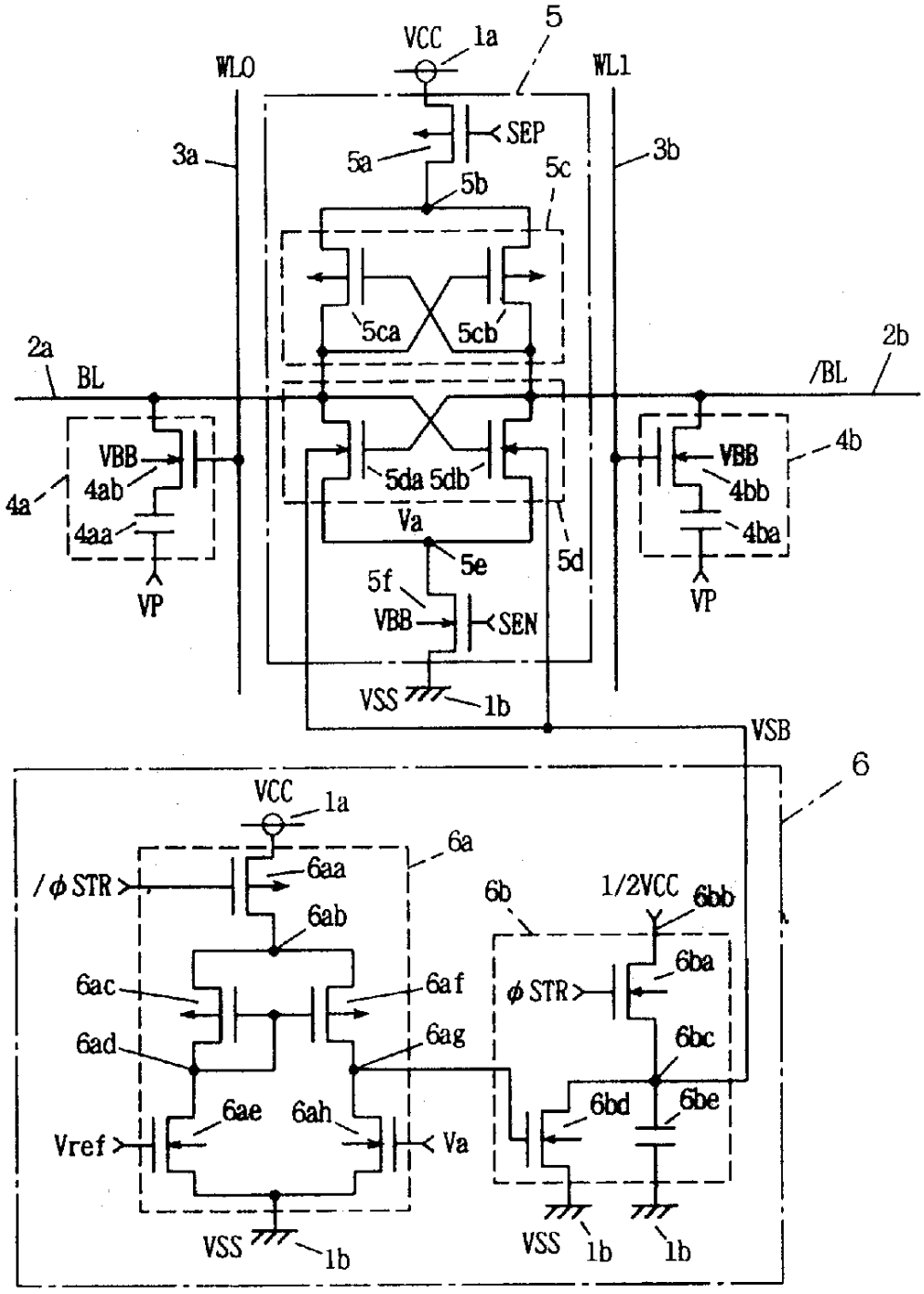
即使对于读出放大器使用 *SOI* 结构，读出操作和存储单元选择操作也和前边的那些实施例相同，并且也可得到和前边的那些实施例相同的有益效果。

如先前所述，可以实现用低电源电位以高速操作的半导体存储器件。

可以仅对为选中的子阵列提供的读出放大器来改变背栅极电位 *VBP* 和 *VBN*。在这样一种结构中，可减小功率消耗。通过使用激励读出放大器允许信号 *SEN*(*SENr*)和/*SEP*(*SEPr*)的电路，或者通过组合控制信号 *CT*1—*CT*3、存储模块选择信号 *BS*、以及读出放大器允许信号 *SEN* 和/*SEP* 的结构，就可以实现这样的结构。按另一种方式，所有的读出放大器可以接收同时变化的背栅极电位 *VBP* 和 *VBN*。

虽然已经详细描述和说明了本发明，但应清楚地认识到，但这仅仅是说明性的一些示例，而不是限制性的，本发明的构思和范围仅由所附的权利要求书限定。

图. 1 现有技术


VCC
1a
5
WL0
WL1
SEP
3a
5a
5b
5c
3b
5ca
5cb
2a
BL
/BL
2b
VBB
4ab
4aa
4a
VP
5da 5db
Va
5e
5d
5f
VBB
SEN
VSS
1b
4b
4bb
4ba
VSB
6
6a
/φ STR
6aa
6ab
6ac
6af
6ad
6ag
6ae
6ah
Vref
Va
6b
1/2VCC
6bb
φ STR
6ba
6bc
6bd
6be

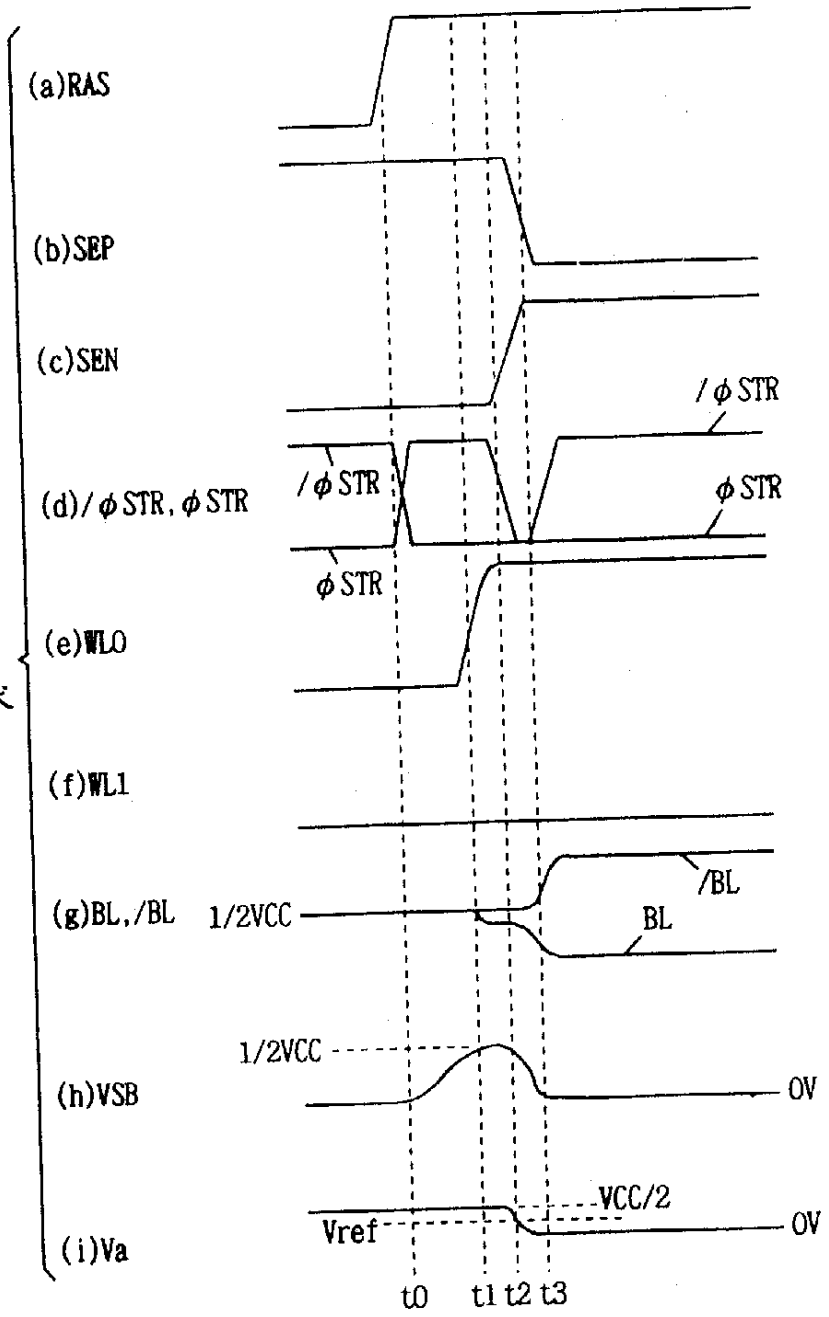

(a)RAS
(b)SEP
(c)SEN
(d)/φSTR, φSTR
(e)WLO
(f)WL1
(g)BL, /BL
(h)VSB
(i)Va
/φSTR
φSTR
/φSTR
φSTR
1/2VCC
/BL
BL
1/2VCC
0V
VCC/2
Vref
0V
t0
t1
t2
t3

图. 2
现有技术

图. 3A 现有技术

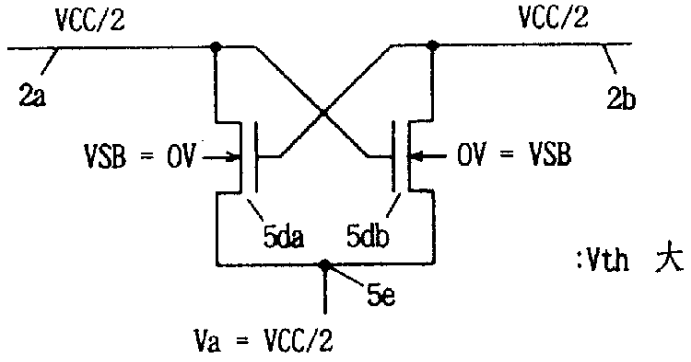


图. 3B 现有技术

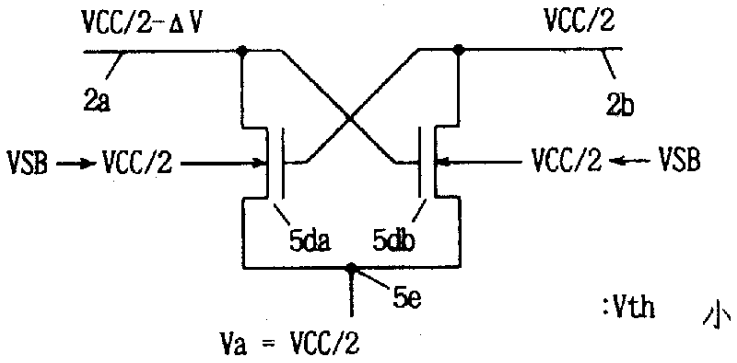


图. 3C 现有技术

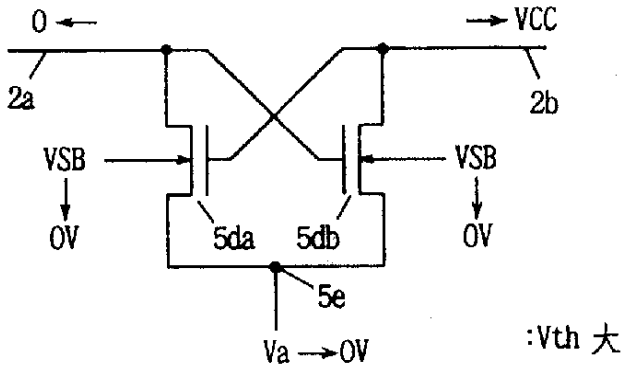


图. 4

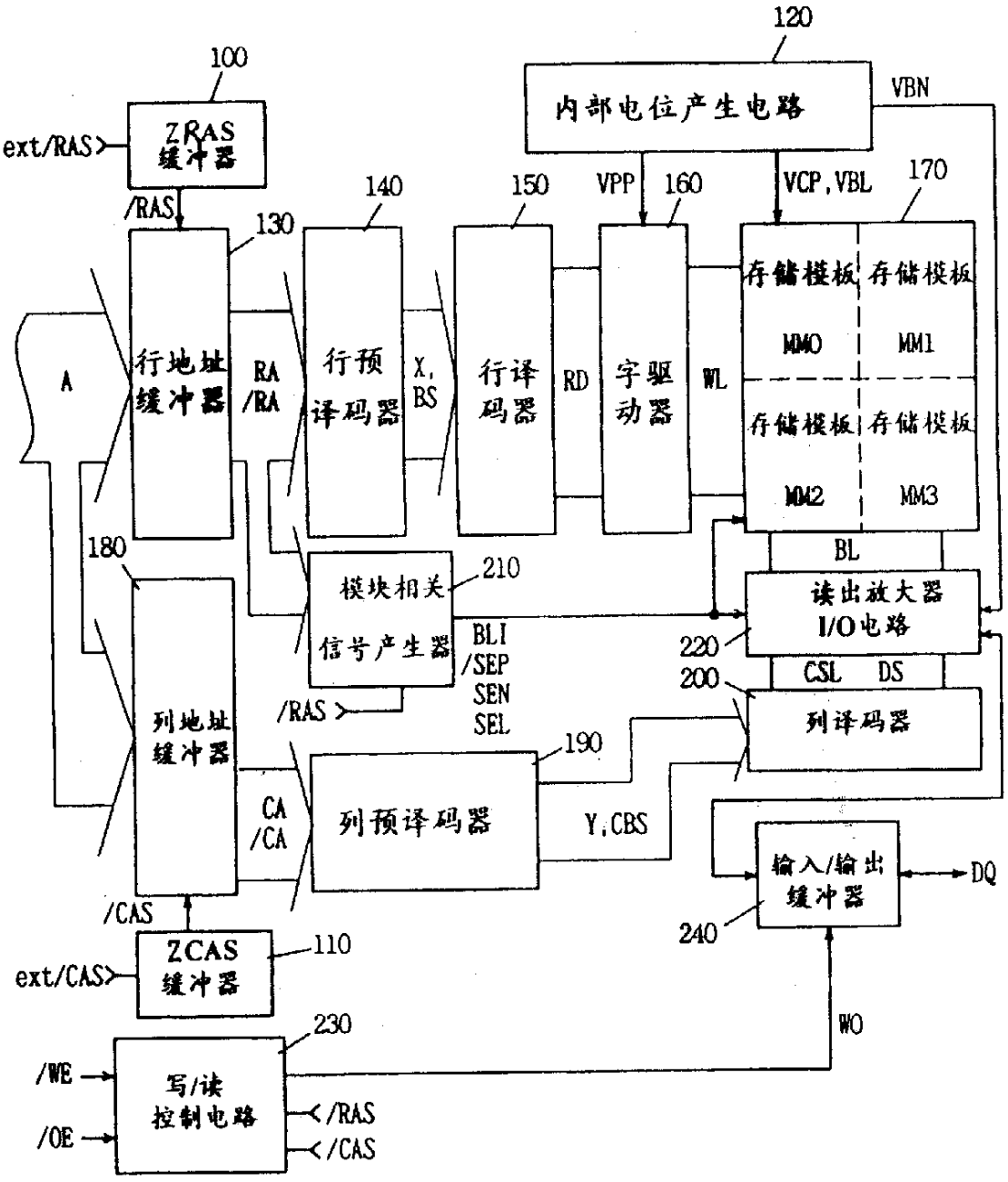

120
100
内部电位产生电路
VBN
ZRAS
缓冲器
ext/RAS
/RAS
140
150
VPP
160
VCP,VBL
170
130
存储模板
MM0
存储模板
MM1
存储模板
MM2
存储模板
MM3
A
行地址
缓冲器
RA
/RA
行预
译码器
X,
BS
行译
码器
RD
字驱
动器
WL
BL
180
模块相关
信号产生器
210
BLI
/SEP
SEN
SEL
读出放大器
I/O电路
220
CSL
DS
200
列译码器
/RAS
列地址
缓冲器
190
CA
/CA
列预译码器
Y,CBS
输入/输出
缓冲器
DQ
240
/CAS
ZCAS
缓冲器
ext/CAS
110
230
WO
/WE
/OE
写/读
控制电路
/RAS
/CAS

图. 5

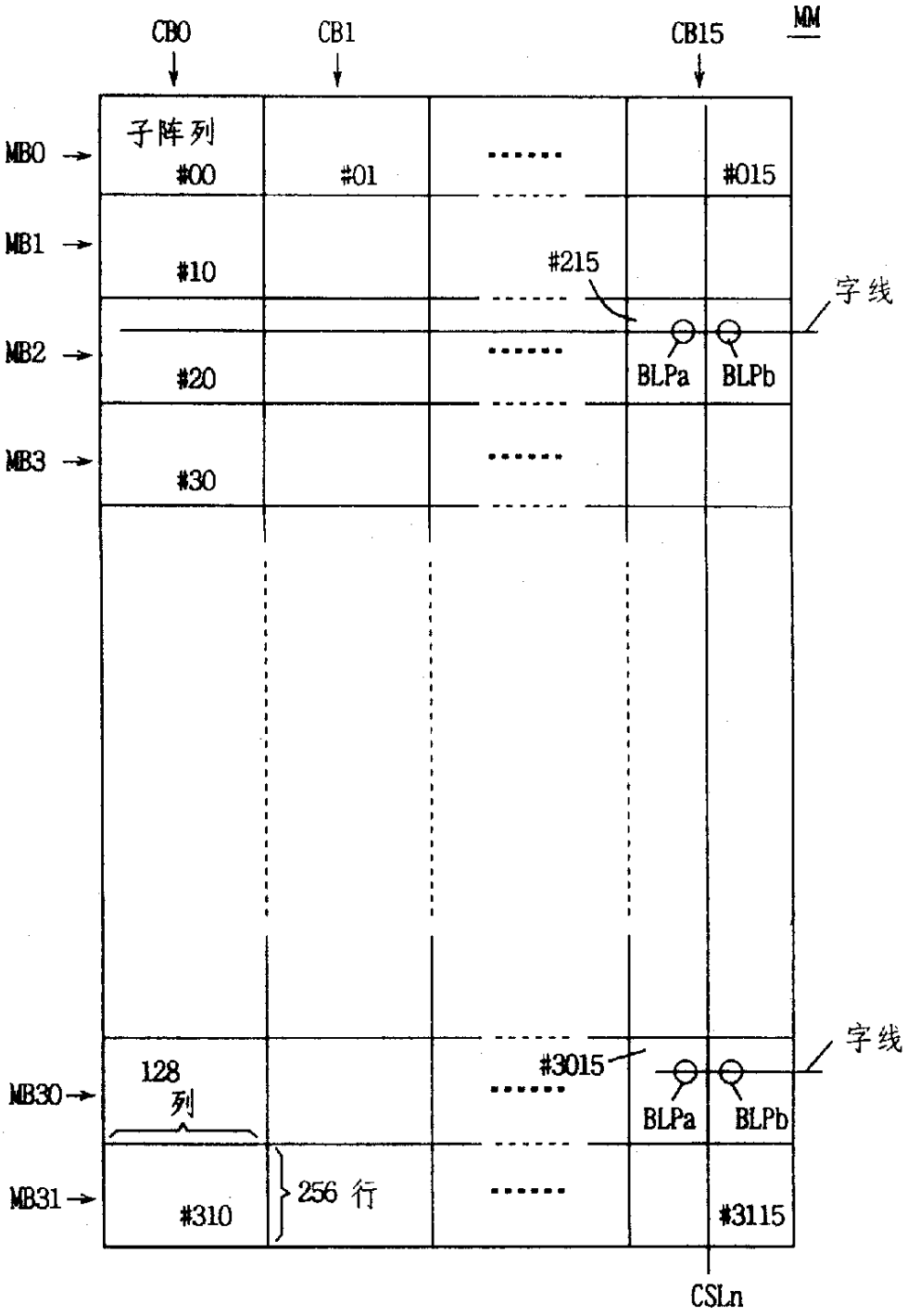

CB0
CB1
CB15
MM
子阵列
#00
#01
#015
MB0
MB1
#10
#215
字线
MB2
#20
BLPa
BLPb
MB3
#30
#3015
字线
MB30
128
列
BLPa
BLPb
MB31
#310
256 行
#3115
CSLn

图. 6

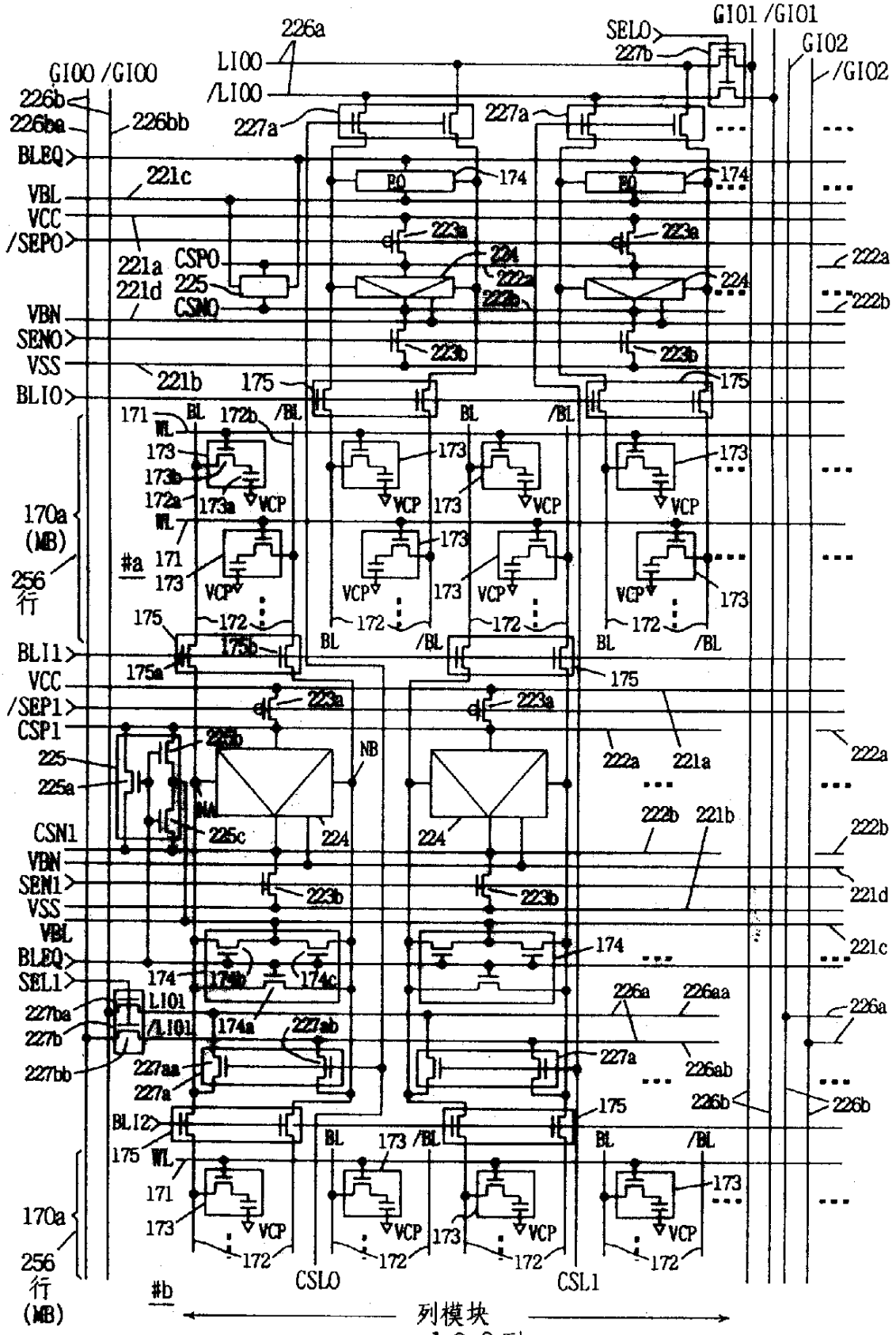
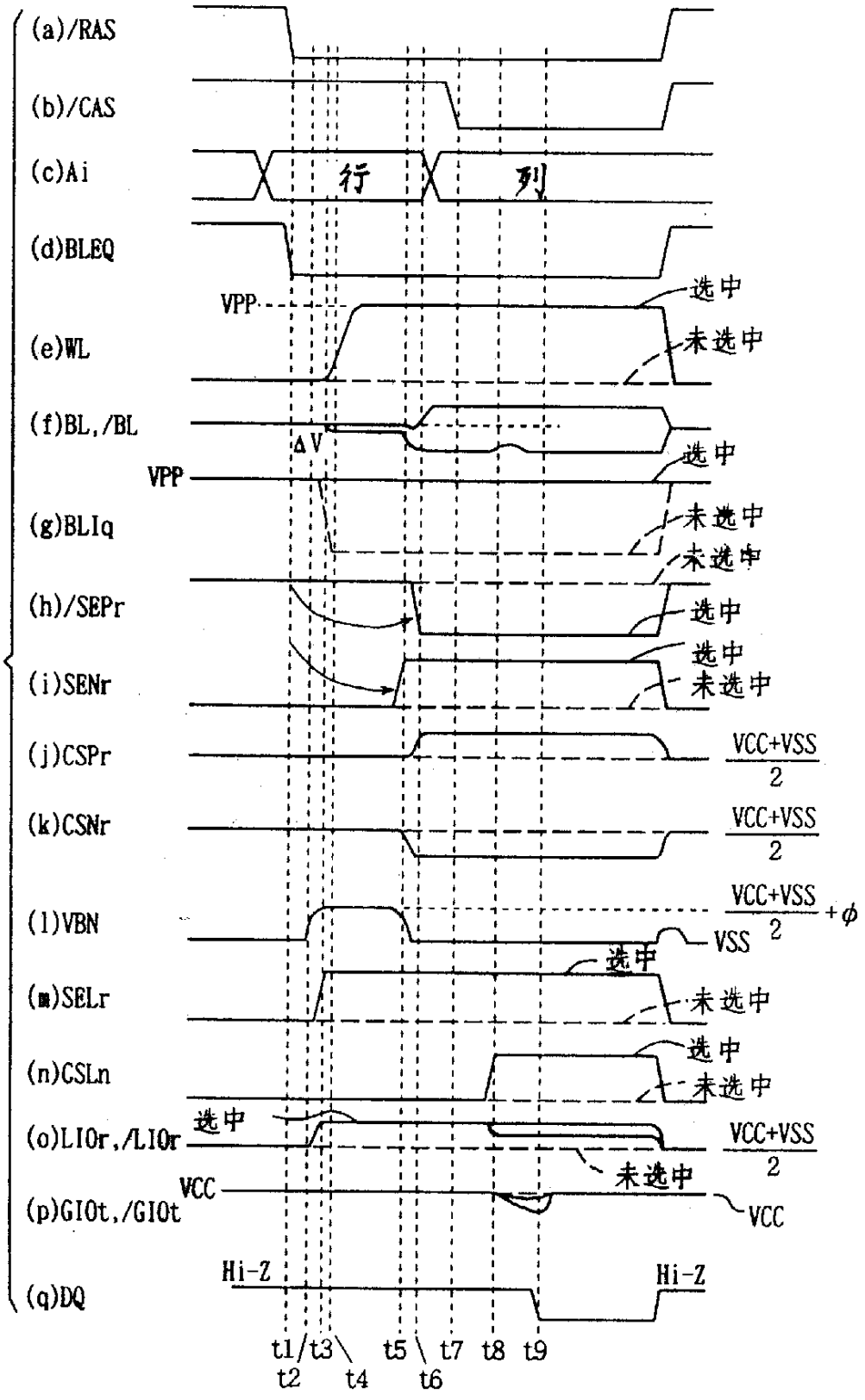

GIO0 /GIO0
GIO1 /GIO1
GIO2 /GIO2
LIO0
/LIO0
LIO1
/LIO1
SELO
CSPO
CSNO
CSP1
CSN1
CSLO
CSL1
VBL
VCC
/SEPO
VBN
SENO
VSS
BLIO
BLI1
/SEP1
SEN1
BLEQ
SEL1
BLI2
WL
BL
/BL
VCP
NB
#a
#b
170a
(MB)
256
行
列模块
：１２８列

图. 7


(a)/RAS
(b)/CAS
(c)Ai
行
列
(d)BLEQ
VPP
选中
(e)WL
未选中
(f)BL,/BL
ΔV
VPP
选中
(g)BLIq
未选中
未选中
(h)/SEPr
选中
选中
(i)SENr
未选中
(j)CSPr
VCC+VSS
2
(k)CSNr
VCC+VSS
2
VCC+VSS
2
+φ
(l)VBN
VSS
选中
(m)SELr
未选中
选中
(n)CSLn
未选中
选中
(o)LIOr,/LIOr
VCC+VSS
2
未选中
VCC
(p)GIOt,/GIOt
VCC
Hi-Z
Hi-Z
(q)DQ
t1
t2
t3
t4
t5
t6
t7
t8
t9

図．8

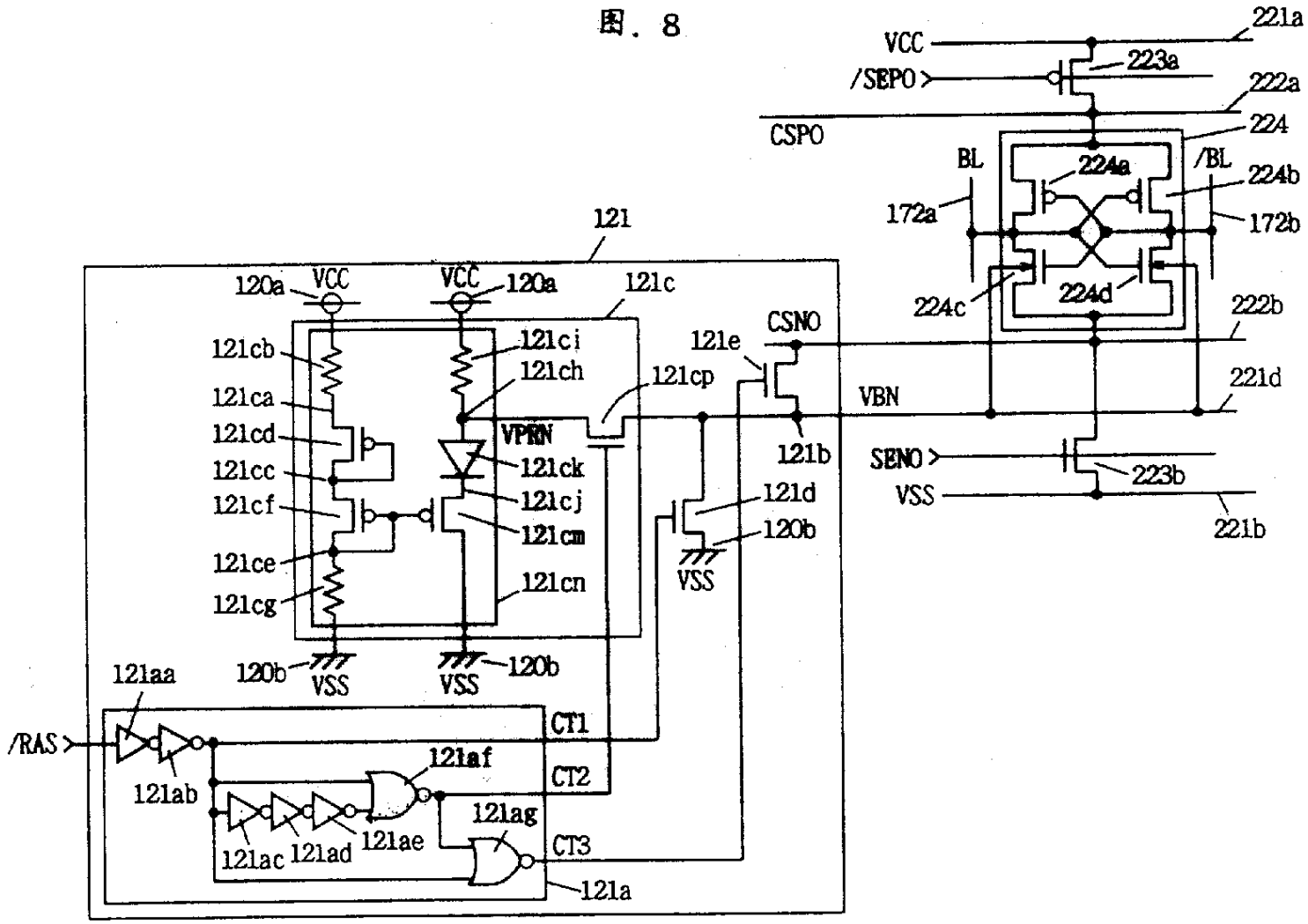
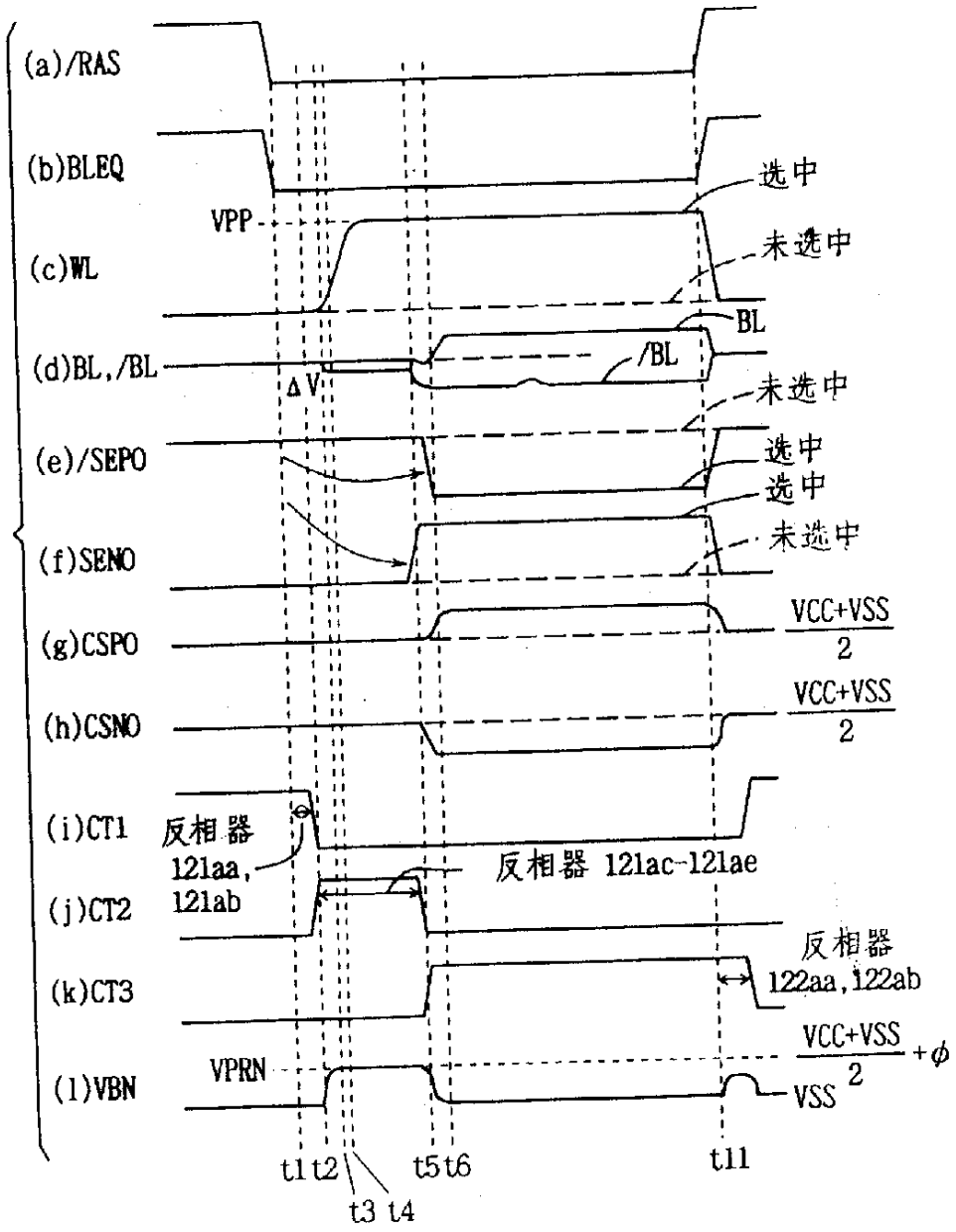
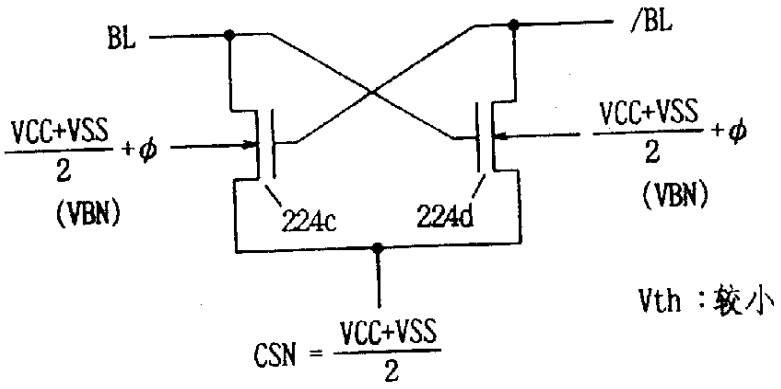

121
120a
VCC
VCC
120a
121c
121cb
121ci
121ch
121ca
121cd
121cc
121cf
121ce
121cg
VPRN
121ck
121cj
121cm
121cn
120b
VSS
VSS
120b
121aa
/RAS
121ab
121af
121ag
121ac
121ad
121ae
CT1
CT2
CT3
121a
121cp
121e
CSNO
121b
121d
120b
VSS
VBN
VCC
/SEPO
CSPO
221a
223a
222a
224
BL
/BL
224a
224b
172a
172b
224c
224d
222b
221d
SENO
223b
VSS
221b

图. 9


(a)/RAS
(b)BLEQ
(c)WL
(d)BL,/BL
(e)/SEPO
(f)SENO
(g)CSPO
(h)CSNO
(i)CT1
(j)CT2
(k)CT3
(l)VBN
VPP
选中
未选中
BL
/BL
ΔV
未选中
选中
选中
未选中
VCC+VSS
2
VCC+VSS
2
反相器
121aa,
121ab
反相器 121ac-121ae
反相器
122aa,122ab
VCC+VSS
2
+φ
VPRN
VSS
t1 t2
t3 t4
t5 t6
t11

图．１０Ａ


BL
/BL
VCC+VSS/2 +φ
(VBN)
224c
224d
VCC+VSS/2 +φ
(VBN)
Vth：较小
CSN = VCC+VSS/2

图．１０Ｂ

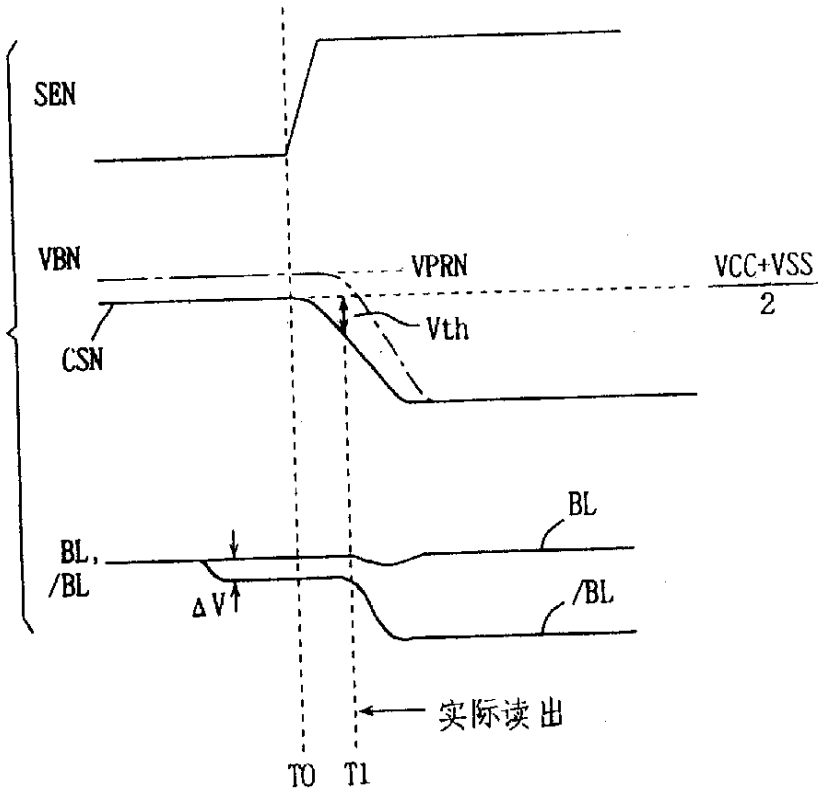

SEN
VBN
VPRN
VCC+VSS/2
Vth
CSN
BL
BL,
/BL
ΔV
/BL
实际读出
T0
T1

图. 11

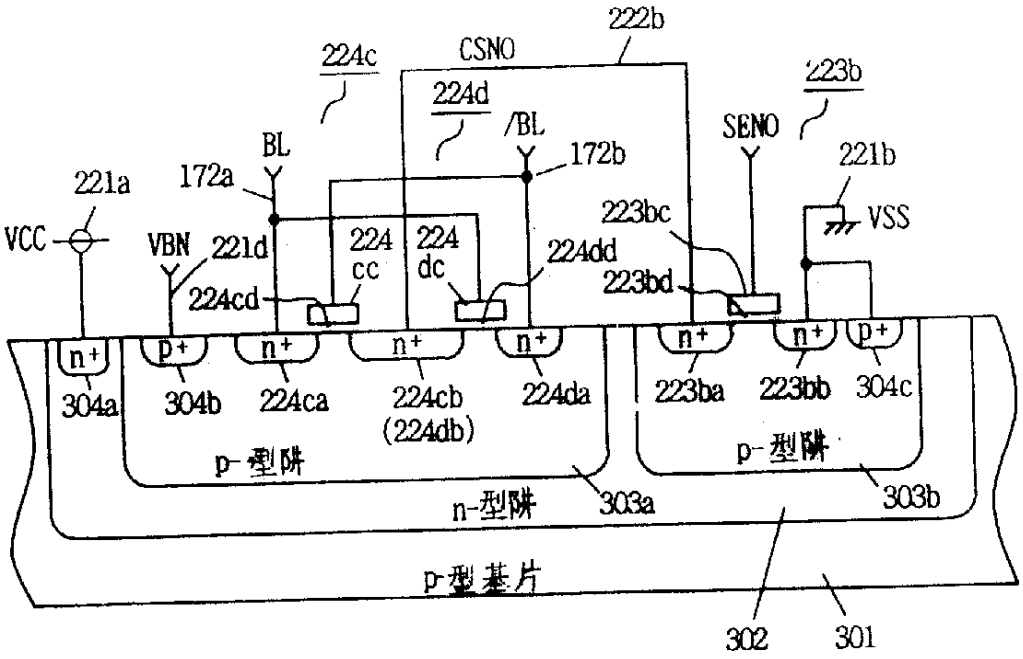

222b
224c
CSNO
224d
/BL
223b
SENO
BL
172a
172b
221b
221a
VSS
VCC
VBN
221d
224cc
224dc
224dd
223bc
223bd
224cd
n+
p+
304a
304b
224ca
224cb
(224db)
224da
223ba
223bb
304c
p-型阱
n-型阱
303a
303b
p型基片
302
301

图. 12

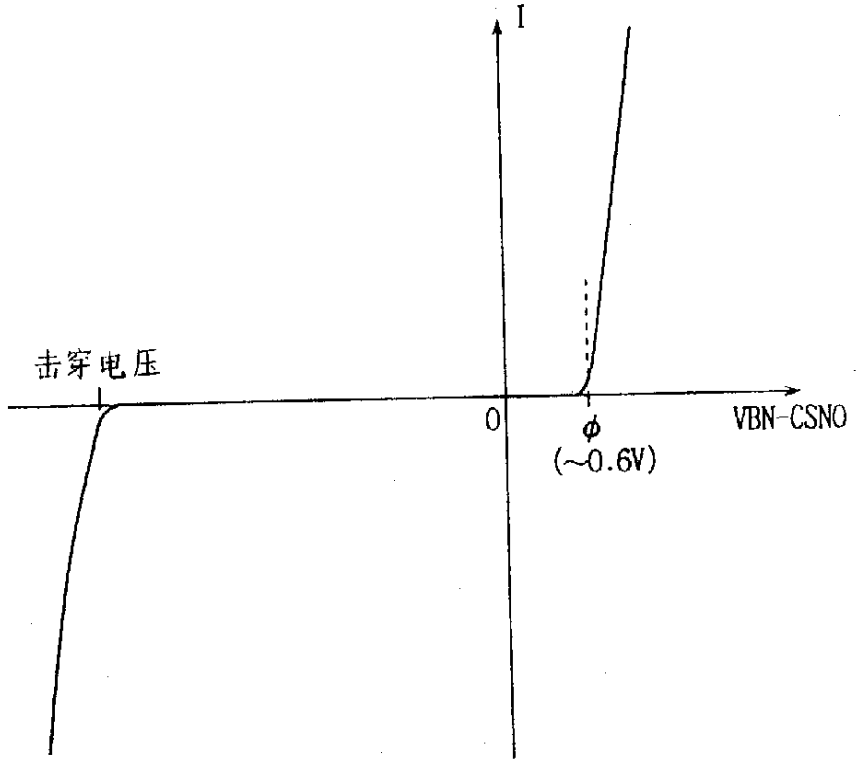

I
击穿电压
0
φ
(~0.6V)
VBN-CSNO

图. 13

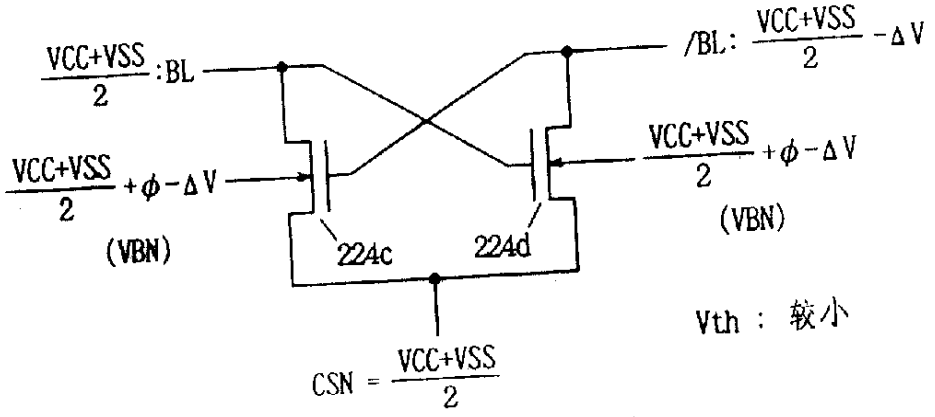

VCC+VSS/2 :BL
/BL: VCC+VSS/2 -ΔV
VCC+VSS/2 +φ-ΔV
(VBN)
VCC+VSS/2 +φ-ΔV
(VBN)
224c
224d
Vth : 较小
CSN = VCC+VSS/2

图. 14

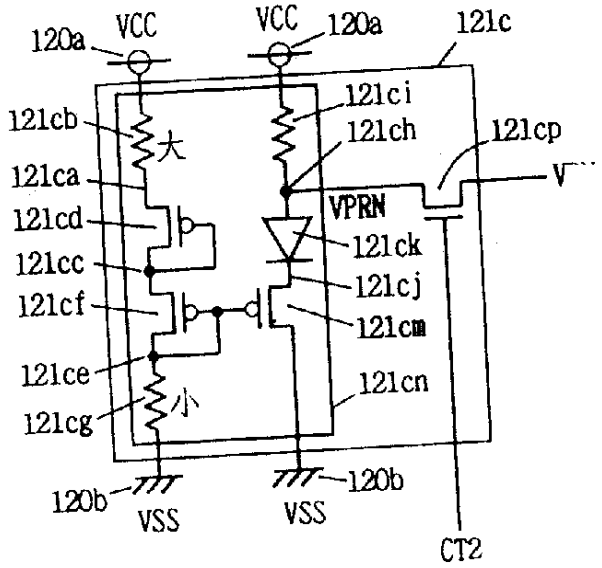

120a
VCC
VCC
120a
121c
121cb
大
121ca
121cd
121cc
121cf
121ce
121cg
小
121ci
121ch
121cp
VPRN
121ck
121cj
121cm
121cn
120b
VSS
VSS
120b
CT2

图. 15

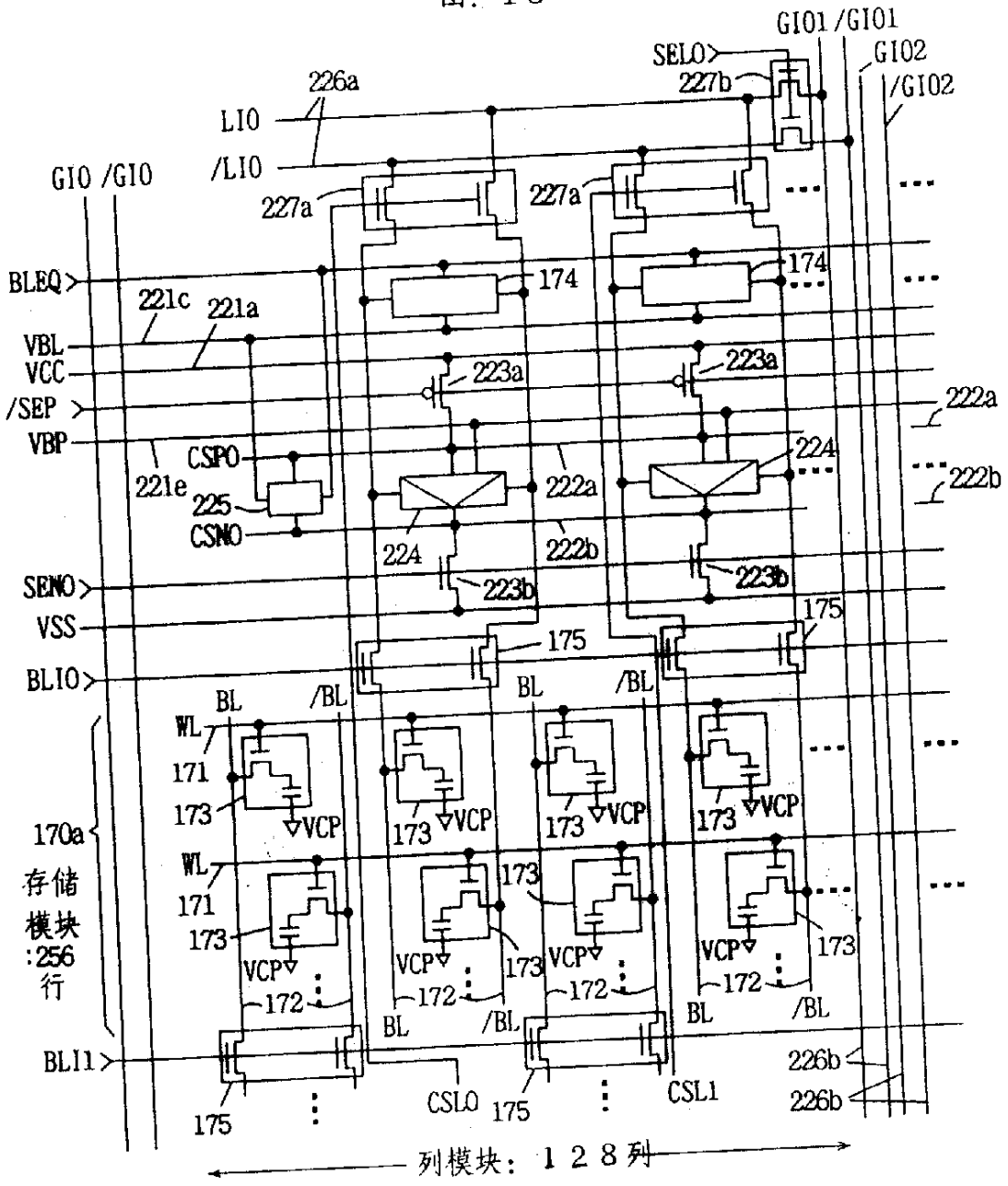
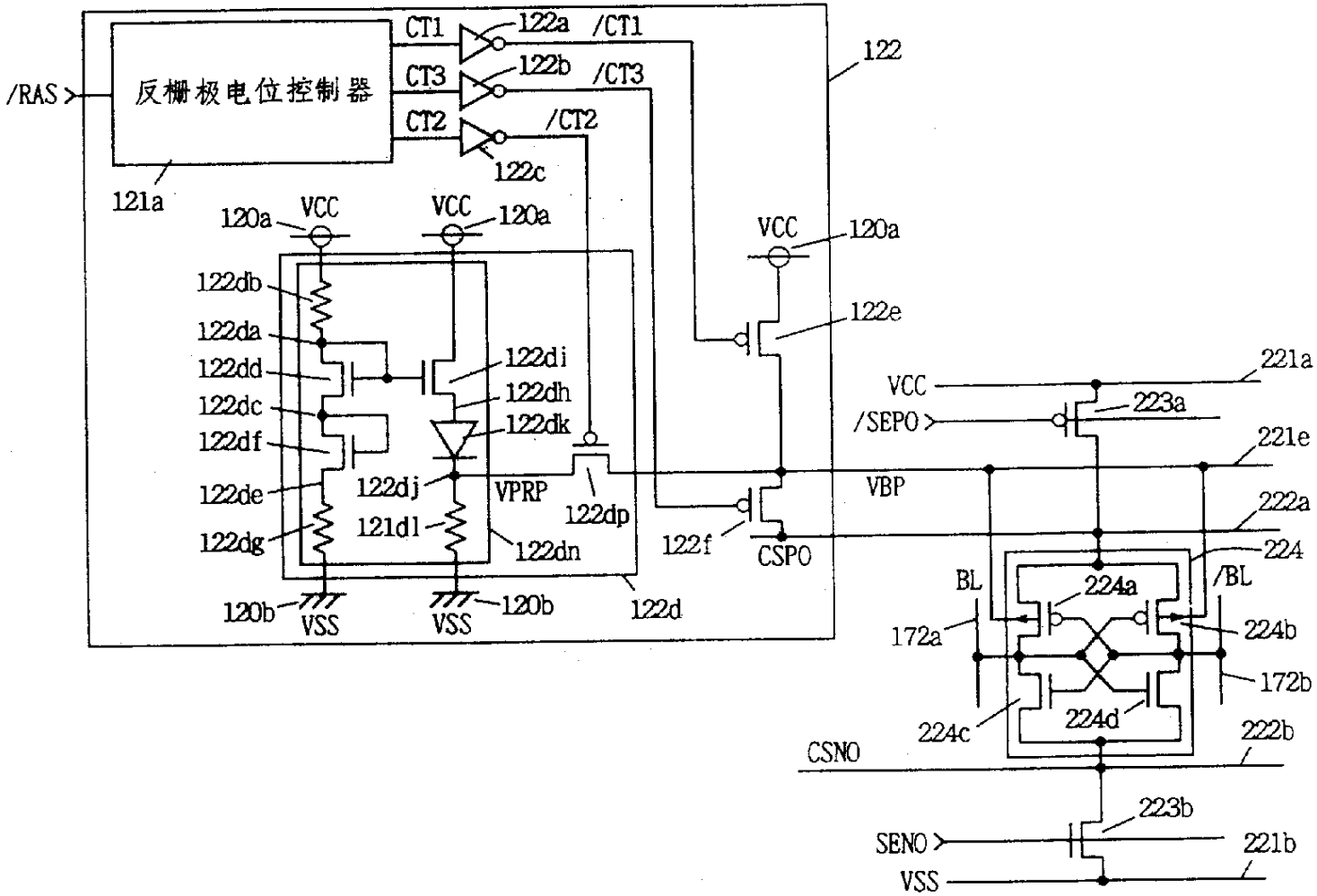

GIO1 /GIO1
GIO2
/GIO2
SELO
227b
226a
LIO
/LIO
GIO /GIO
227a
227a
BLEQ
174
174
221c
221a
VBL
VCC
/SEP
VBP
223a
223a
222a
224
CSPO
221e
225
CSNO
222a
222b
224
222b
223b
223b
SENO
VSS
175
175
BLIO
BL
/BL
BL
/BL
WL
171
173
VCP
173
VCP
173
VCP
173
VCP
170a
存储
模块
:256
行
WL
171
173
VCP
173
173
VCP
VCP
VCP
173
172
172
172
172
BL
/BL
BL
/BL
226b
226b
BLI1
175
CSLO
175
CSL1
列模块：１２８列

图. 16



/RAS
反栅极电位控制器
121a
CT1
CT3
CT2
122a
122b
122c
/CT1
/CT3
/CT2
122
120a
VCC
122db
122da
122dd
122dc
122df
122de
122dg
122di
122dh
122dk
122dj
121dl
VPRP
122dn
122dp
122d
120b
VSS
122e
122f
CSPO
VBP
221a
223a
221e
222a
224
224a
224b
224c
224d
BL
/BL
172a
172b
222b
CSNO
223b
SENO
221b

图. 17

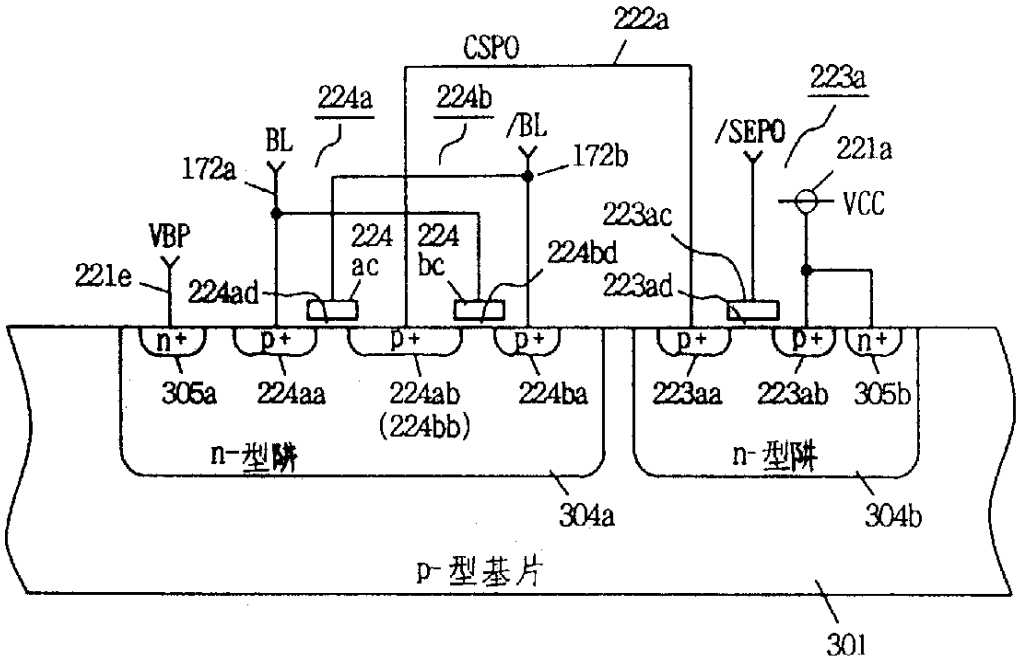

222a
CSPO
223a
224a
224b
/BL
/SEPO
BL
172a
172b
221a
VCC
223ac
VBP
224 ac
224 bc
224bd
221e
224ad
223ad
n+
p+
p+
p+
p+
p+
n+
305a
224aa
224ab (224bb)
224ba
223aa
223ab
305b
n-型阱
n-型阱
304a
304b
p-型基片
301

图. 18

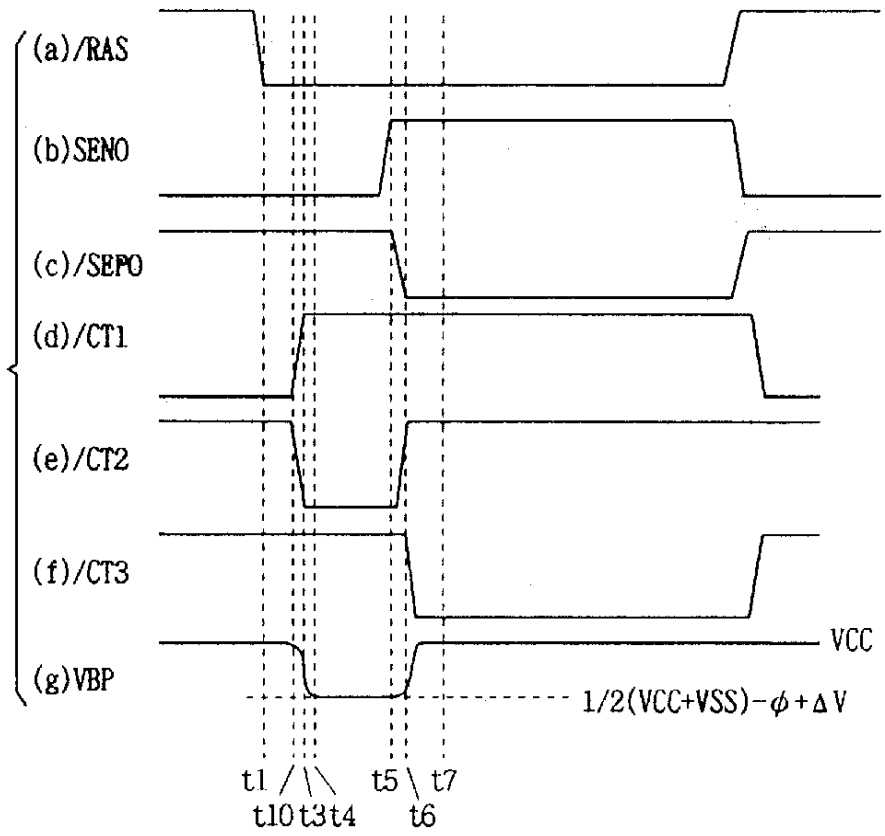

(a)/RAS
(b)SENO
(c)/SEPO
(d)/CT1
(e)/CT2
(f)/CT3
(g)VBP
VCC
1/2(VCC+VSS)-φ+ΔV
t1
t10
t3
t4
t5
t6
t7

图. 19A

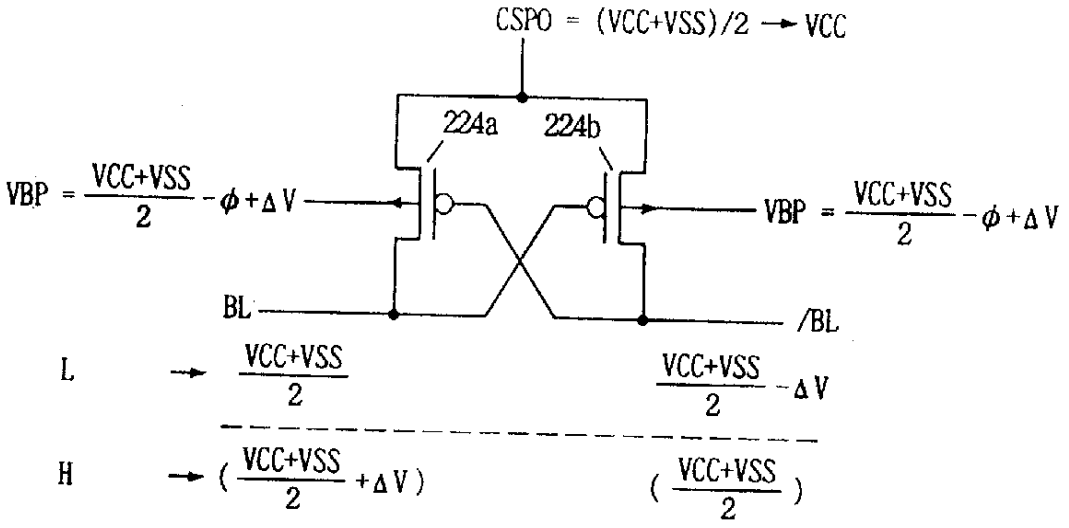

CSPO = (VCC+VSS)/2 → VCC
224a
224b
VBP = VCC+VSS/2 - φ+ΔV
VBP = VCC+VSS/2 - φ+ΔV
BL
/BL
L
VCC+VSS/2
VCC+VSS/2 - ΔV
H
(VCC+VSS/2 +ΔV)
(VCC+VSS/2)

图. 19B

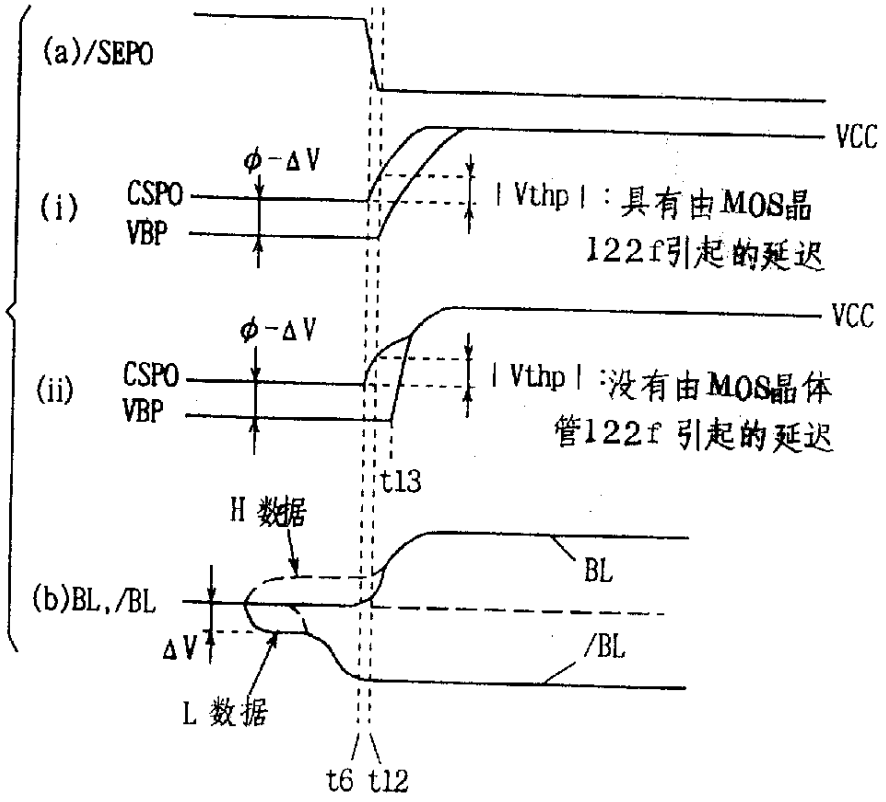
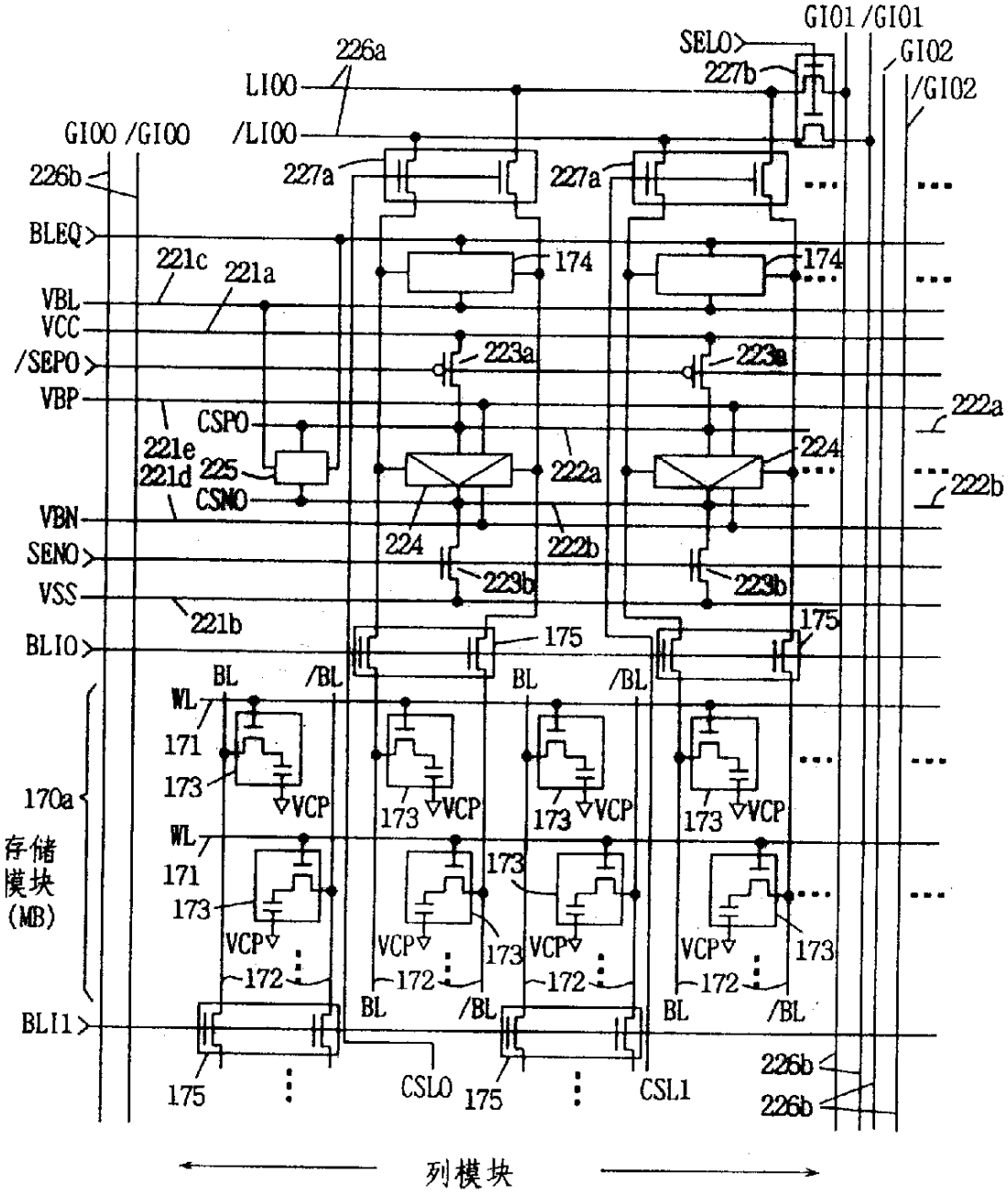

(a)/SEPO
VCC
(i)
φ-ΔV
CSPO
VBP
|Vthp|：具有由MOS晶
122f引起的延迟
VCC
(ii)
φ-ΔV
CSPO
VBP
|Vthp|：没有由MOS晶体
管122f 引起的延迟
t13
H 数据
(b)BL,/BL
BL
/BL
ΔV
L 数据
t6 t12

图. 20


GIO1 /GIO1
SELO
GIO2
/GIO2
226a
LIO0
/LIO0
227b
GIO0 /GIO0
227a
226b
BLEQ
174
221c
221a
VBL
VCC
/SEPO
223a
VBP
222a
CSPO
221e
221d
225
CSNO
224
222b
VBN
SENO
223b
VSS
221b
175
BLIO
BL
/BL
WL
171
173
VCP
170a
存储模块(MB)
172
BLI1
CSL0
CSL1
列模块

图．21

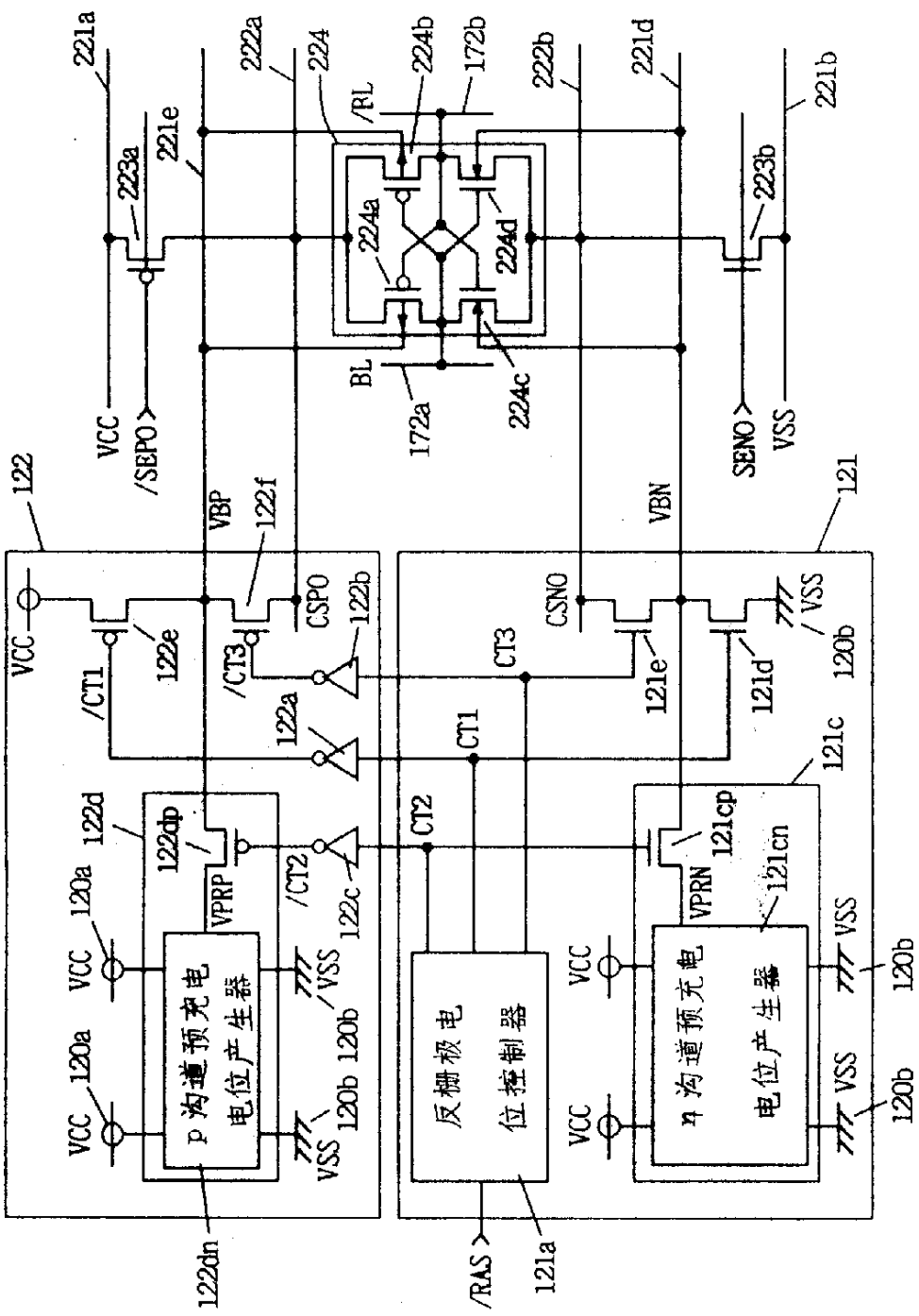

221a
222a
224
/RL
224b
172b
222b
221d
221b
221e
223a
224a
224d
223b
VCC
/SEPO
BL
172a
224c
SENO
VSS
122
VBP
122f
VBN
121
VCC
/CT1
122e
/CT3
CSPO
122b
CT3
CSNO
121e
121d
VSS
120b
122a
CT1
121c
122d
122dp
CT2
121cp
120a
VPRP
/CT2
122c
VPRN
121cn
VSS
P 沟道预充电
电位产生器
反栅极电
位控制器
n 沟道预充电
电位产生器
122dn
/RAS
121a

图. 22

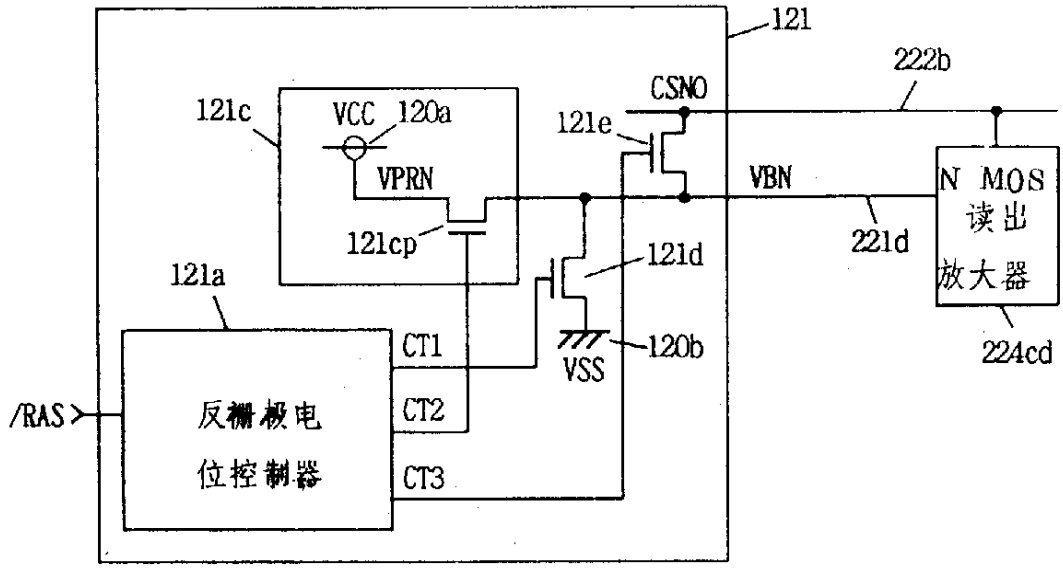

121
222b
CSNO
121c
VCC
120a
121e
VPRN
VBN
N MOS
读出
放大器
121cp
221d
121d
121a
CT1
VSS
120b
224cd
/RAS
反栅极电
位控制器
CT2
CT3

图. 23

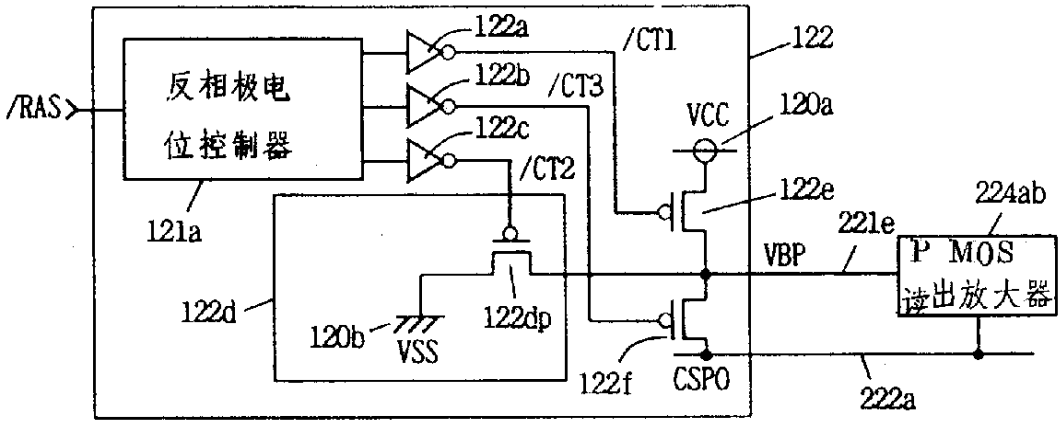

122a
/CT1
122
/RAS
反相极电
位控制器
122b
/CT3
VCC
120a
122c
/CT2
122e
224ab
221e
121a
VBP
P MOS
读出放大器
122d
120b
VSS
122dp
122f
CSPO
222a

图. 24

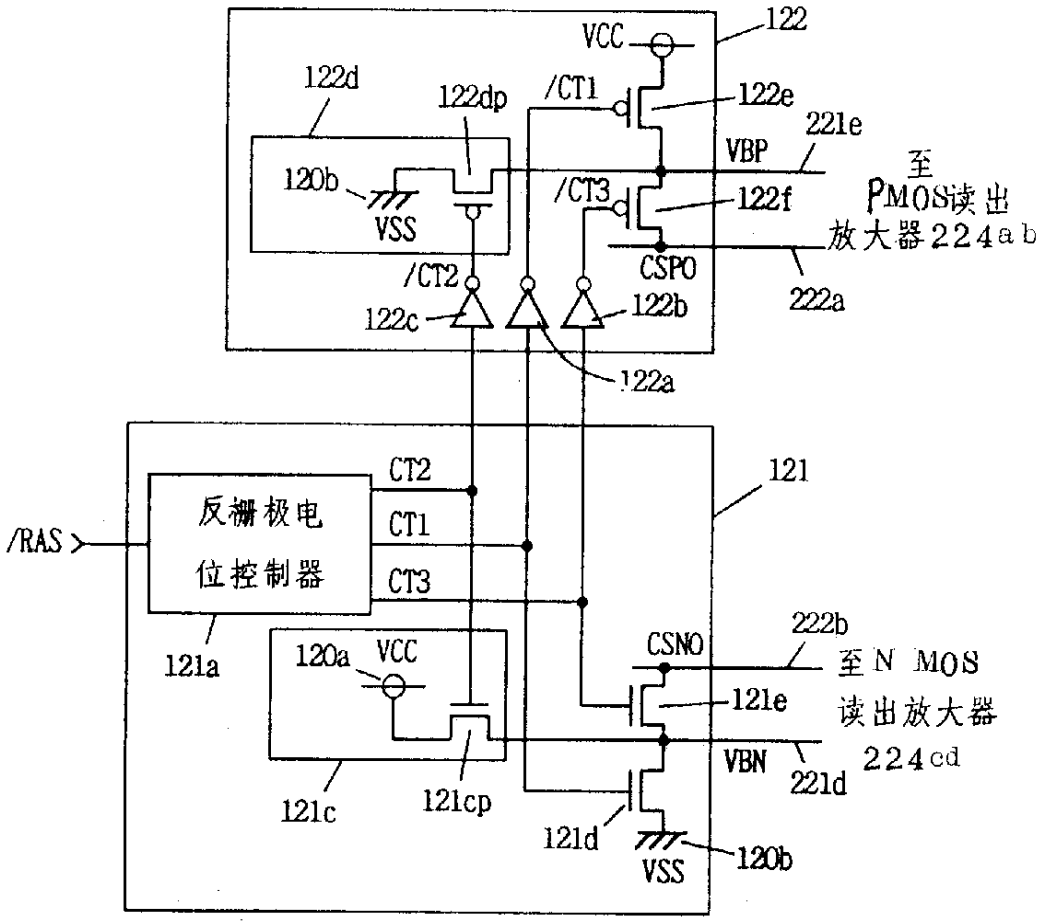

122
VCC
122d
122dp
/CT1
122e
221e
VBP
至
PMOS读出
放大器224ab
120b
VSS
/CT3
122f
CSPO
222a
/CT2
122c
122b
122a
121
CT2
CT1
CT3
/RAS
反栅极电
位控制器
121a
120a
VCC
222b
CSNO
至N MOS
读出放大器
224cd
121e
VBN
221d
121c
121cp
121d
VSS
120b

图. 25A

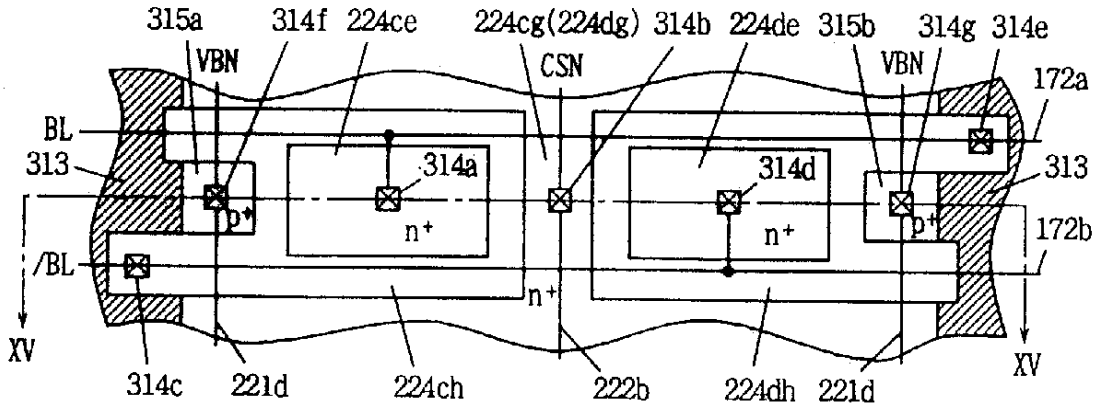

315a
314f
224ce
224cg(224dg)
314b
224de
315b
314g
314e
VBN
CSN
VBN
172a
BL
313
314a
314d
313
p+
n+
n+
p+
172b
/BL
n+
XV
XV
314c
221d
224ch
222b
224dh
221d

图. 25B

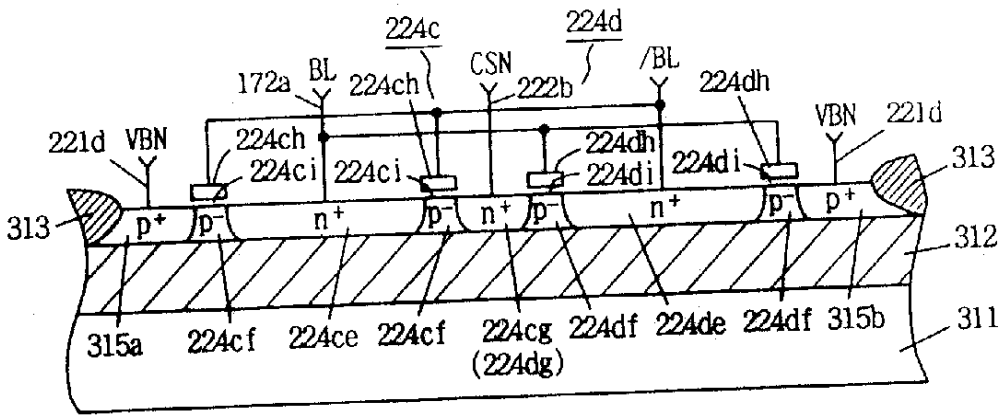


图. 26A

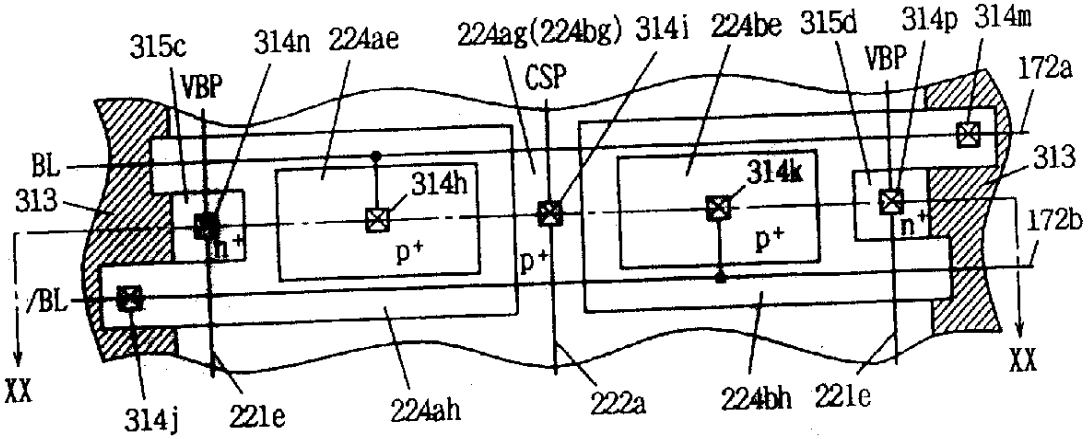


图. 26B

