

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第2区分

【発行日】平成27年12月17日(2015.12.17)

【公開番号】特開2013-123042(P2013-123042A)

【公開日】平成25年6月20日(2013.6.20)

【年通号数】公開・登録公報2013-032

【出願番号】特願2012-245687(P2012-245687)

【国際特許分類】

H 01 L	29/786	(2006.01)
H 01 L	21/336	(2006.01)
H 01 L	21/28	(2006.01)
H 01 L	29/423	(2006.01)
H 01 L	29/49	(2006.01)

【F I】

H 01 L	29/78	6 1 8 B
H 01 L	29/78	6 1 6 T
H 01 L	29/78	6 1 7 K
H 01 L	29/78	6 2 7 C
H 01 L	21/28	3 0 1 B
H 01 L	29/58	G
H 01 L	29/78	6 1 7 J

【手続補正書】

【提出日】平成27年10月30日(2015.10.30)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

ソース電極層と、

ドレイン電極層と、

第1の不純物領域と、第2の不純物領域と、前記第1の不純物領域及び前記第2の不純物領域の間のチャネル形成領域とを含む酸化物半導体層と、

前記酸化物半導体層の上面、前記ソース電極層の上面、及び前記ドレイン電極層の上面に接する領域を有するゲート絶縁層と、

前記ゲート絶縁層を介して前記チャネル形成領域と重畳する領域を有するゲート電極層と、

前記ゲート電極層の側面に接する領域を有し、且つ前記酸化物半導体層のチャネル長方向において、前記ゲート絶縁層を介して前記ソース電極層又は前記ドレイン電極層と重畳する領域を有する導電層と、

前記導電層を介して、前記ゲート電極層の側面と重畳する領域を有する側壁絶縁層と、を有し、

前記導電層の側端部は、前記側壁絶縁層の側端部と一致しており、

前記酸化物半導体層のチャネル長方向において、前記第1の不純物領域の側面の一は前記ソース電極層と接しており、前記第2の不純物領域の側面の一は前記ドレイン電極層と接している半導体装置。

【請求項2】

請求項 1において、

前記ゲート電極層と重畳する領域の前記ゲート絶縁層の膜厚は、前記導電層と重畳する領域の前記ゲート絶縁層の膜厚よりも大きい半導体装置。

【請求項 3】

請求項 1又は請求項 2において、

前記導電層と重畳する領域の前記ゲート絶縁層の膜厚は、前記導電層又は前記ゲート電極層と重畳しない領域の前記ゲート絶縁層の膜厚よりも大きい半導体装置。

【請求項 4】

ソース電極層及びドレイン電極層を形成し、

前記ソース電極層及び前記ドレイン電極層を覆う酸化物半導体層を形成し、

前記ソース電極層及び前記ドレイン電極層と重畳する領域の前記酸化物半導体層を除去して、開口を有する酸化物半導体層とし、

前記開口を有する酸化物半導体層を加工して、前記ソース電極層と前記ドレイン電極との間に配置された島状の酸化物半導体層を形成し、

前記酸化物半導体層上、前記ソース電極層上、及び前記ドレイン電極層上にゲート絶縁層を形成し、

前記ゲート絶縁層を介して前記酸化物半導体層と重畳する領域を有するゲート電極層を形成し、

前記ゲート電極層をマスクとして前記酸化物半導体層に不純物を導入して、前記酸化物半導体層に自己整合的に第1の不純物領域及び第2の不純物領域を形成し、

前記ゲート絶縁層及び前記ゲート電極層上に導電膜を形成し、

前記導電膜上に絶縁層を形成し、

前記絶縁層を加工して、前記導電膜を介して前記ゲート電極層の側面に接する領域を有する側壁絶縁層を形成し、

前記側壁絶縁層をマスクとして前記導電膜をエッチングして、前記ゲート電極層の側面に接する領域を有する導電層を形成する半導体装置の作製方法。

【請求項 5】

島状の酸化物半導体層を形成し、

前記酸化物半導体層を覆う第1の導電膜を形成し、

少なくとも前記酸化物半導体層と重畳する領域の前記第1の導電膜を除去して、ソース電極層及びドレイン電極層を形成し、

前記酸化物半導体層上、前記ソース電極層上、及び前記ドレイン電極層上にゲート絶縁層を形成し、

前記ゲート絶縁層を介して前記酸化物半導体層と重畳する領域を有するゲート電極層を形成し、

前記ゲート電極層をマスクとして前記酸化物半導体層に不純物を導入して、前記酸化物半導体層に自己整合的に第1の不純物領域及び第2の不純物領域を形成し、

前記ゲート絶縁層上及び前記ゲート電極層上に第2の導電膜を形成し、

前記第2の導電膜上に絶縁層を形成し、

前記絶縁層を加工して、前記第2の導電膜を介して前記ゲート電極層の側面に接する領域を有する側壁絶縁層を形成し、

前記側壁絶縁層をマスクとして前記第2の導電膜をエッチングして、前記ゲート電極層の側面に接する領域を有する導電層を形成する半導体装置の作製方法。