

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2010-16101

(P2010-16101A)

(43) 公開日 平成22年1月21日(2010.1.21)

(51) Int.Cl.	F I	テーマコード (参考)
H O 1 G 4/12 (2006.01)	H O 1 G 4/12 3 6 4	5 E 0 0 1
H O 1 G 4/30 (2006.01)	H O 1 G 4/30 3 1 1 Z	5 E 0 8 2

審査請求 未請求 請求項の数 2 O L (全 9 頁)

(21) 出願番号	特願2008-173423 (P2008-173423)	(71) 出願人	000006231
(22) 出願日	平成20年7月2日(2008.7.2)		株式会社村田製作所
			京都府長岡京市東神足1丁目10番1号
		(74) 代理人	100091432
			弁理士 森下 武一
		(74) 代理人	100124729
			弁理士 谷 和紘
		(72) 発明者	阪中 篤
			京都府長岡京市東神足1丁目10番1号
			株式会社村田製作所内
		Fターム(参考)	5E001 AB03 AF06 AH07 AJ03 AZ00
			5E082 AA01 AB03 BC38 BC40 CC03
			GG10 GG26 JJ03 JJ30 LL03
			MM19

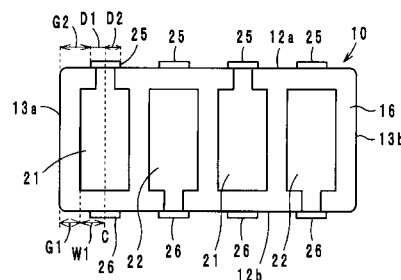
(54) 【発明の名称】 積層型電子部品の製造方法

(57) 【要約】

【課題】セラミック素体の端面と内部電極とのサイドギャップを正確に測定でき、極力小型化を図ることのできる積層型電子部品の製造方法を得る。

【解決手段】複数のセラミック層を積層してセラミック素体を形成するとともに、引出し部がセラミック素体の側面12a, 12bに露出した内部電極21, 22をセラミック素体の内部に形成し、側面12a, 12bにめっきにより内部電極21, 22の露出部と電気的に接続された帯状の外部端子電極25, 26を形成する積層型電子部品の製造方法。端面13aに最も近い外部端子電極21から端面13aまでの距離G2を測定し、測定された距離G2が所定の基準値を満たさない場合、そのセラミック素体を不良品として選別除去する。

【選択図】 図4



【特許請求の範囲】

【請求項 1】

複数のセラミック層を積層し、互いに対向する第 1 主面及び第 2 主面と、互いに対向する第 1 側面及び第 2 側面と、互いに対向する第 1 端面及び第 2 端面と、を有するセラミック素体を形成するとともに、このセラミック素体の内部に、第 1 側面において該第 1 側面よりも短い幅の露出部を有する内部電極を形成する工程と、

第 1 側面上にめっきにより前記内部電極の露出部と電氣的に接続された下地めっき膜を有する帯状の外部端子電極を形成する工程と、

第 1 端面に最も近い外部端子電極から第 1 端面までの距離を測定し、測定された距離が所定の基準値を満たさない場合、そのセラミック素体を不良品として選別除去する工程と

10

を備えたことを特徴とする積層型電子部品の製造方法。

【請求項 2】

前記内部電極は互いにセラミック層を介して対向する第 1 内部電極と第 2 内部電極とからなり、第 1 内部電極と第 2 内部電極は一のセラミック層上に隣接して配置されていること、を特徴とする請求項 1 に記載の積層型電子部品の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、積層型電子部品の製造方法、特に、複数のセラミック層の間に複数の内部電極を内蔵した積層型セラミックコンデンサレイなどの積層型電子部品の製造方法に関する。

20

【背景技術】

【0002】

近年、携帯電話や携帯音楽プレーヤなどの電子機器の小型化に伴い、電子機器に内蔵される配線基板においては、電子部品の高密度実装化が急速に進んでいる。これを受けて、実装スペースや実装部品点数を削減するため、複数の回路素子を 1 チップ化した電子部品が求められており、コンデンサレイに代表されるレイ型電子部品が用いられている。

【0003】

レイ型の多端子タイプの電子部品は、直方体形状の積層体を備え、該積層体の側面上には複数の帯状の外部端子電極が形成されている。

30

【0004】

従来の積層型セラミックコンデンサレイとしては、特許文献 1 などに代表されるものが知られている。具体的には、図 9 に、上下のセラミック層 105, 106 上にそれぞれ、第 1 内部電極 111 及び第 2 内部電極 112 を形成し、各内部電極 111, 112 の引出し部をセラミック素体 100 の側面 102a, 102b に露出させるとともに、該側面 102a, 102b に形成した外部端子電極 121, 122 に電氣的に接続している。外部端子電極 121, 122 は、例えば、特許文献 2 に示されているように、電極ペーストを塗布することにより形成される。

【0005】

40

コンデンサレイでは、近年では大容量化が求められ、内部電極 111, 112 の面積を大きくする必要に迫られている。内部電極 111, 112 の面積を大きくし、かつ、小型化を維持するには容量部とセラミック素体 100 の端面 103a, 103b とのギャップ G を狭くする必要がある。しかし、サイドギャップ G を狭くし過ぎると、セラミック層 105, 106 間の密着性が弱まり、水分が内部電極 111, 112 にまで侵入しやすくなり、ショートなどの故障が発生するおそれがある。

【0006】

仮に、サイドギャップの限界を見極めて設計寸法を決めたとしても、コンデンサレイの製造工程においては、積層ずれ、カットずれなどの不良発生要因が存在するため、実際には、サイドギャップが設計値どおりに製造されない。そして、サイドギャップの不良を

50

選別して不良品を除去するために、外部端子電極を形成する前に、個々のセラミック素体について側面の内部電極露出部をカメラなどの撮像手段を用いて観察し、サイドギャップの距離を測定していた。しかし、内部電極露出部は小さく、測定精度が低く、しかも非常に手間の掛かる作業であった。それゆえ、現実的には、サイドギャップの設計寸法を必要以上に大きく設定せざるを得なかった。

【特許文献１】特開２００４－４７７０７号公報

【特許文献２】特開平１０－２２１８３号公報

【発明の開示】

【発明が解決しようとする課題】

【０００７】

そこで、本発明の目的は、セラミック素体の端面と内部電極とのサイドギャップを正確に測定でき、極力小型化を図ることのできる積層型電子部品の製造方法を提供することにある。

【課題を解決するための手段】

【０００８】

前記目的を達成するため、本発明の一形態である積層型電子部品の製造方法は、複数のセラミック層を積層し、互いに対向する第１主面及び第２主面と、互いに対向する第１側面及び第２側面と、互いに対向する第１端面及び第２端面と、を有するセラミック素体を形成するとともに、このセラミック素体の内部に、第１側面において該第１側面よりも短い幅の露出部を有する内部電極を形成する工程と、

第１側面上にめっきにより前記内部電極の露出部と電氣的に接続された下地めっき膜を有する帯状の外部端子電極を形成する工程と、

第１端面に最も近い外部端子電極から第１端面までの距離を測定し、測定された距離が所定の基準値を満たさない場合、そのセラミック素体を不良品として選別除去する工程と、

を備えたことを特徴とする。

【０００９】

前記積層型電子部品の製造方法において、セラミック素体の第１側面上にはめっきによって外部端子電極が形成される。めっきは内部電極露出部を中心として左右方向に実質的に均等に成長するため、外部端子電極とセラミック素体の第１端面との距離を実際のサイドギャップの距離に置き換えてサイドギャップの良否を選別することができる。外部端子電極は一つの面として観察されるため、画像として認識しやすく、高精度に距離の測定を行うことができる。

【００１０】

また、外部端子電極は第１側面から突出するように形成されるため、第１又は第２主面方向からも外部端子電極と第１端面との距離を測定することが可能である。

【発明の効果】

【００１１】

本発明によれば、サイドギャップの測定を容易かつ高精度に行うことができ、不良品を効率よく除去することができ、サイドギャップの設計値を小さく設定できるのでセラミック素体の大型化を回避できる。サイドギャップの測定に際して、第１側面方向のみでなく第１又は第２主面方向からも測定できるので、測定方向の自由度が増し、主面方向からの測定では第１及び第２側面において同時に測定することも可能である。

【発明を実施するための最良の形態】

【００１２】

以下、本発明に係る積層型電子部品の製造方法の実施例について添付図面を参照して説明する。

【００１３】

（第１実施例、図１～図５参照）

本発明の第１実施例によって製造された積層型セラミックコンデンサレイについて説

10

20

30

40

50

明する。この積層型セラミックコンデンサレイは、図 1 ~ 図 3 に示すように、複数のセラミック層 14 ~ 19 を積層してセラミック素体 10 を形成するとともに、このセラミック素体 10 の内部に第 1 内部電極 21 及び第 2 内部電極 22 と第 1 内部導体 23 及び第 2 内部導体 24 を形成したものである。

【0014】

セラミック素体 10 は、互いに対向する第 1 主面 11a 及び第 2 主面 11b と、互いに対向する第 1 側面 12a 及び第 2 側面 12b と、互いに対向する第 1 端面 13a 及び第 2 端面 13b と、を有する直方体形状をなしている。第 1 側面 12a 及び第 2 側面 12b には、それぞれ、上下方向に延在する帯状の第 1 外部端子電極 25 及び第 2 外部端子電極 26 が互いに電氣的に絶縁された状態で形成されている。

10

【0015】

第 1 内部電極 21 及び第 1 内部導体 23 は第 1 側面 12a まで引き出されて第 1 外部端子電極 25 と電氣的に接続されている。第 2 内部電極 22 及び第 2 内部導体 24 は第 2 側面 12b まで引き出されて第 2 外部端子電極 26 と電氣的に接続されている。

【0016】

第 1 及び第 2 外部端子電極 25, 26 は、それぞれ、下地めっき膜と上層めっき膜とからなり、第 1 及び第 2 側面 12a, 12b に第 1 及び第 2 主面 11a, 11b に回り込むように形成されている。下地めっき膜は、それぞれ、第 1 及び第 2 内部電極 21, 22 の露出部を被覆するようにして第 1 及び第 2 側面 12a, 12b に直接めっきにより形成されている。上層めっき膜は下地めっき膜を被覆するようにして形成された第 1 層と、該第 1 層を被覆するようにして形成された第 2 層とからなる。

20

【0017】

図 3 に示すように、第 1 内部電極 21 と第 2 内部電極 22 は、一のセラミック層 16, 17 上では互いに隣接し、積層方向には互いにセラミック層 16 を介して対向して容量を形成している。

【0018】

第 1 及び第 2 内部導体 23, 24 は、上下の外層部に配置され、前記下地めっき膜のめっき成長の核として機能するものである。即ち、下地めっき膜が第 1 及び第 2 主面 11a, 11b に向かって成長するのを補助する。なお、第 1 及び第 2 内部導体 23, 24 は省略してもよい。即ち、第 1 及び第 2 内部電極の 21, 22 の積層枚数が十分に多い場合や、下地めっき膜を上下方向にそれほど成長させる必要がない場合には、第 1 及び第 2 内部導体 23, 24 を形成する必要はない。

30

【0019】

セラミック層として、例えば、 BaTiO_3 、 CaTiO_3 、 SrTiO_3 、 CaZrO_3 などを主成分とする誘電体セラミックを用いることができる。また、これらの主成分に Mn 化合物、Fe 化合物、Cr 化合物、Co 化合物、Ni 化合物などの副成分を添加したものをを用いてもよい。セラミック層の焼成後の厚みは、0.1 ~ 10 μm であることが好ましい。

【0020】

内部電極、内部導体としては、例えば、Ni、Cu、Ag、Pd、Au、又はそれらの合金などを用いることができる。内部電極の焼成後の厚みは、0.1 ~ 2.0 μm であることが好ましい。

40

【0021】

外部端子電極の下地めっき膜及び上層めっき膜は、例えば、Cu、Ni、Sn、Pb、Au、Ag、Pd、Bi 及び Zn からなる群から選ばれた 1 種の金属又は該金属を含む合金からなることが好ましい。例えば、内部電極として Ni を用いた場合、下地めっき膜としては Ni と接合性の良好な Cu を用いることが好ましい。また、上層めっき膜の第 1 層としては、はんだバリア性能を有する Ni を用いることが好ましく、第 2 層としては、はんだ濡れ性の良好な Sn や Au を用いることが好ましい。上層めっき膜は必要に応じて形成されるものであり、下地めっき膜 1 層であってもよい。各めっき膜 1 層当たりの厚みは

50

、 $1 \sim 15 \mu\text{m}$ であることが好ましい。

【0022】

次に、前記積層型セラミックコンデンサレイの製造方法について説明する。

【0023】

(工程1) セラミックグリーンシート、内部電極用導電性ペースト、内部導体用導電性ペーストを準備する。セラミックグリーンシートや導電性ペーストに含まれるバインダ及び溶剤は、周知の有機バインダや有機溶剤を用いることができる。

【0024】

(工程2) セラミックグリーンシート上に、スクリーン印刷などにより所定のパターンで導電性ペーストを印刷し、内部電極パターン及び内部導体パターンを形成する。

10

【0025】

(工程3) 前記セラミックグリーンシートを所定枚数積層し、マザー積層体を製作する。マザー積層体は、必要に応じて、静水圧プレスなどの手段により積層方向に圧着される。

【0026】

(工程4) 生のマザー積層体を所定のサイズにカットし、生チップを切り出す。

【0027】

(工程5) 前記生チップを焼成する。焼成温度は、セラミックや内部電極などの材料にもよるが、 $900 \sim 1300$ であることが好ましい。

【0028】

20

(工程6) 必要に応じて、バレル研磨などの研磨処理を施し、内部電極の露出部の面出しを行う。同時に、積層体の稜線部や角部に丸みが形成される。

【0029】

(工程7) めっき処理を施して、内部電極及び内部導体の露出部上に下地めっき膜を形成する。電解めっき、無電解めっきのいずれを採用してもよい。無電解めっきはめっき析出速度を向上させるために触媒などによる前処理が必要となり、工程が複雑化する。従って、電解めっきを採用することが好ましい。めっき工法としては、バレルめっきを採用することが好ましい。

【0030】

(工程8) 必要に応じて、下地めっき膜上に1層以上の上層めっき膜を形成する。

30

【0031】

(工程9) 前述のごとく作製したコンデンサレイを選別する。図4に良品であるコンデンサレイの内部電極21, 22の形成状態を示し、図5に不良品であるコンデンサレイの内部電極21, 22の形成状態を示す。

【0032】

図4における各符号の意味は以下のとおりである。

G1: 第1内部電極の容量部と第1端面との距離(サイドギャップ)

G2: 第1外部端子電極と第1端面との距離

W1: 第1内部電極の中心線Cと容量部側辺との距離

D1: 第1内部電極の中心線Cと第1外部端子電極の一方側辺との距離

40

D2: 第1内部電極の中心線Cと第1外部端子電極の他方側辺との距離

【0033】

本実施例では、外部端子電極25, 26が直接めっきにより形成された下地めっき膜を有するため、外部端子電極25, 26は内部電極21, 22の露出部を中心として左右方向に実質的に均等に成長する。距離W1は内部電極パターンの設計、距離D1はめっき条件に主に左右されるが、ばらつきを比較的小さく抑えることができるため、設計上、距離W1, D1は定数とみなすことができる。よって、実質的に $(G1 + W1) = (G2 + D1)$ となり、サイドギャップG1の長短を、距離G2の長短を測定することで判別することが可能である。

【0034】

50

従って、予め良品となる標準試料群から、サイドギャップ G 1 の良品範囲と距離 G 2 の良品範囲（基準値）を求めておき、距離 G 2 の実測値が良品範囲に含まれるものをサイドギャップ良品と判別し、良品範囲から外れるものをサイドギャップ不良品と判別し、除去することができる。なお、図 5 では、距離 G 2 が短すぎるために不良品と判別されたものを示している。

【 0 0 3 5 】

距離 G 2 の測定方法としては、例えば、第 1 側面 1 2 a が上方を向くようにコンデンサアレイを整列させ、上方から CCD カメラなどの撮像手段により第 1 側面 1 2 a を観察し、距離 G 2 を測定することが挙げられる。撮像手段の内部処理では、例えば、画像情報が 2 値化され、外部端子電極 2 5 , 2 6 とセラミック素体 1 0 との境界が認識される。

10

【 0 0 3 6 】

また、第 1 主面 1 1 a が上方を向くようにしてコンデンサアレイを整列させ、上方から CCD カメラなどの撮像手段により第 1 側面 1 2 a の外部端子電極 2 5 の突出状態を観察し、距離 G 2 を測定してもよい。この場合、第 2 側面 1 2 b の状態も同時に観察することができ、選別工程を時間的に短縮することが可能となる。このような測定方法を用いる場合、例えば、光の反射率が外部端子電極 2 5 , 2 6 及びセラミック素体 1 0 と異なる部材の上にコンデンサアレイを載置して観察し、撮像手段の内部処理において画像情報を 3 値化することにより、外部端子電極 2 5 , 2 6 、セラミック素体 1 0 及び周囲の空間との境界が認識され、距離 G 2 を測定することができる。

【 0 0 3 7 】

20

（測定不能例、図 6 参照）

なお、特許文献 2 に示されているように、外部端子電極 2 5 , 2 6 をペーストの塗布、焼付けによって形成する方法では、距離 G 2 をサイドギャップ G 1 に置き換えて選別を行うことができない。従来のペースト塗布工法では、内部電極 2 1 , 2 2 の中心線 C に対して外部端子電極 2 5 , 2 6 がずれて形成されやすい。これは、ペースト塗布精度に限界があり、目的とする位置に精度よくペーストを塗布することが困難なためである。それゆえ、 $(G 1 + W 1) = (G 2 + D 1)$ とみなすことが困難である。例えば、図 6 に示すようなサイドギャップ不良品であっても、良品と誤認してしまうおそれがある。換言すれば、図 5 と比較した場合、サイドギャップ G 1 がともに不良であっても距離 G 2 が大きくて良品と判別されるおそれがある。

30

【 0 0 3 8 】

（第 2 実施例、図 7 参照）

図 7 は、多端子型の低 E S L 積層型セラミックコンデンサの二つのセラミック層を示す。この積層型セラミックコンデンサにおいて、第 1 及び第 2 内部電極 2 1 , 2 2 はそれぞれ露出部を有する複数の引出し部を備えている。そして、第 1 及び第 2 内部電極 2 1 , 2 2 のそれぞれの露出部は第 1 及び第 2 側面 1 2 a , 1 2 b のそれぞれにおいてオフセットされて配置されている。このような積層型セラミックコンデンサにおいても、外部端子電極 2 5 , 2 6 を素体 1 0 の側面 1 2 a , 1 2 b 上にめっきにより形成することにより、外部端子電極 2 5 , 2 6 から素体 1 0 の端面 1 3 a , 1 3 b までの距離 G 2 を測定することでサイドギャップ G 1 の良否を選別することができる。

40

【 0 0 3 9 】

（第 3 実施例、図 8 参照）

図 8 は、2 端子型の積層型セラミックコンデンサの二つのセラミック層を示す。この積層型セラミックコンデンサにおいて、第 1 及び第 2 内部電極 2 1 , 2 2 は長い露出部を有し、第 1 及び第 2 側面 1 2 a , 1 2 b に比較的広い面積の第 1 及び第 2 外部端子電極 2 5 , 2 6 が形成されている。このような積層型セラミックコンデンサにおいても、外部端子電極 2 5 , 2 6 を素体 1 0 の側面 1 2 a , 1 2 b 上にめっきにより形成することにより、外部端子電極 2 5 , 2 6 から素体 1 0 の端面 1 3 a , 1 3 b までの距離 G 2 を測定することでサイドギャップ G 1 の良否を選別することができる。

【 0 0 4 0 】

50

(他の実施例)

なお、本発明に係る積層型電子部品の製造方法は前記実施例に限定するものではなく、その要旨の範囲内で種々に変更することができることは勿論である。

【図面の簡単な説明】

【0041】

【図1】第1実施例にて製造された積層型セラミックコンデンサレイを示す斜視図である。

【図2】図1のA - A断面図である。

【図3】前記積層型セラミックコンデンサレイの各層を分解して示す平面図である。

【図4】良品と判別されるサイドギャップを示す平面図である。

10

【図5】不良品と判別されるサイドギャップを示す平面図である。

【図6】従来の製造方法によって良品と誤判別されるサイドギャップを示す平面図である。

【図7】第2実施例にて製造された積層型セラミックコンデンサの二つの層を示す平面図である。

【図8】第3実施例にて製造された積層型セラミックコンデンサの二つの層を示す平面図である。

【図9】従来の問題点を示すために積層型セラミックコンデンサレイの二つの層を示す平面図である。

【符号の説明】

20

【0042】

10 ... セラミック素体

11 a , 11 b ... 主面

12 a , 12 b ... 側面

13 a , 13 b ... 端面

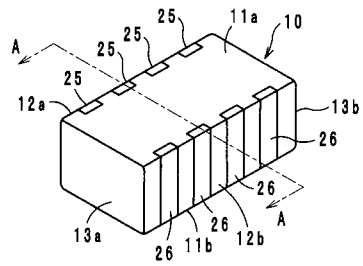
21 , 22 ... 内部電極

25 , 26 ... 外部端子電極

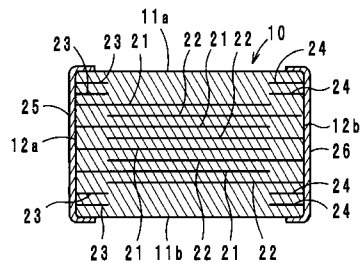
G1 ... サイドギャップ

G2 ... 外部端子電極 - 端面間距離

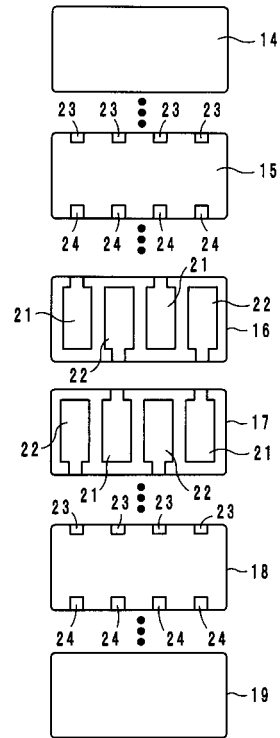
【図 1】



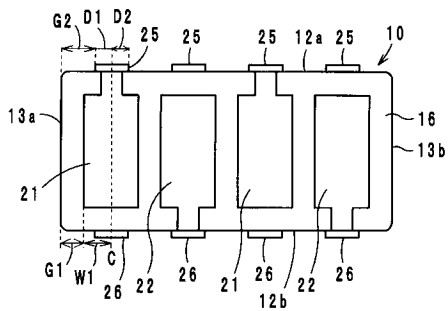
【図 2】



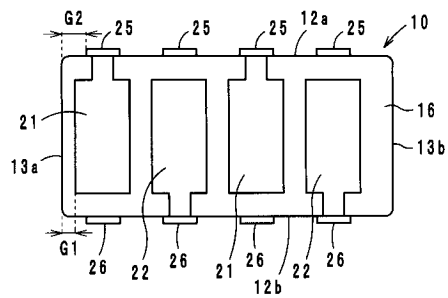
【図 3】



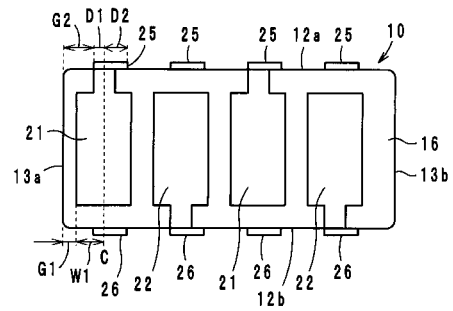
【図 4】



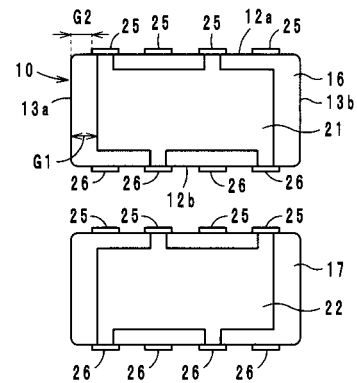
【図 5】



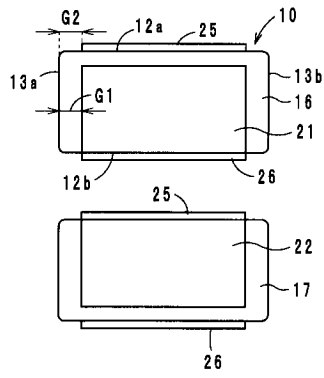
【図 6】



【図 7】



【図 8】



【図 9】

