

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4727024号  
(P4727024)

(45) 発行日 平成23年7月20日(2011.7.20)

(24) 登録日 平成23年4月22日(2011.4.22)

(51) Int.Cl.

F I

G O 2 F 1/1368 (2006.01)

G O 2 F 1/1368

G O 2 F 1/1333 (2006.01)

G O 2 F 1/1333 5 0 0

G O 2 F 1/1339 (2006.01)

G O 2 F 1/1339 5 0 5

G O 9 F 9/30 (2006.01)

G O 9 F 9/30 3 3 8

H O 1 L 29/786 (2006.01)

H O 1 L 29/78 6 2 6 C

請求項の数 12 (全 27 頁) 最終頁に続く

(21) 出願番号 特願2000-216697 (P2000-216697)  
 (22) 出願日 平成12年7月17日(2000.7.17)  
 (65) 公開番号 特開2002-31818 (P2002-31818A)  
 (43) 公開日 平成14年1月31日(2002.1.31)  
 審査請求日 平成19年6月13日(2007.6.13)

(73) 特許権者 000153878  
 株式会社半導体エネルギー研究所  
 神奈川県厚木市長谷398番地  
 (72) 発明者 山崎 舜平  
 神奈川県厚木市長谷398番地 株式会社  
 半導体エネルギー研究所内  
 (72) 発明者 高山 徹  
 神奈川県厚木市長谷398番地 株式会社  
 半導体エネルギー研究所内

審査官 奥田 雄介

最終頁に続く

(54) 【発明の名称】 半導体装置の作製方法

(57) 【特許請求の範囲】

【請求項1】

素子形成基板の一方の面側に、水素を含有する非晶質シリコン膜を形成し、  
 前記素子形成基板の一方の面側に、第1接着層を用いて第1固定基板を貼り合わせ、  
 前記素子形成基板の他方の面側に、少なくともTFT素子を形成し、  
 レーザー光を照射することによって前記非晶質シリコン膜に含有された前記水素を気化  
 させて、前記第1固定基板を分離し、  
前記素子形成基板はプラスチック支持体であり、  
前記第1固定基板はガラス基板又は石英基板であることを特徴とする半導体装置の作製  
方法。

【請求項2】

素子形成基板の一方の面側に、水素を含有するダイヤモンド状炭素膜を形成し、  
 前記素子形成基板の一方の面側に、第1接着層を用いて第1固定基板を貼り合わせ、  
 前記素子形成基板の他方の面側に、少なくともTFT素子を形成し、  
 レーザー光を照射することによって前記ダイヤモンド状炭素膜に含有された前記水素を  
 気化させて、前記第1固定基板を分離し、  
前記素子形成基板はプラスチック支持体であり、  
前記第1固定基板はガラス基板又は石英基板であることを特徴とする半導体装置の作製  
方法。

【請求項3】

請求項 1 又は請求項 2 において、  
前記レーザー光は、前記第 1 固定基板を通過して照射されることを特徴とする半導体装置の作製方法。

【請求項 4】

請求項 1 乃至請求項 3 のいずれか一項において、  
前記第 1 接着層は、有色の有機物であることを特徴とする半導体装置の作製方法。

【請求項 5】

請求項 1 乃至請求項 4 のいずれか一項において、  
前記第 1 接着層は、黒色の有機物であることを特徴とする半導体装置の作製方法。

【請求項 6】

請求項 1 乃至請求項 5 のいずれか一項において、  
前記レーザー光は、エキシマレーザー光、YAG レーザー光、又は YVO<sub>4</sub> レーザー光であることを特徴とする半導体装置の作製方法。

【請求項 7】

請求項 1 乃至請求項 5 のいずれか一項において、  
前記レーザー光は、YAG レーザー光の基本波、第 2 高調波、または第 3 高調波のいずれかを用いたレーザー光であることを特徴とする半導体装置の作製方法。

【請求項 8】

請求項 1 乃至請求項 7 のいずれか一項において、  
前記素子形成基板の他方の面側に絶縁膜を形成した後に、前記 TFT 素子を形成することを特徴とする半導体装置の作製方法。

【請求項 9】

請求項 1 乃至請求項 8 のいずれか一項において、  
前記 TFT 素子を形成した後に、前記素子形成基板の他方の面側に第 2 接着層を用いて第 2 固定基板を貼り合わせ、  
前記第 2 固定基板を貼り合わせた後、前記レーザー光の照射を行うことを特徴とする半導体装置の作製方法。

【請求項 10】

請求項 9 において、  
前記第 2 固定基板を貼り合わせた後、前記素子形成基板と前記第 2 固定基板との間に液晶材料を注入し、  
前記液晶材料を注入した後、前記レーザー光の照射を行うことを特徴とする半導体装置の作製方法。

【請求項 11】

請求項 1 乃至請求項 10 に記載の半導体装置とは、液晶表示装置であることを特徴とする半導体装置の作製方法。

【請求項 12】

請求項 1 乃至請求項 10 のいずれか一項に記載された半導体装置とは、ビデオカメラ、デジタルカメラ、ゴーグル型ディスプレイ、カーナビゲーション、パーソナルコンピュータ、又は携帯情報端末であることを特徴とする半導体装置の作製方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本願発明は薄膜トランジスタ（以下、TFT という）で構成された回路を有する半導体装置およびその作製方法に関する。例えば、液晶表示パネルに代表される電気光学装置およびその様な電気光学装置を部品として搭載した電子機器に関する。

【0002】

なお、本明細書中において半導体装置とは、半導体特性を利用することで機能しうる装置全般を指し、電気光学装置、半導体回路および電子機器は全て半導体装置である。

【0003】

10

20

30

40

50

**【従来の技術】**

近年、絶縁表面を有する基板上に形成された半導体薄膜（厚さ数～数百nm程度）を用いて薄膜トランジスタ（TFT）を構成する技術が注目されている。薄膜トランジスタはICや電気光学装置のような電子デバイスに広く応用され、特に画像表示装置のスイッチング素子として開発が急がれている。

**【0004】**

このような画像表示装置を利用したアプリケーションは様々なものが期待されているが、特に携帯機器への利用が注目されている。そのため、フレキシブルなプラスチックフィルムの上にTFT素子を形成することが試みられている。

**【0005】**

しかしながら、プラスチックフィルムの耐熱性が低いためプロセスの最高温度を低くせざるを得ず、結果的にガラス基板上に形成する時ほど良好な電気特性のTFTを形成できないのが現状である。そのため、プラスチックフィルムを用いた高性能な液晶表示装置は実現されていない。

**【0006】**

また、特開平8-288522号公報では、ガラス基板上に薄膜トランジスタを形成し、封止層を介して樹脂基板を接着した後、ガラス基板を剥離する技術が記載されている。この技術を用いた場合、TFTの活性層が下地絶縁膜で保護されるのみとなっており、TFTが劣化しやすいという問題が生じていた。

**【0007】**

また、特開平11-243209号公報では、分離層を設け、レーザー光によって分離層において剥離を生じせしめた後、接着層を介して一次転写体に接合し、さらに接着層を介して二次転写体を接合した後、一次転写体を除去する技術が記載されている。この技術を用いた場合においても、TFTの活性層が下地絶縁膜のみで保護される状態が作製工程中に存在するため、傷つきやすくなっており、TFTが劣化しやすいという問題が生じていた。

**【0008】****【発明が解決しようとする課題】**

本願発明はプラスチック支持体（可撓性のプラスチックフィルムもしくはプラスチック基板を含む。）を用いて高性能な電気光学装置を作製するための技術を提供することを課題とする。

**【0009】****【課題を解決するための手段】**

本願発明は、プラスチックに比べて耐熱性のある第1固定基板の上にプラスチック支持体からなる素子形成基板を第1接着層で接着した後、該素子形成基板上に必要な素子を形成し、該素子上に第2固定基板を第2接着層で貼り合わせた後に液晶材料を封止保持した後、第1固定基板を分離することを特徴とする。

**【0010】**

なお、前記必要な素子とは、アクティブマトリクス型の電気光学装置ならば画素のスイッチング素子として用いる半導体素子（典型的にはTFT）もしくはMIM素子を指す。

**【0011】**

また、第1固定基板と素子形成基板との貼り合わせ方法は、特に限定されないが、図1に示したように、第1固定基板に第1接着層を形成した後で素子形成基板を貼り合わせる方法、あるいは素子形成基板に第1接着層を形成した後で第1固定基板を貼り合わせる方法を用いればよい。

**【0012】**

また、プラスチック支持体からなる素子形成基板及び第2固定基板としては厚さ10μm以上の樹脂基板、例えばPES（ポリエチレンサルファイル）、PC（ポリカーボネート）、PET（ポリエチレンテレフタレート）もしくはPEN（ポリエチレンナフタレート）を用いることができる。なお、第1の固定基板上に接着層を形成した後、その上に有機

10

20

30

40

50

樹脂層（ポリイミド層、ポリアミド層、ポリイミドアミド層、BCB（ベンゾシクロブテン）層等）を成膜したものを素子形成基板と呼んでもよい。

【0013】

また、素子形成基板としては、金属基板、例えばステンレス基板を用いることもできる。その場合は金属基板上に下地絶縁膜を形成して必要な素子を形成すればよい。薄い金属基板（厚さ10～200μm）を用いることによって軽量化、薄型化が図れるとともに可撓性を有する反射型の液晶表示装置を得ることができる。

【0014】

また、第1固定基板を分離するのは、素子形成基板上に必要な素子を形成し、第2固定基板を貼り合わせた後に行うが、その手段としてレーザー光の照射により第1接着層の全部または一部を気化させる方法を用いる。また、レーザー光の照射に代えて、例えば、特開平8-288522号公報に記載されたエッチングにより第1固定基板を分離する方法や、第1接着層に対して流体（圧力が加えられた液体もしくは気体）を噴射することにより第1固定基板を分離する方法（代表的にはウォータージェット法）を用いてもよいし、これらを組み合わせて用いてもよい。

【0015】

レーザー光としては、パルス発振型または連続発光型のエキシマレーザーやYAGレーザー、YVO<sub>4</sub>レーザーを用いることができる。図3(D)に示すようにレーザー光を裏面側から第1固定基板を通過させて第1接着層を照射して第1接着層のみを気化させて第1固定基板を分離もしくは剥離する。従って、第1固定基板としては少なくとも照射するレーザー光が通過する基板、代表的には透光性を有する基板、例えばガラス基板、石英基板等を用い、さらに素子形成基板よりも厚さの厚いものが好ましい。

【0016】

本発明においては、レーザー光が第1固定基板を通過させるため、レーザー光の種類と第1固定基板を適宜選択する必要がある。例えば、第1固定基板として石英基板を用いるのであれば、YAGレーザー（基本波（1064nm）、第2高調波（532nm）、第3高調波（355nm）、第4高調波（266nm）あるいはエキシマレーザー（波長308nm）を用い、線状ビームを形成し、石英基板を通過させればよい。なお、エキシマレーザーはガラス基板を通過しない。従って、第1固定基板としてガラス基板を用いるのであればYAGレーザーの基本波、第2高調波、または第3高調波を用い、好ましくは第2高調波（波長532nm）を用いて線状ビームを形成し、ガラス基板を通過させればよい。

【0017】

また、第1接着層としては有機物を用い、好ましくは照射するレーザー光で全部または一部が気化するものを用いる。また、効率よく第1接着層のみにレーザー光を吸収させるために、第1接着層がレーザー光を吸収する特性を有するもの、例えば、YAGレーザーの第2高調波を用いる場合、有色、あるいは黒色（例えば、黒色着色剤を含む樹脂材料）のものを用いることが望ましい。ただし、第1接着層は素子形成工程における熱処理によって気化しないものを用いる。また、第1接着層は単層であっても積層であってもよく、図2に示したように第1接着層と素子形成基板の間にアモルファスシリコン膜またはDLC膜を設ける構成としてもよい。

【0018】

このような構成とすることによって、素子形成基板の厚さが非常に薄い、具体的には50μm～300μm、好ましくは150μm～200μmの厚さの基板を用いても、信頼性の高い液晶表示装置を得ることができる。また、従来ある公知の製造装置を用いて、このように厚さの薄い基板上に素子形成を行うことは困難であったが、本発明は第1固定基板に貼り合わせて素子形成を行うため、装置の改造を行うことなく厚さの厚い基板を用いた製造装置を使用することができる。また、素子形成工程において、素子形成基板を素子形成基板上に形成される絶縁膜と、第1固定基板とで挟まれた状態とすることで素子形成基板の耐熱性を向上させることができる。

## 【 0 0 1 9 】

本明細書で開示する発明の構成は、

第 1 固定基板と素子形成基板とを該素子形成基板に設けられた第 1 接着層で貼り合わせ、該素子形成基板を貼り合わせた後に絶縁膜を形成し、該絶縁膜の上に T F T 素子及び画素電極を形成し、該画素電極の上に第 2 接着層で第 2 固定基板を貼り合わせた後、レーザー光の照射により前記第 1 接着層を除去して前記第 1 固定基板を分離することを特徴とする半導体装置の作製方法である。

## 【 0 0 2 0 】

また、他の発明の構成は、

第 1 固定基板と素子形成基板とを前記固定基板に設けられた第 1 接着層で貼り合わせ、該素子形成基板を貼り合わせた後に絶縁膜を形成し、該絶縁膜の上に T F T 素子及び画素電極を形成し、該画素電極の上に第 2 接着層で第 2 固定基板を貼り合わせた後、レーザー光の照射により前記第 1 接着層を除去して前記第 1 固定基板を分離することを特徴とする半導体装置の作製方法である。

10

## 【 0 0 2 1 】

上記各構成において、前記画素電極と前記第 2 固定基板との間に液晶材料を備え、前記液晶材料は、前記素子形成基板と前記第 2 固定基板とを貼り合わせる前記第 2 接着層（シール材等）で保持することを特徴とする半導体装置の作製方法。

## 【 0 0 2 2 】

また、上記各構成において、前記素子形成基板と第 1 接着層の間には、非晶質シリコン薄膜を形成してもよい。また、前記素子形成基板と第 1 接着層の間には、ダイヤモンド状炭素薄膜を形成してもよい。

20

## 【 0 0 2 3 】

また、上記各構成において、前記第 1 接着層は、顔料や染料を用いて有色または黒色としてレーザー光を吸収するようにしてもよい。

## 【 0 0 2 4 】

上記各構成において、前記素子形成基板及び前記第 2 固定基板は有機樹脂からなる支持体（可撓性のプラスチックフィルムもしくはプラスチック基板を含む）であることを特徴としている。また、前記素子形成基板及び前記第 2 固定基板としては、第 1 固定基板と比べて厚さの薄いものを用いる。

30

## 【 0 0 2 5 】

また、上記各構成において、前記レーザー光の照射は、線状ビームを形成して走査させて照射することを特徴としており、前記レーザー光は、パルス発振型または連続発光型のエキシマレーザーや、Y A G レーザーや、Y V O<sub>4</sub> レーザーを用いることができる。

## 【 0 0 2 6 】

また、上記各構成において、前記レーザー光の照射は、前記第 1 固定基板の裏面側から前記第 1 固定基板を通過させて、前記第 1 固定基板の表面側に設けられた前記第 1 接着層に前記レーザー光を照射することを特徴としている。従って、前記第 1 固定基板は、使用するレーザー光を透過することが好ましい。

## 【 0 0 2 7 】

また、上記各構成に記載された半導体装置とは、透過型の液晶表示装置または反射型の液晶表示装置であることを特徴としている。

40

## 【 0 0 2 8 】

## 【 発明の実施の形態 】

本願発明の実施形態について、以下に説明する。

## 【 0 0 2 9 】

まず、第 1 固定基板 1 0 1 と素子形成基板 1 0 3 とを貼り合わせるが、図 1 に示したように 2 通りの貼り合わせ方法がある。

## 【 0 0 3 0 】

一つ目の方法は、第 1 固定基板 1 0 1 上に第 1 接着層 1 0 2 を設けた後、第 1 固定基板 1

50

01と素子形成基板103とを貼り合わせる方法である。(図1(A1))なお、貼り合わせ後の状態を図1(B1)に示した。

【0031】

また、二つ目の方法は、素子形成基板103に第1接着層102を設けた後、第1固定基板101と素子形成基板103とを貼り合わせる方法である。(図1(A2))なお、貼り合わせ後の状態を図1(B2)に示した。

【0032】

また、ここでは図示しないが、第1固定基板上に第1接着層を形成した後、その上に有機樹脂層(ポリイミド層、ポリアミド層、ポリイミドアミド層等)を成膜したものを素子形成基板と同等なものとしてもよい。

10

【0033】

また、図2(A)に示したように、第1接着層202Bと素子形成基板203の間にaSi(アモルファスシリコン)層202Aを設ける構成としてもよい。後の工程で、このaSi層にレーザー光を照射することにより第1固定基板201を剥離させてもよい。第1固定基板201が分離または剥離しやすいようにするため水素を多く含むaSi層を用いることが好ましい。レーザー光を照射することによりaSi層に含まれる水素を気化させて第1固定基板を分離または剥離する。

【0034】

また、図2(B)に示したように、第1接着層205Bと素子形成基板206の間に、素子形成基板206を保護するためのDLC膜(具体的にはダイヤモンドライクカーボン膜)を設けてもよい。なお、第1固定基板204は、図1中に示した第1固定基板101と同一である。

20

【0035】

この場合、素子形成基板の片面もしくは両面に保護膜としてDLC膜を膜厚2~50nmでコーティングしたものを用いてもよい。なお、DLC膜の成膜はスパッタ法もしくはECRプラズマCVD法を用いればよい。DLC膜の特徴としては、 $1550\text{ cm}^{-1}$ くらいに非対称のピークを有し、 $1300\text{ cm}^{-1}$ くらいに肩をもつラマンスペクトル分布を有する。また、微小硬度計で測定した時に15~25GPaの硬度を示すという特徴をもつ。このような炭素膜は、酸素および水の侵入を防ぐとともに樹脂基板の表面を保護する役割を持つ。こうして、外部からの水分や酸素等による劣化を促す物質が侵入することを防ぐことができる。従って、信頼性の高い液晶表示装置が得られる。

30

【0036】

また、図2(C)に示したように、第1接着層208Cと素子形成基板209の間に、素子形成基板を保護するための第1DLC膜208Aと、第1固定基板207が分離または剥離しやすいようにするための第2DLC膜208Bを設けてもよい。このような第1DLC膜208Aとしては水素を含まない成膜条件で成膜したものを言い、第2DLC膜208Bとしては水素を含む成膜条件で成膜したものを言い、第2DLC膜208Bにレーザー光を照射することにより膜中に含まれる水素を気化させて第1固定基板207を分離または剥離させてもよい。

40

【0037】

上記各方法によって得られる貼り合わせ後の状態を図3(A)に示した。ここでは、図1(B1)及び図1(B2)と同一のものを例示する。なお、符号は図1(B1)及び図1(B2)と同じ符号を用いた。

【0038】

次いで、素子形成基板103上に下地絶縁膜を形成した後、その下地絶縁膜上に必要な素子を形成する。ここでは、駆動回路104とTFT素子及び画素電極を有する画素部105を形成した例を示す。(図3(B))

【0039】

次いで、第2固定基板(対向基板)106を第2接着層(シール材)107で貼り合わせる。(図3(C))次ぎに液晶材料108を封止保持する。第2固定基板106としては

50

、樹脂基板を用いればよく、片面もしくは両面に保護膜としてDLC膜を設けたものを用いてもよい。

【0040】

次いで、裏面側からレーザー光を照射して第1接着層102の全部または一部を気化させて第1固定基板101を分離する。(図3(D))従って、第1接着層102はレーザー光によって層内または界面において剥離現象が生じる物質を用いる。また、レーザー光は第1固定基板101を通過して第1接着層で吸収するものを適宜選択する。例えば、第1固定基板として石英基板を用いるのであれば、YAGレーザー(基本波(1064nm)、第2高調波(532nm)、第3高調波(355nm)、第4高調波(266nm)あるいはエキシマレーザー(波長308nm)を用い、線状ビームを形成し、石英基板を通過させればよい。なお、エキシマレーザーはガラス基板を通過しない。従って、第1固定基板としてガラス基板を用いるのであればYAGレーザーの基本波、第2高調波、第3高調波を用いることができ、好ましくは第2高調波(波長532nm)を用いて線状ビームを形成し、ガラス基板を通過させればよい。

10

【0041】

なお、レーザー照射して第1固定基板を分離する工程は、第2固定基板を貼り合わせた後に行えばよく、液晶の注入、封止の前に行ってもよい。

【0042】

そして、最終的には、樹脂基板である素子形成基板と樹脂基板である第2固定基板とで液晶材料が挟まれた液晶表示装置が完成する。

20

【0043】

また、図17に示したように、樹脂基板である素子形成基板103と樹脂基板である第2固定基板106とで素子形成層(液晶材料、画素電極、及びTFT素子を含む)を挟んだ液晶表示装置は、多少の応力が発生しても破損しない柔軟性(フレキシビリティ)を有している。図17(A)は曲率を与えていないときの状態を示し、図17(B)は曲率を与えたときの状態を示す。図17(B)において、素子形成基板には圧縮応力が働き、第2固定基板には引張応力が働くが、素子形成層においては、応力がほとんど働かず、中央部における伸び縮みを±1μm以下とすることができる。なお、曲率半径が10cmまでの曲率を与えても問題ない。

【0044】

以上の構成でなる本願発明について、以下に示す実施例でもってさらに詳細な説明を行うこととする。

30

【0045】

【実施例】

[実施例1]

本実施例は、樹脂基板である素子形成基板と樹脂基板である第2固定基板とで液晶材料が挟まれた液晶表示装置の作製方法の一例を図3を用いて示す。なお、ここでは、全ての工程を350℃以下、好ましくは200℃以下で行うこととする。ただし、本発明が本実施例に限定されないことはいうまでもない。

【0046】

まず、第1固定基板101としてガラス基板を用いる。そして、実施の形態に示したいずれかの方法を用いて、第1固定基板101と樹脂基板である素子形成基板103とを第1接着層102で貼り合わせた。(図3(A))

40

【0047】

次いで、素子形成基板103上に下地絶縁膜を形成した後、その下地絶縁膜上に必要な素子を形成する。ここでは、駆動回路104とTFT素子及び画素電極を有する画素部105を形成した例を示す。(図3(B))

【0048】

下地絶縁膜としては、低温で成膜が可能なスパッタ法を用いて、膜組成において酸素元素より窒素元素を多く含む酸化窒化シリコン膜と、膜組成において窒素元素より酸素元素を

50

多く含む酸化窒化シリコン膜を積層形成した。

【0049】

次いで、下地絶縁膜上に半導体層を形成する。半導体層の材料に限定はないが、好ましくはシリコンまたはシリコンゲルマニウム ( $\text{Si}_x\text{Ge}_{1-x}$  ( $0 < x < 1$ )) 合金などで形成すると良い。本実施例では、低温で成膜が可能なスパッタ法を用いて非晶質シリコン膜を形成し、レーザー結晶化法により結晶質シリコン膜を形成した。レーザー結晶化法で結晶質半導体膜を作製する場合には、パルス発振型または連続発光型のエキシマレーザーやYAGレーザー、YVO<sub>4</sub>レーザーを用いることができる。

【0050】

次いで、半導体層を覆うゲート絶縁膜を形成する。本実施例では、低温で成膜が可能なスパッタ法を用いて酸化シリコン膜を形成した。

10

【0051】

次いで、ゲート絶縁膜上に導電層を形成する。導電層は、導電膜を公知の手段(熱CVD法、プラズマCVD法、減圧熱CVD法、蒸着法、またはスパッタ法等)により成膜した後、マスクを用いて所望の形状にパターニングして形成する。

【0052】

次いで、イオン注入法またはイオンドーピング法を用い、半導体層にn型を付与する不純物元素またはp型を付与する不純物元素を適宜、添加してLDD領域やソース領域やドレイン領域を形成する不純物領域を形成する。

【0053】

20

その後、スパッタ法により作製される窒化シリコン膜、窒化酸化シリコン膜、または酸化シリコン膜により層間絶縁膜を形成する。また、添加された不純物元素は活性化処理を行う。ここでは、レーザー光の照射を行った。レーザー光の照射に代えて、350以下の加熱処理で活性化を行ってもよい。

【0054】

次いで、公知の技術を用いてソース領域またはドレイン領域に達するコンタクトホールを形成した後、ソース電極またはドレイン電極を形成しTFTを得る。

【0055】

次いで、公知の技術を用いて水素化処理を行い、全体を水素化してnチャネル型TFTまたはpチャネル型TFTが完成する。本実施例では比較的低温で行うことが可能な水素プラズマを用いて水素化処理を行った。

30

【0056】

次いで、スパッタ法により作製される窒化シリコン膜、窒化酸化シリコン膜、または酸化シリコン膜により層間絶縁膜を形成する。次いで、公知の技術を用いて画素部のドレイン電極に達するコンタクトホールを形成した後、ITO、SnO<sub>2</sub>等の透明導電膜からなる画素電極を形成する。本実施例では一例として透過型の液晶表示装置の例を示したが特に限定されない。例えば、画素電極の材料として反射性を有する金属材料を用い、画素電極のパターニングの変更、または幾つかの工程の追加/削除を適宜行えば反射型の液晶表示装置を作製することが可能である。

【0057】

40

次いで、画素部及び駆動回路に含まれる素子を全て絶縁膜(配向膜等)で覆う。

【0058】

次いで、素子形成基板に形成された素子を全て覆う絶縁膜と第2固定基板106とを第2接着層(シール材)107で貼り合わせる。この後、液晶材料を注入して封止する。(図3(C))第2固定基板106としては、樹脂基板を用いればよく、片面もしくは両面に保護膜としてDLC膜を設けたものを用い、対向電極と、液晶を配向させるための配向膜を備えている。

【0059】

次いで、裏面側からレーザー光を照射して第1接着層102の全部または一部を気化させて第1固定基板101を分離する。(図3(D))本実施例では、第1固定基板としてガ

50

ラス基板を用いるため、YAGレーザーの基本波、第2高調波、第3高調波を用いる。ここでは第2高調波（波長532nm）を用いて線状ビームを形成し、第1固定基板101であるガラス基板を通過させて第1接着層を照射した。

【0060】

そして、最終的には、樹脂基板である素子形成基板と樹脂基板である第2固定基板とで液晶材料を保持した液晶表示装置が完成した。スパッタ法を用いて各膜（絶縁膜、半導体膜、導電膜等）を形成し、全てのプロセスを350以下、好ましくは200以下で行うことができる。

【0061】

[実施例2]

本実施例は、pチャネル型TFTを作製する例であり、図4を用いて説明する。

【0062】

まず、第1固定基板401と第1接着層402（分離層）で貼りつけた素子形成基板403上に下地絶縁膜404を形成する。下地絶縁膜404としては、酸化シリコン膜、窒化シリコン膜、窒化酸化シリコン膜（ $\text{SiO}_x\text{Ny}$ ）、またはこれらの積層膜等を100～500nmの膜厚範囲で用いることができ、形成手段としては熱CVD法、プラズマCVD法、蒸着法、スパッタ法、減圧熱CVD法等の形成方法を用いることができる。

【0063】

本実施例では、低温で成膜が可能なスパッタ法を用いて、膜組成において酸素元素より窒素元素を多く含む酸化窒化シリコン膜と、膜組成において窒素元素より酸素元素を多く含む酸化窒化シリコン膜を積層形成した。

【0064】

なお、第1固定基板401と第1接着層402（分離層）で貼りつけた素子形成基板403は上記実施形態で示した方法により作製されるいずれのものも適用可能である。

【0065】

次いで、下地絶縁膜上に半導体層405を形成する。半導体層405は、非晶質構造を有する半導体膜を公知の手段（熱CVD法、プラズマCVD法、減圧熱CVD法、蒸着法、またはスパッタ法等）により成膜した後、公知の結晶化処理（レーザー結晶化法、熱結晶化法、またはニッケルなどの触媒を用いた熱結晶化法等）を行って得られた結晶質半導体膜を所望の形状にパターニングして形成する。この半導体層405の厚さは20～100nm（好ましくは30～60nm）の厚さで形成する。結晶質半導体膜の材料に限定はないが、好ましくはシリコンまたはシリコンゲルマニウム（ $\text{Si}_x\text{Ge}_{1-x}$ （ $0 < x < 1$ ））合金などで形成すると良い。本実施例では、低温で成膜が可能なスパッタ法を用いて非晶質シリコン膜を形成し、レーザー結晶化法により結晶質シリコン膜を形成した。レーザー結晶化法で結晶質半導体膜を作製する場合には、パルス発振型または連続発光型のエキシマレーザーやYAGレーザー、YVO<sub>4</sub>レーザーを用いることができる。

【0066】

また、半導体層405を形成した後、TFTのしきい値を制御するために微量な不純物元素（ボロンまたはリン）のドーピングを行ってもよい。

【0067】

次いで、半導体層405を覆うゲート絶縁膜406を形成する。ゲート絶縁膜406はプラズマCVD法またはスパッタ法を用い、厚さを40～150nmとしてシリコンを含む絶縁膜で形成する。本実施例では、低温で成膜が可能なスパッタ法を用いて酸化シリコン膜を形成した。（図4（A））

【0068】

次いで、ゲート絶縁膜406上に導電層408を形成する。導電層408は、導電膜を公知の手段（熱CVD法、プラズマCVD法、減圧熱CVD法、蒸着法、またはスパッタ法等）により成膜した後、マスク407を用いて所望の形状にパターニングして形成する。導電層408の材料としては、Ta、W、Ti、Mo、Al、Cu、Cr、Ndから選ばれた元素、または前記元素を主成分とする合金材料若しくは化合物材料で形成してもよい

10

20

30

40

50

。また、リン等の不純物元素をドーピングした多結晶シリコン膜に代表される半導体膜を用いてもよい。また、AgPdCu合金を用いてもよい。本実施例では、低温で成膜が可能なスパッタ法を用いてW膜を成膜し、パターニングした。導電層408の端部はテーパ状に形成する。エッチング条件は適宜決定すれば良いが、例えば、Wの場合には $CF_4$ と $Cl_2$ の混合ガスを用い、基板を負にバイアスすることにより良好にエッチングすることができる。

#### 【0069】

次いで、図4(B)に示すように、自己整合的にソース及びドレイン領域を形成する不純物領域(p+領域)409を形成する。この不純物領域(p+領域)409はイオンドーピング法により形成し、ボロンに代表される周期律表第13族の元素をドーピングする。不純物領域(p+領域)409の不純物濃度は、 $1 \times 10^{20} \sim 2 \times 10^{21} / cm^3$ の範囲となるようにする。

#### 【0070】

次に、図4(C)に示すように導電層408の端部が後退するようにエッチングして導電層410を形成する。本実施例の構造ではこれをゲート電極とする。ゲート電極の形成には2回のエッチング工程を用いるが、そのエッチング条件は適宜決定されるものである。例えば、Wの場合には $CF_4$ と $Cl_2$ の混合ガスを用い、基板を負にバイアスすることにより良好に端部がテーパ形状に加工することができる。また、 $CF_4$ と $Cl_2$ に酸素を混合させることにより、下地と選択性良く、Wの異方性エッチングエッチングをすることができる。

#### 【0071】

その後、図4(D)に示すように、導電層410をマスクとしてp型の不純物(アクセプタ)をドーピングし、自己整合的に不純物領域(p-領域)411を形成する。不純物領域(p-領域)411の不純物濃度は、 $1 \times 10^{17} \sim 2 \times 10^{19} / cm^3$ の範囲となるようにする。

#### 【0072】

その後、スパッタ法またはプラズマCVD法により作製される窒化シリコン膜、窒化酸化シリコン膜により層間絶縁膜413を形成する。また、添加された不純物元素は活性化のために350~500の加熱処理またはレーザー光の照射を行う。さらに、公知の技術を用いて不純物領域(p+領域)に達するコンタクトホールを形成した後、ソース電極またはドレイン電極414を形成しTFETを得る。

#### 【0073】

最後に公知の技術を用いて水素化処理を行い、全体を水素化してpチャネル型TFETが完成する。(図4(E))本実施例では比較的低温で行うことが可能な水素プラズマを用いて水素化処理を行った。

#### 【0074】

半導体層にはチャネル形成領域412、不純物領域(p-領域)で形成されるLDD(Lightly Doped Drain)領域411、不純物領域(p+領域)で形成されるソースまたはドレイン領域409が形成されている。ここでは、pチャネル型TFETをLDD構造で示したが、勿論シングルドレインや、或いはLDDがゲート電極とオーバーラップした構造で作製することもできる。本実施例で示すpチャネル型TFETを用いて基本論理回路を構成したり、さらに複雑なロジック回路(信号分割回路、D/Aコンバータ、オペアンプ、補正回路など)をも構成することができ、さらにはメモリやマイクロプロセッサをも形成しうる。例えば、液晶表示装置の駆動回路を全てpチャネル型TFETで構成することも可能である。

#### 【0075】

また、本実施例は実施例1と組み合わせることが可能である。

#### 【0076】

#### [実施例3]

本実施例は、nチャネル型TFETを作製する例であり、図5を用いて説明する。なお、図

10

20

30

40

50

4 (A) と図 5 (A) は同一であるため、同じ符号を用い、ここでは作製工程の説明を省略する。

【0077】

実施例 2 に従って図 5 (A) の状態を得た後、光露光プロセスによりレジストによるマスク 415 を形成し、半導体膜 405 にイオン注入またはイオンドーピング法により n 型の不純物 (ドナー) をドーピングする。(図 5 (B)) 作製される不純物領域 (n - 領域) 416 において、ドーピングされる濃度は  $1 \times 10^{17} \sim 2 \times 10^{19} / \text{cm}^3$  の範囲となるようにする。

【0078】

次いで、絶縁膜 406 上には、タンタル、タングステン、チタン、アルミニウム、モリブデンから選ばれた一種または複数種の元素を成分とする導電性材料でゲート電極 417 を形成する。(図 5 (C)) ゲート電極 417 の一部は不純物領域 (n - 領域) 416 とゲート絶縁膜を介して一部が重なるように形成する。

10

【0079】

その後、図 5 (D) に示すように、ゲート電極 417 をマスクとして n 型の不純物 (ドナー) をドーピングし、自己整合的に不純物領域 (n + 領域) 418 を形成する。不純物領域 (n + 領域) 418 の不純物濃度は、 $1 \times 10^{17} \sim 2 \times 10^{19} / \text{cm}^3$  の範囲となるようにする。

【0080】

その後、プラズマ CVD 法により作製される窒化シリコン膜、窒化酸化シリコン膜により層間絶縁膜 419 を形成する。また、添加された不純物元素は活性化のために  $350 \sim 500$  の加熱処理またはレーザー光の照射を行う。さらに、公知の技術を用いて不純物領域 (n + 領域) に達するコンタクトホールを形成した後、ソース電極またはドレイン電極 420 を形成し TFT を得る。

20

【0081】

最後に公知の技術を用いて水素化処理を行い、全体を水素化して n チャンネル型 TFT が完成する。(図 5 (E)) 本実施例では比較的低温で行うことが可能な水素プラズマを用いて水素化処理を行った。

【0082】

半導体層にはチャンネル形成領域 419、不純物領域 (n - 領域) で形成される LDD (Lightly Doped Drain) 領域 416、不純物領域 (n + 領域) で形成されるソースまたはドレイン領域 418 が形成されている。また、LDD 領域 416 はゲート電極 417 とオーバーラップして形成され、ドレイン端における電界の集中を緩和して、ホットキャリアによる劣化を防いでいる。勿論シングルドレインや、LDD 構造で n チャンネル型 TFT を作製することもできる。本実施例で示す n チャンネル型 TFT を用いて基本論理回路を構成したり、さらに複雑なロジック回路 (信号分割回路、D/A コンバータ、オペアンプ、補正回路など) をも構成することができ、さらにはメモリやマイクロプロセッサをも形成しうる。例えば、液晶表示装置の駆動回路を全て n チャンネル型 TFT で構成することも可能である。

30

【0083】

また、本実施例は実施例 1 と組み合わせることが可能である。

40

【0084】

[ 実施例 4 ]

本実施例は、n チャンネル型 TFT と p チャンネル型 TFT とを相補的に組み合わせた CMOS 回路を作製する例であり、図 6、図 7 を用いて説明する。

【0085】

実施例 2 に従って、第 1 固定基板と第 1 接着層 (分離層) で貼りつけた素子形成基板上に下地絶縁膜を形成した後、半導体層 501、502 を形成する。(図 6 (A))

【0086】

次いで、スパッタ法によりゲート絶縁膜 503 と第 1 導電膜 504 と第 2 導電膜 505 を

50

形成する。(図6(B))本実施例では、第1導電膜504を窒化タンタルまたはチタンで50~100nmの厚さに形成し、第2導電膜505をタングステンで100~300nmの厚さに形成する。

#### 【0087】

次に図6(C)に示すように、レジストによるマスク506を形成し、ゲート電極を形成するための第1のエッチング処理を行う。エッチング方法に限定はないが、好適にはICP(Inductively Coupled Plasma:誘導結合型プラズマ)エッチング法を用いる。エッチング用ガスに $CF_4$ と $Cl_2$ を混合し、0.5~2Pa、好ましくは1Paの圧力でコイル型の電極に500WのRF(13.56MHz)電力を投入してプラズマを生成して行う。基板側(試料ステージ)にも100WのRF(13.56MHz)電力を投入し、実質的に負の自己バイアス電圧を印加する。 $CF_4$ と $Cl_2$ を混合した場合にはタングステン膜、窒化タンタル膜及びチタン膜の場合でも、それぞれ同程度の速度でエッチングすることができる。

10

#### 【0088】

上記エッチング条件では、レジストによるマスクの形状と、基板側に印加するバイアス電圧の効果により端部をテーパ形状とすることができる。テーパ部の角度は15~45°となるようにする。また、ゲート絶縁膜上に残渣を残すことなくエッチングするためには、10~20%程度の割合でエッチング時間を増加させると良い。W膜に対する酸化窒化シリコン膜の選択比は2~4(代表的には3)であるので、オーバーエッチング処理により、酸化窒化シリコン膜が露出した面は20~50nm程度エッチングされる。こうして、第1のエッチング処理により第1導電膜と第2導電膜から成る第1形状の導電層507、508(第1の導電層507a、508aと第2導電層507b、508b)を形成する。509はゲート絶縁膜であり、第1の形状の導電層で覆われない領域は20~50nm程度エッチングされ薄くなる。

20

#### 【0089】

次いで、レジストマスクをそのままの状態としたまま、図6(D)に示すように第2のエッチング処理を行う。エッチングはICPエッチング法を用い、エッチングガスに $CF_4$ と $Cl_2$ と $O_2$ を混合して、1Paの圧力でコイル型の電極に500WのRF電力(13.56MHz)を供給してプラズマを生成する。基板側(試料ステージ)には50WのRF(13.56MHz)電力を投入し、第1のエッチング処理に比べ低い自己バイアス電圧を印加する。このような条件によりタングステン膜を異方性エッチングし、第1の導電層である窒化タンタル膜またはチタン膜を残存させるようにする。こうして、第2形状の導電層509、510(第1の導電膜509a、510aと第2の導電膜509b、510b)を形成する。511はゲート絶縁膜であり、第2の形状の導電層509、510で覆われない領域は除去された。なお、ここでは除去した例を示したが絶縁膜を薄く残してもよい。

30

#### 【0090】

そして、第1のドーピング処理を行いn型の不純物(ドナー)をドーピングする。(図7(A))その方法はイオンドープ法若しくはイオン注入法で行う。n型を付与する不純物元素として15族に属する元素、典型的にはリン(P)または砒素(As)を用いる。この場合、第2形状の導電層509b、510bはドーピングする元素に対してマスクとなり、加速電圧を適宜調節(例えば、70~120keV)して、ゲート絶縁膜511及び第2の導電膜509a、510aのテーパ部を通過した不純物元素により不純物領域(n-領域)512を形成する。例えば、不純物領域(n-領域)におけるリン(P)濃度は $1 \times 10^{17} \sim 1 \times 10^{19} / cm^3$ の範囲となるようにする。

40

#### 【0091】

次いで、マスクを除去した後、マスク513を形成して図7(B)に示すように第2のドーピング処理を行う。第1のドーピング処理よりもドーズ量を上げ低加速電圧の条件でn型の不純物(ドナー)をドーピングする。例えば、加速電圧を20~60keVとし、 $1 \times 10^{13} \sim 5 \times 10^{14} / cm^2$ のドーズ量で行い、不純物領域(n+領域)514を形成

50

する。例えば、不純物領域（ $n +$ 領域）におけるリン（ $P$ ）濃度は  $1 \times 10^{20} \sim 1 \times 10^{21} / \text{cm}^3$  の範囲となるようにする。

#### 【0092】

そして、レジストを除去した後、図7（C）に示すように、レジストによるマスク515を形成し、 $p$ チャネル型TFETを形成する島状半導体層501に $p$ 型の不純物（アクセプタ）をドーピングする。典型的にはボロン（ $B$ ）を用いる。不純物領域（ $p +$ 領域）516、517の不純物濃度は  $2 \times 10^{20} \sim 2 \times 10^{21} / \text{cm}^3$  となるようにし、含有するリン濃度の1.5～3倍のボロンを添加して導電型を反転させる。

#### 【0093】

以上までの工程でそれぞれの島状半導体層に不純物領域が形成される。第2形状の導電層509、510はゲート電極となる。その後、図7（D）に示すように、窒化シリコン膜または酸化窒化シリコン膜から成る保護絶縁膜518をプラズマCVD法で形成する。そして導電型の制御を目的としてそれぞれの島状半導体層に添加された不純物元素を活性化する工程を行う。

#### 【0094】

さらに、窒化シリコン膜519を形成し、水素化処理を行う。本実施例では比較的低温で行うことが可能な水素プラズマを用いて水素化処理を行った。

#### 【0095】

層間絶縁膜520は、ポリイミド、アクリルなどの有機絶縁物材料で形成する。勿論、プラズマCVD法でTEOS（Tetraethyl Ortho silicate）を用いて形成される酸化シリコン膜を適用しても良いが、平坦性を高める観点からは前記有機物材料を用いることが望ましい。

#### 【0096】

次いで、コンタクトホールを形成し、アルミニウム（ $Al$ ）、チタン（ $Ti$ ）、タンタル（ $Ta$ ）などを用いて、ソース配線またはドレイン配線521～523を形成する。

#### 【0097】

以上の工程で、 $n$ チャネル型TFETと $p$ チャネル型TFETとを相補的に組み合わせたCMOS回路を得ることができる。

#### 【0098】

$p$ チャネル型TFETにはチャネル形成領域524、ソース領域またはドレイン領域として機能する不純物領域516、517を有している。

#### 【0099】

$n$ チャネル型TFETにはチャネル形成領域525、ゲート電極510と重なる不純物領域512a（Gate Overlapped Drain：GOLD領域）、ゲート電極の外側に形成される不純物領域512b（LDD領域）とソース領域またはドレイン領域として機能する不純物領域514を有している。

#### 【0100】

このようなCMOS回路は、アクティブマトリクス型の液晶表示装置の駆動回路を形成することを可能とする。それ以外にも、このような $n$ チャネル型TFETまたは $p$ チャネル型TFETは、画素部を形成するトランジスタに応用することができる。

#### 【0101】

このようなCMOS回路を組み合わせることで基本論理回路を構成したり、さらに複雑なロジック回路（信号分割回路、D/Aコンバータ、オペアンプ、補正回路など）をも構成することができ、さらにはメモリやマイクロプロセッサをも形成することが可能である。

#### 【0102】

また、本実施例は実施例1と組み合わせることが可能である。

#### 【0103】

#### 【実施例5】

実施例3に示す $n$ チャネル型TFETは、チャネル形成領域となる半導体に周期表の15族

10

20

30

40

50

に属する元素（好ましくはリン）もしくは周期表の１３族に属する元素（好ましくはボロン）を添加することによりエンハンスメント型とデプレッション型とを作り分けることができる。

【０１０４】

また、 $n$ チャネル型ＴＦＴを組み合わせることでＮＭＯＳ回路を形成する場合、エンハンスメント型ＴＦＴ同士で形成する場合（以下、ＥＥＭＯＳ回路という）と、エンハンスメント型とデプレッション型とを組み合わせることで形成する場合（以下、ＥＤＭＯＳ回路という）がある。

【０１０５】

ここでＥＥＭＯＳ回路の例を図８（Ａ）に、ＥＤＭＯＳ回路の例を図８（Ｂ）に示す。図８（Ａ）において、３１、３２はどちらもエンハンスメント型の $n$ チャネル型ＴＦＴ（以下、Ｅ型ＮＴＦＴという）である。また、図８（Ｂ）において、３３はＥ型ＮＴＦＴ、３４はデプレッション型の $n$ チャネル型ＴＦＴ（以下、Ｄ型ＮＴＦＴという）である。

【０１０６】

なお、図８（Ａ）、（Ｂ）において、 $V_{DH}$ は正の電圧が印加される電源線（正電源線）であり、 $V_{DL}$ は負の電圧が印加される電源線（負電源線）である。負電源線は接地電位の電源線（接地電源線）としても良い。

【０１０７】

さらに、図８（Ａ）に示したＥＥＭＯＳ回路もしくは図８（Ｂ）に示したＥＤＭＯＳ回路を用いてシフトレジスタを作製した例を図９に示す。図９において、４０、４１はフリップフロップ回路である。また、４２、４３はＥ型ＮＴＦＴであり、Ｅ型ＮＴＦＴ４２のゲートにはクロック信号（ $CL$ ）が入力され、Ｅ型ＮＴＦＴ４３のゲートには極性の反転したクロック信号（ $CL$ バー）が入力される。また、４４で示される記号はインバータ回路であり、図９（Ｂ）に示すように、図８（Ａ）に示したＥＥＭＯＳ回路もしくは図８（Ｂ）に示したＥＤＭＯＳ回路が用いられる。従って、液晶表示装置の駆動回路を全て $n$ チャネル型ＴＦＴで構成することも可能である。

【０１０８】

また、本実施例は実施例１または実施例３と組み合わせることが可能である。

【０１０９】

[実施例６]

ここでは、上記実施例２～５で得られるＴＦＴを用いて液晶表示装置を作製した例について図１０～図１３を用い、以下に説明する。

【０１１０】

同一の絶縁体上に画素部とそれを駆動する駆動回路を有した液晶表示装置の例（但し液晶材料封止前の状態）を図１０に示す。なお、駆動回路には基本単位となるＣＭＯＳ回路を示し、画素部には一つの画素を示す。このＣＭＯＳ回路及び画素部のＴＦＴは実施例４に従えば得ることができる。

【０１１１】

図１０において、６０１は第１固定基板、６０２は第１接着層、６０３は素子形成基板であり、その上には $n$ チャネル型ＴＦＴ６０５と $p$ チャネル型ＴＦＴ６０４からなる駆動回路６０８、 $n$ チャネル型ＴＦＴからなる画素ＴＦＴ６０６および保持容量６０７とが形成されている。また、本実施例では、ＴＦＴはすべてトップゲート型ＴＦＴで形成されている。

【０１１２】

$p$ チャネル型ＴＦＴ６０４と $n$ チャネル型ＴＦＴ６０５の説明は実施例４を参照すれば良いので省略する。また、 $n$ チャネル型ＴＦＴからなる画素ＴＦＴ６０６の説明は実施例１または実施例３を参照すればよいので省略する。また、画素ＴＦＴ６０６はソース領域およびドレイン領域の間に二つのチャネル形成領域を有した構造（ダブルゲート構造）となっているが、実施例３での $n$ チャネル型ＴＦＴの構造の説明を参照すれば容易に理解できるので説明は省略する。なお、本実施例はダブルゲート構造に限定されことなく、チャ

10

20

30

40

50

ネル形成領域が一つ形成されるシングルゲート構造もしくは三つ形成されるトリプルゲート構造であっても良い。

【0113】

また、本実施例では、画素TFTのドレイン領域と接続する画素電極610を反射電極とした。その画素電極610の材料としては、AlまたはAgを主成分とする膜、またはそれらの積層膜等の反射性の優れた材料を用いることが望ましい。また、画素電極610を形成した後、公知のサンドブラスト法やエッチング法等の工程を追加して表面を凹凸化させて、鏡面反射を防ぎ、反射光を散乱させることによって白色度を増加させることが好ましい。

【0114】

また、図12は、図10中の点線A-A'で切断した断面図である。ゲート電極として機能する導電層712は隣接する画素の保持容量の一方の電極を兼ね、画素電極752と接続する半導体層753と重なる部分で容量を形成している。また、ソース配線707と画素電極724及び隣接する画素電極751との配置関係は、画素電極724、751の端部をソース配線707上に設け、重なり部を形成することにより、迷光を遮り遮光性を高めている。

【0115】

図10の状態を得た後、画素電極610上に配向膜を形成しラビング処理を行う。なお、本実施例では配向膜を形成する前に、アクリル樹脂膜等の有機樹脂膜をパターンニングすることによって基板間隔を保持するための柱状のスペーサ（図示しない）を所望の位置に形成した。また、柱状のスペーサに代えて、球状のスペーサを基板全面に散布してもよい。

【0116】

次いで、第2固定基板（対向基板）を用意する。次いで、対向基板第2固定基板上に着色層、遮光層を形成した後、平坦化膜を形成する。次いで、平坦化膜上に透明導電膜からなる対向電極を少なくとも画素部に形成し、対向基板の全面に配向膜を形成し、ラビング処理を施した。

【0117】

そして、画素部と駆動回路が形成された素子形成基板と第2固定基板とを第2接着層（本実施例ではシール材）で貼り合わせる。第2接着層にはフィラーが混入されていて、このフィラーと柱状スペーサによって均一な間隔を持って2枚の基板が貼り合わせられる。その後、両基板の間に液晶材料を注入し、封止剤（図示せず）によって完全に封止する。液晶材料には公知の液晶材料を用いれば良い。

【0118】

次いで、液晶の封止（または封入）工程まで行った後、実施の形態および実施例1に示したようにレーザー照射により第1固定基板を分離した。その後の液晶表示装置の状態について図11を用いて説明する。

【0119】

図11に示す上面図は、画素部、駆動回路、FPC（フレキシブルプリント配線板：Flexible Printed Circuit）を貼り付ける外部入力端子、外部入力端子と各回路の入力部までを接続する配線81などが形成された素子形成基板と、カラーフィルタなどが設けられた対向基板82とがシール材83を介して貼り合わされている。

【0120】

ゲート側駆動回路84と重なるように第2固定基板側に遮光層86aが設けられ、ソース側駆動回路85と重なるように第2固定基板側に遮光層86bが形成されている。また、画素部87上の第2固定基板側に設けられたカラーフィルタ88は遮光層と、赤色（R）、緑色（G）、青色（B）の各色の着色層とが各画素に対応して設けられている。実際に表示する際には、赤色（R）の着色層、緑色（G）の着色層、青色（B）の着色層の3色でカラー表示を形成するが、これら各色の着色層の配列は任意なものとする。

【0121】

ここでは、カラー化を図るためにカラーフィルタ88を第2固定基板に設けているが特に

10

20

30

40

50

限定されず、素子形成基板上に素子を作製する際、素子形成基板上にカラーフィルタを形成してもよい。

【0122】

また、カラーフィルタにおいて隣り合う画素の間には遮光層が設けられており、表示領域以外の箇所を遮光している。また、ここでは、駆動回路を覆う領域にも遮光層86a、86bを設けているが、駆動回路を覆う領域は、後に液晶表示装置を電子機器の表示部として組み込む際、カバーで覆うため、特に遮光層を設けない構成としてもよい。また、素子形成基板上に必要な素子を作製する際、素子形成基板に遮光層を形成してもよい。

【0123】

また、上記遮光層を設けずに、第2固定基板と対向電極の間に、カラーフィルタを構成する着色層を複数層重ねた積層で遮光するように適宜配置し、表示領域以外の箇所（各画素電極の間隙）や、駆動回路を遮光してもよい。

【0124】

また、外部入力端子にはベースフィルムと配線から成るFPC89が異方性導電性樹脂で貼り合わされている。さらに補強板で機械的強度を高めている。

【0125】

また、第2固定基板のみに偏光板（図示しない）を貼りつける。

【0126】

以上のようにして作製される液晶表示装置は各種電子機器の表示部として用いることができる。

【0127】

また、本実施例は実施例1と組み合わせることが可能である。

【0128】

[実施例7]

本実施例では実施例6に示した液晶表示装置の回路構成例を図13に示す。

【0129】

なお、図13(A)はアナログ駆動を行うための回路構成である。本実施例では、ソース側駆動回路90、画素部91及びゲート側駆動回路92を有している。なお、本明細書において、駆動回路とはソース側処理回路およびゲート側駆動回路を含めた総称である。

【0130】

ソース側駆動回路90は、シフトレジスタ90a、バッファ90b、サンプリング回路（トランスファゲート）90cを設けている。また、ゲート側駆動回路92は、シフトレジスタ92a、レベルシフタ92b、バッファ92cを設けている。なお、シフトレジスタ90a、92aとしては図16に示したシフトレジスタを用いれば良い。また、必要であればサンプリング回路とシフトレジスタとの間にレベルシフタ回路を設けてもよい。

【0131】

また、本実施例において、画素部91は複数の画素を含み、その複数の画素に各々TFT素子が設けられている。

【0132】

これらソース側駆動回路90およびゲート側駆動回路92を全てNチャネル型TFTで形成することができる。この場合、全ての回路は図8(A)に示したEEMOS回路を基本単位として形成されている。ただし、従来のCMOS回路に比べると消費電力は若干上がってしまう。

【0133】

また、これらソース側駆動回路90およびゲート側駆動回路92を全てpチャネル型TFTで形成することもできる。

【0134】

なお、図示していないが、画素部91を挟んでゲート側駆動回路92の反対側にさらにゲート側駆動回路を設けても良い。

【0135】

また、デジタル駆動させる場合は、図 19 (B) に示すように、サンプリング回路の代わりにラッチ (A) 93b、ラッチ (B) 93c を設ければよい。ソース側駆動回路 93 は、シフトレジスタ 93a、ラッチ (A) 93b、ラッチ (B) 93c、D/A コンバータ 93d、バッファ 93e を設けている。また、ゲート側駆動回路 95 は、シフトレジスタ 95a、レベルシフタ 95b、バッファ 95c を設けている。なお、シフトレジスタ 93a、95a としては図 9 に示したシフトレジスタを用いれば良い。また、必要であればラッチ (B) 93c と D/A コンバータ 93d との間にレベルシフタ回路を設けてもよい。

【0136】

また、これらソース側駆動回路 93 およびゲート側駆動回路 95 を全て N チャンネル型 TFT で形成することができる。

10

【0137】

また、これらソース側駆動回路 93 およびゲート側駆動回路 95 を全て p チャンネル型 TFT で形成することもできる。

【0138】

なお、上記構成は、上記実施例 2、3、または 4 に示した製造工程に従って実現することができる。また、本実施例では画素部と駆動回路の構成のみ示しているが、本実施例の製造工程に従えば、メモリやマイクロプロセッサをも形成しうる。

【0139】

[実施例 8]

本実施例では、画素部及び駆動回路に使用する TFT を逆スタガ型 TFT で構成した液晶表示装置の例を図 14 に示す。図 14 (A) は、画素部の画素の一つを拡大した上面図であり、図 14 (A) において、点線 A - A' で切断した部分が、図 14 (B) の画素部の断面構造に相当する。

20

【0140】

図 14 (B) において、50a は第 1 固定基板、51 は第 1 接着層、50b は素子形成基板であり、まず、実施の形態に従い、第 1 固定基板 50a と第 1 接着層 51 (分離層) で貼りつけた素子形成基板 50b を用意する。なお、必要があれば素子形成基板上に下地絶縁膜を形成してもよい。

【0141】

画素部において、画素 TFT 部は N チャンネル型 TFT で形成されている。基板上 51 にゲート電極 52 が形成され、その上に窒化珪素からなる第 1 絶縁膜 53a、酸化珪素からなる第 2 絶縁膜 53b が設けられている。また、第 2 絶縁膜上には、活性層として n+ 領域 54 ~ 56 と、チャンネル形成領域 57、58 と、前記 n+ 型領域とチャンネル形成領域の間に n- 型領域 59、60 が形成される。また、チャンネル形成領域 57、58 は絶縁層 61、62 で保護される。絶縁層 61、62 及び活性層を覆う第 1 の層間絶縁膜 63 にコンタクトホールを形成した後、n+ 領域 54 に接続する配線 64 が形成され、n+ 領域 56 に配線 65 が接続され、さらにその上にパッシベーション膜 66 が形成される。そして、その上に第 2 の層間絶縁膜 67 が形成される。さらに、その上に第 3 の層間絶縁膜 68 が形成され、ITO、SnO<sub>2</sub> 等の透明導電膜からなる画素電極 69 が配線 65 と接続される。また、70 は画素電極 69 と隣接する画素電極である。

30

40

【0142】

本実施例では一例として透過型の液晶表示装置の例を示したが特に限定されない。例えば、画素電極の材料として反射性を有する金属材料を用い、画素電極のパターニングの変更、または幾つかの工程の追加 / 削除を適宜行えば反射型の液晶表示装置を作製することが可能である。

【0143】

なお、本実施例では、画素部の画素 TFT のゲート配線をダブルゲート構造としているが、オフ電流のバラツキを低減するために、トリプルゲート構造等のマルチゲート構造としても構わない。また、開口率を向上させるためにシングルゲート構造としてもよい。

【0144】

50

また、画素部の容量部は、第 1 絶縁膜及び第 2 絶縁膜を誘電体として、容量配線 7 1 と、 $n+$  領域 5 6 とで形成されている。

【 0 1 4 5 】

なお、図 1 4 で示した画素部はあくまで一例に過ぎず、特に上記構成に限定されないことはいふまでもない。

【 0 1 4 6 】

また、素子形成基板上の全ての T F T を N チャネル型 T F T とすることができる。素子形成基板上の全ての T F T を N チャネル型 T F T で構成すれば、P チャネル型 T F T を形成する工程を省略できるため、液晶表示装置の製造工程を簡略化することができる。また、それに伴って製造工程の歩留まりが向上し、液晶表示装置の製造コストを下げるこ

10

【 0 1 4 7 】

[実施例 8]

本実施例では、画素部及び駆動回路に使用する T F T を全て N チャネル型 T F T で構成した液晶表示装置の例を図 1 5 に示す。なお、実施例 6 の図 1 0 と同一である箇所に相当するところは同じ符号を用いた。

【 0 1 4 8 】

図 1 5 において、6 0 1 は第 1 固定基板、6 0 2 は第 1 接着層、6 0 3 は素子形成基板であり、まず、実施の形態に従い、第 1 固定基板 6 0 1 と第 1 接着層 6 0 2 (分離層) で貼りつけた素子形成基板 6 0 3 上に下地絶縁膜を形成する。

20

【 0 1 4 9 】

下地絶縁膜上には N チャネル型 T F T 1 1 0 1、N チャネル型 T F T 1 1 0 2 からなる駆動回路、N チャネル型 T F T からなる画素 T F T 1 1 0 3 および保持容量 1 1 0 4 が形成されている。なお、N チャネル型 T F T の説明は実施例 3 を参照すれば良いので省略する。

【 0 1 5 0 】

ここでは、実施例 6 とは異なり、透過型の液晶表示装置の例である。層間絶縁膜を形成した後、透明導電膜からなる画素電極 1 1 0 7 をパターニングにより形成した後、コンタクトホールを形成して画素電極 1 1 0 7 と画素 T F T 1 1 0 3 のドレイン領域とを接続する接続電極 1 1 0 8 を形成した。また、同様にして画素電極 1 1 0 7 と保持容量 1 1 0 4 に

30

【 0 1 5 1 】

また、図 1 5 の状態を得た後、実施例 6 の工程に従って、第 2 接着層で第 2 固定基板を貼り合わせた後、第 1 接着層 6 0 2 にレーザーを照射して第 1 固定基板 6 0 1 を分離して、液晶表示装置を完成させればよい。

【 0 1 5 2 】

N チャネル型 T F T のみでゲート側駆動回路およびソース側駆動回路を形成することにより画素部および駆動回路をすべて N チャネル型 T F T で形成することが可能となる。従って、アクティブマトリクス型の電気光学装置を作製する上で T F T 工程の歩留まりおよびスループットを大幅に向上させることができ、製造コストを低減することが可能となる。

40

【 0 1 5 3 】

なお、ソース側駆動回路もしくはゲート側駆動回路のいずれか片方を外付けの I C チップとする場合にも本実施例は実施できる。

【 0 1 5 4 】

また、本実施例では、E 型 N T F T のみを用いて駆動回路を構成したが E 型 N T F T および D 型 N T F T を組み合わせて形成してもよい。

【 0 1 5 5 】

[実施例 9]

本実施例では、画素部及び駆動回路に使用する T F T を全て P チャネル型 T F T で構成した液晶表示装置の例を図 1 6 に示す。なお、実施例 6 の図 1 0 と同一である箇所に相当す

50

るところは同じ符号を用いた。

【0156】

図16において、601は第1固定基板、602は第1接着層、603は素子形成基板であり、まず、実施の形態に従い、第1固定基板601と第1接着層602（分離層）で貼りつけた素子形成基板603上に下地絶縁膜を形成する。

【0157】

下地絶縁膜上にはPチャネル型TFT1201、Pチャネル型TFT1202からなる駆動回路、Pチャネル型TFTからなる画素TFT1203および保持容量1204が形成されている。なお、Pチャネル型TFTの説明は実施例2を参照すれば良いので省略する。

10

【0158】

ここでは、実施例6とは異なり、透過型の液晶表示装置の例である。層間絶縁膜を形成した後、透明導電膜からなる画素電極1207をパターニングにより形成した後、コンタクトホールを形成して画素電極1207と画素TFT1203のドレイン領域とを接続する接続電極1208を形成した。また、同様にして画素電極1207と保持容量1204における半導体領域とを接続する接続電極1209を形成した。

【0159】

また、図16の状態を得た後、実施例6の工程に従って、第2接着層で第2固定基板を貼り合わせた後、第1接着層602にレーザーを照射して第1固定基板601を分離して、液晶表示装置を完成させればよい。

20

【0160】

Pチャネル型TFTのみでゲート側駆動回路およびソース側駆動回路を形成することにより画素部および駆動回路をすべてPチャネル型TFTで形成することが可能となる。従って、アクティブマトリクス型の電気光学装置を作製する上でTFT工程の歩留まりおよびスループットを大幅に向上させることができ、製造コストを低減することが可能となる。

【0161】

なお、ソース側駆動回路もしくはゲート側駆動回路のいずれか片方を外付けのICチップとする場合にも本実施例は実施できる。

【0162】

〔実施例10〕

素子形成基板としては、金属基板、例えばステンレス基板を用いることもできる。本実施例は、その場合の例を以下に示す。

30

【0163】

本実施例では、実施例1の素子形成基板として、ステンレス基板（厚さ10～200μm）を用いる。まず、実施の形態に従って第1固定基板とステンレス基板とを第1接着層で貼り合わせる。

【0164】

以降は、実施例1に従って、ステンレス基板からなる素子形成基板上に下地絶縁膜を形成して必要な素子を形成すればよい。なお、実施例1とは異なり、耐熱性が高いステンレス基板を用いているため、実施例1よりも高い温度（約500℃以下）でのプロセスを使用してTFTを作製することができる。

40

【0165】

そして、第1固定基板を分離する際、ステンレス基板を用いているため、レーザー光を照射しても素子形成基板上に形成された素子に全く影響を与えることなく第1固定基板を分離することができる。

【0166】

また、ステンレス基板は遮光性を有しているため、本実施例の表示装置は、反射型の液晶表示装置となる。

【0167】

薄い金属基板（厚さ10～200μm）を用いることによって軽量化、薄型化が図れると

50

ともに可撓性を有する発光装置を得ることができる。また、金属基板を用いているため、素子基板上に形成されたＴＦＴ素子の放熱効果が得られる。

【０１６８】

また、本実施例は、実施例１乃至９のいずれか一と自由に組み合わせることが可能である。

【０１６９】

[実施例１１]

本願発明を実施して形成された駆動回路や画素部は様々な電気光学装置（アクティブマトリクス型液晶ディスプレイ、アクティブマトリクス型ＥＬディスプレイ、アクティブマトリクス型ＥＣディスプレイ）に用いることができる。即ち、それら電気光学装置を表示部に組み込んだ電子機器全てに本願発明を実施できる。

10

【０１７０】

その様な電子機器としては、ビデオカメラ、デジタルカメラ、ヘッドマウントディスプレイ（ゴーグル型ディスプレイ）、カーナビゲーション、カーステレオ、パーソナルコンピュータ、携帯情報端末（モバイルコンピュータ、携帯電話または電子書籍等）などが挙げられる。それらの一例を図１８及び図１９に示す。

【０１７１】

図１８（Ａ）はパーソナルコンピュータであり、本体２００１、画像入力部２００２、表示部２００３、キーボード２００４等を含む。本発明を画像入力部２００２、表示部２００３やその他の駆動回路に適用することができる。

20

【０１７２】

図１８（Ｂ）はビデオカメラであり、本体２１０１、表示部２１０２、音声入力部２１０３、操作スイッチ２１０４、バッテリー２１０５、受像部２１０６等を含む。本発明を表示部２１０２やその他の駆動回路に適用することができる。

【０１７３】

図１８（Ｃ）はモバイルコンピュータ（モービルコンピュータ）であり、本体２２０１、カメラ部２２０２、受像部２２０３、操作スイッチ２２０４、表示部２２０５等を含む。本発明は表示部２２０５やその他の駆動回路に適用できる。

【０１７４】

図１８（Ｄ）はゴーグル型ディスプレイであり、本体２３０１、表示部２３０２、アーム部２３０３等を含む。本発明は表示部２３０２やその他の駆動回路に適用することができる。

30

【０１７５】

図１８（Ｅ）はプログラムを記録した記録媒体（以下、記録媒体と呼ぶ）を用いるプレーヤーであり、本体２４０１、表示部２４０２、スピーカ部２４０３、記録媒体２４０４、操作スイッチ２４０５等を含む。なお、このプレーヤーは記録媒体としてＤＶＤ（Digital Versatile Disc）、ＣＤ等を用い、音楽鑑賞や映画鑑賞やゲームやインターネットを行うことができる。本発明は表示部２４０２やその他の駆動回路に適用することができる。

【０１７６】

図１８（Ｆ）はデジタルカメラであり、本体２５０１、表示部２５０２、接眼部２５０３、操作スイッチ２５０４、受像部（図示しない）等を含む。本願発明を表示部２５０２やその他の駆動回路に適用することができる。

40

【０１７７】

図１９（Ａ）は携帯電話であり、本体２９０１、音声出力部２９０２、音声入力部２９０３、表示部２９０４、操作スイッチ２９０５、アンテナ２９０６等を含む。本願発明を音声出力部２９０２、音声入力部２９０３、表示部２９０４やその他の駆動回路に適用することができる。

【０１７８】

図１９（Ｂ）は携帯書籍（電子書籍）であり、本体３００１、表示部３００２、３００３

50

、記憶媒体 3004、操作スイッチ 3005、アンテナ 3006 等を含む。本発明は表示部 3002、3003 やその他の駆動回路に適用することができる。

【0179】

図 19 (C) はディスプレイであり、本体 3101、支持台 3102、表示部 3103 等を含む。本発明は表示部 3103 に適用することができる。本発明のディスプレイは特に大画面化した場合において有利であり、対角 10 インチ以上 (特に 30 インチ以上) のディスプレイには有利である。

【0180】

以上の様に、本願発明の適用範囲は極めて広く、あらゆる分野の電子機器に適用することが可能である。また、本実施例の電子機器は実施例 1 ~ 10 のどのような組み合わせからなる構成を用いても実現することができる。

10

【0181】

【発明の効果】

本発明により樹脂基板である素子形成基板と樹脂基板である第 2 固定基板とで素子形成層 (液晶材料、画素電極、および TFT 素子含む) を挟んだ表示装置は、多少の応力が発生しても破損しない柔軟性 (フレキシビリティ) を有している。

【0182】

また、素子形成基板の厚さが非常に薄い、具体的には  $50\text{ }\mu\text{m} \sim 300\text{ }\mu\text{m}$ 、好ましくは  $150\text{ }\mu\text{m} \sim 200\text{ }\mu\text{m}$  の厚さの基板を用いても、信頼性の高い液晶表示装置を得ることができる。

20

【図面の簡単な説明】

【図 1】 基板貼り合わせ工程を示す図。

【図 2】 貼り合わせた基板の状態を示す図。

【図 3】 作製工程を示す図。

【図 4】 p チャネル型 TFT の作製工程を示す図。

【図 5】 n チャネル型 TFT の作製工程を示す図。

【図 6】 CMOS 回路を作製する工程を説明する図。

【図 7】 CMOS 回路を作製する工程を説明する図。

【図 8】 NMOS 回路の構成を示す図。

【図 9】 シフトレジスタの構成を示す図。

30

【図 10】 液晶表示装置の駆動回路及び画素部の断面構造図。

【図 11】 液晶表示装置の上面図。

【図 12】 液晶表示装置の画素の上面図。

【図 13】 液晶表示装置の回路ブロック図。

【図 14】 液晶表示装置の画素部の上面図および断面構造図。

【図 15】 液晶表示装置の駆動回路及び画素部の断面構造図。

【図 16】 液晶表示装置の駆動回路及び画素部の断面構造図。

【図 17】 曲率を与えた状態を示す図。

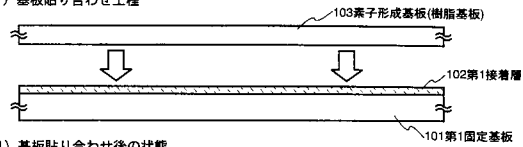
【図 18】 電子機器の一例を示す図。

【図 19】 電子機器の一例を示す図。

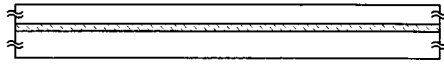
40

【図 1】

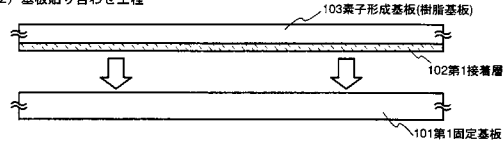
(A1) 基板貼り合わせ工程



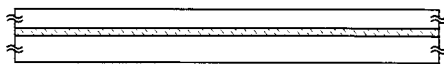
(B1) 基板貼り合わせ後の状態



(A2) 基板貼り合わせ工程

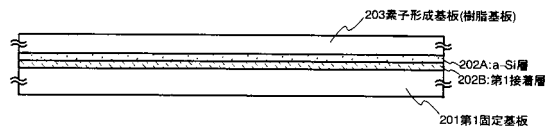


(B2) 基板貼り合わせ後の状態

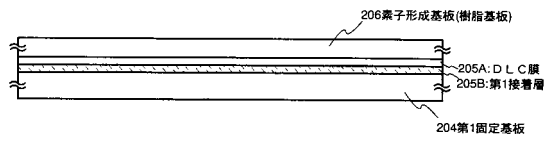


【図 2】

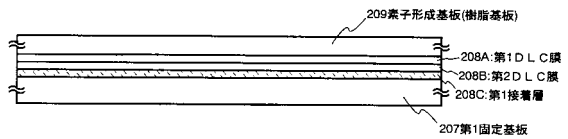
(A)



(B)

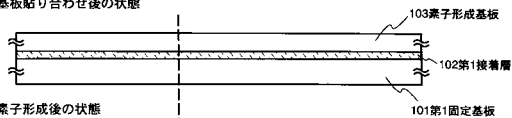


(C)

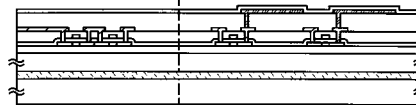


【図 3】

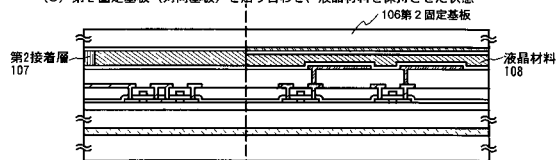
(A) 基板貼り合わせ後の状態



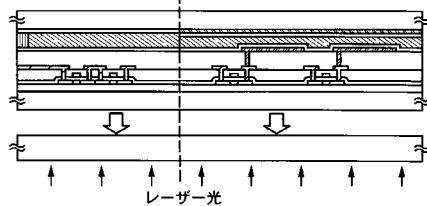
(B) 素子形成後の状態



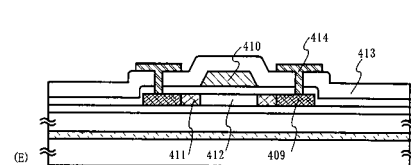
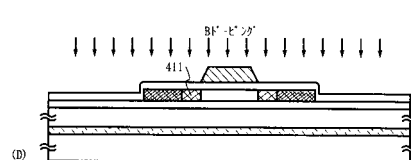
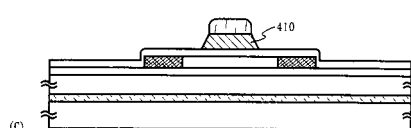
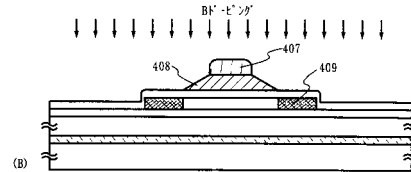
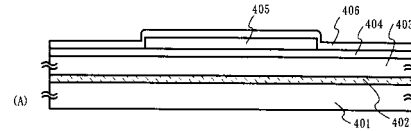
(C) 第2固定基板(対向基板)を貼り合わせ、液晶材料を保持させた状態



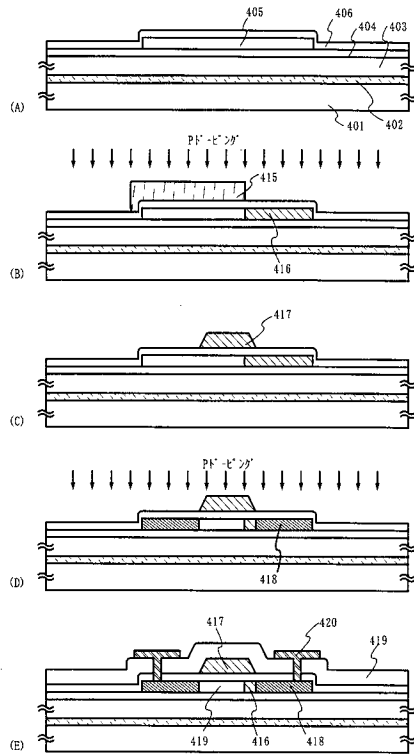
(D) 第1固定基板を分離する工程(レーザー処理)



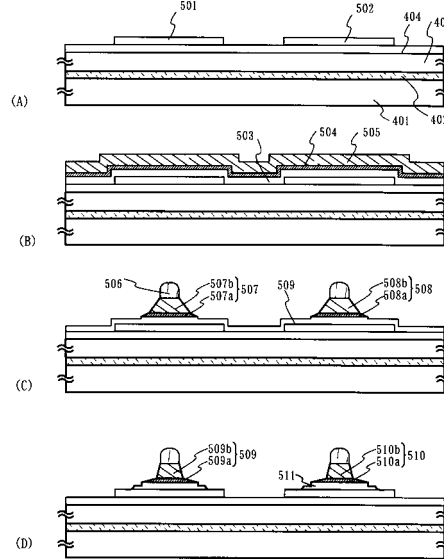
【図 4】



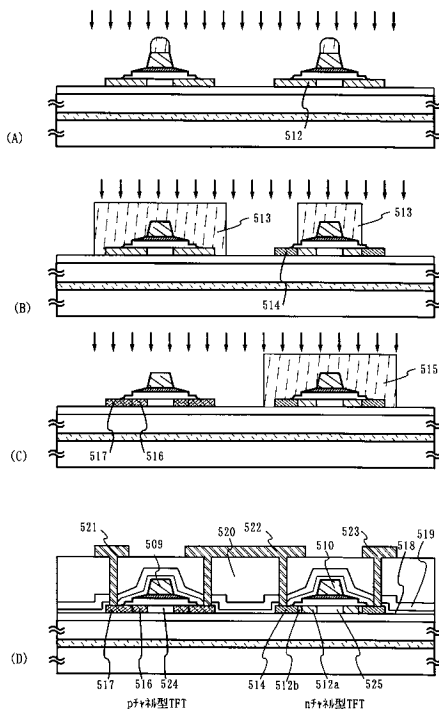
【図 5】



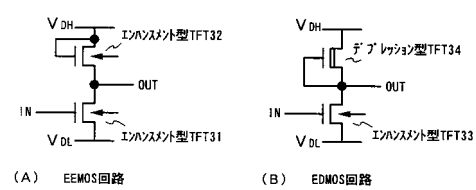
【図 6】



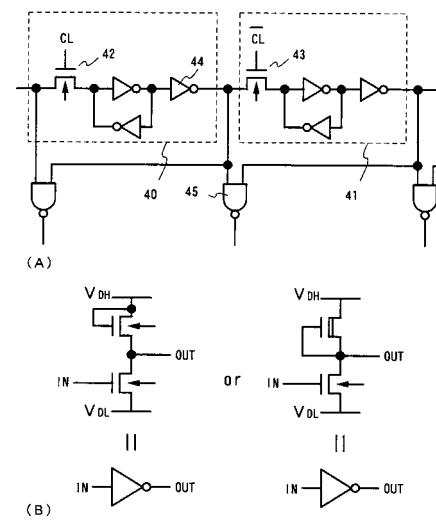
【図 7】



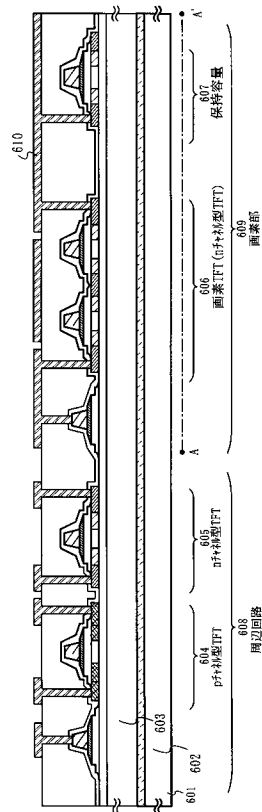
【図 8】



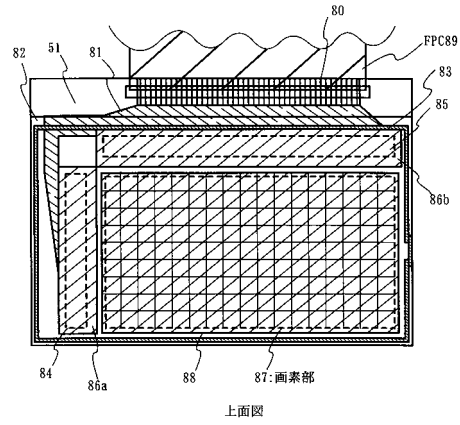
【図 9】



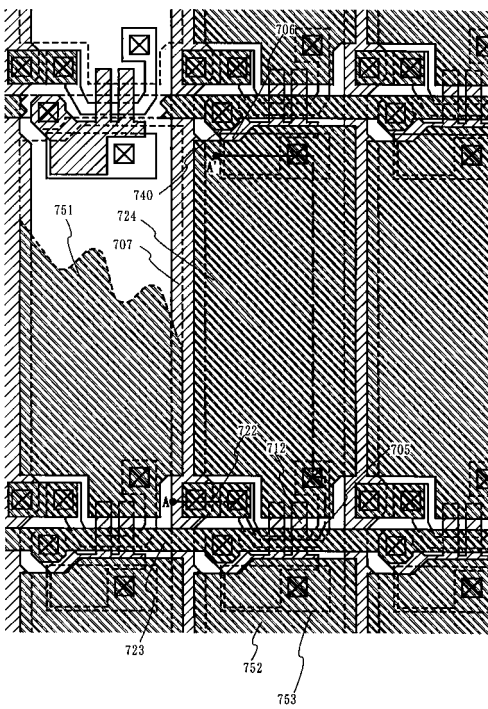
【図 10】



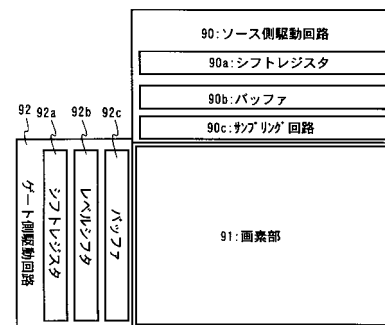
【図 11】



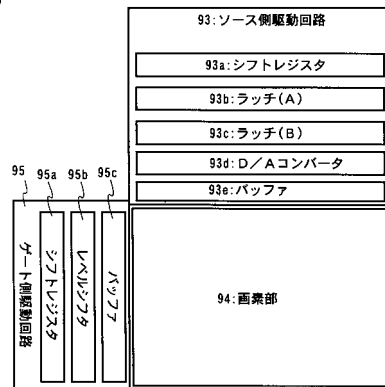
【図 12】



【図 13】

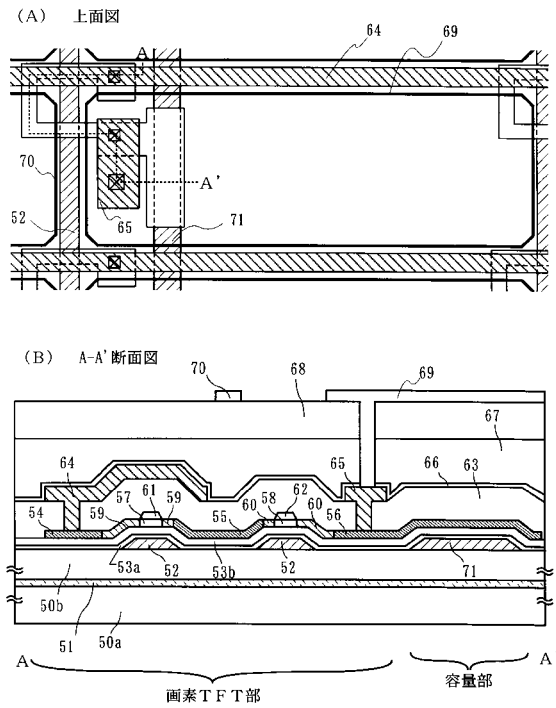


(A)

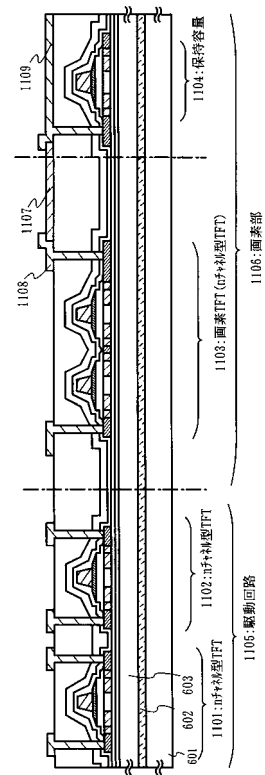


(B)

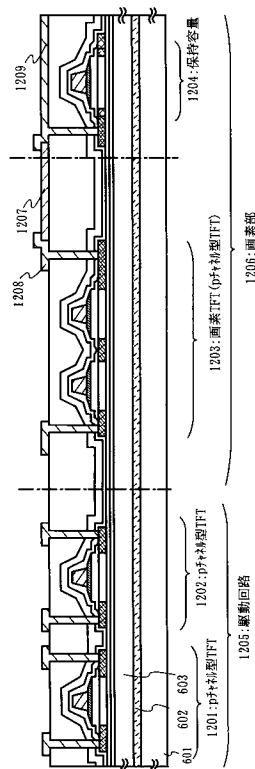
【図14】



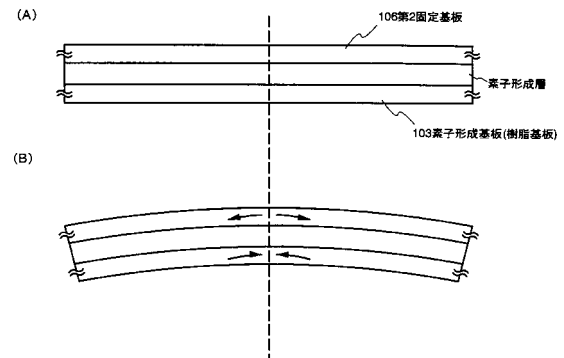
【図15】



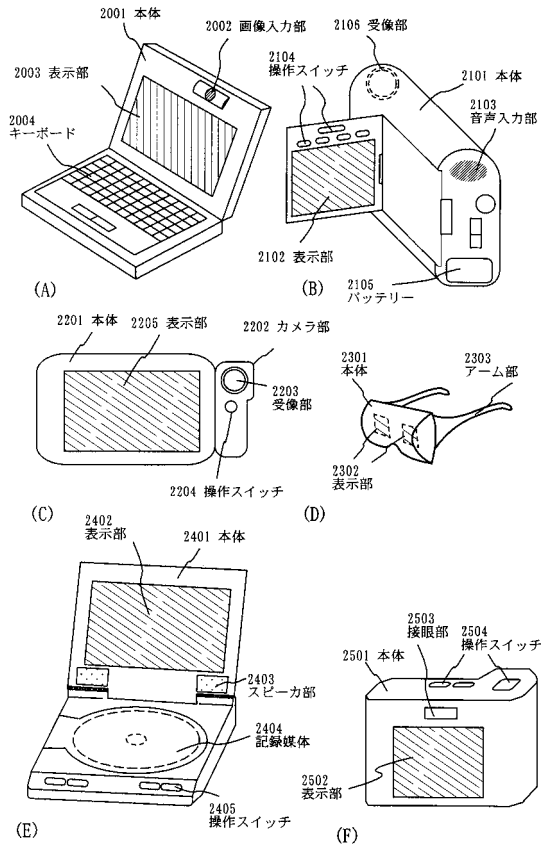
【図16】



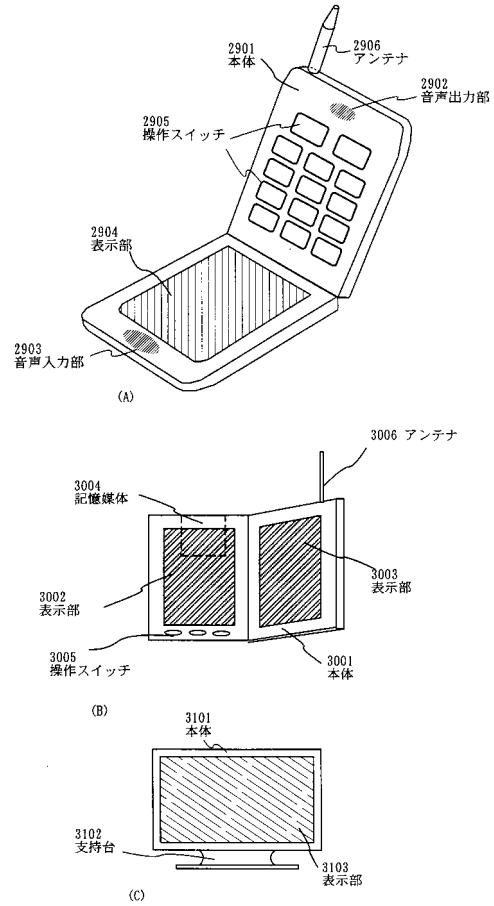
【図17】



【図 18】



【図 19】



---

 フロントページの続き

(51)Int.Cl.		F I		
<i>H 0 1 L</i>	<i>21/336</i>	<i>(2006.01)</i>	<i>H 0 1 L</i>	<i>29/78 6 2 7 D</i>
<i>H 0 1 S</i>	<i>3/00</i>	<i>(2006.01)</i>	<i>H 0 1 S</i>	<i>3/00 B</i>

(56)参考文献 特開 2 0 0 1 - 2 6 7 5 7 8 ( J P , A )  
 特開平 1 1 - 0 6 1 0 4 9 ( J P , A )  
 特開平 0 2 - 2 1 8 7 8 3 ( J P , A )  
 特開昭 6 2 - 0 5 4 7 7 8 ( J P , A )  
 特開 2 0 0 0 - 2 4 3 9 4 3 ( J P , A )  
 特開平 0 4 - 2 9 6 0 6 1 ( J P , A )  
 特開 2 0 0 0 - 1 9 6 2 4 3 ( J P , A )  
 特開 2 0 0 2 - 0 3 3 4 6 4 ( J P , A )  
 特開平 1 0 - 1 2 5 9 3 0 ( J P , A )  
 特開平 0 7 - 2 0 2 4 2 4 ( J P , A )  
 特開平 0 8 - 2 1 1 3 7 8 ( J P , A )  
 特開昭 6 3 - 1 0 7 0 7 3 ( J P , A )

(58)調査した分野(Int.Cl. , D B 名)

G02F 1/1368

H01L 29/786