

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第2区分

【発行日】平成24年1月19日(2012.1.19)

【公開番号】特開2011-77550(P2011-77550A)

【公開日】平成23年4月14日(2011.4.14)

【年通号数】公開・登録公報2011-015

【出願番号】特願2010-292753(P2010-292753)

【国際特許分類】

H 01 L 25/07 (2006.01)

H 01 L 25/18 (2006.01)

H 02 M 3/155 (2006.01)

H 01 L 21/60 (2006.01)

【F I】

H 01 L 25/04 C

H 02 M 3/155 Z

H 01 L 21/60 3 2 1 E

【手続補正書】

【提出日】平成23年11月24日(2011.11.24)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

DC / DCコンバータに利用される半導体装置であって、

前記DC - DCコンバータの入力用の第1リードを有する第1ダイパッドと、

前記DC - DCコンバータの出力用の第2リードを有する第2ダイパッドと、

第3リードを有する第3ダイパッドと、

前記DC - DCコンバータの基準電位用の第4リードと、

前記第1のダイパッド上に搭載され、前記DC - DCコンバータのハイサイドスイッチ用MOSFETを含む第1半導体チップと、

前記第2のダイパッド上に搭載され、前記DC - DCコンバータのロウサイドスイッチ用MOSFETを含む第2半導体チップと、

前記第3ダイパッド上に搭載され、前記ハイサイドスイッチ用MOSFETを駆動する第1ドライバ回路および前記ロウサイドスイッチ用MOSFETを駆動する第2ドライバ回路を含む第3半導体チップと、

前記第1、前記第2および前記第3半導体チップを封止する樹脂体と、を含み、

前記第1半導体チップは、前記第1半導体チップの上面に配置された第1ゲート電極用パッドおよび第1ソース電極用パッドと、前記第1半導体チップの上面と反対側の下面に配置され、前記第1ダイパッドと接続された第1ドレイン電極と、を含み、

前記第2半導体チップは、前記第2半導体チップの上面に配置された第2ゲート電極用パッドおよび第2ソース電極用パッドと、前記第2半導体チップの上面と反対側の下面に配置され、前記第2ダイパッドと接続された第2ドレイン電極と、を含み、

前記第1ソース電極用パッドと前記第2ダイパッドとを接続する第1金属板と、

前記第2ソース電極用パッドと前記第4リードとを接続する第2金属板と、を含むことを特徴とする半導体装置。

【請求項2】

請求項 1 記載の半導体装置において、

前記第3半導体チップに設けられた前記第1ドライバ回路のソース側端子と前記第1ソース電極用パッドと接続する第3の金属板を含むことを特徴とする半導体装置。

【請求項3】

第1チップ搭載部、第2チップ搭載部および第3チップ搭載部と、

前記第1、前記第2および前記第3チップ搭載部の周囲に配置された複数の外部端子と、

前記第1チップ搭載部上に配置され、第1電界効果トランジスタを有する第1半導体チップと、

前記第2チップ搭載部上に配置され、第2電界効果トランジスタを有する第2半導体チップと、

前記第3チップ搭載部上に配置され、前記第1および前記第2電界効果トランジスタの動作を制御する制御回路を含む第3半導体チップと、

前記第1、前記第2および前記第3半導体チップと、前記第1、前記第2および前記第3チップ搭載部と、前記複数の外部端子の一部を封止する封止樹脂とを有し、

前記複数の外部端子は、

入力用電源電位が供給されるべき複数の第1電源端子と、

前記入力用電源電位よりも低い電位が供給されるべき複数の第2電源端子と、

前記第3半導体チップの制御回路を制御する制御信号が入力されるべき複数の信号端子と、

出力用電源電位を外部に出力するための複数の出力端子とを有し、

前記第1電界効果トランジスタのソース電極およびゲート電極は、前記第1半導体チップの正面に形成され、前記第1電界効果トランジスタのドレイン電極は、前記第1半導体チップの前記正面に対向する裏面に形成され、

前記第1電界効果トランジスタのドレイン電極は、前記第1チップ搭載部に電気的に接続され、

前記第1チップ搭載部は、前記複数の第1電源端子に電気的に接続され、

前記第2電界効果トランジスタのソース電極およびゲート電極は、前記第2半導体チップの正面に形成され、前記第2電界効果トランジスタのドレイン電極は、前記第2半導体チップの前記正面に対向する裏面に形成され、

前記第2電界効果トランジスタのドレイン電極は、前記第2チップ搭載部に電気的に接続され、前記第2チップ搭載部は、前記複数の出力端子に電気的に接続され、

前記第1電界効果トランジスタのソース電極は、前記第2チップ搭載部に第1金属配線によって電気的に接続され、

前記第2電界効果トランジスタのソース電極は、前記複数の第2電源端子に第2金属配線によって電気的に接続され、

前記第3半導体チップの制御回路は、前記複数の信号端子に入力された制御信号によって、前記第1および前記第2電界効果トランジスタのそれぞれのゲート電極を制御し、

前記制御回路は、前記第1電界効果トランジスタの前記ゲート電極を駆動する第1ドライバと、前記第2電界効果トランジスタの前記ゲート電極を駆動する第2ドライバと、を含み、

前記第1電界効果トランジスタの前記ソース電極と前記第1ドライバのソース側接地端子の電極とが、第3金属配線によって接続されることを特徴とする半導体装置。

【請求項4】

請求項3記載の半導体装置において、

前記第1チップ搭載部、前記第2チップ搭載部および前記第3チップ搭載部は、前記封止樹脂から露出することを特徴とする半導体装置。

【請求項5】

請求項3記載の半導体装置において、

前記第1および前記第2金属配線は、複数のワイヤからなることを特徴とする半導体装

置。

【請求項 6】

請求項 3 記載の半導体装置において、

前記第 1、前記第 2 および前記第 3 金属配線は、ワイヤまたは金属板であることを特徴とする半導体装置。

【請求項 7】

請求項 3 記載の半導体装置において、

前記半導体装置は、第 1 辺と、前記第 1 边に対向する第 2 边と、前記第 1 边および前記第 2 边の間に設けられた第 3 边と、前記第 3 边に対向する第 4 边を有し、

前記複数の第 1 電源端子は、前記第 2 边と前記第 4 边とに配置され、

前記複数の第 2 電源端子は、前記第 1 边と前記第 4 边とに配置され、

前記複数の出力端子は、前記第 3 边に配置され、

前記複数の信号端子は、前記第 2 边と前記第 3 边とに配置されることを特徴とする半導体装置。

【請求項 8】

複数の外部端子の一部を封止する封止樹脂を有する半導体装置であって、

第 1 チップ搭載部、第 2 チップ搭載部および第 3 チップ搭載部と、

前記第 1、前記第 2 および前記第 3 チップ搭載部の周囲に配置された複数の外部端子と、

前記第 1 チップ搭載部上に配置され、第 1 電界効果トランジスタを有する第 1 半導体チップと、

前記第 2 チップ搭載部上に配置され、第 2 電界効果トランジスタを有する第 2 半導体チップと、

前記第 3 チップ搭載部上に配置され、前記第 1 および前記第 2 電界効果トランジスタの動作を制御する制御回路を含む第 3 半導体チップと、

前記第 1、前記第 2 および前記第 3 半導体チップと、前記第 1、前記第 2 および前記第 3 チップ搭載部と、前記複数の外部端子の一部を封止する封止樹脂とを有し、

前記複数の外部端子は、

入力用電源電位が供給されるべき複数の第 1 電源端子と、

前記入力用電源電位よりも低い電位が供給されるべき複数の第 2 電源端子と、

前記第 3 半導体チップの制御回路を制御する制御信号が入力されるべき複数の信号端子と、

出力用電源電位を外部に出力するための複数の出力端子とを有し、

前記第 1 電界効果トランジスタのソース電極およびゲート電極は、前記第 1 半導体チップの正面に形成され、前記第 1 電界効果トランジスタのドレイン電極は、前記第 1 半導体チップの前記正面に対向する裏面に形成され、

前記第 1 電界効果トランジスタのドレイン電極は、前記第 1 チップ搭載部に電気的に接続され、

前記第 1 チップ搭載部は、前記複数の第 1 電源端子に電気的に接続され、

前記第 2 電界効果トランジスタのソース電極およびゲート電極は、前記第 2 半導体チップの正面に形成され、前記第 2 電界効果トランジスタのドレイン電極は、前記第 2 半導体チップの前記正面に対向する裏面に形成され、

前記第 2 電界効果トランジスタのドレイン電極は、前記第 2 チップ搭載部に電気的に接続され、前記第 2 チップ搭載部は、前記複数の出力端子に電気的に接続され、

前記第 1 電界効果トランジスタのソース電極は、前記第 2 チップ搭載部に第 1 金属配線によって電気的に接続され、

前記第 2 電界効果トランジスタのソース電極は、前記複数の第 2 電源端子に第 2 金属配線によって電気的に接続され、

前記第 3 半導体チップの制御回路は、前記複数の信号端子に入力された制御信号によつて、前記第 1 および前記第 2 電界効果トランジスタのそれぞれのゲート電極を制御し、

前記制御回路は、前記第1電界効果トランジスタの前記ゲート電極を駆動する第1ドライバと、前記第2電界効果トランジスタの前記ゲート電極を駆動する第2ドライバと、を含み、

前記第1電界効果トランジスタの前記ソース電極と前記第1ドライバのソース側接地端子の電極とが、第3金属配線によって接続され、

前記半導体装置は、第1辺と、前記第1辺に対向する第2辺と、前記第1辺および前記第2辺の間に設けられた第3辺と、前記第3辺に対向する第4辺を有し、

前記複数の第1電源端子は、前記第2辺と前記第4辺とに配置され、

前記複数の第2電源端子は、前記第1辺と前記第4辺とに配置され、

前記複数の出力端子は、前記第3辺に配置され、

前記複数の信号端子は、前記第2辺と前記第3辺とに配置されることを特徴とする半導体装置。

【請求項9】

請求項8記載の半導体装置において、

前記第1チップ搭載部、前記第2チップ搭載部および前記第3チップ搭載部は、前記封止樹脂から露出することを特徴とする半導体装置。

【請求項10】

請求項8記載の半導体装置において、

前記第1および前記第2金属配線は、複数のワイヤからなることを特徴とする半導体装置。

【請求項11】

請求項8記載の半導体装置において、

前記第1、前記第2および前記第3金属配線は、ワイヤまたは金属板であることを特徴とする半導体装置。