

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 7 部門第 2 区分

【発行日】平成24年1月19日 (2012.1.19)

【公開番号】特開2011-77550(P2011-77550A)

【公開日】平成23年4月14日 (2011.4.14)

【年通号数】公開・登録公報2011-015

【出願番号】特願2010-292753(P2010-292753)

【国際特許分類】

H 0 1 L 25/07 (2006.01)

H 0 1 L 25/18 (2006.01)

H 0 2 M 3/155 (2006.01)

H 0 1 L 21/60 (2006.01)

【F I】

H 0 1 L 25/04 C

H 0 2 M 3/155 Z

H 0 1 L 21/60 3 2 1 E

【手続補正書】

【提出日】平成23年11月24日 (2011.11.24)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

DC / DC コンバータに利用される半導体装置であって、
 前記 DC - DC コンバータの入力用の第 1 リードを有する第 1 ダイパッドと、
 前記 DC - DC コンバータの出力用の第 2 リードを有する第 2 ダイパッドと、
 第 3 リードを有する第 3 ダイパッドと、
 前記 DC - DC コンバータの基準電位用の第 4 リードと、
 前記第 1 のダイパッド上に搭載され、前記 DC - DC コンバータのハイサイドスイッチ用 MOSFET を含む第 1 半導体チップと、
 前記第 2 のダイパッド上に搭載され、前記 DC - DC コンバータのロウサイドスイッチ用 MOSFET を含む第 2 半導体チップと、
 前記第 3 ダイパッド上に搭載され、前記ハイサイドスイッチ用 MOSFET を駆動する第 1 ドライバ回路および前記ロウサイドスイッチ用 MOSFET を駆動する第 2 ドライバ回路を含む第 3 半導体チップと、
 前記第 1、前記第 2 および前記第 3 半導体チップを封止する樹脂体と、を含み、
 前記第 1 半導体チップは、前記第 1 半導体チップの上面に配置された第 1 ゲート電極用パッドおよび第 1 ソース電極用パッドと、前記第 1 半導体チップの上面と反対側の下面に配置され、前記第 1 ダイパッドと接続された第 1 ドレイン電極と、を含み、
 前記第 2 半導体チップは、前記第 2 半導体チップの上面に配置された第 2 ゲート電極用パッドおよび第 2 ソース電極用パッドと、前記第 2 半導体チップの上面と反対側の下面に配置され、前記第 2 ダイパッドと接続された第 2 ドレイン電極と、を含み、
 前記第 1 ソース電極用パッドと前記第 2 ダイパッドとを接続する第 1 金属板と、
 前記第 2 ソース電極用パッドと前記第 4 リードとを接続する第 2 金属板と、を含むことを特徴とする半導体装置。

【請求項 2】

請求項 1 記載の半導体装置において、

前記第 3 半導体チップに設けられた前記第 1 ドライバ回路のソース側端子と前記第 1 ソース電極用パッドと接続する第 3 の金属板を含むことを特徴とする半導体装置。

【請求項 3】

第 1 チップ搭載部、第 2 チップ搭載部および第 3 チップ搭載部と、

前記第 1、前記第 2 および前記第 3 チップ搭載部の周囲に配置された複数の外部端子と

、
前記第 1 チップ搭載部上に配置され、第 1 電界効果トランジスタを有する第 1 半導体チップと、

前記第 2 チップ搭載部上に配置され、第 2 電界効果トランジスタを有する第 2 半導体チップと、

前記第 3 チップ搭載部上に配置され、前記第 1 および前記第 2 電界効果トランジスタの動作を制御する制御回路を含む第 3 半導体チップと、

前記第 1、前記第 2 および前記第 3 半導体チップと、前記第 1、前記第 2 および前記第 3 チップ搭載部と、前記複数の外部端子の一部を封止する封止樹脂とを有し、

前記複数の外部端子は、

入力用電源電位が供給されるべき複数の第 1 電源端子と、

前記入力用電源電位よりも低い電位が供給されるべき複数の第 2 電源端子と、

前記第 3 半導体チップの制御回路を制御する制御信号が入力されるべき複数の信号端子と、

出力用電源電位を外部に出力するための複数の出力端子とを有し、

前記第 1 電界効果トランジスタのソース電極およびゲート電極は、前記第 1 半導体チップの主面に形成され、前記第 1 電界効果トランジスタのドレイン電極は、前記第 1 半導体チップの前記主面に対向する裏面に形成され、

前記第 1 電界効果トランジスタのドレイン電極は、前記第 1 チップ搭載部に電氣的に接続され、

前記第 1 チップ搭載部は、前記複数の第 1 電源端子に電氣的に接続され、

前記第 2 電界効果トランジスタのソース電極およびゲート電極は、前記第 2 半導体チップの主面に形成され、前記第 2 電界効果トランジスタのドレイン電極は、前記第 2 半導体チップの前記主面に対向する裏面に形成され、

前記第 2 電界効果トランジスタのドレイン電極は、前記第 2 チップ搭載部に電氣的に接続され、前記第 2 チップ搭載部は、前記複数の出力端子に電氣的に接続され、

前記第 1 電界効果トランジスタのソース電極は、前記第 2 チップ搭載部に第 1 金属配線によって電氣的に接続され、

前記第 2 電界効果トランジスタのソース電極は、前記複数の第 2 電源端子に第 2 金属配線によって電氣的に接続され、

前記第 3 半導体チップの制御回路は、前記複数の信号端子に入力された制御信号によって、前記第 1 および前記第 2 電界効果トランジスタのそれぞれのゲート電極を制御し、

前記制御回路は、前記第 1 電界効果トランジスタの前記ゲート電極を駆動する第 1 ドライバと、前記第 2 電界効果トランジスタの前記ゲート電極を駆動する第 2 ドライバと、を含み、

前記第 1 電界効果トランジスタの前記ソース電極と前記第 1 ドライバのソース側接地端子の電極とが、第 3 金属配線によって接続されることを特徴とする半導体装置。

【請求項 4】

請求項 3 記載の半導体装置において、

前記第 1 チップ搭載部、前記第 2 チップ搭載部および前記第 3 チップ搭載部は、前記封止樹脂から露出することを特徴とする半導体装置。

【請求項 5】

請求項 3 記載の半導体装置において、

前記第 1 および前記第 2 金属配線は、複数のワイヤからなることを特徴とする半導体装

置。

【請求項 6】

請求項 3 記載の半導体装置において、

前記第 1、前記第 2 および前記第 3 金属配線は、ワイヤまたは金属板であることを特徴とする半導体装置。

【請求項 7】

請求項 3 記載の半導体装置において、

前記半導体装置は、第 1 辺と、前記第 1 辺に対向する第 2 辺と、前記第 1 辺および前記第 2 辺の間に設けられた第 3 辺と、前記第 3 辺に対向する第 4 辺を有し、

前記複数の第 1 電源端子は、前記第 2 辺と前記第 4 辺とに配置され、

前記複数の第 2 電源端子は、前記第 1 辺と前記第 4 辺とに配置され、

前記複数の出力端子は、前記第 3 辺に配置され、

前記複数の信号端子は、前記第 2 辺と前記第 3 辺とに配置されることを特徴とする半導体装置。

【請求項 8】

複数の外部端子の一部を封止する封止樹脂を有する半導体装置であって、

第 1 チップ搭載部、第 2 チップ搭載部および第 3 チップ搭載部と、

前記第 1、前記第 2 および前記第 3 チップ搭載部の周囲に配置された複数の外部端子と

、

前記第 1 チップ搭載部上に配置され、第 1 電界効果トランジスタを有する第 1 半導体チップと、

前記第 2 チップ搭載部上に配置され、第 2 電界効果トランジスタを有する第 2 半導体チップと、

前記第 3 チップ搭載部上に配置され、前記第 1 および前記第 2 電界効果トランジスタの動作を制御する制御回路を含む第 3 半導体チップと、

前記第 1、前記第 2 および前記第 3 半導体チップと、前記第 1、前記第 2 および前記第 3 チップ搭載部と、前記複数の外部端子の一部を封止する封止樹脂とを有し、

前記複数の外部端子は、

入力用電源電位が供給されるべき複数の第 1 電源端子と、

前記入力用電源電位よりも低い電位が供給されるべき複数の第 2 電源端子と、

前記第 3 半導体チップの制御回路を制御する制御信号が入力されるべき複数の信号端子と、

出力用電源電位を外部に出力するための複数の出力端子とを有し、

前記第 1 電界効果トランジスタのソース電極およびゲート電極は、前記第 1 半導体チップの主面に形成され、前記第 1 電界効果トランジスタのドレイン電極は、前記第 1 半導体チップの前記主面に対向する裏面に形成され、

前記第 1 電界効果トランジスタのドレイン電極は、前記第 1 チップ搭載部に電氣的に接続され、

前記第 1 チップ搭載部は、前記複数の第 1 電源端子に電氣的に接続され、

前記第 2 電界効果トランジスタのソース電極およびゲート電極は、前記第 2 半導体チップの主面に形成され、前記第 2 電界効果トランジスタのドレイン電極は、前記第 2 半導体チップの前記主面に対向する裏面に形成され、

前記第 2 電界効果トランジスタのドレイン電極は、前記第 2 チップ搭載部に電氣的に接続され、前記第 2 チップ搭載部は、前記複数の出力端子に電氣的に接続され、

前記第 1 電界効果トランジスタのソース電極は、前記第 2 チップ搭載部に第 1 金属配線によって電氣的に接続され、

前記第 2 電界効果トランジスタのソース電極は、前記複数の第 2 電源端子に第 2 金属配線によって電氣的に接続され、

前記第 3 半導体チップの制御回路は、前記複数の信号端子に入力された制御信号によって、前記第 1 および前記第 2 電界効果トランジスタのそれぞれのゲート電極を制御し、

前記制御回路は、前記第 1 電界効果トランジスタの前記ゲート電極を駆動する第 1 ドライバと、前記第 2 電界効果トランジスタの前記ゲート電極を駆動する第 2 ドライバと、を含み、

前記第 1 電界効果トランジスタの前記ソース電極と前記第 1 ドライバのソース側接地端子の電極とが、第 3 金属配線によって接続され、

前記半導体装置は、第 1 辺と、前記第 1 辺に対向する第 2 辺と、前記第 1 辺および前記第 2 辺の間に設けられた第 3 辺と、前記第 3 辺に対向する第 4 辺を有し、

前記複数の第 1 電源端子は、前記第 2 辺と前記第 4 辺とに配置され、

前記複数の第 2 電源端子は、前記第 1 辺と前記第 4 辺とに配置され、

前記複数の出力端子は、前記第 3 辺に配置され、

前記複数の信号端子は、前記第 2 辺と前記第 3 辺とに配置されることを特徴とする半導体装置。

【請求項 9】

請求項 8 記載の半導体装置において、

前記第 1 チップ搭載部、前記第 2 チップ搭載部および前記第 3 チップ搭載部は、前記封止樹脂から露出することを特徴とする半導体装置。

【請求項 10】

請求項 8 記載の半導体装置において、

前記第 1 および前記第 2 金属配線は、複数のワイヤからなることを特徴とする半導体装置。

【請求項 11】

請求項 8 記載の半導体装置において、

前記第 1、前記第 2 および前記第 3 金属配線は、ワイヤまたは金属板であることを特徴とする半導体装置。