



(12) 发明专利

(10) 授权公告号 CN 115064535 B

(45) 授权公告日 2024. 11. 15

(21) 申请号 202210629378.2

(22) 申请日 2017.09.26

(65) 同一申请的已公布的文献号
申请公布号 CN 115064535 A

(43) 申请公布日 2022.09.16

(30) 优先权数据
2016-186769 2016.09.26 JP

(62) 分案原申请数据
201710881263.1 2017.09.26

(73) 专利权人 三菱电机株式会社
地址 日本东京

(72) 发明人 藤井秀纪

(74) 专利代理机构 北京天昊联合知识产权代理
有限公司 11112

专利代理师 何立波 张天舒

(51) Int.Cl.

H01L 27/07 (2006.01)

H01L 27/06 (2006.01)

H01L 21/265 (2006.01)

H01L 21/324 (2006.01)

H01L 29/861 (2006.01)

H01L 21/329 (2006.01)

H01L 29/08 (2006.01)

H01L 29/739 (2006.01)

H01L 21/331 (2006.01)

(56) 对比文件

CN 104969360 A, 2015.10.07

US 2015132895 A1, 2015.05.14

审查员 刘瑞

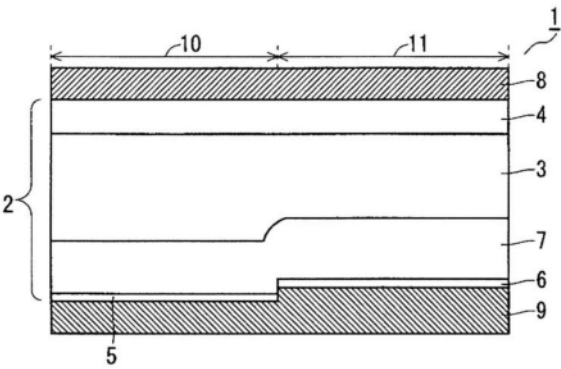
权利要求书2页 说明书7页 附图4页

(54) 发明名称

半导体装置

(57) 摘要

本发明目的在于提供可独立对pnp区域的动作和pn区域的动作进行控制的半导体装置。本发明所涉及的半导体装置具有由下述结构构成的层叠构造：n型n-i层(3)；p型p阳极层(4)，其形成于n-i层(3)表面；n型n-缓冲层(7)，其形成于n-i层(3)背面；n型n+阴极层(5)及p型p集电极层(6)，它们在俯视观察时彼此相邻地或相邻部分重叠地形成于n-缓冲层(7)背面或n-i层(3)及n-缓冲层(7)背面；表面电极(8)，其以覆盖p阳极层(4)表面的方式形成；以及背面电极(9)，其以覆盖n+阴极层(5)及p集电极层(6)背面的方式形成，n+阴极层(5)在层叠构造中的层叠高度位置与p集电极层(6)在层叠构造中的层叠高度位置不同。



1. 一种半导体装置,其特征在于,
具有层叠构造,所述层叠构造由下述部分构成:

第1导电型的第1半导体层;

第2导电型的第2半导体层,其形成于所述第1半导体层的表面;

所述第1导电型的第3半导体层,其形成于所述第1半导体层的背面;

所述第1导电型的第4半导体层及所述第2导电型的第5半导体层,它们在俯视观察时彼此相邻地或相邻部分重叠地形成于所述第3半导体层的背面,或形成于所述第1半导体层及所述第3半导体层的背面;

第1电极,其以覆盖所述第2半导体层的表面的方式形成;以及

第2电极,其以覆盖所述第4半导体层及所述第5半导体层的背面的方式形成,

所述第4半导体层的在所述层叠构造中的层叠高度位置与所述第5半导体层的在所述层叠构造中的层叠高度位置不同,

所述第2半导体层与所述第4半导体层及所述第5半导体层在俯视时重叠,

所述层叠构造构成RFC二极管,其中,RFC的含义是释放阴极场,

包含所述第4半导体层的所述层叠构造中的所述第1半导体层的厚度与包含所述第5半导体层的所述层叠构造中的所述第1半导体层的厚度不同,

包含所述第4半导体层的所述层叠构造中的所述第1半导体层的厚度与包含所述第5半导体层的所述层叠构造中的所述第1半导体层的厚度之差和所述第4半导体层与所述第5半导体层之间的高低差是相同的。

2. 根据权利要求1所述的半导体装置,其特征在于,

所述第5半导体层的在所述层叠构造中的层叠高度位置与所述第4半导体层的在所述层叠构造中的层叠高度位置相比位于所述第1半导体层侧,且所述第4半导体层及所述第5半导体层的所述相邻部分重叠地形成,

在所述相邻部分重叠的部位处的所述第5半导体层与所述第4半导体层之间形成有所述第5半导体层。

3. 根据权利要求1所述的半导体装置,其特征在于,

所述第4半导体层的在所述层叠构造中的层叠高度位置与所述第5半导体层的在所述层叠构造中的层叠高度位置相比位于所述第1半导体层侧,且所述第4半导体层及所述第5半导体层的所述相邻部分重叠地形成,

在所述相邻部分重叠的部位处的所述第5半导体层与所述第4半导体层之间形成有所述第4半导体层。

4. 根据权利要求1所述的半导体装置,其特征在于,

还具有第3电极,该第3电极形成于所述第4半导体层与所述第2电极之间,

包含所述第4半导体层的所述层叠构造中的所述第1半导体层的厚度与包含所述第5半导体层的所述层叠构造中的所述第1半导体层的厚度之差是将所述第4半导体层与所述第5半导体层之间的高低差、所述第3电极的厚度进行合计后的厚度。

5. 根据权利要求1所述的半导体装置,其特征在于,

包含所述第5半导体层的所述层叠构造中的所述第1半导体层的厚度比包含所述第4半导体层的所述层叠构造中的所述第1半导体层的厚度薄。

6. 根据权利要求1所述的半导体装置, 其特征在于,
包含所述第4半导体层的所述层叠构造中的所述第1半导体层的厚度比包含所述第5半导体层的所述层叠构造中的所述第1半导体层的厚度薄。

半导体装置

[0001] 本申请是基于2017年9月26日提出的中国国家申请号

[0002] 2017108812631申请(半导体装置)的分案申请,以下引用其内容。

技术领域

[0003] 本发明涉及半导体装置,特别涉及功率半导体装置的背面构造。

背景技术

[0004] 近年来,作为功率半导体装置制造出了,通过在背面侧形成pn图案,从而可以对电特性进行控制的RFC(Relaxed Field of Cathode)二极管及RC-IGBT(Reverse Conducting Insulated Gate Bipolar Transistor)等。在这里,pn图案呈下述状态,即,在构成功率半导体装置的半导体基板的背面侧,在俯视观察时,相邻地形成有形成了p型杂质的区域与形成了n型杂质的区域。

[0005] 在功率半导体装置的背面侧形成pn图案时,如果通过高速能量的注入或高浓度的注入形成p型的杂质区域和n型的杂质区域,则存在由于该注入导致半导体基板受到的伤害变大的问题。作为这样的问题的对策,想到的是,针对上述的功率半导体装置,应用将使用了Si的半导体基板的背面熔融,从而将导入了杂质的区域的浓度均匀化而使该浓度固定的阶梯状的杂质浓度分布(例如,参照专利文献1)。另外,对于上述的功率半导体装置,公开了将具有与p型及n型相适合的欧姆特性的电极形成在整个背面的技术(例如,参照专利文献2、3)。

[0006] 专利文献1:日本专利第5309360号公报

[0007] 专利文献2:日本特开2007-184486号公报

[0008] 专利文献3:日本特开2015-211149号公报

[0009] 在将专利文献1的技术应用于上述的功率半导体装置的情况下,需要将半导体基板的背面熔融,因此只有在距离背面小于或等于 $1\mu\text{m}$ 的浅的区域能够将p型的杂质区域和n型的杂质区域接合。因此,难以独立地对在p型的杂质区域形成的pnp区域的电特性和在n型的杂质区域形成的pn区域的电特性进行控制。即,难以独立地对pnp区域的动作和pn区域的动作进行控制。

[0010] 另外,在专利文献2、3中,p型的杂质区域与n型的杂质区域的接合深度浅,且深度大致相同,因此难以针对p型的杂质区域及n型的杂质区域各自形成具有与p型及n型相适合的欧姆特性的电极。

发明内容

[0011] 本发明就是为了解决这样的问题而提出的,其目的在于提供一种半导体装置,该半导体装置能够独立地对pnp区域的动作和pn区域的动作进行控制。

[0012] 为了解决上述课题,本发明所涉及的半导体装置的特征在于,具有层叠构造,层叠构造由下述部分构成:第1导电型的第1半导体层;第2导电型的第2半导体层,其形成于所述

第1半导体层的表面;所述第1导电型的第3半导体层,其形成于所述第1半导体层的背面;

[0013] 所述第1导电型的第4半导体层及所述第2导电型的第5半导体层,它们在俯视观察时彼此相邻地或相邻部分重叠地形成于所述第3半导体层的背面,或形成于所述第1半导体层及所述第3半导体层的背面;第1电极,其以覆盖所述第2半导体层的表面的方式形成;以及

[0014] 第2电极,其以覆盖所述第4半导体层及所述第5半导体层的背面的方式形成,所述第4半导体层的在所述层叠构造中的层叠高度位置与所述第5半导体层的在所述层叠构造中的层叠高度位置不同,所述第2半导体层与所述第4半导体层及所述第5半导体层在俯视时重叠,所述层叠构造构成RFC二极管,其中,RFC的含义是释放阴极场,包含所述第4半导体层的所述层叠构造中的所述第1半导体层的厚度与包含所述第5半导体层的所述层叠构造中的所述第1半导体层的厚度不同,包含所述第4半导体层的所述层叠构造中的所述第1半导体层的厚度与包含所述第5半导体层的所述层叠构造中的所述第1半导体层的厚度之差和所述第4半导体层与所述第5半导体层之间的高低差是相同的。

[0015] 发明的效果

[0016] 根据本发明,半导体装置具有层叠构造,层叠构造由下述部分构成:第1导电型的第1半导体层;第2导电型的第2半导体层,其形成于第1半导体层的表面;第1导电型的第3半导体层,其形成于第1半导体层的背面;第1导电型的第4半导体层及第2导电型的第5半导体层,它们在俯视观察时彼此相邻地或相邻部分重叠地形成于第3半导体层的背面,或形成于第1半导体层及第3半导体层的背面;第1电极,其以覆盖第2半导体层的表面的方式形成;以及第2电极,其以覆盖第4半导体层及第5半导体层的背面的方式形成,第4半导体层的在层叠构造中的层叠高度位置与第5半导体层的在层叠构造中的层叠高度位置不同,因此能够独立地对pnp区域的动作和pn区域的动作进行控制。

附图说明

[0017] 图1是表示本发明的实施方式1所涉及的半导体装置的结构的一个例子的剖视图。

[0018] 图2是表示本发明的实施方式2所涉及的半导体装置的结构的一个例子的剖视图。

[0019] 图3是表示本发明的实施方式3所涉及的半导体装置的结构的一个例子的剖视图。

[0020] 图4是表示本发明的实施方式4所涉及的半导体装置的结构的一个例子的剖视图。

[0021] 图5是表示本发明的实施方式5所涉及的半导体装置的结构的一个例子的剖视图。

[0022] 图6是表示本发明的实施方式5所涉及的半导体装置的结构的一个例子的剖视图。

[0023] 图7是表示前提技术所涉及的半导体装置的结构的一个例子的剖视图。

[0024] 标号的说明

[0025] 1半导体装置,2半导体基板,3n-i层,4p阳极层,5n+阴极层,6p集电极层,7n-缓冲层,8表面电极,9背面电极,10pin

[0026] 区域,11pnp区域,12、13、14半导体装置,15n型用电极,16p型用电极,17、18、19半导体装置

具体实施方式

[0027] 下面,基于附图对本发明的实施方式进行说明。

[0028] <前提技术>

[0029] 下面,对作为本发明的前提的技术即前提技术进行说明。

[0030] 图7是表示前提技术所涉及的半导体装置19的结构的一个例子的剖视图。

[0031] 半导体装置19具有:半导体基板2,其由Si(硅)构成;作为第1电极的表面电极8,其形成于半导体基板2的表面;以及作为第2电极的背面电极9,其形成于半导体基板2的背面。半导体基板2具有:n-i层3、p阳极层4、n+阴极层5、p集电极层6、n-缓冲层7。pin区域10是由p阳极层4、n-i层3、n-缓冲层7以及n+阴极层5构成的层叠构造。pnp区域11是由p阳极层4、n-i层3、n-缓冲层7以及p集电极层6构成的层叠构造。

[0032] 在这里,“n”以及“p”表示导电型,n型是第1导电型,p型是第2导电型。“n-”表示n型的杂质浓度比其它的n型的杂质浓度低。“n+”表示n型的杂质浓度比其它的n型的杂质浓度高。此外,下面,说明的是n型为第1导电型,p型为第2导电型,但也可以是p型为第1导电型,n型为第2导电型。

[0033] 第1导电型的第1半导体层即n-i层3是作为n型的本征半导体层形成的。第2导电型的第2半导体层即p阳极层4与n-i层3相比形成于半导体基板2的表面侧。第1导电型的第3半导体层即n-缓冲层7与n-i层3相比形成于半导体基板2的背面侧。第1导电型的第4半导体层即n+阴极层5、第2导电型的第5半导体层即p集电极层6与n-i层3相比形成于半导体基板2的背面侧,在俯视观察时彼此相邻。即,pn图案是通过n+阴极层5与p集电极层6形成的。

[0034] 如图7所示,n+阴极层5以及p集电极层6是在距半导体基板2的背面大致相同的深度形成的。即,n+阴极层5的在pin区域10处的层叠高度位置与p集电极层6的在pnp区域11处的层叠高度位置大致相同。因此,如上所述,难以独立地对pin区域10的动作和pnp区域11的动作进行控制。

[0035] 本发明就是为了解决这样的问题而提出的,下面进行详细说明。

[0036] <实施方式1>

[0037] <结构>

[0038] 首先,对本发明的实施方式所涉及的半导体装置的结构进行说明。图1是表示本实施方式1所涉及的半导体装置1的结构的一个例子的剖视图。

[0039] 本实施方式1所涉及的半导体装置1的特征在于,pin区域10处的n-i层3的厚度与pnp区域11处的n-i层3的厚度不同。具体地说,pnp区域11处的n-i层3的厚度比pin区域10处的n-i层3的厚度薄。另外,n+阴极层5的在pin区域10处的层叠高度位置与p集电极层6的在pnp区域11处的层叠高度位置不同。其他的结构与图7所示的前提技术所涉及的半导体装置19是同样的,因此在这里省略详细的说明。

[0040] 就半导体装置1而言,pin区域10处的n-i层3的厚度与pnp区域11处的n-i层3的厚度之差和n+阴极层5与p集电极层6之间的高低差是相同的。在这里,n+阴极层5与p集电极层6之间的高低差是指n+阴极层5与背面电极9之间的界面和p集电极层6与背面电极9之间的界面之差。

[0041] 如图1所示,n+阴极层5以及p集电极层6形成于n-缓冲层7的背面。在俯视观察时,n+阴极层5以及p集电极层6相邻,n+阴极层5以及p集电极层6的相邻部分不重叠。

[0042] <制造方法>

[0043] 接下来,对半导体装置1的制造方法进行说明。

[0044] 首先,准备具有n-i层3的半导体基板2。接下来,从半导体基板2的表面侧实施B(硼)的离子注入而进行驱动,从而形成p阳极层4。此时,离子注入的B的浓度是 $1\text{E}13$ 至 $1\text{E}16$ ($1/\text{cm}^2$)。另外,驱动的条件是 900°C 至 1200°C 、30分钟至120分钟。

[0045] 接下来,以覆盖p阳极层4的方式形成表面电极8。之后,从半导体基板2的背面侧将该半导体基板2切削为所希望的厚度。在半导体基板2的切削之后,将构成n-阴极层5的P(磷)离子注入至半导体基板2的整个背面。此时,离子注入的P的浓度是 $1\text{E}14$ 至 $1\text{E}16$ ($1/\text{cm}^2$)。

[0046] 接下来,在半导体基板2的背面之上形成pn图案,之后,将应形成p集电极层6的区域的半导体基板2蚀刻为所希望的厚度,其中,该pn图案将应形成n-阴极层5的区域掩盖,在应形成p集电极层6的区域开口。之后,针对应形成p集电极层6的区域,进行B的离子注入,该B构成p集电极层6。此时,离子注入的B的浓度是 $1\text{E}13$ 至 $1\text{E}16$ ($1/\text{cm}^2$)。由此,形成n-阴极层5以及p集电极层6。

[0047] 接下来,去除pn图案后,越过n-阴极层5以及p集电极层6,从半导体基板2的背面侧进行P的离子注入,形成n-缓冲层7。此时,离子注入的P的浓度是 $1\text{E}13$ 至 $1\text{E}15$ ($1/\text{cm}^2$)。由此,形成n型杂质浓度比n-i层3高的n-缓冲层7。

[0048] 接下来,对半导体基板2进行热处理,激活n-阴极层5、p集电极层6、以及n-缓冲层7。作为热处理,举出激光退火等。

[0049] 最后,通过镀敷、溅射、或蒸镀以覆盖n-阴极层5以及p集电极层6的方式,形成数 μm 的背面电极9。由此,完成具有pin区域10以及pnp区域11的半导体装置1。

[0050] 如上所述,根据本实施方式1,pin区域10处的n-i层3的厚度与pnp区域11处的n-i层3的厚度不同,因此可以独立地对pin区域10的动作和pnp区域11的动作进行控制。

[0051] 另外,pnp区域11处的n-i层3的厚度比pin区域10处的n-i层3的厚度薄。因此,在IGBT的情况下,能够实现低导通电阻和低通断损耗。另外,在二极管的情况下,能够提高恢复动作中的击穿耐量。

[0052] 此外,在图1中,对半导体基板2具有n-i层3的情况进行了说明,但不限于此。n-i层3也可以是含有更多n型杂质的半导体层。在该情况下,图1中的pin区域10成为pn区域。

[0053] <实施方式2>

[0054] 图2是表示本发明的实施方式2所涉及的半导体装置12的结构的一个例子的剖视图。

[0055] 本实施方式2所涉及的半导体装置12的特征在于,pin区域10处的n-i层3的厚度与pnp区域11处的n-i层3的厚度之差是将n-阴极层5与p集电极层6之间的高低差、pnp区域11处的n-缓冲层7的厚度合计后的厚度。其他的结构与图1所示的实施方式1所涉及的半导体装置1是同样的,因此在这里省略详细的说明。

[0056] 如图2所示,在pin区域10未形成n-缓冲层7,在pnp区域11形成有n-缓冲层7。另外,n-阴极层5形成于n-i层3的背面,p集电极层6形成于n-缓冲层7的背面。在俯视观察时,n-阴极层5以及p集电极层6相邻,n-阴极层5以及p集电极层6的相邻部分不重叠。

[0057] 接下来,对半导体装置12的制造方法进行说明。下面,主要着眼于与实施方式1所涉及的半导体装置1的制造方法的不同点而进行说明。下述的不同点以外的制造方法与实施方式1是同样的。

[0058] 在半导体基板2的背面之上形成pn图案,之后,将应形成p集电极层6的区域的半导体基板2蚀刻为所希望的厚度,其中,该pn图案将应形成n+阴极层5的区域掩盖,在应形成p集电极层6的区域开口。之后,针对应形成p集电极层6的区域,进行B的离子注入,该B构成p集电极层6。由此,形成n+阴极层5以及p集电极层6。

[0059] 接下来,在形成有pn图案的状态下,越过p集电极层6从半导体基板2的背面侧进行P的离子注入,形成n-缓冲层7。此时,离子注入的P的浓度是 $1E13$ 至 $1E15(1/cm^2)$ 。之后,去除pn图案,形成背面电极9。

[0060] 如上所述,根据本实施方式2,得到与实施方式1的效果同样的效果。另外,在pin区域10未形成n-缓冲层7,因此与图1所示的pin区域10相比,能够降低n型杂质浓度,能够提高pin区域10的耐压。

[0061] <实施方式3>

[0062] 图3是表示本发明的实施方式3所涉及的半导体装置13的结构的一个例子的剖视图。

[0063] 本实施方式3所涉及的半导体装置13的特征在于,p集电极层6的在pnp区域11处的层叠高度位置与n+阴极层5的在pin区域10处的层叠高度位置相比位于n-i层3侧,且n+阴极层5及p集电极层6的相邻部分重叠地形成,在该相邻部分重叠的部位处的n+阴极层5与p集电极层6之间形成有p集电极层6。其他的结构与图1所示的实施方式1所涉及的半导体装置1是同样的,因此在这里省略详细的说明。

[0064] 如图3所示,n+阴极层5以及p集电极层6形成于n-缓冲层7的背面。在俯视观察时,n+阴极层5以及p集电极层6相邻,n+阴极层5以及p集电极层6的相邻部分重叠。

[0065] 接下来,对半导体装置13的制造方法进行说明。下面,主要着眼于与实施方式1所涉及的半导体装置1的制造方法的不同点而进行说明。下述的不同点以外的制造方法与实施方式1是同样的。

[0066] 在半导体基板2的背面之上形成pn图案,之后,将应形成p集电极层6的区域的半导体基板2蚀刻为所希望的厚度,其中,该pn图案将应形成n+阴极层5的区域掩盖,在应形成p集电极层6的区域开口。之后,针对应形成p集电极层6的区域,进行B的旋转离子注入,该B构成p集电极层6。在这里,旋转离子注入是指在使半导体基板2旋转的同时进行离子注入。

[0067] 如上所述,根据本实施方式3,得到与实施方式1的效果同样的效果。另外,杂质浓度低的n-缓冲层7与背面电极9的接合位置消失,因此能够减小泄漏电流。

[0068] <实施方式4>

[0069] 图4是表示本发明的实施方式4所涉及的半导体装置14的结构的一个例子的剖视图。

[0070] 本实施方式4所涉及的半导体装置14的特征在于,具有n型用电极15及p型用电极16。n型用电极15是具有与n型相适合的欧姆特性的电极。p型用电极16是具有与p型相适合的欧姆特性的电极。

[0071] 第3电极即n型用电极15是以覆盖n+阴极层5的方式形成的。p型用电极16是以覆盖n型用电极15及p集电极层6的方式形成的。pin区域10处的n-i层3的厚度与pnp区域11处的n-i层3的厚度之差和将n+阴极层5与p集电极层6之间的高低差、n型用电极15的厚度合计后的厚度是相同的。其他的结构与图1所示的实施方式1所涉及的半导体装置1是同样的,因此

在这里省略详细的说明。

[0072] 如图4所示,n+阴极层5以及p集电极层6形成于n-缓冲层7的背面。在俯视观察时,n+阴极层5以及p集电极层6相邻,n+阴极层5以及p集电极层6的相邻部分不重叠。

[0073] 接下来,对半导体装置14的制造方法进行说明。下面,主要着眼于与实施方式1所涉及的半导体装置1的制造方法的不同点而进行说明。下述的不同点以外的制造方法与实施方式1是同样的。

[0074] 在形成n-缓冲层7后,在n+阴极层5之上形成n型用电极15。之后,以覆盖n型用电极15及p集电极层6的方式形成p型用电极16。

[0075] 如上所述,根据本实施方式4,得到与实施方式1的效果同样的效果。另外,对于n+阴极层5形成有n型用电极15,对于p集电极层6形成有p型用电极16,因此提高欧姆特性。

[0076] <实施方式5>

[0077] 图5是表示本发明的实施方式5所涉及的半导体装置17的结构的一个例子的剖视图。

[0078] 半导体装置17的特征在于,pin区域10处的n-i层3的厚度比pnp区域11处的n-i层3的厚度薄。其他的结构与图1所示的实施方式1所涉及的半导体装置1是同样的,因此在这里省略详细的说明。

[0079] 如图5所示,n+阴极层5以及p集电极层6形成于n-缓冲层7的背面。在俯视观察时,n+阴极层5以及p集电极层6相邻,n+阴极层5以及p集电极层6的相邻部分不重叠。

[0080] 接下来,对半导体装置17的制造方法进行说明。下面,主要着眼于与实施方式1所涉及的半导体装置1的制造方法的不同点而进行说明。下述的不同点以外的制造方法与实施方式1是同样的。

[0081] 形成表面电极8,研磨半导体基板2后,在半导体基板2的整个背面进行B的离子注入,该B构成p集电极层6。

[0082] 接下来,在半导体基板2的背面之上形成pn图案,之后,将应形成n+阴极层5的区域的半导体基板2蚀刻为所希望的厚度,其中,该pn图案将应形成p集电极层6的区域掩盖,在应形成n+阴极层5的区域开口。之后,针对应形成n+阴极层5的区域进行P的离子注入,该P构成n+阴极层5。

[0083] 接下来,去除pn图案后,越过n+阴极层5以及p集电极层6,从半导体基板2的背面侧进行P的离子注入,形成n-缓冲层7。

[0084] 如上所述,根据本实施方式5,可以独立地对pin区域10的动作和pnp区域11的动作进行控制。另外,pin区域10处的n-i层3的厚度比pnp区域11处的n-i层3的厚度薄。因此,能够实现二极管的低导通电阻和低恢复损耗。

[0085] 此外,如图6所示,也可以设为具有n型用电极15及p型用电极16的半导体装置18。p型用电极16是以覆盖p集电极层6的方式形成的。n型用电极15是以覆盖n+阴极层5及p型用电极16的方式形成的。在该情况下,与实施方式4同样的,对于n+阴极层5形成有n型用电极15,对于p集电极层6形成有p型用电极16,因此欧姆特性提高。

[0086] 就图5、6所示的半导体装置17、18而言,也可以使得n+阴极层5的在pin区域10处的层叠高度位置与p集电极层6的在pnp区域11处的层叠高度位置相比位于n-i层3侧,且n+阴极层5及p集电极层6的相邻部分重叠地形成,在该相邻部分重叠的部位处的n+阴极层5与p

集电极层6之间形成n⁺阴极层5。在该情况下,与实施方式3同样地,杂质浓度低的n-缓冲层7与背面电极9的接合位置消失,因此能够减小泄漏电流。

[0087] 此外,本发明可以在其发明的范围内,将各实施方式自由地进行组合,或对各实施方式进行适当的变形、省略。

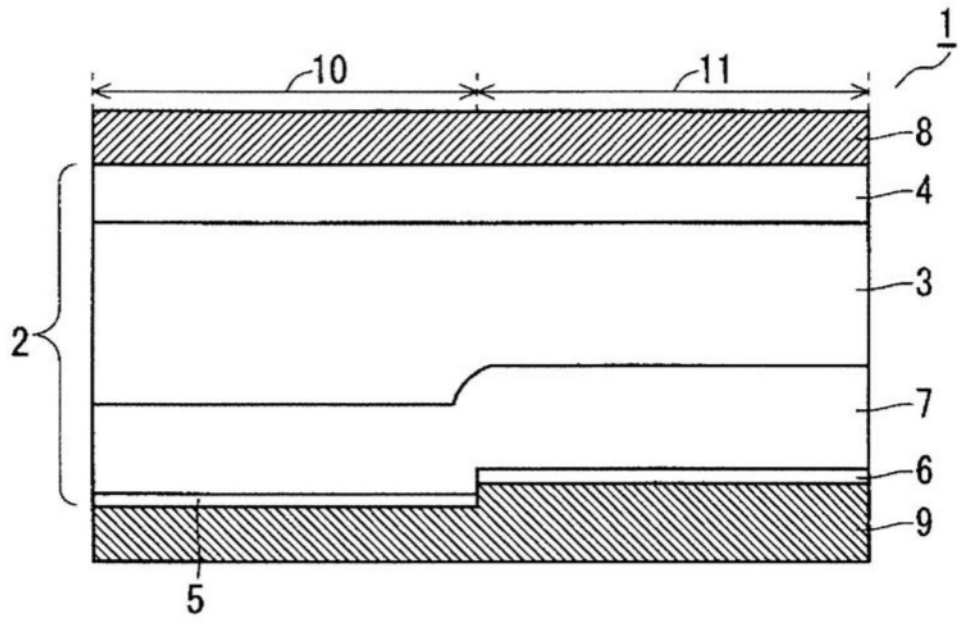


图1

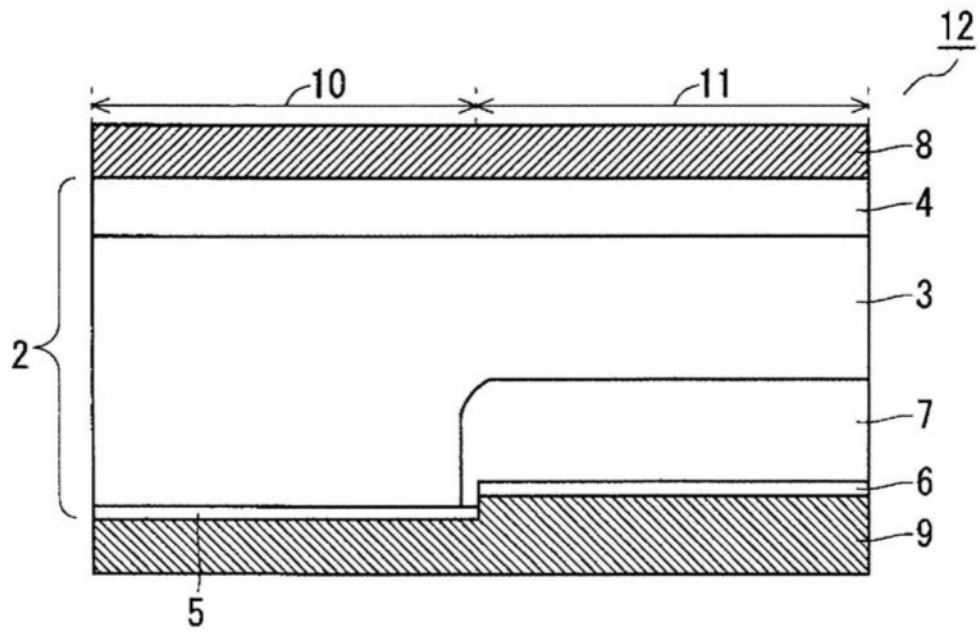


图2

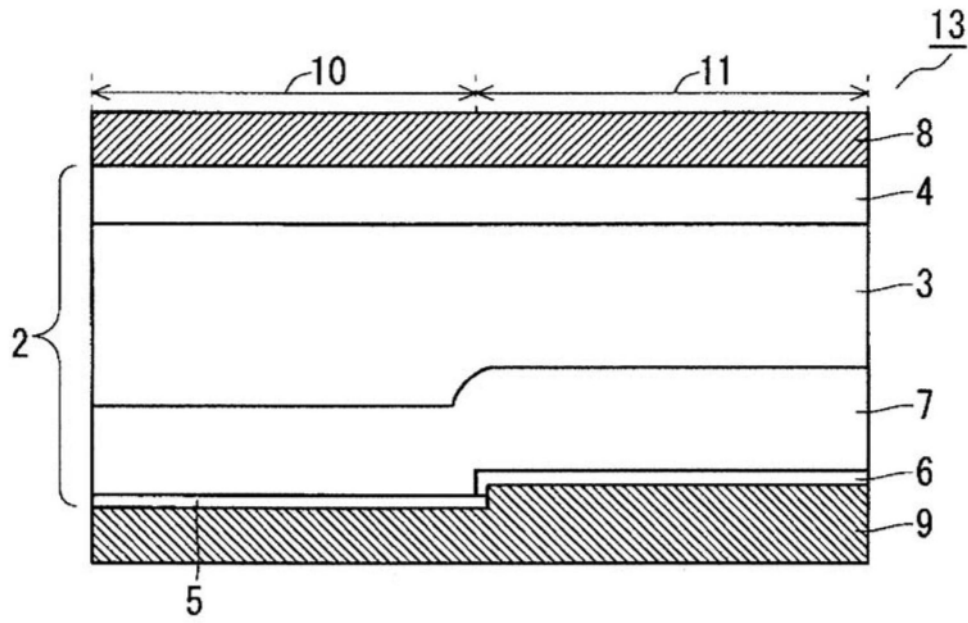


图3

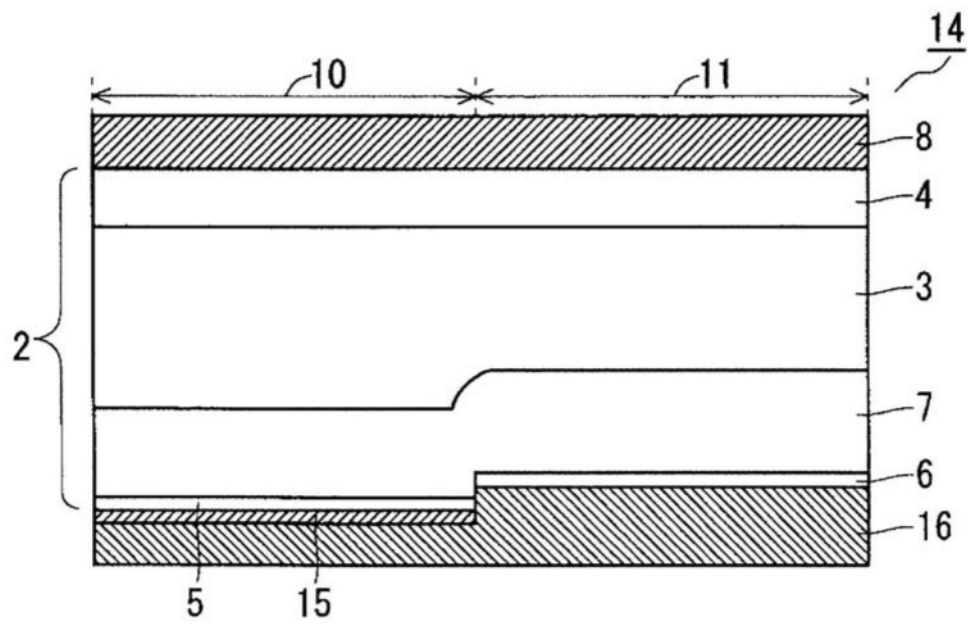


图4

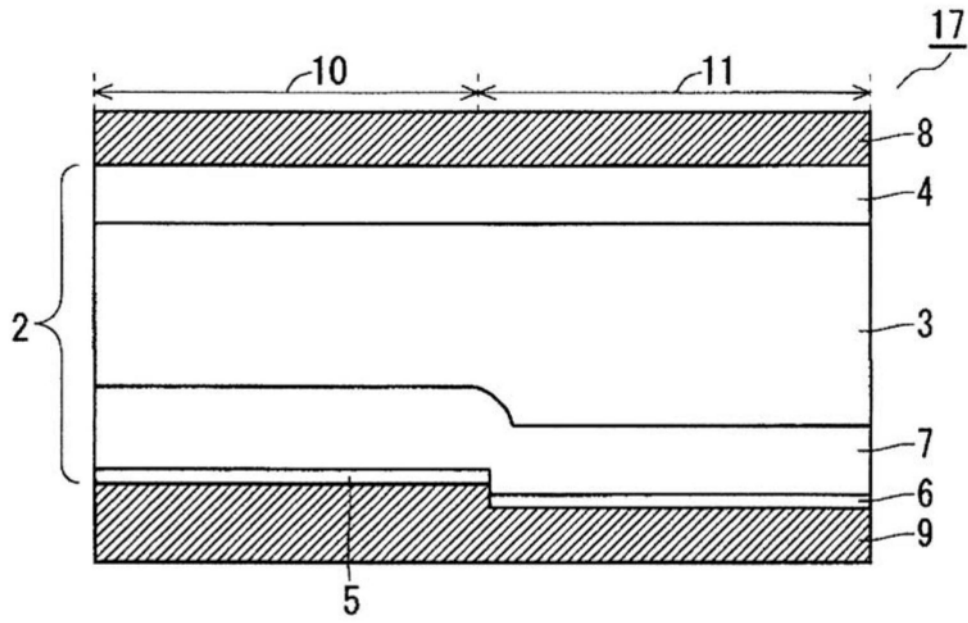


图5

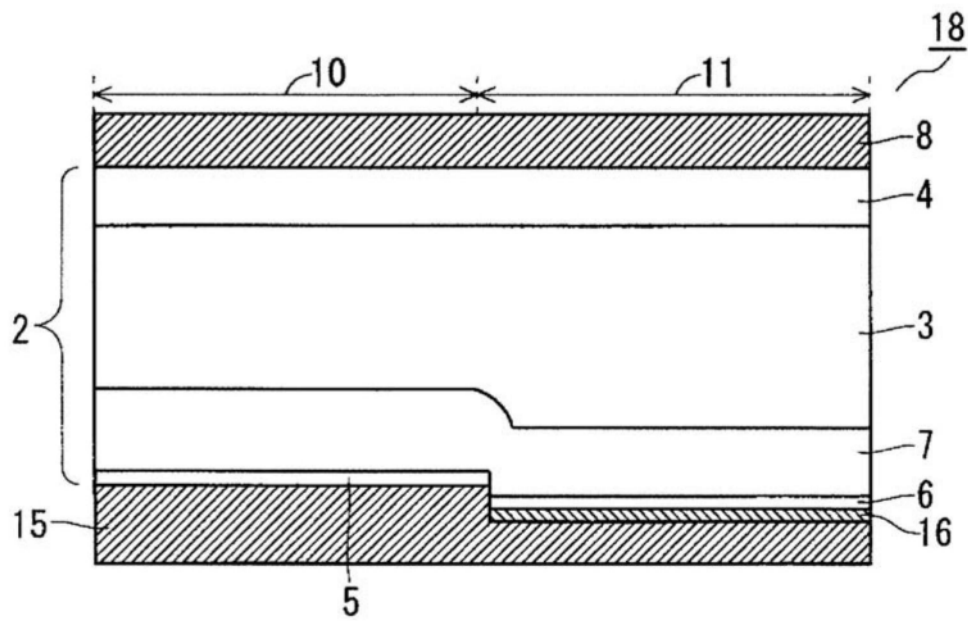


图6

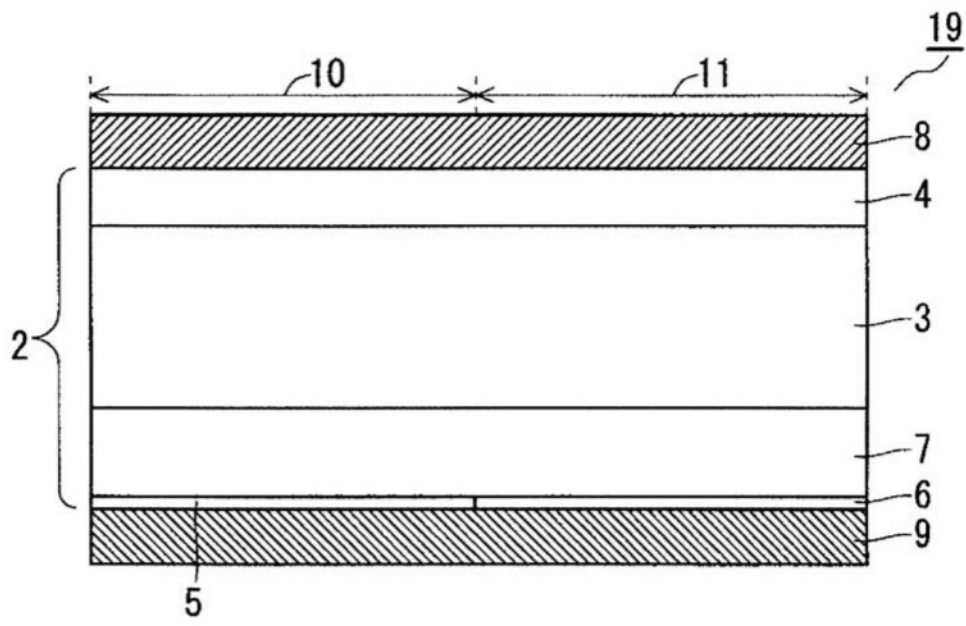


图7