

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2010 年 3 月 11 日(11.03.2010)

(10) 国際公開番号
WO 2010/026653 A1

- (51) 国際特許分類:
H01L 27/10 (2006.01)
- (21) 国際出願番号: PCT/JP2008/066114
- (22) 国際出願日: 2008 年 9 月 5 日(05.09.2008)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (71) 出願人 (米国を除く全ての指定国について): 株式会社 東芝 (KABUSHIKI KAISHA TOSHIBA) [JP/JP]; 〒1058001 東京都港区芝浦一丁目 1 番 1 号 Tokyo (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 菅野 裕士 (KANNO, Hiroshi) [JP/JP]. 室岡 賢一 (MUROOKA, Kenichi) [JP/JP].
- (74) 代理人: 鈴江 武彦, 外 (SUZUYE, Takehiko et al.); 〒1050001 東京都港区虎ノ門 1 丁目 1 2 番 9 号 鈴榮特許総合事務所内 Tokyo (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA,

BB, BG, BH, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MT, NL, NO, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

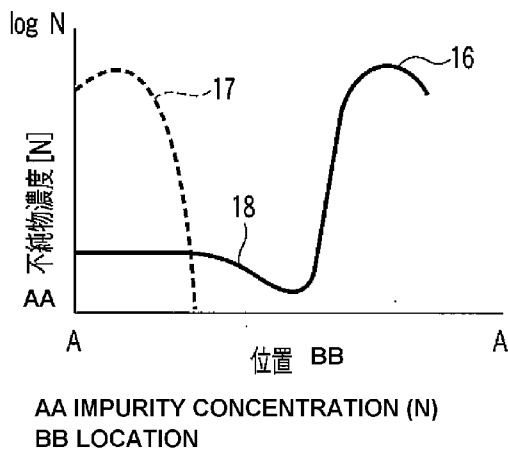
添付公開書類:

— 国際調査報告 (条約第 21 条(3))

(54) Title: MEMORY DEVICE

(54) 発明の名称: 記憶装置

[図2A]



(57) Abstract: A memory device comprising a plurality of row lines (1) disposed in parallel with each other, a plurality of column lines (2) disposed in parallel with each other and in a crosswise direction with respect to the row lines (1), and memory cells (3) disposed at respective intersections between the row lines (1) and the column lines (2), each of the cells comprising a resistance change element (11) and a diode (12) which is serially connected to the resistance change element (11). The diode (12) comprises laminated layers of a first semiconductor region (16) containing an impurity of a first conductivity type, a second semiconductor region (18) containing an impurity of the first conductivity type in lower concentrations than that in the first semiconductor region (16), and a third semiconductor region (17) containing an impurity of a second conductivity type, wherein the second semiconductor region (18) has a higher impurity concentration in a second section which is adjacent to the third semiconductor region (17) than that in a first section which is adjacent to the first semiconductor region (16).

(57) 要約:

[続葉有]



記憶装置は、互いに平行配置された複数本の行線（１）と、前記行線（１）に交差するように互いに平行配置された複数本の列線（２）と、前記行線（１）と前記列線（２）との各交差部に配置され、抵抗変化素子（１１）とこれに直列に接続されたダイオード（１２）からなるメモリセル（３）とを含み、前記ダイオード（１２）が、第１導電型の不純物を含む第１半導体領域（１６）と、前記第１半導体領域（１６）より低濃度の第１導電型の不純物を含む第２半導体領域（１８）と、第２導電型の不純物を含む第３半導体領域（１６）の積層により構成され、前記第２半導体領域（１８）の不純物濃度が、前記第１半導体領域（１６）との第１隣接部における濃度よりも、前記第３半導体領域（１７）との第２隣接における濃度が高濃度となっていることを特徴とする。

明 細 書

記憶装置

技術分野

[0001] 本発明は、ダイオードと抵抗変化素子を利用した記憶装置に関する。

背景技術

[0002] 近年、半導体装置の集積度が高くなることに伴い、これを構成するLSI素子の回路パターンはますます微細化している。このパターンの微細化には、単に線幅が細くなるだけではなく、パターンの寸法精度や位置精度の向上も要請される。メモリと呼ばれる記憶装置に関しても例外ではなく、高精度の加工技術を駆使して形成されたセルにおいて、記憶に必要となる一定の電荷を、より狭い領域で保持することが要請され続けている。

[0003] 従来より、DRAM、SRAM、フラッシュといった各種のメモリが製造されているが、これらは全てMOSFETをメモリセルに使用しているため、パターンの微細化に伴い、微細化の比率を上回る比率での寸法精度の向上が要請されている。このため、これらのパターンを形成するリソグラフィー技術にも、大きな負荷が課せられており、現在の量産コストの多くの部分を占めているリソグラフィー工程コストの上昇、すなわち製品コストの上昇要因となっている(例えば、応用物理、第69巻、第10号、pp1233-1240, 2000年「半導体メモリ;DRAM」、あるいは応用物理、第69巻、第12号、pp1462-1466, 2000年「フラッシュメモリー、最近の話題」参照)。

[0004] 一方、近年このような課題を克服する技術として、クロスポイント型メモリの開発が進展している。クロスポイント型メモリは、記憶素子とダイオードに代表される非オーミック素子を、基板に垂直な方向に積層してセルを形成し、直交する電極配線の交点に配置したものである。

[0005] 記憶素子に抵抗変化材料を用いたメモリはReRAMと呼ばれる。このReRAMは、記憶に電荷の蓄積を用いず、MOSFETをメモリセルに使用することなく構成することが可能であるから、従来のトレンドを上回る高集積化を図ることが可能であると期待されている。

[0006] ReRAMでは、記憶状態のスイッチングを行うセルを選択セル、それ以外のセルを非選択セルと称する。

[0007] 選択セルには、構成するダイオードの順方向の向きに電圧を印加し、セルに電流を流すことで抵抗変化材料の状態をスイッチングする。非選択セルには、構成するダイオードに対して逆方向の向きに電圧を印加し、ダイオードがこの電圧を受けることによってセルへの電流の流れ込みを防ぎ記憶素子の誤スイッチングを回避している。このため、ダイオードは逆方向リークが小さく逆方向耐圧が大きいことを要求される。

[0008] 一方、ReRAMの選択セルにおいて、抵抗変化素子を低抵抗状態から高抵抗状態にスイッチングする場合、大きな電流が必要とされる場合が多く、ダイオードは順方向に数百nA程度の電流を流せることが要求される。しかし、ダイオードに流すことが出来る順方向電流はダイオードの断面積に比例するため、特に高集積化を図り、微細な断面積のセルを用いた場合、このような基準を満たすためには、技術的に多くの課題を解決する必要がある。

発明の開示

[0009] 記憶セルにMOSFETを使用しないで、ダイオードに代表される非オーミック素子と抵抗変化素子を用いたReRAMでは、抵抗変化素子をスイッチングする際、特に低抵抗状態から高抵抗状態にスイッチングする際に、数百nA程度の電流を流すことが必要である。このため、ダイオードは順方向の抵抗が小さく、大きな電流を流せることが望ましい。一般論としては、ダイオードの断面積を大きくすることにより、順方向電流を大きくすることは可能であるが、これは素子の微細化に反する。

[0010] 本発明はこのような事情を考慮してなされたもので、その目的とするところは、比較的大電流を流すことが可能で、かつ製造が容易で、高い集積度を持つ記憶装置を安価に提供することにある。

[0011] 上記課題を解決するために、本発明の記憶装置は、互いに平行配置された複数本の行線と、前記行線に交差するように互いに平行配置された複数本の列線と、
前記行線と前記列線との各交差部に配置され、抵抗変化素子とこれに直列に接続されたダイオードからなるメモリセルとを含み、前記ダイオードが、第1導電型の不純物を含む第1半導体領域と、前記第1半導体領域より低濃度の第1導電型の不純物

を含む第2半導体領域と、第2導電型の不純物を含む第3半導体領域の積層により構成され、前記第2半導体領域の不純物濃度が、前記第1半導体領域との第1隣接部における濃度よりも、前記第3半導体領域との第2隣接部における濃度が高濃度となっていることを特徴とする。

図面の簡単な説明

[0012] [図1]図1は、本発明の一実施例に係る記憶装置を構成するメモリセルの断面図である。

[図2A]図2Aは、図1のメモリセル中のダイオード部分の不純物濃度分布図である。

[図2B]図2Bは、図1のダイオード部分の他の不純物濃度分布図である。

[図3]図3は、図1のダイオードの電圧・電流特性を示す特性図である。

[図4A]図4Aは、図1のダイオードの(n型)領域18における不純物原子の分布の一例を示す模式図である。

[図4B]図4Bは、図1のダイオードの(n型)領域18における不純物原子の分布の他の例を示す模式図である。

[図4C]図4Cは、図1のダイオードの(n型)領域18における不純物原子の分布のさらに他の例を示す模式図である。

[図5]図5は、図1のダイオードのドナーの平均位置と、0.9Vでの電流との関係を示す特性図である。

[図6]図6は本発明の一実施形態の記憶装置の模式的斜視図である。

[図7]図7は本発明の一実施形態の記憶装置の回路図である。

[図8]図8は本発明の一実施形態の記憶装置のブロック図である。

[図9]図9は本発明の一実施形態の記憶装置をIC化したチップの斜視図である。

[図10A]図10Aは、本発明の一実施形態に係る記憶装置を製造工程を説明する断面図である。

[図10B]図10Bは、図10Aに続く工程の記憶装置の断面図である。

[図10C]図10Cは、図10Bに続く工程の記憶装置の断面図である。

[図10D]図10Dは、図10Cに続く工程の記憶装置の断面図である。

[図10E]図10Eは、図10Dに続く工程の記憶装置の断面図である。

[図10F]図10Fは、図10Eに続く工程の記憶装置の断面図である。

[図10G]図10Gは、図10Fに続く工程の記憶装置の断面図である。

[図10H]図10Hは、図10Gに続く工程の記憶装置の断面図である。

[図10I]図10Iは、図10Hに続く工程の記憶装置の断面図である。

[図10J]図10Jは、図10Iに続く工程の記憶装置の断面図である。

[図10K]図10Kは、図10Jに続く工程の記憶装置の断面図である。

発明を実施するための最良の形態

[0013] 以下、本発明の実施形態を図面を参照しつつ説明する。なお、図面は模式的なものであり、厚みと平面寸法との関係、各層の厚みの比率等は現実のものと異なる。従って、具体的な厚みや寸法は以下の説明を照らし合わせて判断すべきものである。また、図面相互間においても、互いの寸法の関係や比率が異なる部分が含まれることに注意されたい。

[0014] (第1の実施形態)

図1は本発明の第1の実施形態に係わる記憶装置のメモリセル部の断面図である。メモリセル1は、抵抗変化素子11とダイオード部12および金属電極13、14、15により構成され、相互に直列に接続されている。

[0015] 抵抗変化素子11は、膜厚10nmの ZnMn_2O_4 で形成され、一端はTiNの電極14を介してWとTiNからなる配線に接続され、他端はTiNの電極13を介してSi製のpn接合ダイオードのp側に接続されている。pn接合ダイオードのn側はTiNの電極15を介して、WとTiNからなる配線に接続されている。

[0016] ここで抵抗変化素子とは、低抵抗状態と高抵抗状態の少なくとも2つの抵抗値を遷移する素子であり、 ZnMn_2O_4 、 NiO 、 TiO_2 、 SrZrO_3 、 $\text{Pr}_{0.7}\text{Ca}_{0.3}\text{MnO}_3$ 等の材料の1つからなる薄膜から構成することが出来る。高抵抗状態の抵抗変化素子は、ある一定以上の電圧が印加されると、低抵抗状態に遷移し、低抵抗状態の抵抗変化素子は、ある一定以上の電流が流れると、高抵抗状態に遷移することが知られている。

[0017] 一方、金属電極13、14、15はTiNからなり、単なる導電材だけでなく、抵抗変化素子やダイオード、配線の間での構成原子の相互拡散を抑制する、いわゆるバリアメタルとしての機能を備えている。

- [0018] 本発明の最大の特徴は、ダイオードの構成にある。ここで、通常用いられている記法に従い、半導体の導電型をpあるいはnで表し、半導体中の不純物濃度の大小を+あるいは-で表すと、ダイオードの膜構成は、例えば $p^+/n^-/n^+$ と記述できる。本発明では、図1に示す、 n^+ 半導体領域16と、 p^+ 半導体領域17に挟まれた n^- 半導体領域18中の不純物濃度に分布があり、 n^+ 半導体領域16に近い側よりも p^+ 半導体領域17に近い側の不純物濃度が高くなっている。このため、図1のA-A'に沿った断面の不純物濃度分布をグラフ化すると、図2Aのようになる。
- [0019] このように構成した理由を以下に説明する。前述の抵抗変化素子を用いたReRAMでは、低抵抗状態から高抵抗状態に遷移させるリセット動作において、数百nAの電流を流す必要がある。これは、セルのサイズが数十nmであることを考慮すると非常に大きな電流である。従って、ダイオードは可能な限り大きな電流を流せる能力を備えていることが望ましい。
- [0020] 一方、ダイオードの順方向電流を大きくするためには、 n^- 半導体領域18の膜厚を小さくすることが有効であるが、ダイオードの逆方向耐圧が悪化するだけでなく、逆方向リーク電流の増大を招いてしまうという問題が残る。
- [0021] そこで本発明者らは、ダイオードの膜厚を一定に保ったまま、順方向電流を増大する手段の検討を行った。具体的には、 n^- 半導体領域18の不純物原子の分布に着目し、 n^- 半導体領域が均一な不純物でない場合を想定して、新たに開発したデバイスシミュレータを用いて、ダイオードの電気特性を検討した。
- [0022] ここで、新たに開発したデバイスシミュレータの特徴について、簡単に述べる。このデバイスシミュレータの最大の特徴は、素子の微細化に対応して、従来のデバイスシミュレータでは取り扱うことが困難であった、個々の不純物原子位置を顕に取り込んだ計算が可能となっていることである。例えば、半導体領域の大きさが $22\text{nm} \times 22\text{nm} \times 40\text{nm}$ で、不純物濃度が $1 \times 10^{17} \text{cm}^{-3}$ の場合、含まれる不純物原子数は約2個になる。このように、少数の不純物原子で素子特性が決まる場合、従来のデバイスシミュレータのように、半導体領域全体に連続した均一の不純物濃度を設定することは適当とは言えず、個々の不純物原子の離散的な分布を考慮することが重要となる。
- [0023] 具体的には、従来のデバイスシミュレータは任意の領域に不純物濃度を設定し、こ

の濃度から算出される均一なポテンシャル場を利用する方式であったが、新たに開発したデバイスシミュレータは不純物原子の位置を個々に設定し、それぞれの不純物原子が作るポテンシャル場を考慮して計算を行うことが可能になっている。この機能を用いることにより、極微細な構造を持つ半導体デバイスの不純物位置の離散的分布を考慮したシミュレーションが初めて可能になった。

[0024] このデバイスシミュレータを用いた、ダイオードの順方向電流の計算結果を図3に示す。図1におけるダイオード12を、 p^+ 領域17/ n^- 領域18/ n^+ 領域16と構成した場合を例にとる。図3のグラフは、図4A～4Cに示されている3種類のn型領域不純物原子分布に対応した、ダイオードの順方向電流－電圧特性である。図3中の曲線A, B, Cが図4A, 図4B, 図4Cに夫々対応する。

[0025] ここで、ダイオードは $22\text{nm} \times 22\text{nm}$ の断面を持ち、p型半導体領域とn型半導体領域の厚さを共に 50nm とし、p型領域の不純物濃度を $1 \times 10^{20} \text{cm}^{-3}$ に設定した。図4A～図4Cでは、 p^+ 半導体領域17、 n^- 半導体領域18しか表示されていないが、実際には n^- 半導体領域18の右側に図示されていない n^+ 半導体領域16が接続されることになる。

[0026] 図5は、 n^- 半導体領域18中の2個の不純物原子の平均位置と、ダイオードに 0.9V を印加したときの電流の関係をプロットしたグラフである。図5から明らかなように、 n^- 半導体領域18の厚さと不純物濃度を一定とすると、 n^- 半導体領域18中の不純物原子が、 n^+ 半導体領域16の近くに分布している場合よりも、 p^+ 半導体領域17の近くに分布している場合の方が、順方向電流を大きくすることができる。

[0027] すなわち、 n^- 半導体領域18を巨視的に見た場合、 n^+ 半導体領域16に近い側よりも p^+ 半導体領域17に近い側の不純物濃度が高い構成を有するダイオードを用いた構成、例えば図4Aのような構成とすることにより、高い集積度を持つ記憶装置を提供することが可能となる。

[0028] さらに、数多くのn型半導体領域不純物原子分布に対応した、ダイオードの順方向電流－電圧特性をシミュレーションした結果、順方向電流の増大には、 n^- 半導体領域18の中央部の不純物原子分布の影響は重要ではなく、例えば、図2Bに示すように、不純物濃度分布が中央部に凸部を有する形状であっても、 n^+ 半導体領域16に

近い側(第1隣接部)よりも p^+ 半導体領域17に近い側(第2隣接部)の濃度が高ければ良いことがわかった。なお、 p^+ 半導体領域17と n^- 半導体領域18の界面から n^- 半導体領域18側に2～3nmの領域にある n 型不純物原子は、 p^+ 半導体領域17のアクセプタに起因する強い電場の影響により、ドナーとして機能しない。従って、前述の p^+ 半導体領域の近くとは、界面から2～3nmの距離を置いた一定の領域である。この領域を本発明では第2の隣接部と称する。今回のシミュレーションにおいては、第2の隣接部は界面から n^- 半導体領域18側に2～15nmの範囲にあることが分かった。なお、図5における電流値がピークを示す位置は、 p^+ 型領域17と n^- 型領域18とのpn接合に形成される空乏領域の外側にある。

[0029] なお、本実施の形態では、ダイオードの中央部の導電型を n 型としたが、 p 型であっても構わない。また、ダイオード両端の導電型も、 n 型と p 型を入れ替えることが可能である。すなわち、 $p^+/n^-/n^+$ 以外の、 $p^+/p^-/n^+$ 、 $n^+/n^-/p^+$ 、 $n^+/p^-/p^+$ といった構成であっても構わない。

[0030] また、半導体領域中の不純物原子分布は、半導体を構成する原子の結晶格子位置を単位として定義する必要は無く、2～3nm程度の大きさの領域内での平均した不純物原子数が意味を持つ。これは以下のような物理的な考察に基づく。前述のとおり、ダイオードを流れるキャリアは、半導体領域に形成される電氣的なポテンシャル場に従う。そして、不純物原子の作るポテンシャル場の実効的な広がり、第一近似では、いわゆるボーア半径を用いて定義することが可能である。

[0031] このボーア半径は、水素原子のボーア半径 $a_0 = 0.0528\text{nm}$ を基準として、比誘電率 ϵ_r と有効質量比 m_e/m を用いて、 $(\epsilon_r / (m_e/m))a_0$ で与えられる。半導体としてシリコンを用いた場合、比誘電率 ϵ_r は11.7、有効質量比 m_e/m は0.2～0.3程度であることが知られているので、ボーア半径は2～3nmとなる。

[0032] 従って、前述のとおり、2～3nmの範囲で平均した不純物原子数が決まれば、ダイオードを流れる電流が決まることとなり、前述の n^+ 半導体領域の近くとは、 n^+ 半導体領域との界面から2～3nm以内の領域と考えて構わない。この領域を本発明では第1隣接部と称する。

[0033] なお、本実施形態のダイオードの低不純物濃度半導体領域の厚さは高々100nm

程度以下に過ぎない。半導体中での空乏層距離(近似式: $(2 \epsilon V_d / eN)^{1/2}$ 、 ϵ : 半導体の誘電率、 V_d : 半導体の内蔵電位、 e : 素電荷、 N : 不純物濃度)と比較して、低不純物濃度半導体領域の厚さが小さい場合には、空乏層が低不純物濃度半導体領域全体に広がっており、低不純物濃度半導体領域の厚さが小さいことを利用して、所望の順方向電流を確保している。さらに、本実施形態により得られるダイオードの特性は、抵抗変化素子と組み合わせて使用する際に、その効果が顕著になるものである。

[0034] 図6は、本発明の第1の実施形態に係る記憶装置のメモリセル配列の斜視図である。平行配置された複数本の行線1と、同じく平行配置された複数本の列線2が、線方向が交差するように対向し、各交点部分に抵抗変化素子とダイオードからなるメモリセル3が配置されている。図6はいわゆるクロスポイント型記憶装置を構成しており、ここで、通常MOS型メモリセルに合わせて、行線をワード線、列線をビット線と称することにする。ワード線、ビット線のピッチは44nm、すなわち線幅22nmのラインと22nmのスペースで構成されており、セル部の断面は22nm×22nmとなっている。

[0035] このような構造では、ワード線およびビット線は単なるラインアンドスペースのパターンであり、ワード線とビット線とは直交する位置関係であれば良く、ワード線方向及びビット線方向へのずれを考慮する必要はない。従って、製造の際のセル内の位置合せ精度は極めて緩くすることが可能であり、製造を容易に行うことが出来る。

[0036] 図7は、本発明の記憶装置を構成する、抵抗変化素子とダイオードを用いたクロスポイント型メモリセルの一部を抜き出した回路図である。ワード線1とビット線2の各交点に、抵抗変化素子とダイオードからなるメモリセル3が接続されており、ワード線1は行デコーダ4に、ビット線2は列デコーダ5に、それぞれ接続されている。

[0037] 前述のとおり、抵抗変化素子は、低抵抗状態と高抵抗状態の少なくとも2つの抵抗値を遷移する素子であり、高抵抗状態の抵抗変化素子は、ある一定以上の電圧が印加されると、低抵抗状態に遷移し、低抵抗状態の抵抗変化素子は、ある一定以上の電流が流れると、高抵抗状態に遷移することが知られている。

[0038] 図7では、行デコーダ4は上から3行目を選択し、列デコーダ5は左から2列目を選択している。クロスポイント型メモリでは、選択セルのダイオードが順方向となるように、

図7の場合では、選択ワード線をHigh電位である+Vに、選択ビット線をLow電位である0V(接地電位)に設定し、非選択のワード線はLow電位である0V(接地電位)に、非選択のビット線はHigh電位である+Vに設定する。

[0039] なお、電圧は相対的な値であるので、接地電位として描かれている部分は、必ずしも0Vである必要はなく、High電位とLow電位の差が所定の電圧であればよい。Vの値は正であり、抵抗変化素子を使用する場合、前述の特性より、書込みに用いる電圧 V_{set} 、消去に用いる V_{reset} 、読み出しに用いる電圧 V_{read} の間には $V_{read} < V_{reset} < V_{set}$ の関係が成り立つ。

[0040] このようなパターンで電圧を印加すると、ワード線あるいはビット線の一方のみが選択されている半選択のセルではセル両端の電位が等しいため抵抗変化素子に印加される電圧は無く電流も流れない。また、ワード線とビット線が共に選択されていない非選択のセルでは、ダイオードに逆方向電圧が印加されるので、セルに印加される電圧は小さく、流れる電流も極めて小さい。一方、選択セルでは、ダイオードが順方向なので印加した電圧からダイオードのオン電圧を差し引いた電圧が抵抗変化素子に印加され、電流も十分に流れる。このような原理により、セル間の干渉を防止し、選択セルにのみ読み書き(消去)を行うことができる。

[0041] 図8は本発明の本発明の記憶装置のブロック図である。メモリセル配列部31の各ワード線(行配列)には行デコーダ32が、各ビット線(配列線)には列デコーダ33が接続されている。行デコーダ32と列デコーダ33は、上位ブロック34からのアドレス情報を基に、メモリセル配列中の読み書きを行うセルに接続されているワード線・ビット線を選択する。電源35は、読み出し、書込み、消去の、それぞれの動作に対応した所定の電圧の組み合わせを生成し、行デコーダ32、列デコーダ33に送る。

[0042] 図9は本発明の記憶装置をIC化したチップの全体構成を示す斜視図である。通常のSi基板51の上に、通常用いられるプロセスにより配線層を含むCMOS回路52が構成され、この上に複数のメモリセル部54を含む層53が形成されている。

[0043] 図9の個々のメモリセル部54が前記図8のメモリセル配列部31に配列されるものであり、また、図8のデコーダ及び上位ブロックを含む、通常のメモリにおいて周辺回路と呼ばれている部分が図9のCMOS回路52に含まれている。

[0044] なお、CMOS回路52は、メモリセル部54との接続部を除き、メモリセル部54の配線よりも緩い、90nmデザインルールで設計製作を行うことができる。1個のメモリセル部54は約 $22\mu\text{m}$ 角の領域を占有し、 512×512 の交点を含む。各メモリセル部54の周囲にCMOS回路52との電氣的接続部を有し、これらのメモリセル部54と周辺の接続部を単位としたブロックが、マトリックス状に配置されている。更に、メモリセル部54を含む層53にはスルーホールが形成され、CMOS回路52の入出力部と電氣的な結合を有する端子から構成される、装置の入出力部55が、メモリセル部54を含む層53の端部に形成されている。

[0045] このような構成により、メモリセル部54とCMOS回路52が垂直方向に結合するため、チップ面積の増大を伴わずに動作時間の短縮や同時に読み書きできるセル数の大幅な増加が可能となる。なお、装置の入出力部55は、通常の半導体装置と同様にパッケージ工程においてリードフレームにボンディングされる。

[0046] また実施形態ではメモリ動作に用いる抵抗変化材として、 ZnMn_2O_4 を用いたが、他の材料、例えば NiO 、 TiO_2 、 SrZrO_3 、 $\text{Pr}_{0.7}\text{Ca}_{0.3}\text{MnO}_3$ 等を用いることも可能である。更に、抵抗変化材に接する電極として TiN を用いたが、他の材料、例えば Pt 、 W 、 WN 、 TaN 、 Nb ドーパ TiO_2 等を用いることも可能である。そして、ダイオードとして Si のpn接合ダイオードを用いたが、 SiGe 合金のpn接合ダイオードを用いることも可能である。

[0047] 上記のように、第1の実施形態によれば、ReRAMのメモリセルを構成する、順方向電流が大きなダイオードを、ダイオード断面積の増加無しで実現することが可能となるため、製造が容易で高い集積度を持つ記憶装置を安価に提供することが可能となる。

[0048] (第2の実施形態)

第2の実施形態では、図10A～10Kを参照して、第1の実施形態に係わる記憶装置の製造方法を説明する。なお、図10A～10Iは、図6のO-X方向に沿った断面図、図10J、10Kは、図6のO-Y方向に沿った断面図である。

[0049] 先ず、厚さ $720\mu\text{m}$ の Si 基板101の片面に、通常のCMOSプロセスを用いて、所望のCMOS回路102を形成したものを準備する。CMOS回路102は通常のMOSF

ETと多層配線に加えて、メモリセル配列への接続部を含んでいる。

[0050] 次に、図10Aに示すように、この基板上にTEOSを主原料とするCVD法により、 SiO_2 からなる膜厚300nmの絶縁膜103を形成する。次いで、図10Bに示すように、膜厚10nmのTiNと膜厚50nmのWの複合膜104を連続してスパッタリング法により成膜する。続いて、膜厚10nmのTiN膜105をスパッタリング法により成膜する。このTiN膜105はダイオードを構成する半導体膜への不要な不純物の拡散を抑制するバリアメタルとして機能する。

[0051] 次いで、図10Cに示すように、 SiH_4 を主原料とするLPCVD法を用いて、アモルファスSiの成膜を行い、イオン注入法を用いて所望の半導体領域の形成を行う。初めに、膜厚10nmのアモルファスSiを成膜した後、加速電圧1keVでヒ素のイオン注入を行い、ヒ素を 10^{20}cm^{-3} 程度含む n^+ 半導体領域106を形成する。引き続き、膜厚90nmのアモルファスSiを成膜した後、加速電圧75keVでヒ素のイオン注入を行い、ヒ素を平均して 10^{17}cm^{-3} 程度含み、ヒ素の濃度が膜の上方で高濃度となる膜厚90nmの n^- 半導体領域107を形成する。そして、加速電圧1keVでホウ素のイオン注入を行い、先程形成した n^- 半導体領域107の上部を、ホウ素を 10^{20}cm^{-3} 程度含む、膜厚10nmの p^+ 半導体領域108とする。

[0052] なお、ここで示した n^+ 半導体領域106、 n^- 半導体領域107、 p^+ 半導体領域108の膜厚は、後の熱工程、特にアモルファスSiの結晶化と不純物の活性化を目的とした高温処理において、不純物の拡散が引き起こされるため、全ての製造工程を経た最終段階では、 n^+ 半導体領域106及び p^+ 半導体領域108の膜厚が20nm程度増加し、 n^- 半導体領域107の膜厚が40nm程度減少する。上述の膜厚は、これらの効果を予め考慮して設定したものである。

[0053] 次いで、図10Dに示すように、膜厚10nmのTiN膜109と、膜厚10nmの ZnMnO_4 からなる抵抗変化材料膜110と、膜厚10nmのTiN膜111を連続してスパッタリング法により成膜する。TiN膜109と111は抵抗変化素子110の電極となると共に、バリアメタルとして機能する。引き続き、図10Eに示すように、TEOSを主原料とするCVD法により、 SiO_2 からなる膜厚150nmの絶縁膜112を形成する。

[0054] 次いで、図10Fに示すように、インプリントリソグラフィーの技術を用いて、ピッチ44

nmのレジストパターンを形成し、得られたレジストパターンをマスクとして CHF_3 、及びCOガスを用いた反応性イオンエッチングにより SiO_2 膜112をパターニングする。ここでレジストを剥離処理した後、形成された SiO_2 膜パターンをエッチングマスクとして、 Cl_2 、Ar、およびCOガスを用いた反応性イオンエッチングにより、TiN膜111、抵抗変化材料膜110、TiN膜109、 p^+ 半導体領域108、 n^- 半導体領域107、 n^+ 半導体領域106、TiN膜105を順次パターニングする。そして、 CHF_3 と SF_6 ガスを用いた反応性イオンエッチングにより、TiNとWの複合膜104をパターニングする。

[0055] 次いで、図10Gに示すように、TEOSを主原料とするCVD法により、 SiO_2 からなる絶縁膜115を形成する。次に、図10Hに示すように、CMP法により、TiN膜111をストッパーとして SiO_2 膜112及び115の平坦化を行う。引き続き、図10Iに示すように、膜厚10nmのTiNと膜厚50nmのWの複合膜116を連続してスパッタリング法により成膜する。そして、TEOSを主原料とするCVD法により、 SiO_2 からなる絶縁膜117を形成する。

[0056] 次いで、断面の視線をウエハ面内に90度回転し、図10J(図6のO-Y方向に平行な断面図)に示すように、インプリントリソグラフィーの技術を用いて、ピッチ44nmのレジストパターンを形成し、得られたレジストパターンをマスクとして CHF_3 、及びCOガスを用いた反応性イオンエッチングにより SiO_2 膜117をパターニングする。レジストを剥離処理した後、形成された SiO_2 膜パターンをエッチングマスクとして、 CHF_3 と SF_6 ガスを用いた反応性イオンエッチングにより、TiNとWの複合膜116をパターニングする。引き続き、 Cl_2 、Ar、およびCOガスを用いた反応性イオンエッチングにより、TiN膜111、抵抗変化材料膜110、TiN膜109、 p^+ 半導体領域108、 n^- 半導体領域107、 n^+ 半導体領域106、TiN膜105を順次パターニングし、メモリセル部を形成する。なお、この工程では、 n^+ 半導体領域106やTiN膜105は相互に完全にエッチングにより離間していなくても構わない。

[0057] 次に、図10Kに示すように、回転塗布可能な酸化シリコン膜を用いて、溝内を埋め込みながらウエハ全面に SiO_2 膜118を形成する。続いて、図示されていないが、CMOS回路52とTiNとWの複合膜104および116の接続部を、リソグラフィー工程と反応性イオンエッチングにより開口し、CVD法を用いてWにより埋め込み導体を形

成する。W上部の不要部分はエッチバック工程により除去する。

[0058] なお、メモリセル部を多層構造とする場合には、以上の工程を繰り返すことにより、所望の構造を得ることが可能となる。最後に、800℃5秒の熱処理を行い、アモルファスSiの結晶化と不純物の活性化を一括で行った後に、いわゆるパッシベーション膜の形成を行う。入出力部となる配線接続部を形成した後、検査やダイシング等のいわゆる後工程を行い、記憶装置が完成する。

[0059] 本実施形態では、ダイオードを形成する工程において、n型不純物としてヒ素を用いたが、リンを用いても構わない。また、イオン注入で用いる注入原子を入れ替えることにより、異なる積層構造のダイオードを形成することが可能である。

[0060] また、ダイオードの形成に、ドーピング無しのCVD成膜により形成したSi膜に不純物原子をイオン注入する方法を用いたが、ドーピングしたCVD成膜を用いてダイオードを形成することも可能である。この場合、ヒ素のドーピングには AsH_3 ガスの添加を、リンのドーピングには PH_3 ガスの添加を、ホウ素のドーピングには BCl_3 ガスの添加を用いることが可能であり、成膜中のドーピング量を調整することにより、所望の不純物濃度分布を得ることが可能である。

[0061] その他、本発明の要旨を逸脱しない範囲で、種々変形して実施することが出来る。

産業上の利用可能性

[0062] 本発明により、ReRAMとダイオードを用いたクロスポイント型のメモリセルにおいて、大きな順方向電流を流し得るダイオードを実現することが可能となるため、製造が容易で信頼性の高い高集積記憶装置が安価に提供される。

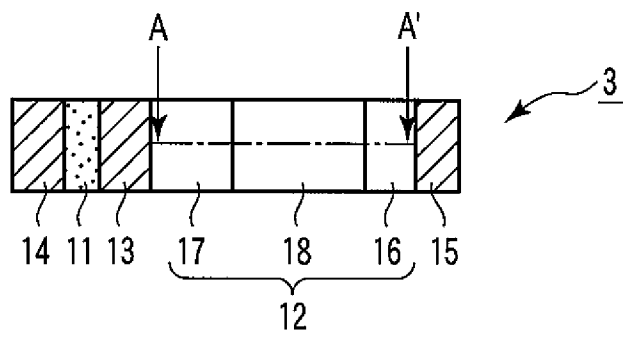
請求の範囲

- [1] 互いに平行配置された複数本の行線と、
前記行線に交差するように互いに平行配置された複数本の列線と、
前記行線と前記列線との各交差部に配置され、抵抗変化素子とこれに直列に接続されたダイオードからなるメモリセルとを含み、
前記ダイオードが、第1導電型の不純物を含む第1半導体領域と、前記第1半導体領域より低濃度の第1導電型の不純物を含む第2半導体領域と、第2導電型の不純物を含む第3半導体領域の積層により構成され、前記第2半導体領域の不純物濃度が、前記第1半導体領域との第1隣接部における濃度よりも、前記第3半導体領域との第2隣接部における濃度が高濃度となっていることを特徴とする記憶装置。
- [2] 前記第2半導体領域における不純物濃度のピークが、前記第1半導体領域の不純物濃度よりも小さいことを特徴とする請求項1に記載の記憶装置。
- [3] 前記第2隣接部は、前記第2半導体領域と前記第3半導体領域の界面からの距離が2nm以上、15nm以下の領域であることを特徴とする請求項1に記載の記憶装置。
- [4] 前記第1隣接部は、前記第1半導体領域と前記第2半導体領域の界面からの距離が3nm以下の領域であることを特徴とする請求項1に記載の記憶装置。
- [5] 前記第1導電型がn型であり、前記第2の導電型がp型であることを特徴とする請求項1あるいは2に記載の記憶装置。
- [6] 前記第1導電型がp型であり、前記第2導電型がn型であることを特徴とする請求項1あるいは2に記載の記憶装置。
- [7] 前記ダイオードを構成する半導体がシリコンを主成分とし、不純物原子としてホウ素、リン、砒素のいずれかを用いることを特徴とする請求項1乃至6のいずれかに記載の記憶装置。
- [8] 前記抵抗変化素子は、 ZnMn_2O_4 、 NiO 、 TiO_2 、 SrZrO_3 、 $\text{Pr}_{0.7}\text{Ca}_{0.3}\text{MnO}_3$ の内の1つの材料を含むことを特徴とする請求項1乃至7のいずれかに記載の記憶装置。
- [9] 前記抵抗変化素子に接する電極を備え、この電極はTiN、Pt、W、WN、TaN、Nbドープ TiO_2 のうちのいずれかを含むことを特徴とする請求項1乃至8のいずれかに

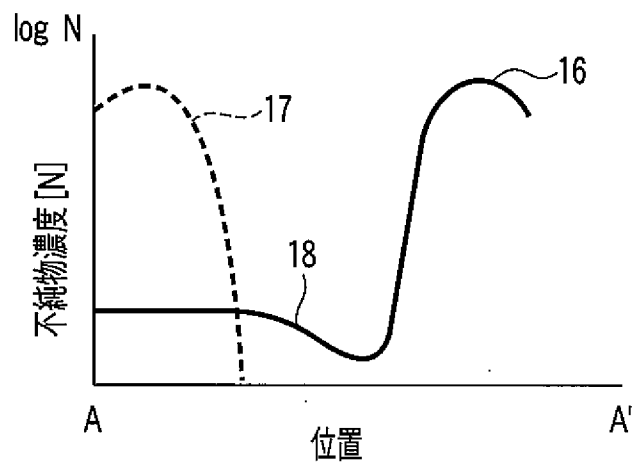
記載の記憶装置。

- [10] 前記行線を選択する行選択部と、
前記列線を選択する列選択部と、
前記行選択部により選択された行線と前記列選択部により選択された列線にそれぞれ所定の電圧を印加する電源部と、
をさらに具備することを特徴とする請求項1乃至9のいずれかに記載の記憶装置。

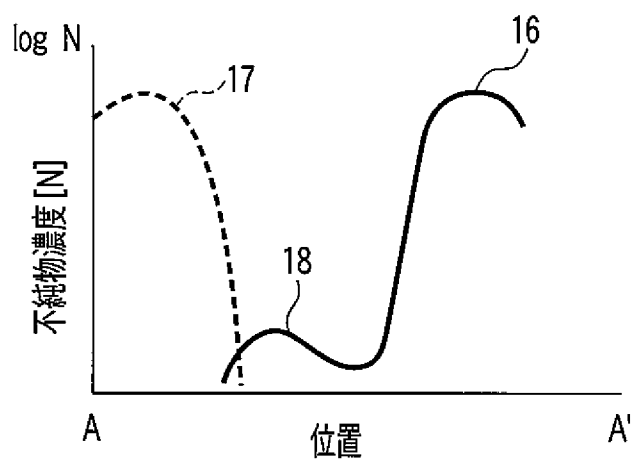
[図1]



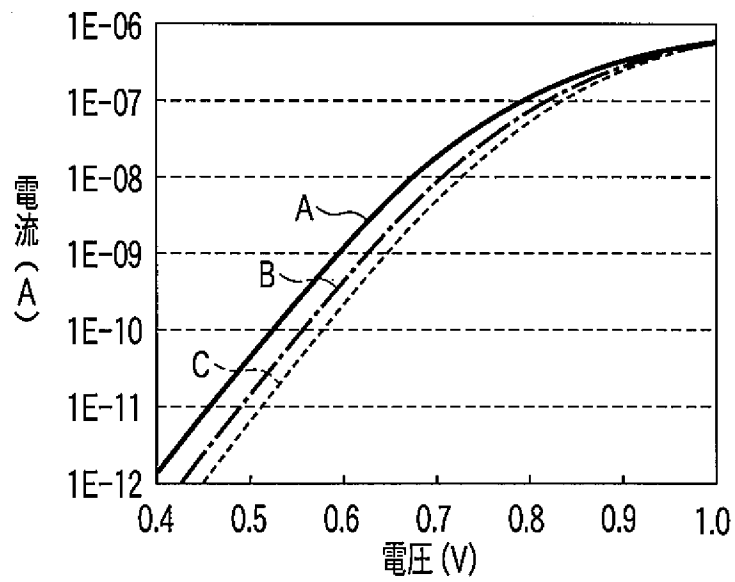
[図2A]



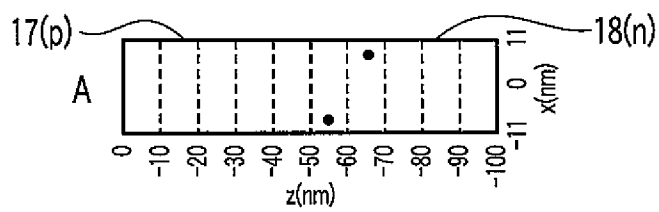
[図2B]



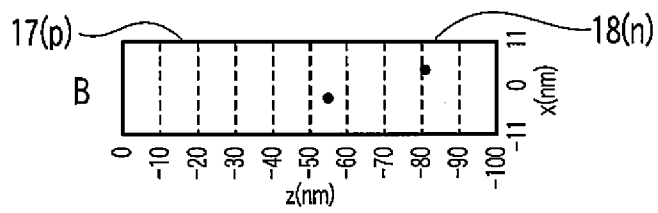
[図3]



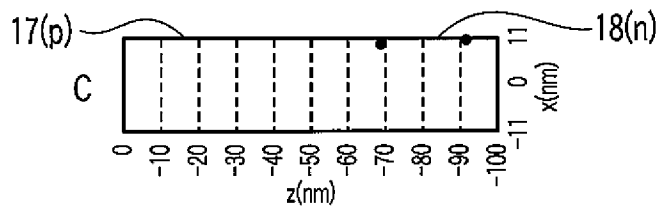
[図4A]



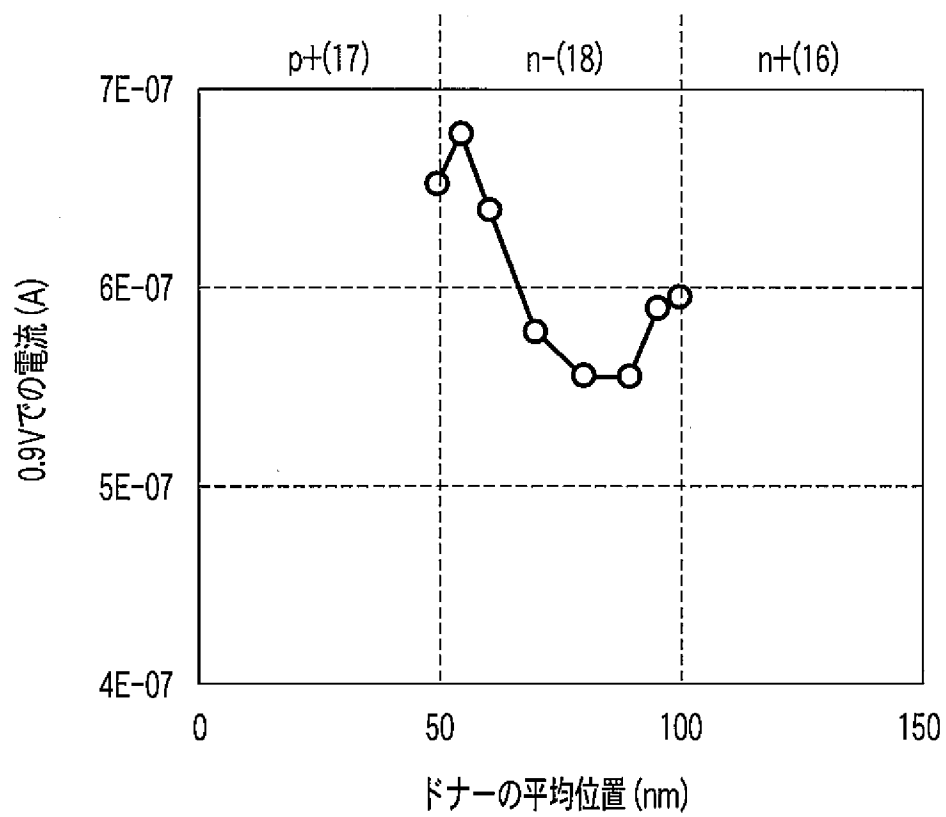
[図4B]



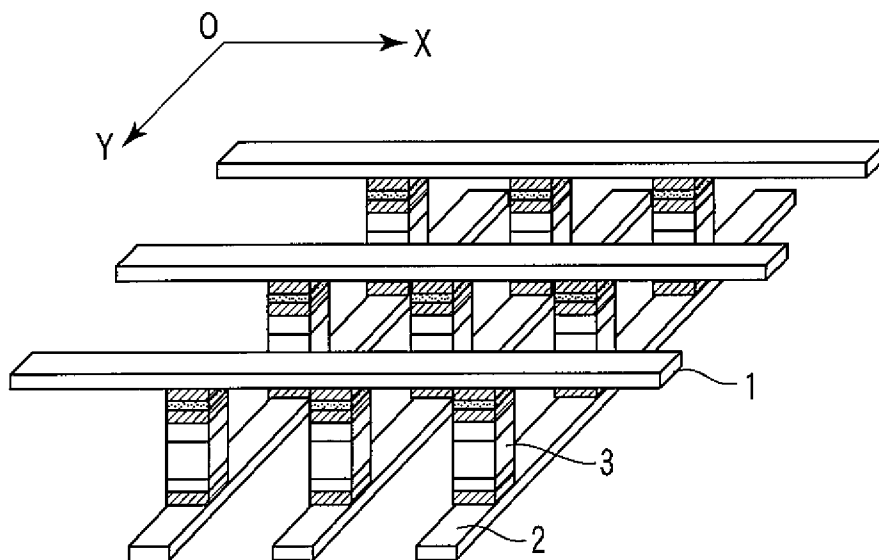
[図4C]



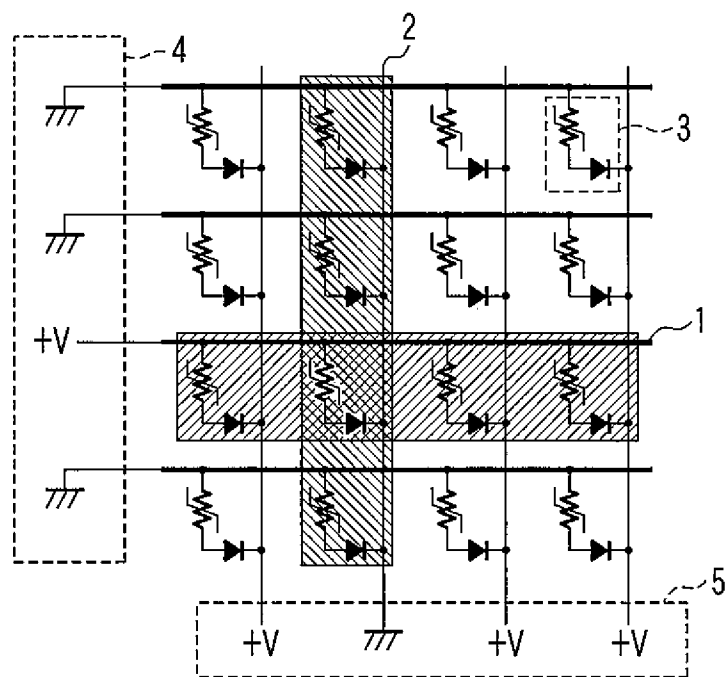
[図5]



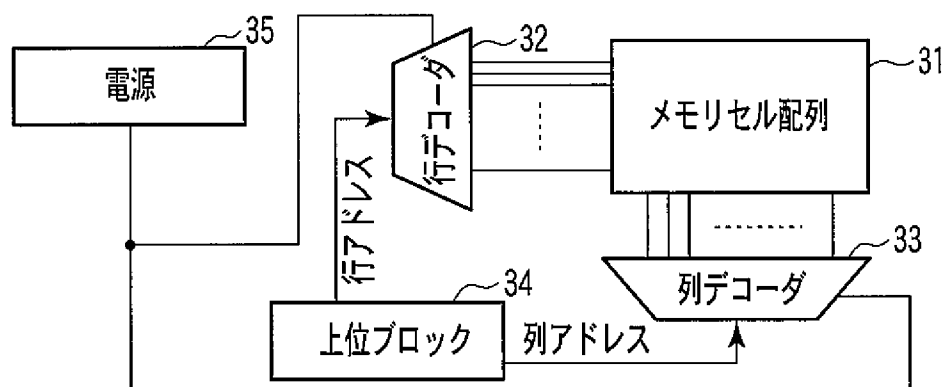
[図6]



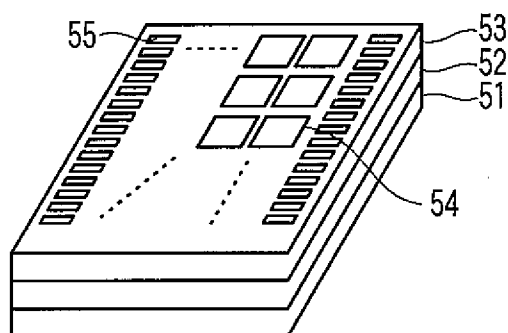
[図7]



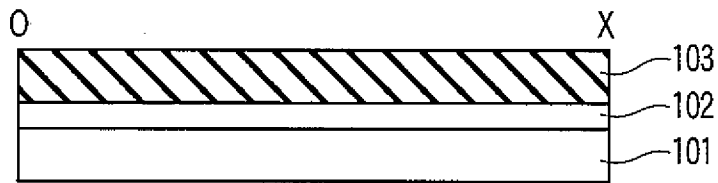
[図8]



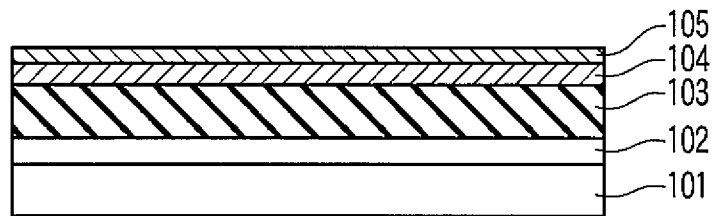
[図9]



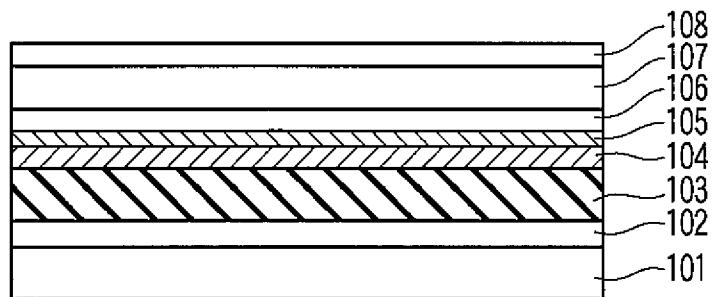
[図10A]



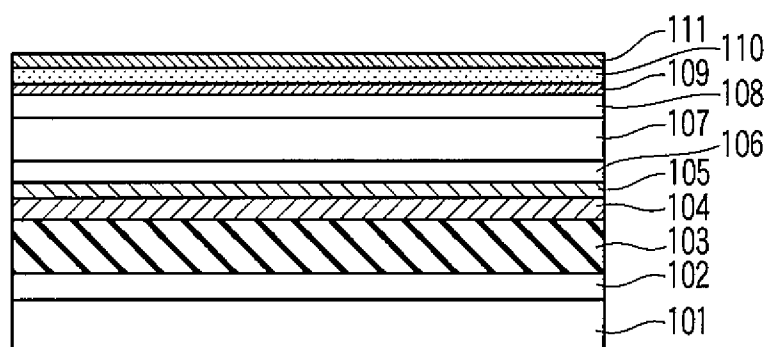
[図10B]



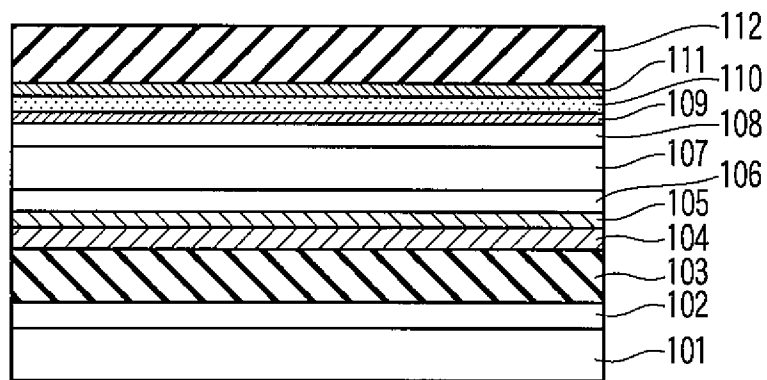
[図10C]



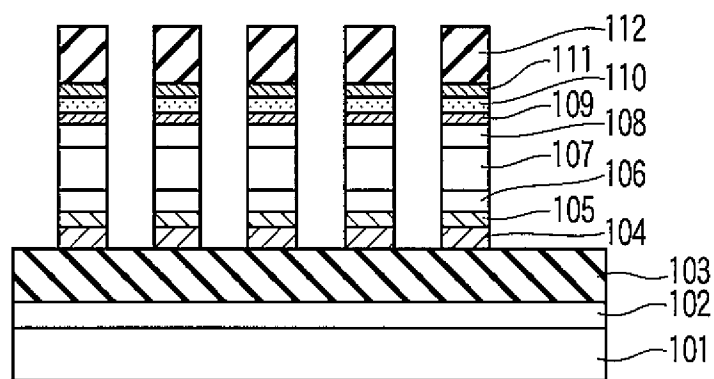
[図10D]



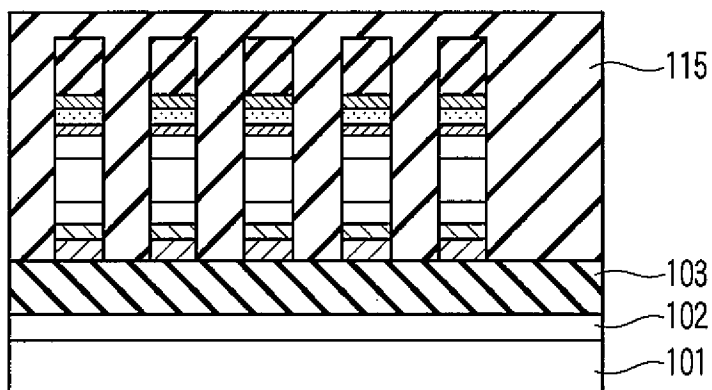
[図10E]



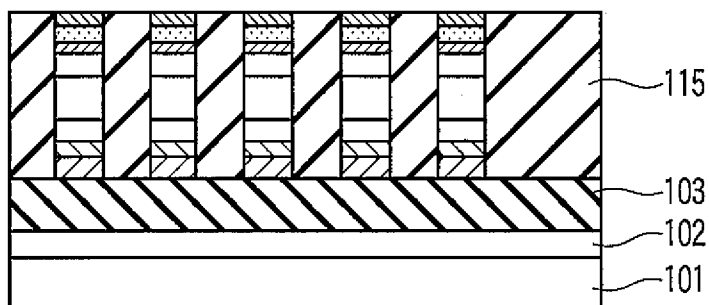
[図10F]



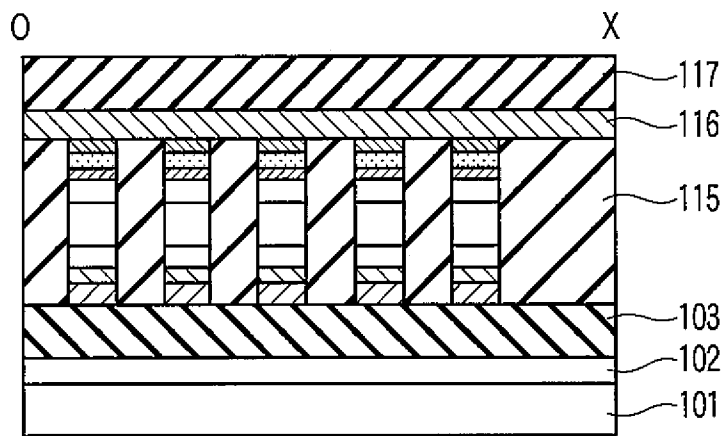
[図10G]



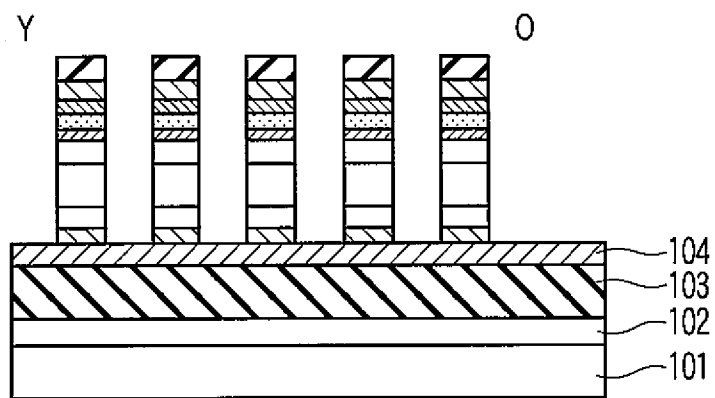
[図10H]



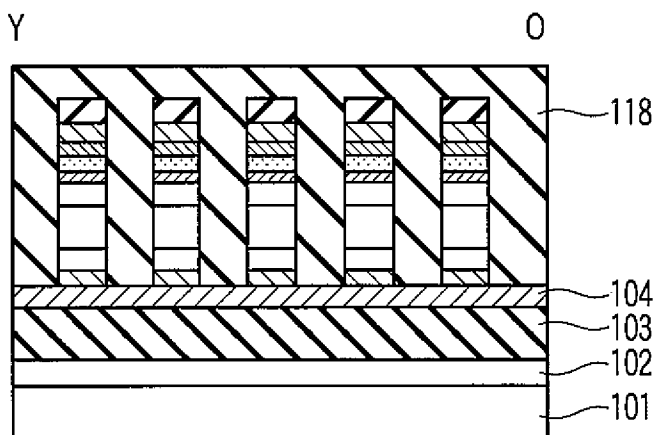
[図10I]



[図10J]



[図10K]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2008/066114

A. CLASSIFICATION OF SUBJECT MATTER

H01L27/10(2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L27/10

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2008
Kokai Jitsuyo Shinan Koho	1971-2008	Toroku Jitsuyo Shinan Koho	1994-2008

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2007-287761 A (Matsushita Electric Industrial Co., Ltd.), 01 November, 2007 (01.11.07), Par. Nos. [0079] to [0081]; Fig. 10 & US 2007/0240995 A1	1-7
Y	JP 2007-188603 A (Sharp Corp.), 26 July, 2007 (26.07.07), Par. Nos. [0097] to [0106], [0183] to [0187], [0205] to [0207]; Figs. 1, 18 to 19 & US 2007/0165442 A1 & WO 2007/080840 A	1-10
Y	JP 7-273354 A (Shindengen Electric Mfg. Co., Ltd.), 20 October, 1995 (20.10.95), Par. Nos. [0004] to [0009]; Figs. 1 to 2 (Family: none)	1-10

☒ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance
 "E" earlier application or patent but published on or after the international filing date
 "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
 "O" document referring to an oral disclosure, use, exhibition or other means
 "P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
 "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
 "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
 "&" document member of the same patent family

Date of the actual completion of the international search
19 November, 2008 (19.11.08)

Date of mailing of the international search report
09 December, 2008 (09.12.08)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2008/066114

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2000-323488 A (Fuji Electric Co., Ltd.), 24 November, 2000 (24.11.00), Par. Nos. [0045] to [0054]; Figs. 1 to 5 (Family: none)	1-10

A. 発明の属する分野の分類 (国際特許分類 (I P C))

Int.Cl. H01L27/10(2006.01)i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (I P C))

Int.Cl. H01L27/10

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 0 8 年
日本国実用新案登録公報	1 9 9 6 - 2 0 0 8 年
日本国登録実用新案公報	1 9 9 4 - 2 0 0 8 年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	JP 2007-287761 A (松下電器産業株式会社) 2007. 11. 01, 段落【0079】-【0081】, 図10 & US 2007/0240995 A1	1 - 7
Y	JP 2007-188603 A (シャープ株式会社) 2007. 07. 26, 段落【0097】-【0106】,【0183】-【0187】,【 【0205】-【0207】], 図1, 18-19 & US 2007/0165442 A1 & WO 2007/080840 A	1 - 10

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

1 9 . 1 1 . 2 0 0 8

国際調査報告の発送日

0 9 . 1 2 . 2 0 0 8

国際調査機関の名称及びあて先

日本国特許庁 (I S A / J P)

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

小川 将之

4M

9634

電話番号 03-3581-1101 内線 3462

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	JP 7-273354 A (新電元工業株式会社) 1995. 10. 20, 段落【0004】－【0009】, 図1－2 (ファミリーなし)	1－10
Y	JP 2000-323488 A (富士電機株式会社) 2000. 11. 24, 段落【0045】－【0054】, 図1－5 (ファミリーなし)	1－10