

(12) 특허협력조약에 의하여 공개된 국제출원

(19) 세계지식재산권기구  
국제사무국

(43) 국제공개일

2018년 5월 24일 (24.05.2018)



(10) 국제공개번호

WO 2018/093176 A2

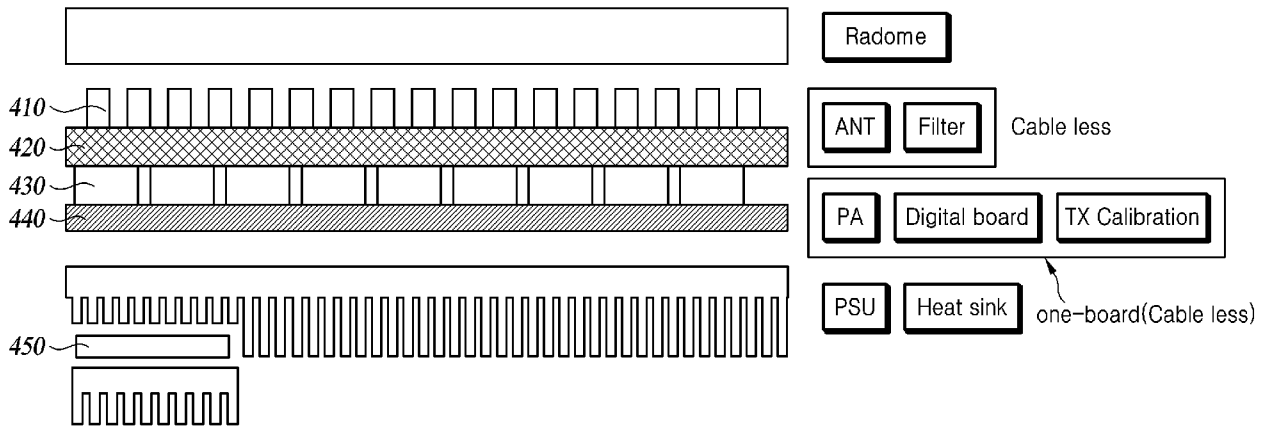
- (51) 국제특허분류: 미분류
- (21) 국제출원번호: PCT/KR2017/013034
- (22) 국제출원일: 2017년 11월 16일 (16.11.2017)
- (25) 출원언어: 한국어
- (26) 공개언어: 한국어
- (30) 우선권정보:
  - 10-2016-0152609 2016년 11월 16일 (16.11.2016) KR
  - 10-2017-0028430 2017년 3월 6일 (06.03.2017) KR
  - 10-2017-0028434 2017년 3월 6일 (06.03.2017) KR
  - 10-2017-0028442 2017년 3월 6일 (06.03.2017) KR
- (71) 출원인: 주식회사 케이엠더블유 (KMW INC.) [KR/KR]; 18462 경기도 화성시 동탄면 영천로 183-6, Gyeonggi-do (KR).
- (72) 발명자: 김덕용 (KIM, Duk Yong); 18462 경기도 화성시 동탄면 영천로 183-6, Gyeonggi-do (KR). 정배묵 (JEONG, Bae Mook); 18462 경기도 화성시 동탄면 영

천로 183-6, Gyeonggi-do (KR). 유창우 (YOO, Chang Woo); 18462 경기도 화성시 동탄면 영천로 183-6, Gyeonggi-do (KR). 문영찬 (MOON, Young Chan); 18462 경기도 화성시 동탄면 영천로 183-6, Gyeonggi-do (KR). 박남신 (PARK, Nam Shin); 18462 경기도 화성시 동탄면 영천로 183-6, Gyeonggi-do (KR). 박범식 (PARK, Bum Sik); 18462 경기도 화성시 동탄면 영천로 183-6, Gyeonggi-do (KR). 윤민선 (YUN, Min Seon); 18462 경기도 화성시 동탄면 영천로 183-6, Gyeonggi-do (KR). 박민식 (PARK, Min Sik); 18462 경기도 화성시 동탄면 영천로 183-6, Gyeonggi-do (KR). 장성호 (JANG, Sung Ho); 18462 경기도 화성시 동탄면 영천로 183-6, Gyeonggi-do (KR).

- (74) 대리인: 이철희 (LEE, Chulhee); 06229 서울시 강남구 도곡로33길 26, 베리타스빌딩 2-4, Seoul (KR).
- (81) 지정국 (별도의 표시가 없는 한, 가능한 모든 종류의 국내 권리의 보호를 위하여): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC,

(54) Title: MIMO ANTENNA ASSEMBLY OF LAMINATED STRUCTURE

(54) 발명의 명칭: 적층구조의 MIMO 안테나 어셈블리



(57) Abstract: A MIMO antenna assembly of a lightweight laminated structure is disclosed. One aspect of the present invention provides a MIMO antenna assembly of a lightweight laminated structure, wherein a calibration network, which has been placed between an existing antenna element and a filter, is formed on one board together with a power amplifier and a digital circuit, and the filter is closely attached to the lower portion of a PCB on which a feeding network is formed. The present invention adopts a strategy to reduce the antenna assembly to a compact size while managing a phase deviation caused by the filter at an allowable level. Another aspect of the present invention provides a calibration method in a MIMO antenna operating in a Time Division Duplex (TDD) scheme and a MIMO antenna using the same, wherein the calibration method can perform a TX/RX calibration in a single calibration hardware configuration and perform the calibration in real time during operation.

(57) 요약서: 경량화된 적층구조의 MIMO 안테나 어셈블리를 개시한다. 본 발명의 일 측면에 의하면, 기존의 안테나 소자와 필터 사이에 위치하던 캘리브레이션 네트워크를 파워 증폭기 및 디지털 회로와 함께 하나의 보드에 형성하며, 급전 네트워크(feeding network)가 형성된 PCB 하부에 필터를 밀착결합시킨 경량화된 적층구조의 MIMO 안테나 어셈블리를 제공한다. 본 발명은 필터로 인해 발생하는 위상 편차를 허용가능한 수준에서 관리하되, 안테나 어셈블리를 컴팩트한 사이즈로 줄이는 전략을 취한다. 본 발명의 다른 측면에 의하면, TDD(Time Division Duplex) 방식으로 동작하는 MIMO 안테나에서, 하나의 캘리브레이션 하드웨어 구성으로 TX/RX 캘리브레이션을 수행하며, 운영되는 동안 실시간으로 캘리브레이션을 수행할 수 있는 캘리브레이션 방법과 이를 이용한 MIMO 안테나를 제공한다. [대표도: 도 4]

WO 2018/093176 A2

EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

- (84) 지정국 (별도의 표시가 없는 한, 가능한 모든 종류의 역내 권리의 보호를 위하여): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 유라시아 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 유럽 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

공개:

- 국제조사보고서 없이 공개하며 보고서 접수 후 이를 별도로 공개함 (규칙 48.2(g))

## 명세서

### 발명의 명칭: 적층구조의 MIMO 안테나 어셈블리

#### 기술분야

- [1] 본 발명은 MIMO(Multiple Input Multiple Output) 안테나에 관한 것이다. 보다 상세하게는, 경량화된 적층구조의 MIMO 안테나 어셈블리와, TDD(Time Division Duplex) 방식으로 동작하는 MIMO 안테나에서의 캘리브레이션(Calibration)에 관한 것이다.

#### 배경기술

- [2] 이 부분에 기술된 내용은 단순히 본 실시예에 대한 배경 정보를 제공할 뿐 종래기술을 구성하는 것은 아니다.
- [3] MIMO(Multiple Input Multiple Output) 기술은 다수의 안테나를 사용하여 데이터 전송용량을 획기적으로 늘리는 기술로서, 송신기에서는 각각의 송신 안테나를 통해 서로 다른 데이터를 전송하고, 수신기에서는 적절한 신호처리를 통해 송신 데이터들을 구분해 내는 공간 다중화(Spatial multiplexing) 기법이다. 따라서 송수신 안테나의 개수를 증가시킴에 따라 채널 용량이 증가하여 보다 많은 데이터를 송수신할 수 있게 한다. 예를 들어 안테나 수를 10개로 증가시키면 현재의 단일 안테나 시스템에 비해 같은 주파수 대역을 사용하여 약 10배의 채널 용량을 확보하게 된다.
- [4] 4G LTE-advanced에서는 8개의 안테나까지 사용하고 있으며, 현재 pre-5G 단계에서 64 또는 128개의 안테나를 장착한 제품이 개발되고 있고, 5G에서는 훨씬 더 많은 수의 안테나를 갖는 기지국 장비가 사용될 것으로 예상되며, 이를 Massive MIMO 기술이라고 한다. 현재의 셀(Cell) 운영이 2-Dimension인데 반해, Massive MIMO 기술이 도입되면 3D-Beamforming이 가능해지므로 Massive MIMO 기술은 FD-MIMO(Full Dimension MIMO)라고도 불린다.
- [5] Massive MIMO 기술에서는 안테나 소자의 숫자가 늘어나면서 이에 따른 송수신기와 필터의 숫자도 함께 증가한다. 그러함에도 설치 장소의 리스 비용이나 공간적인 제약으로 인해, RF 부품(안테나 소자/필터/전력 증폭기/트랜시버 등)을 작고 가벼우며 값싸게 만드는 것이 Massive MIMO 기술을 채용한 안테나의 성패를 좌우하게 된다. Massive MIMO 안테나는 커버리지(Coverage) 확장을 위해서는 고출력이 필요한데, 이러한 고출력으로 인한 소모전력과 발열량은 무게 및 사이즈를 줄이는 데 부정적인 요인으로 작용한다.
- [6] 따라서, 이러한 안테나 시스템을 소형화/경량화하고, 다수의 RF 소자들 간의 전기적인 연결 및 조립을 용이하게 할 수 있는 안테나 시스템의 구조를 개발하는 것은 당해 업계가 당면한 과제라 할 수 있다.

#### 발명의 상세한 설명

## 기술적 과제

- [7] 본 발명은 소형이면서 경량화된 적층구조의 MIMO 안테나를 제공하는 데 주된 목적이 있다.
- [8] 또한, 본 발명은 다수 개의 필터의 조립 시에 발생하는 조립 공차의 누적량을 최소화할 수 있는 조립 방식과 필터의 전기적 특성을 확보하기 위해 필요한 체결력을 균일하게 전달할 수 있는 구조를 제안한다.
- [9] 또한, 본 발명은 TDD(Time Division Duplex) 방식으로 동작하는 MIMO 안테나에서, 하나의 캘리브레이션 하드웨어 구성으로 TX/RX 캘리브레이션을 수행하며, 운영되는 동안 실시간으로 캘리브레이션을 수행할 수 있는 캘리브레이션 기법을 제공하는 데 다른 목적이 있다.

## 과제 해결 수단

- [10] 본 실시예의 일 측면에 의하면, 적층 구조의 안테나 어셈블리를 포함하는 MIMO 안테나 시스템을 제공한다. MIMO 안테나 시스템에서, 레이돔과 배면에 히트싱크가 형성된 하우징 사이에 적층 구조의 안테나 어셈블리가 내장된다. 적층 구조의 안테나 어셈블리는 급전 네트워크(Feeding network)가 형성된 제1인쇄회로기판(Printed Circuit Board; PCB); 상기 제1인쇄회로기판의 상기 레이돔에 대항하는 상부 면에 설치되고 상기 급전 네트워크와 연결된 복수의 안테나 소자; 및 상기 제1인쇄회로기판의 하부 면에 배치되고 상기 급전 네트워크와 연결된 복수의 대역통과필터를 포함하는 필터 어셈블리를 포함한다. 또한, 적층 구조의 안테나 어셈블리는 상기 하우징에 대면 배치된 제2인쇄회로기판으로서, 상기 복수의 대역통과필터와 연결된 복수의 송수신회로가 형성된 제2인쇄회로기판을 더 포함한다.
- [11] 본 실시예의 다른 측면에 의하면, 적층 구조의 MIMO 안테나 어셈블리를 제공한다. 상기 적층 구조의 MIMO 안테나 어셈블리는 급전 네트워크(Feeding network)가 형성된 제1인쇄회로기판(Printed Circuit Board; PCB); 상기 제1인쇄회로기판의 상부 면에 설치되고 상기 급전 네트워크와 연결된 복수의 안테나 소자; 및 상기 제1인쇄회로기판의 하부 면에 배치되고 상기 급전 네트워크와 연결된 복수의 대역통과필터를 포함하는 필터 어셈블리를 포함한다. 또한, 상기 적층 구조의 MIMO 안테나 어셈블리는 상기 제1인쇄회로기판의 하부에 배치되는 제2인쇄회로기판을 포함한다. 제2인쇄회로기판에는 상기 복수의 대역통과필터와 연결된 복수의 송수신회로, 상기 복수의 송수신회로와 연결되어 기저대역 신호의 디지털 프로세싱을 수행하는 디지털 회로 및 복수의 스위치가 트리 구조로 연결된 캘리브레이션 회로가 형성되어 있다.
- [12] 본 실시예의 또 다른 측면에 의하면, 급전 네트워크(Feeding network) 및 상기 급전 네트워크에 전기적으로 연결된 복수의 쓰루 홀(through hole)이 형성된 제1인쇄회로기판(Printed Circuit Board; PCB); 상기 제1인쇄회로기판의 상부 면에

설치되고, 상기 급전 네트워크와 연결된 복수의 안테나 소자; 및 상기 제1인쇄회로기판의 하부 면에 밀착체결된 복수의 대역통과필터를 포함하는 MIMO 안테나 어셈블리를 제공한다. 각 대역통과필터는 내부의 중공(cavity)으로부터 연장되어 상부 면으로부터 돌출된 도전성 제1핀을 가진 제1포트를 구비하고, 각 대역통과필터는 상기 제1핀의 돌출된 부분이 상기 제1인쇄회로기판에 형성된 상기 쓰루 홀에 삽입된 채로 상기 제1인쇄회로기판에 밀착 체결된다. 상기 MIMO 안테나 어셈블리의 실시예들은 다음의 특징들을 하나 이상 더 포함할 수 있다.

- [13] 몇몇 실시예에서, 상기 제1포트는, 상기 상부 면에 형성된 개구부; 상기 개구부에 삽입되어 상기 개구부를 밀폐하는 절연 부시; 및 상기 절연 부시를 관통하여 상기 부시로부터 돌출된 상기 도전성 핀을 포함한다.
- [14] 몇몇 실시예에서, 상기 복수의 대역통과필터는, 상기 상부 면에 상기 인쇄회로기판과 볼트에 의해 체결되는 복수의 체결홈이 형성된다.
- [15] 몇몇 실시예에서, 상기 복수의 대역통과필터는, 상기 제1인쇄회로기판에 형성된 삽입홀들에 삽입되는 삽입돌기들이 형성된 푸시 바(push bar)에 일렬로 조립된 필터 어셈블리를 형성한다.
- [16] 몇몇 실시예에서, 상기 복수의 대역통과필터는 상기 푸시 바를 수용하는 단차부를 포함하고, 상기 단차부에는 삽입돌기들 및 체결홈이 형성되어 있으며, 상기 푸시 바에는 각 대역통과필터의 삽입돌기들이 삽입되는 삽입홈들이 형성되고, 각 대역통과필터의 체결홈과 볼트에 의해 체결되는 복수의 체결홈이 형성된다.
- [17] 몇몇 실시예에서, 상기 MIMO 안테나 어셈블리는 상기 복수의 대역통과필터와 연결되는 복수의 송수신 회로가 형성된 제2인쇄회로기판을 더 포함한다.
- [18] 몇몇 실시예에서, 상기 제2인쇄회로기판의 상부 면에는 상기 복수의 송수신회로와 연결된 복수의 RF 소켓(Socket)이 실장되어 있으며, 각 대역통과필터는 하부 면으로부터 돌출되고, 중심에 상기 RF 소켓이 삽입되는 홈이 형성된 돌출부 및 내부의 중공으로부터 연장되어 상기 돌출부에 형성된 상기 홈을 관통하는 도전성 핀을 포함하는 제2포트를 구비하고, 각 대역통과필터는 상기 제2포트의 도전성 핀이 상기 RF 소켓에 형성된 홈에 삽입된 채로 상기 제2인쇄회로기판에 결합된다.
- [19] 몇몇 실시예에서, 각 대역통과필터의 상기 제2포트는, 상기 홈에 형성된 개구부; 상기 개구부에 삽입되어 상기 개구부를 밀폐하는 절연 부시; 및 상기 절연 부시를 관통하여 상기 부시로부터 돌출된 상기 도전성 핀을 포함한다.
- [20] 몇몇 실시예에서, 상기 제2인쇄회로기판의 상부 면에는 상기 송수신회로와 전기적으로 연결된 접촉 패드(contact pad)가 형성된 복수의 구조물이 실장되어 있으며, 각 대역통과필터는 내부의 중공(cavity)에 전기적으로 연결되고 하부 면으로부터 돌출된 도전성 플런저(plunger)를 가진 제2포트를 구비하고, 각 대역통과필터는 상기 플런저가 상기 접촉 패드(contact pad)에 접촉된 채로 상기

- 제2인쇄회로기판에 결합된다.
- [21] 몇몇 실시예에서, 각 대역통과필터의 상기 제2포트는, 상기 하부 면에 형성된 개구부; 상기 개구부에 삽입되어 상기 개구부를 밀폐하는 절연 부시; 상기 절연 부시를 관통하여 상기 부시로부터 돌출된 원통의 바렐(barrel); 상기 원통의 바렐에 적어도 일부가 삽입된 상기 플런저(plunger); 및 상기 바렐 내에 배치되어 상기 플런저를 지지하는 스프링을 포함한다.
- [22] 몇몇 실시예에서, 상기 복수의 대역통과필터는 상기 제2인쇄회로기판과 체결되는 푸시 바(push bar)에 일렬로 조립되어 필터 어셈블리를 형성하고, 상기 제2인쇄회로기판과 체결된 상기 푸시 바는, 각 대역통과필터가 균일한 힘으로 상기 제2인쇄회로기판에 결합되도록, 각 대역통과필터에 균일한 압력을 제공한다.
- [23] 몇몇 실시예에서, 상기 복수의 대역통과필터의 하부 면에는, 복수의 송수신 회로가 형성된 제2인쇄회로기판과 볼트에 의해 체결되는 체결홈이 형성된다.
- [24] 본 실시예의 또 다른 측면에 의하면, 급전 네트워크(Feeding network) 및 상기 급전 네트워크에 전기적으로 연결된 복수의 접촉 패드(contact pad)가 형성된 제1인쇄회로기판(Printed Circuit Board; PCB); 상기 제1인쇄회로기판의 상부 면에 설치되고, 상기 급전 네트워크와 연결된 복수의 안테나 소자; 및 상기 제1인쇄회로기판의 하부 면에 밀착체결된 복수의 대역통과필터를 포함하는 MIMO 안테나 어셈블리를 제공한다. 각 대역통과필터는 내부의 중공(cavity)으로부터 연장되어 상부 면으로부터 돌출된 도전성 제1플런저(plunger)를 가진 제1포트를 구비하고, 각 대역통과필터는 상기 제1플런저가 상기 제1인쇄회로기판에 형성된 상기 접촉 패드에 접촉된 채로 상기 제1인쇄회로기판에 밀착 체결된다. 상기 MIMO 안테나 어셈블리의 실시예들은 다음의 특징들을 하나 이상 더 포함할 수 있다.
- [25] 몇몇 실시예에서, 상기 제1포트는, 상기 상부 면에 형성된 개구부; 상기 개구부에 삽입되어 상기 개구부를 밀폐하는 절연 부시; 상기 절연 부시를 관통하여 상기 부시로부터 돌출된 원통의 바렐(barrel); 상기 원통의 바렐에 적어도 일부가 삽입된 상기 도전성 플런저; 및 상기 바렐 내에 배치되어 상기 도전성 플런저를 지지하는 스프링을 포함한다.
- [26] 몇몇 실시예에서, 상기 MIMO 안테나 어셈블리는 상기 복수의 대역통과필터와 연결되는 복수의 송수신 회로가 형성된 제2인쇄회로기판을 더 포함한다.
- [27] 몇몇 실시예에서, 상기 제2인쇄회로기판의 상부 면에는 상기 송수신회로와 전기적으로 연결된 접촉 패드(contact pad)가 형성된 복수의 구조물이 실장되어 있으며, 각 대역통과필터는 내부의 중공(cavity)에 전기적으로 연결되고 하부 면으로부터 돌출된 도전성 플런저(plunger)를 가진 제2포트를 구비하고, 각 대역통과필터는 상기 제2포트의 도전성 플런저가 상기 접촉 패드(contact pad)에 접촉된 채로 상기 제2인쇄회로기판에 결합된다.
- [28] 몇몇 실시예에서, 각 대역통과필터의 상기 제2포트는, 하부 면에 형성된

개구부; 상기 개구부에 삽입되어 상기 개구부를 밀폐하는 부시; 상기 부시를 관통하여 상기 부시로부터 돌출된 원통의 바렐(barrel); 상기 원통의 바렐에 적어도 일부가 삽입된 상기 도전성 플런저; 및 상기 원통의 바렐 내에 배치되어 상기 도전성 플런저를 지지하는 스프링을 포함한다.

- [29] 몇몇 실시예에서, 상기 제2인쇄회로기판의 상부 면에는 상기 송수신회로와 전기적으로 연결된 접촉 패드(contact pad)가 형성된 복수의 구조물이 실장되어 있으며, 각 대역통과필터는 내부의 중공(cavity)으로부터 연장되어 하부 면으로부터 돌출된 도전성 로드(rod)를 가진 제2포트를 구비하고, 각 대역통과필터는 상기 도전성 로드(rod)가 상기 접촉 패드(contact pad)에 접촉된 채로 상기 제2인쇄회로기판에 결합된다.
- [30] 몇몇 실시예에서, 각 대역통과필터의 상기 제2포트는, 상기 하부 면에 형성된 개구부; 상기 개구부에 삽입되어 상기 개구부를 밀폐하는 절연 부시; 및 상기 절연 부시를 관통하여 상기 부시로부터 돌출된 상기 도전성 로드(rod)를 포함한다.
- [31] 본 실시예의 또 다른 측면에 의하면, 각 대역통과필터는 내부의 중공(cavity)에 전기적으로 연결되고 상부 면으로부터 돌출된 도전성 로드(conductive rod)를 가진 제1포트를 구비하고, 각 대역통과필터는 상기 도전성 로드(rod)가 상기 제1인쇄회로기판에 형성된 상기 접촉 패드(contact pad)에 접촉된 채로 상기 제1인쇄회로기판에 밀착 체결된다. 몇몇 실시예에서, 상기 제1포트는, 상기 상부 면에 형성된 개구부; 상기 개구부에 삽입되어 상기 개구부를 밀폐하는 절연 부시; 상기 절연 부시를 관통하여 상기 부시로부터 돌출된 도전성 핀(pin); 및 상기 도전성 핀의 말단에 수직방향으로 고정된 상기 도전성 로드(rod)를 포함한다.
- [32] 본 실시예의 또 다른 측면에 따르면, TDD(Time Division Duplex) 통신 프로토콜로 동작하는 MIMO 안테나 시스템은 복수의 안테나 소자, 상기 복수의 안테나 소자에 연결된 복수의 대역통과필터, 및 상기 복수의 대역통과필터에 연결된 복수의 송수신회로를 포함한다. 각 송수신회로는 상기 대역통과필터에 연결되는 RF 인터페이스와 상기 RF 인터페이스에 시분할로 연결되는 송신경로 및 수신경로를 포함한다. 상기 MIMO 안테나 시스템은 복수의 스위치들이 트리 구조로 연결된 캘리브레이션 네트워크로서, 상기 트리 구조에서 최상위에 위치한 스위치는 상기 복수의 송신경로 중 특정 송신경로와 상기 복수의 수신경로 중 특정 수신경로에 선택적으로 연결되며, 상기 트리 구조에서 최하위에 위치하는 복수의 스위치들은 각각 상기 복수의 송수신회로의 RF 인터페이스에 커플링된 복수의 방향성 커플러에 연결된, 캘리브레이션 네트워크를 더 포함한다. 상기 MIMO 안테나 시스템에 따르면, 하향링크 시간 구간에서 상기 특정 송신경로는 상기 복수의 수신경로들에 대한 캘리브레이션을 위한 파일럿 신호의 인가를 위해 사용되고, 상향링크 시간 구간에서 상기 특정 수신경로는 상기 복수의 송신경로들에 대한 캘리브레이션을 위한 피드백 경로로 사용된다. 상기 MIMO 안테나 시스템의 실시예들은 다음의 특징들을 하나 이상 더 포함할 수 있다.

- [33] 몇몇 실시예에서, 상기 MIMO 안테나 시스템은, 상기 복수의 송수신회로와 연결되며, 상기 복수의 송신경로들에 대한 송신 캘리브레이션과 상기 복수의 수신경로들에 대한 수신 캘리브레이션을 수행하는 프로세싱 회로를 더 포함한다.
- [34] 몇몇 실시예에서, 상기 프로세싱 회로는, 각 송신경로 간의 편차 및 각 수신경로 간의 편차에, 사전에 측정된 상기 복수의 대역통과필터들과 안테나 피더라인(feeder line)들의 RF 편차를 오프셋 값으로 포함시켜, 상기 송신 캘리브레이션 및 상기 수신 캘리브레이션을 수행한다.
- [35] 몇몇 실시예에서, 상기 프로세싱 회로는, 상기 MIMO 안테나가 운영되는 동안 실시간으로 캘리브레이션을 수행한다.
- [36] 몇몇 실시예에서, 상기 복수의 송수신회로, 상기 캘리브레이션 네트워크 및 상기 프로세싱 회로는, 하나의 인쇄회로기판에 형성된다.
- [37] 몇몇 실시예에서, 상기 프로세싱 회로는, 상기 복수의 방향성 커플러, 상기 캘리브레이션 네트워크 및 상기 특정 수신경로로 구성되는 제1캘리브레이션 경로를 형성하고, 상기 제1캘리브레이션 경로를 통해, 각 송신경로를 경유한 송신신호를 획득하고, 각 송신경로에 인가된 송신신호와 상기 제1캘리브레이션 경로를 통해 획득한 송신신호 간의 비교에 기초하여 송신 캘리브레이션을 수행한다.
- [38] 몇몇 실시예에서, 상기 프로세싱 회로는, 각 수신경로의 교정을 위한 파일럿 신호를 생성하고, 상기 특정 송신경로, 상기 캘리브레이션 네트워크 및 상기 방향성 커플러로 구성되는 제2캘리브레이션 경로를 형성하고, 상기 제2캘리브레이션 경로를 통해 상기 생성된 파일럿 신호를 각 수신경로에 삽입하고, 상기 생성된 파일럿 신호와 각 수신경로의 출력신호로부터 추출한 파일럿 신호 간의 비교에 기초하여 수신 캘리브레이션을 수행한다.
- [39] 몇몇 실시예에서, 각 송수신회로는 상향 컨버터, D/A 컨버터 및 파워 증폭기(PA)를 포함하고, 상기 특정 송신경로는 상기 파워 증폭기와 상기 D/A 컨버터 사이에 위치한 스위치를 더 포함하고, 상기 스위치는, 상향링크 시간 구간에서, 상기 특정 송신경로로 인가되는 파일럿 신호를 상기 캘리브레이션 네트워크로 우회시키는 스위치를 더 포함한다.
- [40] 몇몇 실시예에서, 각 수신회로는 저잡음 증폭기(LNA), A/D 컨버터 및 하향 컨버터를 포함하고, 상기 특정 수신경로는 상기 저잡음 증폭기와 상기 A/D 컨버터 사이에 위치한 스위치를 더 포함하고, 상기 스위치는, 하향링크 시간 구간에서, 상기 캘리브레이션 네트워크로부터 되먹임되는 각 송신경로를 경유한 송신신호를 입력받는 스위치를 더 포함한다.
- [41] 몇몇 실시예에서, 상기 파일럿 신호는 수신 신호의 대역 내(in-band)의 주파수를 가진다.
- [42] 몇몇 실시예에서, 상기 파일럿 신호는 수신 신호의 대역 외(out-band)의 주파수를 가진다.

- [43] 몇몇 실시예에서, 각 송수신 회로는 상기 송신경로, 상기 수신경로 및 상기 RF 인터페이스에 연결된 서큘레이터(circulator)를 더 포함하고, 상기 RF 인터페이스로부터 상기 서큘레이터에 입력되는 수신신호는 상기 수신경로로 전달되고, 상기 송신경로로부터 상기 서큘레이터에 입력되는 송신신호는 상기 RF 인터페이스로 전달된다.
- [44] 몇몇 실시예에서, 상기 수신경로는 TDD 스위치를 통해 상기 서큘레이터에 연결되며, 상기 TDD 스위치는 상기 서큘레이터에 연결되는 제1입력단, 상기 수신 경로에 연결되는 제1출력단, 및 종단 저항이 연결된 제2출력단을 포함하며, 상기 TDD 스위치는, 하향링크 시간 구간에서, 상기 제1입력단을 상기 제2출력단에 연결된다.
- [45] 본 발명의 또 다른 측면에 따르면, 복수의 안테나, 상기 복수의 안테나에 연결된 복수의 대역통과필터, 상기 복수의 대역통과필터에 연결된 복수의 송수신회로로서, 상기 복수의 안테나를 통해 TDD(Time Division Duplex) 통신 프로토콜로 송신 및 수신하는 복수의 송수신회로, 및 복수의 스위치들이 트리 구조로 연결된 캘리브레이션 네트워크를 포함하는 MIMO 안테나 시스템을 캘리브레이션하는 방법을 제공한다. 상기 방법은 상기 복수의 송수신회로와 상기 대역통과필터 사이의 브랜치(branch)에 커플링된 방향성 커플러, 상기 캘리브레이션 네트워크 및 상기 복수의 송수신회로 중 특정 송수신회로에 포함된 수신경로로 구성되는 제1캘리브레이션 경로를 형성하는 과정을 포함한다. 상기 방법은 상기 제1캘리브레이션 경로를 통해 상기 복수의 대역통과필터로 전송되는 송신신호를 획득하는 과정; 및 각 송신경로에 인가된 송신신호와 상기 제1캘리브레이션 경로를 통해 획득한 송신신호 간의 비교에 기초하여 송신 캘리브레이션을 수행하는 과정을 더 포함한다. 상기 캘리브레이션 방법의 실시예들은 다음의 특징들을 하나 이상 더 포함할 수 있다.
- [46] 몇몇 실시예에서, 상기 제1캘리브레이션 경로를 형성하는 과정 및 상기 송신신호를 획득하는 과정은 하향링크 시간 구간에서 수행된다.
- [47] 몇몇 실시예에서, 상기 송신 캘리브레이션을 수행하는 과정은, 각 송수신회로에 포함된 각 송신경로 간의 편차에 사전에 측정된 상기 복수의 대역통과필터들의 RF 편차를 오프셋 값으로 포함시키는 과정을 더 포함한다.
- [48] 몇몇 실시예에서, 상기 캘리브레이션 방법은, 각 수신경로의 교정을 위한 파일럿 신호를 생성하는 과정; 상기 복수의 송수신회로와 상기 대역통과필터 사이의 브랜치(branch)에 커플링된 방향성 커플러, 상기 캘리브레이션 네트워크 및 상기 복수의 송수신회로 중 특정 송수신회로에 포함된 수신경로로 구성되는 제2캘리브레이션 경로를 형성하는 과정; 상기 제2캘리브레이션 경로를 통해 상기 파일럿 신호를 상기 복수의 송수신회로에 포함된 수신경로에 삽입하기 위해, 상기 특정 송수신회로에 포함된 수신경로에 상기 파일럿 신호를 삽입하는 과정; 및 상기 생성된 파일럿 신호와 각 수신경로의 출력신호로부터 추출한 파일럿 신호 간의 비교에 기초하여 수신 캘리브레이션을 수행하는 과정을 더

포함한다.

- [49] 몇몇 실시예에서, 상기 제2캘리브레이션 경로를 형성하는 과정 및 상기 파일럿 신호를 삽입하는 과정은 상향링크 시간 구간에서 수행된다.
- [50] 몇몇 실시예에서, 상기 수신 캘리브레이션을 수행하는 과정은, 사전에 측정된 상기 복수의 대역통과필터들과 안테나 피더라인(feeder line)들의 RF 편차를 각 송수신회로에 포함된 각 수신경로 간의 편차에 오프셋 값으로 포함시키는 과정을 더 포함한다.

### 도면의 간단한 설명

- [51] 도 1은 본 발명에 따른 안테나 어셈블리가 내장되는 안테나 장치의 예시적인 외형을 도시한 사시도이다.
- [52] 도 2는 예시적인 Massive MIMO 안테나의 적층구조를 도식화한 도면이다.
- [53] 도 3은 도 2의 적층구조에서 제1레이어 내지 제2레이어를 구현한 예시적인 서브 어셈블리의 분해도이다.
- [54] 도 4는 본 발명의 일 실시예에 따른 Massive MIMO 안테나 시스템의 적층구조를 도식화한 도면이다.
- [55] 도 5는 도 4의 적층구조를 취하는 본 발명의 일 실시예에 따른 Massive MIMO 안테나의 분해도이다.
- [56] 도 6은 본 발명의 일 실시예에 따른 안테나 소자가 결합된 제1PCB에 필터들이 결합한 서브 어셈블리의 분해도이다.
- [57] 도 7은 대역통과필터가 RF 커넥터를 통해 PCB에 연결되는 예시적인 구조를 도시한 도면이다.
- [58] 도 8은 본 발명의 일 실시예에 따른 캐비티 필터의 구조를 도시한 사시도이다.
- [59] 도 9는 본 발명의 일 실시예에 따른 캐비티 필터가 제1PCB 및 제2PCB에 연결된 구조를 설명하기 위한 단면도이다.
- [60] 도 10은 본 발명의 다른 실시예에 따른 캐비티 필터가 제1PCB 및 제2PCB에 연결된 구조를 설명하기 위한 단면도이다.
- [61] 도 11은 본 발명의 또 다른 실시예에 따른 캐비티 필터가 제1PCB 및 제2PCB에 연결된 구조를 설명하기 위한 단면도이다.
- [62] 도 12는 본 발명의 일 실시예에 따른 필터 어셈블리들을 도시한 도면이다.
- [63] 도 13은 본 발명의 일 실시예에 따른 필터 어셈블리들을 제1PCB에 조립한 상태를 도시한 도면이다.
- [64] 도 14는 본 발명에 따른 Massive MIMO 안테나 어셈블리의 기능을 도식화한 회로도이다.
- [65] 도 15a는 RF IC와 RF 소자들 사이에 SPDT 스위치가 존재하지 않는 송수신 모듈을 도시한 도면이고, 도 15b는 RF IC와 RF 소자들 사이에 SPDT 스위치가 존재하는 송수신 모듈을 도시한 도면이다.
- [66] 도 16은 TX 캘리브레이션에서 신호 흐름을 설명하기 위한 도면이다.

- [67] 도 17은 RX 캘리브레이션에서 신호 흐름을 설명하기 위한 도면이다.  
 [68] 도 18은 필터들과 안테나 피더 라인(feeder line)들의 고정된 위상편차를 설명하기 위한 도면이다.

### 발명의 실시를 위한 형태

- [69] 이하, 본 발명의 일부 실시예들을 예시적인 도면을 통해 상세하게 설명한다. 각 도면의 구성요소들에 참조부호를 부가함에 있어서, 동일한 구성요소들에 대해서는 비록 다른 도면상에 표시되더라도 가능한 한 동일한 부호를 가지도록 하고 있음에 유의해야 한다. 또한, 본 발명을 설명함에 있어, 관련된 공지 구성 또는 기능에 대한 구체적인 설명이 본 발명의 요지를 흐릴 수 있다고 판단되는 경우에는 그 상세한 설명은 생략한다.
- [70] 명세서 전체에서, 어떤 부분이 어떤 구성요소를 '포함', '구비'한다고 할 때, 이는 특별히 반대되는 기재가 없는 한 다른 구성요소를 제외하는 것이 아니라 다른 구성요소를 더 포함할 수 있는 것을 의미한다. 명세서에서 사용된 "캘리브레이션 네트워크(calibration network)"라는 용어는 각 송신경로의 출력단에 커플링된 양방향 커플러를 통해 획득된 각 송신경로별 송신신호를 캘리브레이션 프로세서로 피드백하는 경로, 캘리브레이션 프로세서로부터 각 수신 경로의 입력단으로 파일럿 신호가 전달되는 경로를 제공하는 RF 회로를 지칭한다.
- [71] 도 1은 본 발명에 따른 안테나 어셈블리가 내장되는 안테나 장치의 예시적인 외형을 도시한 사시도이다. 안테나 장치(10)는 크게 히트 싱크(heat sink)가 형성된 하우징(housing; 12)과, 하우징에 결합된 레이돔(radome; 11)을 포함한다. 하우징(12)과 레이돔(11) 사이에는 후술할 안테나 어셈블리(antenna assembly)가 내장된다. 하우징(11)의 하부에는, 예컨대 도킹(docking) 구조를 통해, 파워 서플라이 유닛(PSU, power supply unit; 13)이 결합되며, 파워 서플라이 유닛(13)은 안테나 어셈블리에 구비된 전자 부품들을 동작시키기 위한 동작 전원을 제공한다.
- [72] **1. 적층구조의 Massive MIMO 안테나 어셈블리**
- [73] 도 2는 예시적인 Massive MIMO 안테나의 적층구조를 도식화한 도면이다.
- [74] 도 2에 예시된 Massive MIMO 안테나(20)는 레이돔(radome)과, 외부에 히트 싱크(heat sink)가 형성된 하우징(housing)과, 이들 사이에 배열되는 안테나 어셈블리(antenna assembly)를 포함한다. 안테나 어셈블리는 RF 소자들과 디지털 소자들이 구현된 모듈들이 적층 구조로 결합된 형태로 구성된다. 예시된 안테나 어셈블리의 주요 모듈들은 크게 6개의 레이어(Layer)로 구분될 수 있다.
- [75] 제1레이어에는 캘리브레이션 네트워크가 구현된 인쇄회로기판(printed circuit board: PCB; 210)과 그 상단에 설치된 복수의 안테나 소자(210)가 포함된다. 제2레이어는 복수의 필터들(230)로 구성되며, 각 필터(230)는 제1레이어 상의 RF 급전 네트워크의 신호 라인들과 RF 커넥터와 같은 RF 인터페이스를 통해 전기적으로 연결된다.

- [76] 제3레이어는 파워 증폭기(power amplifier; PA) 등의 아날로그 프로세싱 회로가 구현된 PCB(240)을 포함한다. 아날로그 프로세싱 회로에 포함된 각 파워 증폭기는 제2레이어 상의 대응되는 필터들(230)과 RF 인터페이스를 통해 전기적으로 연결된다. 또한, 아날로그 프로세싱 회로는 캘리브레이션 네트워크와 RF 인터페이스를 통해 연결된다.
- [77] 제4레이어에는 디지털 프로세싱 회로가 구현된 디지털 보드(250)와 파워 서플라이 유닛(PSU; 250)이 포함된다. 디지털 보드(250)는 기지국 BBU(base band unit)로부터 수신되는 디지털 신호를 아날로그 RF 신호로 변환하고 안테나에서 수신되는 아날로그 RF 신호를 디지털 신호로 변환하여 기지국 BBU에 전송하는 기능을 수행한다. 디지털 보드(250)는, RF 인터페이스를 통해, 제3레이어 상의 아날로그 프로세싱 회로가 구현된 PCB(240)과 연결된다.
- [78] 도 3은 도 2의 적층구조에서 제1레이어 내지 제2레이어를 구현한 예시적인 서브 어셈블리의 분해도이다.
- [79] 도시된 바와 같이, 제1레이어에 해당하는 복수의 서브 레이어들과 제2레이어에 해당하는 필터 뱅크(filter bank)가 결합하여 안테나 어셈블리의 서브 어셈블리를 이룬다. 제1서브 레이어에는 RF 급전 네트워크(feeding network)가 구현된 PCB와 그 상단에 설치된 복수의 안테나 소자가 포함된다. 제2서브 레이어는 반사판(reflector)을 포함하며, 제3서브 레이어는 캘리브레이션 네트워크가 구현된 PCB를 포함한다. 제1레이어를 구성하는 제1서브 레이어 내지 제3서브 레이어는 다중 레이어 PCB(Multi-layer PCB)로 구현될 수 있다. 특히, 도 2에는 복수의 필터들을 내장된 필터 뱅크(filter bank)가 서브 레이어들과 체결되어 있다. 필터 뱅크는 복수의 필터들의 blind mating connection과 체결력 확보를 위한 구조물로서, 서브 어셈블리의 사이즈를 불가피하게 증가시킨다.
- [80] 도 2 및 도 3에 예시된 적층구조에서는, 캘리브레이션 네트워크가 안테나와 필터 사이에 위치한다. 캘리브레이션 네트워크는 통상 복수의 스위치로 구성되며, 각 필터의 후단에 커플링된 RF 커플러들과 연결된다. 따라서, 급전 네트워크와 필터들은 RF 커넥터(예컨대, 동축 커넥터(coaxial connector)와 같은 표준화된 RF 인터페이스)를 통해 연결할 수밖에 없다. 또한, 파워 증폭기가 형성된 아날로그 보드와 디지털 보드와 별개의 레이어로 구성되므로, 이들 간의 RF 인터페이스에도 RF 커넥터가 사용된다. 이와 같이, 도 2 및 도 3에 예시된 MIMO 안테나 시스템은 다수의 레이어로 구성되어 있고, 각 레이어들을 RF 커넥터를 통해 서로 연결하는 구조이므로, 무게와 크기를 줄이기 어렵다.
- [81] 본 발명은 보다 슬림하고 컴팩트한 적층구조의 Massive MIMO 안테나 시스템을 제안한다.
- [82] 도 4는 본 발명의 일 실시예에 따른 Massive MIMO 안테나 시스템의 적층구조를 도식화한 도면이다. 도 5는 도 4의 적층구조를 취하는 본 발명의 일 실시예에 따른 Massive MIMO 안테나의 분해도이다. 도 6은 본 발명의 일 실시예에 따른 안테나 소자가 결합된 제1PCB에 필터들이 결합한 서브

어셈블리의 분해도이다.

- [83] 본 발명은, 후술하는 바와 같이, 캘리브레이션 기능을, 안테나 소자(410) 전단이 아닌, 필터(430)의 전단(즉, 파워 증폭기의 출력단)에서 동작시킨다. 필터와 안테나 피더 라인으로 인해 발생하는 위상 편차는, 고정된 위상 편차를 갖는 필터들을 생산/사용함으로써, 허용가능한 수준에서 관리할 수 있다는 점에 유의한다. 캘리브레이션 기능을 파워 증폭기의 출력단에서 동작시킴으로써, 기존의 안테나 소자와 필터 사이에 위치하던 캘리브레이션 네트워크를 파워 증폭기 및 디지털 회로와 함께 하나의 보드에 형성할 수 있게 되며, 급전 네트워크(feeding network)가 형성된 PCB 하부에 필터를 밀착결합시킬 수 있게 된다. 다시 말해, 본 발명은 필터와 안테나 피더 라인으로 인해 발생하는 위상 편차를 허용가능한 수준에서 관리하되, 안테나 어셈블리를 컴팩트한 사이즈로 줄이는 전략을 취한다.
- [84] 도 4에 도시된 바와 같이, 본 발명의 일 실시예에 따른 적층 구조에서는, 캘리브레이션 네트워크가 파워 증폭기 및 디지털 회로와 함께 하나의 보드(440)에 형성된다. 따라서, 파워 증폭기, 캘리브레이션 네트워크, 및 디지털 회로 간에 RF 케이블 연결이 필요 없게 된다. 또한, 도 2에 비해, 도 4의 적층구조는 적은 수의 레이어로 구성된다.
- [85] 본 실시예에 따른 MIMO 안테나 어셈블리는 제1PCB(420)와 제2PCB(440)를 포함한다. 제1PCB(420)에는 RF 급전 네트워크가 형성되어 있다. 제1PCB(420)의 상부 면에는 복수의 안테나 소자(410)가 체결되어 RF 급전 네트워크에 전기적으로 연결되고, 하부 면에는 복수의 대역통과필터(430)가 밀착 체결되어 RF 급전 네트워크와 전기적으로 연결된다. 제1PCB(420)에는 적어도 하나의 접지면(ground plane)이 형성되어 있으며, 접지면은 복수의 안테나 소자들에 대해 반사판으로서 기능할 수 있다. 즉, 제1PCB(420)에 형성된 접지면을 반사판으로 활용함으로써, 도 3에 도시된 별도의 반사판이 생략될 수 있다. 제2PCB(440)에는 기저대역 처리를 수행하는 디지털 프로세싱 회로, 복수의 송신/수신(TX/RX) 회로를 제공하는 아날로그 프로세싱 회로, 및 캘리브레이션 네트워크가 형성되어 있다. 대역통과필터(430)는 제1PCB(410)의 신호라인과 전기적으로 연결되며, 제2PCB(440)의 신호라인과 전기적으로 연결된다.
- [86] 이하에서는 대역통과필터와 PCB들 간의 체결 구조에 대해 설명하기로 한다. 본 발명은 사이즈 및 조립성을 개선한 필터와 PCB 간의 새로운 체결 구조를 제안한다. 또한, 복수의 필터의 전기적 특성을 확보하기 위해 필요한 체결력을 균일하게 제공하여, 복수의 필터 조립 시에 발생하는 조립 공차의 누적량을 최소화할 수 있는 체결 구조를 제안한다.
- [87] 먼저, 도 7을 참조하여, 종래의 체결 구조를 설명하기로 한다. 도 7은 대역통과필터가 RF 커넥터를 통해 PCB에 연결되는 예시적인 구조를 도시한 도면이다. 대역통과필터를 PCB에 체결하는 경우, 통상적으로 블라인드 결합 커넥터(blind mating connector) 타입의 RF 커넥터가 사용된다. 도 7에는 상부 면과

하부 면에 각각 RF 커넥터(711, 712)를 구비한 캐비티 필터(cavity filter)가 예시되어 있다. PCB 상에는 캐비티 필터의 하부에 위치한 RF 커넥터(male)에 삽입되는 RF 커넥터(female)가 표면 실장되어 있다. 각 캐비티 필터는 체결 구조물(713)를 통해 개별적으로 PCB에 체결된다.

[88] 도 7에 예시된 구조에서는 각 캐비티 필터가 개별적으로 PCB에 체결되므로, 각 캐비티 필터 간의 체결력 차이로 인해 RF 특성에 조립 공차가 발생하게 된다. 또한, 각 캐비티 필터가 RF 커넥터들의 결합체의 길이를 고려한 체결 구조물(713)의 길이("A")만큼 PCB으로부터 이격될 수밖에 없어, 불가피하게 사이즈가 증가하게 된다. 특히, 필터의 상/하부 면 모두에 blind mating connection을 적용하기 위해서는 매우 복잡한 하드웨어 구조(예컨대, 도 3에 예시된 필터 बैं크와 같이, 별도의 조립 케이스에 필터가 내장된 구조)가 필요하다.

[89] 필터의 PCB 간의 RF 인터페이스

[90] 도 8은 본 발명의 일 실시예에 따른 캐비티 필터의 구조를 도시한 사시도이다. 도 9는 본 발명의 일 실시예에 따른 캐비티 필터가 제1PCB 및 제2PCB에 연결된 구조를 설명하기 위한 단면도이다. 도 9에서는, 혼동을 피하기 위해, 캐비티 필터의 내부 구조를 생략하였음에 유의한다.

[91] 도 8에 도시된 바와 같이, 캐비티 필터는 제1입출력 포트(810) 및 제2입출력 포트(860)를 포함한다. 제1입출력 포트(810)는 캐비티 필터의 상부 면(예컨대, 커버)에 배치되며, 제2입출력 포트(860)는 캐비티 필터의 하부 면에 배치된다. 이들 입출력 포트들(810, 860)은 핀 구조물로 구성되어 있으며, 동축 커넥터와 같은 표준화된 RF 인터페이스와는 상이함에 유의하여야 한다.

[92] 도 8을 참조하면, 제1입출력 포트(810)는 캐비티 필터의 상부 면에 형성된 개구부(opening section)에 삽입되는 핀 구조물로 구성된다. 핀 구조물은 전도성 핀(811) 및 절연 부시(insulating bush; 812)를 포함한다. 전도성 핀(811)은 절연 부시(812)를 관통하여 절연 부시(812)로부터 돌출되어 있다. 핀 구조물은 개구부에 삽입되어 개구부를 밀폐한다. 전도성 핀(811)의 일부분은 캐비티 필터의 상부 면으로부터 돌출된다. 또한, 캐비티 필터의 상부 면에는 제1PCB와 볼트에 의해 체결되는 복수의 체결홈(820a~820c)이 형성되어 있다.

[93] 도 9에 도시된 바와 같이, 캐비티 필터는 급전 네트워크(feeding network)가 형성된 제1PCB(420)의 하부 면에 밀착하여 결합한다. 제1PCB(420)에는 급전 네트워크와 연결된 복수의 도금 쓰루 홀(plated through hole; 920)이 형성되어 있다. 캐비티 필터는 전도성 핀(811)의 일부분이 제1PCB(420)에 형성된 쓰루 홀(920)에 삽입된 상태로 제1PCB(420)의 하부 면과 밀착하여 체결된다. 전도성 핀(811)과 쓰루 홀(920)의 접촉 부분에는 솔더링(soldering) 처리가 수행될 수 있다.

[94] 한편, 제2PCB(440)에는 다수의 RF IC 혹은 디지털 IC 등이 실장되므로, 이들 실장된 소자들의 손상을 막기 위해, 캐비티 필터가 일정 정도 이격된 채로

제2PCB(440)의 상부 면과 결합될 필요가 있다. 다시 도 8을 참조하면, 필터의 하부 면에는 높이 방향으로 돌출된 돌출부(850)에 개구부가 형성되어 있다. 전도성 핀(861)과 부시(862)가 결합된 핀 구조물(860)은 돌출부(850)에 형성된 개구부에 삽입되어 개구부를 밀폐한다. 또한, 개구부가 형성된 돌출부(850)에는 후술하는 제2PCB에 실장된 소켓(socket)을 수용하는 삽입부(851)가 형성되어 있다. 또한, 필터의 하부 면에는 제2PCB(440)에 형성된 구조물과 볼트에 의해 체결되는 체결홈(840)이 형성되어 있다.

- [95] 도 9를 참조하면, 캐비티 필터는 RF 회로가 형성된 제2PCB(440)의 상부 면에 결합한다. 제2PCB(440)의 상부 면에는 소켓(socket; 950)이 표면 실장되어(surface mounted) 있다. 소켓(950)은 캐비티 필터의 제2동축 핀(861)이 삽입되는 홀(hole)과 홀에 삽입된 전도성 핀(861)에 전기적으로 접촉하는 적어도 하나의 접촉 핀(951)을 구비한다. 캐비티 필터의 삽입부(851)에 소켓(950)이 수용되면, 소켓(950)의 홀에 전도성 핀(861)이 삽입된다. 캐비티 필터와 제2PCB(440)의 상부 면은 캐비티 필터의 하부 면에 형성된 돌출부(850)의 높이만큼 이격된다. 돌출부(850)의 높이는 제2PCB(440)의 상부 면에 실장되는 소자들의 크기를 고려하여 설계되며, 도 7의 RF 커넥터를 이용한 연결구조에 비해, 캐비티 필터와 제2PCB(440) 간에 이격 거리가 현저하게 감소한다.
- [96] 도 10은 본 발명의 다른 실시예에 따른 캐비티 필터가 제1PCB 및 제2PCB에 연결된 구조를 설명하기 위한 단면도이다. 도 10에서는, 혼동을 피하기 위해, 캐비티 필터의 내부 구조를 생략하였음에 유의한다.
- [97] 도 10을 참조하면, 제1입출력 포트는 캐비티 필터의 상부 면에 형성된 개구부(opening section)에 삽입되는 핀 구조물로 구성된다. 핀 구조물은 스프링 핀 커넥터(spring pin connector)와 절연 부시(1014)를 포함한다. 스프링 핀 커넥터는 절연 부시(1014)를 관통하여 절연 부시(1014)로부터 돌출된 원통의 도전성의 바렐(barrel; 1012), 바렐(1012)에 적어도 일부가 삽입된 도전성의 플런저(plunger; 1011), 및 바렐(1012) 내에 배치되어 플런저(1011)를 지지하는 스프링(1013)을 포함한다. 핀 구조물은 개구부에 삽입되어 개구부를 밀폐한다. 플런저(1011)의 일부는 캐비티 필터의 상부 면으로부터 돌출되어 있으며, (예컨대, 제1PCB(420)에 밀착됨에 따라) 누르는 압력에 의해 원통의 바렐(1012) 내부로 밀려 들어가도록 구성된다.
- [98] 캐비티 필터는 급전 네트워크(feeding network)가 형성된 제1PCB(420)의 하부 면에 밀착하여 결합한다. 제1PCB(420)에는 급전 네트워크와 연결된 복수의 접촉 패드(contact pad; 미도시)가 형성되어 있다. 캐비티 필터는 플런저(1011)의 헤드가 제1PCB(420)에 형성된 상기 접촉 패드에 접촉된 채로 제1PCB(420)의 하부 면과 밀착하여 체결된다. 플런저(1011)의 일부는 캐비티 필터의 상부면이 제1PCB(420)에 밀착됨에 따라 원통의 바렐(1012) 내부로 밀려 들어간다. 바렐(1012) 내부의 스프링(1013)은 플런저(1011)의 헤드와 접촉 패드 간에 적절한 접촉 압력을 제공한다.

- [99] 제1입출력 포트와 동일하게, 제2입출력 포트는 캐비티 필터의 상부 면에 형성된 개구부(opening section)에 삽입되는 핀 구조물로 구성된다. 핀 구조물은 스프링 핀 커넥터(spring pin connector)와 절연 부시(1054)를 포함한다. 스프링 핀 커넥터는 절연 부시(1054)를 관통하여 절연 부시(1054)로부터 돌출된 원통의 바렐(barrel; 1052), 바렐(1052)에 적어도 일부가 삽입된 플런저(plunger; 1051), 및 바렐(1052) 내에 배치되어 플런저(1051)를 지지하는 스프링(1053)을 포함한다.
- [100] 제2PCB(440)의 상부 면에는 소켓(socket; 1060)이 표면 실장되어(surface mounted) 있다. 소켓(1060)의 상부면에는 송수신회로와 전기적으로 연결된 접촉 패드(contact pad; 1061)가 형성되어 있다. 캐비티 필터는 제2입출력 포트의 플런저(1051)의 헤드가 제2PCB(440)에 형성된 접촉 패드(1061)에 접촉된 채로 제2PCB(440)과 결합된다. 도 10의 예시에서, 캐비티 필터와 제2PCB(440)의 상부 면은 제2PCB(440)에 실장된 소켓(1060)의 높이만큼 이격된다. 다른 일부 예시들에서, 도 8 및 도 9의 실시예와 유사하게, 필터의 하부 면에 높이 방향으로 돌출된 돌출부가 형성되고, 돌출부에 형성된 개구부에 스프링 핀 커넥터가 위치할 수 있다. 제2PCB(440)에 실장된 소켓의 적어도 일부분이 돌출부에 형성된 개구부에 삽입될 수 있다.
- [101] 도 11은 본 발명의 또 다른 실시예에 따른 캐비티 필터가 제1PCB 및 제2PCB에 연결된 구조를 설명하기 위한 단면도이다. 도 11에서도, 혼동을 피하기 위해, 캐비티 필터의 내부 구조를 생략하였음에 유의한다.
- [102] 도 11을 참조하면, 제1입출력 포트는 캐비티 필터의 상부 면에 형성된 개구부(opening section)에 삽입되는 핀 구조물로 구성된다. 핀 구조물은 절연 부시(1113)와, 절연 부시(1113)를 관통하여 절연 부시(1113)로부터 돌출된 도전성 핀(conductive pin; 1111)과, 도전성 핀(1111)의 말단에 수직방향으로 고정된 도전성의 로드(conductive rod; 1112)를 포함한다. 도전성의 로드(1112)는 굴곡되어 말단이 필터의 상부 면으로부터 돌출되어 있다. 캐비티 필터는 급전 네트워크(feeding network)가 형성된 제1PCB(420)의 하부 면에 밀착하여 결합한다. 도 10의 실시예와 유사하게, 제1PCB(420)에는 급전 네트워크와 연결된 복수의 접촉 패드(contact pad; 미도시)가 형성되어 있다. 캐비티 필터는 도전성의 로드(1052)의 말단이 제1PCB(420)에 형성된 상기 접촉 패드에 접촉된 채로 제1PCB(420)의 하부 면과 밀착하여 체결된다. 도전성의 로드(1112)는 캐비티 필터의 상부면이 제1PCB(420)에 밀착됨에 따라 필터의 하부 측으로 휘어진다. 도전성의 로드(1112)는 접촉 패드와 적절한 접촉 압력을 제공할 수 있도록 탄성력을 가지는 것이 바람직하다.
- [103] 제1입출력 포트와 동일하게, 제2입출력 포트는 캐비티 필터의 상부 면에 형성된 개구부(opening section)에 삽입되는 핀 구조물로 구성된다. 핀 구조물은 개구부에 삽입된 절연 부시(1153)와, 절연 부시(1153)를 관통하여 절연 부시(1153)로부터 돌출된 도전성 핀(conductive pin; 1151)과, 도전성 핀(1151)의 말단에 수직방향으로 고정된 도전성 로드(conductive rod; 1152)를 포함한다.

도전성 로드(1152)는 중간에 굴곡되어 말단이 필터의 하부 면으로부터 돌출되어 있다.

[104] 도 10의 실시예와 유사하게, 제2PCB(440)의 상부 면에는 소켓(socket; 1160)이 표면 실장되어(surface mounted) 있다. 소켓(1160)의 상부면에는 송수신 회로와 전기적으로 연결된 접촉 패드(contact pad; 1161)가 형성되어 있다. 캐비티 필터는 제2입출력 포트의 도전성 로드(1152)의 말단이 제2PCB(440)에 형성된 접촉 패드(1161)에 접촉된 채로 제2PCB(440)과 결합된다. 도 10의 예시에서, 캐비티 필터와 제2PCB(440)의 상부 면은 제2PCB(440)에 실장된 소켓(1160)의 높이만큼 이격된다. 다른 일부 예시들에서, 도 8 및 도 9의 실시예와 유사하게, 필터의 하부 면에 높이 방향으로 돌출된 돌출부가 형성되고, 돌출부에 형성된 개구부에 핀 구조물이 위치할 수 있다. 제2PCB(440)에 실장된 소켓의 적어도 일부가 돌출부에 형성된 개구부에 삽입될 수 있다.

[105] 도 9 내지 도 11에 예시된 캐비티 필터의 제1 입출력 포트 및 제2 입출력포트의 구조들은 필요에 따라 조합되어 사용될 수 있음에 유의하여야 한다. 예컨대, 캐비티 필터는 도 9에 예시된 제1 입출력 포트의 구조를 가지는 동시에, 도 10 혹은 도 11에 예시된 제2 입출력 포트의 구조를 가질 수 있다.

[106] 푸시바(push bar)를 이용한 필터 결합

[107] 캐비티 필터들은 개별적으로 제1PCB(420)의 하부 면 및 제2PCB(440)의 상부 면에 조립될 수 있으나, 각 캐비티 필터 간의 체결력 차이로 인해 RF 특성에 큰 편차가 발생할 수 있다. 본 발명은 다수 개의 필터의 조립 시에 발생하는 조립 공차의 누적량을 최소화할 수 있는 조립 방식과 필터의 전기적 특성을 확보하기 위해 필요한 체결력을 균일하게 전달할 수 있는 구조를 제안한다.

[108] 도 12는 본 발명의 일 실시예에 따른 필터 어셈블리들과, 푸시 바에 필터가 결합되는 부위를 확대한 확대도를 도시한 도면이다. 도 13은 본 발명의 일 실시예에 따른 필터 어셈블리들을 제1PCB에 조립한 상태를 도시한 도면이다.

[109] 도 12에 도시된 것처럼, 필터 어셈블리는 푸시 바(push bar; 1210)와 푸시 바(1210)에 일렬로 조립된 일단의 필터들을 포함한다. 필터에는 푸시 바(1210)를 수용하는 단차부(1250)가 형성된다. 단차부(1250)는 필터의 일측이 직각을 이루며 절단된 형상을 갖는다. 단차부(1250)에는 삽입돌기들(1251a, 1251b)과 볼트가 삽입되는 체결홀(1253)이 형성되어 있다. 이에 대응하여, 푸시 바(1210)에는 각 필터의 삽입돌기들(1251a, 1251b)이 삽입되는 삽입 홈들(미도시)이 형성되어 있으며, 삽입 홈들(미도시) 사이에는 각 캐비티 필터와 볼트에 의해 체결되는 복수의 체결홈(미도시)이 형성되어 있다.

[110] 또한, 푸시 바(1210)에는 제1PCB에 형성된 삽입홈들(미도시)에 삽입되는 2 개 이상의 삽입돌기(1211a, 1211b)가 형성되어 있다. 푸시 바(1210)의 삽입돌기들(1211a, 1211b)이 제1PCB의 삽입홈들(미도시)에 삽입되면, 도 10에 예시된 것처럼, 푸시 바(1210)에 조립된 일단의 필터들의 도전성 핀들이 제1PCB에 형성된 쓰루 홀들에 삽입된다. 도 13에는 4개의 필터 어셈블리가

제1PCB에 조립된 예시적인 형상을 도시되어 있다.

- [111] 푸시 바(1210)의 양 끝단에는 제2PCB의 구조물과 볼트에 의해 체결되는 복수의 체결홀(1212a, 1212b)이 형성되어 있다. 푸시 바(1210)에 조립된 일단의 필터들의 돌출부에 형성된 삽입구에 제2PCB에 실장된 소켓이 수용되고, 소켓의 홀에 제2동축 핀이 삽입된 상태에서, 푸시 바(1210)는 제2PCB의 구조물과 볼트 결합되며, 푸시 바(1210)에 조립된 일단의 필터들에게 균일한 체결력을 제공할 수 있다. 푸시 바(1210)가 휘어진다면 각 필터에 균일한 하중 혹은 체결력을 전달하기 어렵기 때문에, 푸시 바(1210)는 일정 수준 이상의 강성을 가져야 한다.
- [112] 이렇게 푸시 바(1210)를 이용하여 필터를 PCB에 체결하는 방식은, 각 필터들을 PCB에 결합할 때의 공차 누적량을 최소화하고 공차량을 일관성 있게 조절되며, 안테나 및 RF 송수신회로와의 안정적인 Blind mating을 가능케 한다. 또한, 필터 체결 시 RF 특성 획득에 필요한 체결력을 얻기 위해, 필터에 개별적으로 소요되는 장치 및 조립 구조가 요구되지 않는다. 또한, 안테나 어셈블리의 조립 공정에 미리 조립된 "필터 어셈블리"를 사용한다면, 조립 공정의 단순화에도 안테나 어셈블리를 기여할 수 있다.
- [113] 나아가, 본 발명이 제안하는 필터와 PCB들 간의 특유의 전기적인 연결을 위한 구조는 동축 커넥터나 RF 케이블링이 필요하지 않으며, 본 발명이 제안하는 PCB들과 필터 어셈블리 간의 특유의 체결 구조는 각 필터를 개별적으로 PCB들에 체결하는 대신에 푸시 바를 이용하여 필터들을 일괄적으로 PCB에 체결하는 바, 안테나 어셈블리나 필터 어셈블리를 손쉽게 분해할 수 있으며, 따라서 안테나 어셈블리를 설치하거나 운용하는 도중에 필요한 성능 테스트나 이상이 있는 안테나의 교체를 손쉽게 할 수 있다.
- [114] **2. 빔포밍 캘리브레이션(beamforming calibration)**
- [115] 안테나에서 빔포밍(beamforming)을 제공하기 위해서는 Radio module에서의 각각의 TX 경로와 각각의 RX 경로에서의 진폭과 위상이 일정하게 유지되어야 하나, 실제의 Radio module에는 각각의 TX/RX 경로는 편차를 가지게 된다. 이러한 편차를 보상하는 작업을 Radio module에서의 빔포밍 캘리브레이션(beamforming calibration)이라 부른다.
- [116] 본 발명은 TDD(Time Division Duplex) 방식으로 동작하는 MIMO 안테나 시스템의 특성을 이용하여, 송신경로 캘리브레이션(TX calibration)과 수신경로 캘리브레이션(RX calibration)에서 동일한 RF 경로를 시간적으로 분할 공유하는 방식을 제안한다.
- [117] TX 캘리브레이션에서는, 자기 송신신호를 이용하여 송신경로의 후단에서 캡처한 피드백 신호와 송신한 신호와의 상관(correlation) 연산을 기초로, 각 송신경로 간의 RF 특성(위상/진폭/지연 등) 편차를 측정하고, 측정된 편차를 보상하는 TX 캘리브레이션을 수행한다. 또한, 수신경로에 대해서는, 파일럿(Pilot) 신호를 각 수신경로에 삽입시켜, 수신경로의 후단에서 출력되는 신호와 파일럿 신호와의 상관 연산을 기초로 각 수신경로 간의 RF

특성(위상/진폭/지연 등) 편차를 측정하고, 측정된 편차를 보상하는 RX 캘리브레이션을 수행한다. 이러한 캘리브레이션 알고리즘 자체는 본원 출원인이 출원한 한국특허출원 제10-2015-0063177호(공개번호 제10-2016-0132166호)에 개시된 방식과 실질적으로 동일하다. 위 한국특허출원의 개시사항이 본 명세서에 참조로서 모두 인용된다.

- [118] 이하에서는, 도 14, 도 15a 및 도 15b를 참조하여, Massive MIMO 안테나 어셈블리의 예시적인 회로 구성 및 신호 연결을 설명하기로 한다.
- [119] 도 14는 본 발명에 따른 Massive MIMO 안테나 어셈블리의 기능을 도식화한 회로도이다. 도 14에 도시된 바와 같이, 제2PCB에는 기저대역 처리를 수행하는 디지털 프로세싱 회로, 복수의 송수신 모듈로 구분되는 아날로그 프로세싱 회로, 및 캘리브레이션 네트워크가 형성되어 있다. 각 송수신 모듈은 안테나 소자에 연결된 대역통과필터에 RF 인터페이스를 통해 연결된다. 전술한 바와 같이, 본 발명의 일 실시예에 따른 TX/RX 캘리브레이션은 필터 전단에 대해 수행한다. 이러한 방식은, 안테나 전단(즉, 필터 후단)에서 수행되는 구성에 비해, RF 송수신회로 등이 형성된 제2PCB 상의 여유공간을 활용하여 캘리브레이션 H/W(예컨대, 캘리브레이션 네트워크)를 구현할 수 있게 되고, 제2PCB에서의 복잡도와 연결(connection)을 줄여, 공간적인 이득과 재료비의 절감을 가져오게 된다.
- [120] 도 15a는 RF IC와 RF 소자들 사이에 SPDT 스위치가 존재하지 않는 송수신 모듈을 도시한 도면이고, 도 15b는 RF IC와 RF 소자들 사이에 SPDT 스위치가 존재하는 송수신 모듈을 도시한 도면이다.
- [121] 도 15a를 참조하면, 각 송수신 모듈은 대응되는 안테나 소자에 대한 송신경로 및 수신 경로를 제공하는 복수의 RF 소자들과 RF IC를 포함한다.
- [122] RF IC는 디지털 프로세싱 회로로부터 수신되는 기저대역(base band)의 디지털 송신신호를 송신 주파수로 상향 변환하는 상향 컨버터(up converter)와, 상향 변환된 디지털 송신신호를 아날로그 RF 송신신호로 변환하는 D/A 컨버터를 포함할 수 있다. 상향 컨버터와 D/A 컨버터는 송신경로의 일부를 형성한다. 또한, RF IC는 아날로그 RF 수신신호를 디지털 수신신호로 변환하는 A/D 컨버터와, 디지털 수신신호를 기저대역의 디지털 수신신호로 변환하는 하향 컨버터(down converter)를 포함할 수 있다. A/D 컨버터와 하향 컨버터는 수신경로의 일부를 형성한다. RF 다운 컨버터는 수신되는 수신 신호를 기저대역으로 하향 변환하며, A/D 컨버터는 기저대역 신호를 디지털 신호로 변환한다. 기저대역의 디지털 신호는 디지털 프로세싱 회로로 전송된다.
- [123] 각 송신경로는 파워 증폭기(Power Amplifier; PA), 서큘레이터(circulator) 및 방향성 커플러(directional coupler)를 더 포함한다. 각 수신 경로는 저잡음 증폭기(Low Noise Amplifier: LNA)를 더 포함한다. 송신경로와 수신경로의 접속부분에 서큘레이터(circulator)가 설치된다. 필터측으로부터 서큘레이터로 입력되는 수신신호(즉, 업링크 RF 신호)는 서큘레이터를 거쳐 LNA로 전송된다.

또한, 파워 증폭기로부터 서큘레이터로 입력되는 송신신호(다운링크 RF 신호)는 필터 측으로 전송된다. 서큘레이터의 LNA 사이에는 TDD 스위치로 기능하는 SPDT 스위치가 포함된다. SPDT 스위치의 한 쪽 단자는 VSWR(Voltage Standing Wave Ratio) 특성 변화를 최소화하기 위해 종단 저항이 연결되어 있다.

송수신모듈이 송신모드로 동작할 때(즉, 하향링크 시간 구간에서) SPDT 스위치는 서큘레이터를 종단 저항에 연결한다. 송수신모듈이 수신모드로 동작할 때(즉, 상향링크 시간 구간에서), SPDT 스위치는 서큘레이터를 LNA에 연결한다.

- [124] 도 15b에 도시된 바와 같이, 복수의 송수신 모듈 중에서, 특정 송수신 모듈의 송신경로(TX0)에는, 나머지 송수신 모듈의 송신경로와 달리, 파워 증폭기 전단에 SPDT 스위치(1510)가 더 포함되어 있다. 유사하게, 특정 송수신 모듈의 수신경로(RX1)에는, 나머지 송수신 모듈의 수신경로와 달리, 저잡음 증폭기(LNA) 후단에 SPDT 스위치(1560)가 더 포함되어 있다.
- [125] 캘리브레이션 네트워크(이를 '매트릭스 스위치'라 지칭할 수 있다)는 트리 구조를 취하는 복수의 스위치들로 구성된다. 최상위 스위치(SPDT)는 복수의 송신경로 중에서 특정 송신경로에 포함된 SPDT 스위치(1510)와 연결되며, 또한 복수의 수신경로 중에서 특정 수신경로에 포함된 SPDT 스위치(1560)와 연결된다. 최하위 스위치들(SP4T)은 복수의 송신 경로 상의 파워 증폭기 후단에 위치한 방향성 RF 커플러와 연결된 SPDT 스위치에 연결된다. 캘리브레이션 네트워크에 포함된 스위치들의 선택적인 스위칭에 의해, 각 송신경로 및 각 수신경로를 선택된다.
- [126] 이하에서는 본 발명이 제안하는 TDD 방식에서의 TX/RX 캘리브레이션 적용시 신호 흐름을 상세히 설명한다.
- [127] **TX 캘리브레이션**
- [128] 도 16는 TX 캘리브레이션에서 신호 흐름을 설명하기 위한 도면이다.
- [129] 도 16에는 송신경로 TX0과 TX1에 대한 TX 캘리브레이션을 수행하는 경우에, 신호흐름이 굵은 선으로 표시되어 있다. 도 16에서, "CAL #0, CAL #1, CAL #2 ..."은 각 송신경로의 파워 증폭기 후단에 커플링된 방향성 커플러에 의해 캡처된 송신신호를 지칭한다. 또한, "TX CAL" 역시 상기 캡처된 송신신호를 지칭하는 것이나, 송수신회로와 캘리브레이션 네트워크 간의 신호흐름 및 연결관계를 설명하기 위해, 편의상, 캘리브레이션 네트워크의 최상위 스위치에서 출력되는 "캡처된 송신신호"를 "TX CAL"로 표기하였다.
- [130] RFIC로부터 각 송신경로로 전달된 아날로그 RF 신호(즉, 송신신호)는 파워 증폭기 후단의 방향성 커플러(directional coupler)에 의해 캡처된다. 예컨대, 송신경로 TX0로 전달된 아날로그 RF 신호는 방향성 커플러에 의해 캡처되고, 캡처된 신호(CAL#0)는 캘리브레이션 네트워크의 최하위 스위치로 입력된다. 이때, 수신경로 RX1의 LNA는 OFF 상태이다. 마찬가지로, 송신경로 TX1로 전달된 다운링크 RF신호는 파워 증폭기 후단의 방향성 커플러에 의해 캡처되고,

캡처된 신호(CAL#1)는 캘리브레이션 네트워크의 최하위 스위치로 입력된다. 캡처된 신호(CAL#1)는 캘리브레이션 네트워크의 최상위 스위치를 통해, 특정 수신경로(RX1) 상에 위치한 SPDT 스위치(1560)를 통해 RF IC에 전달된다.

[131] 캡처된 신호는 RF IC에 구비된, 상기 특정 수신경로(RX1)를 위한 A/D 컨버터 및 하향 컨버터를 거친 후, 대응되는 원래의 송신신호와 상관(correlation) 연산이 적용되어 캘리브레이션에 사용된다. 구체적인 TX 캘리브레이션 알고리즘은 한국특허출원 제10-2015-0063177호(공개번호 제10-2016-0132166호)에 개시된 방식과 실질적으로 동일하다.

[132] **RX 캘리브레이션**

[133] TDD 방식의 경우, 송신경로가 ON일 때(즉, 하향링크 시간 구간에서) 수신경로가 OFF 상태를 유지해야 하므로, 수신경로가 ON 상태에서(즉, 상향링크 시간 구간에서) RX 캘리브레이션을 수행해야 한다.

[134] 캘리브레이션을 수행하는 RU(Radio Unit)는 수신신호에 대한 정보가 없기 때문에, 수신 경로들의 지연, 위상, 이득 등의 RF 특성을 파악하기 위한 파일럿(Pilot) 신호를 삽입하는 방식을 사용한다. 파일럿 신호는 RX 대역 내(in-band) 또는 대역 외(out-of-band)에 삽입될 수 있다. 다만 각 수신 경로의 주신호(main signal)가 수신되는 도중에도 실시간으로 정확히 진폭과 위상을 검출하기 위해서는 파일럿 신호를 대역 내에 삽입하는 것이 더 적절하다. 여기서, '대역 내(in-band)'에 삽입된다는 의미는 업링크 RF 신호를 수신하기 위해 허용된 주파수 대역에서, 업링크 RF 신호를 송수신하기 위해 실제로 사용하는 대역 이외 부분에 삽입된다는 의미이다.

[135] 삽입된 파일럿 신호는 디지털 영역에서 디지털 필터에 의해 제거되므로 수신모뎀 성능에는 영향을 주지 않는다. 또한, 본 발명에 따른 Massive MIMO 안테나 시스템의 경우, RX 필터 출력단에 파일럿 신호를 삽입하는데, RX 필터가 파일럿 신호를 제거해 준다면 안테나 소자에 의해 파일럿 신호의 방사가 일어나지 않게 된다. 따라서, On-service 캘리브레이션, 즉 안테나 시스템이 운영되는 동안 실시간으로 캘리브레이션을 수행할 수 있다.

[136] 도 17은 RX 캘리브레이션에서 신호 흐름을 설명하기 위한 도면이다.

[137] 도 17에는 수신경로 RX0과 RX1에 대한 RF 캘리브레이션을 수행하는 경우에, 신호흐름이 굵은 선으로 표시되어 있다. 도 17에서, RX CAL, CAL #0, CAL #1, CAL #2 ... 은 모두 RX 캘리브레이션에 사용되는 파일럿 신호를 지칭하는 것이다. 다만, 송수신회로와 캘리브레이션 네트워크 간의 신호흐름 및 연결관계를 설명하기 위해, 편의상, RFIC로부터 송수신회로로 전달되는 파일럿 신호를 "RX CAL"로 표기하고, 캘리브레이션 네트워크의 최하위 스위치에서 출력되는 파일럿 신호를 "CAL #0, CAL #1, CAL #2 ..."로 표기하였다.

[138] 도 17을 참조하면, 각 수신경로의 교정에 사용되는 파일럿 신호("RX CAL")는 RFIC로부터 특정 송신경로(TX0)에 입력된다. 특정 송신경로(TX0)에 입력된 파일럿 신호("RX CAL")는 파워 증폭기 전단에 위치한 SPDT 스위치(1360)를

통해 캘리브레이션 네트워크의 최상위 스위치로 전달된다. 캘리브레이션 네트워크에 포함된 스위치들에 의해 파일럿 신호가 삽입될 수신경로가 선택된다. 파일럿 신호는, 선택된 수신경로 상에 위치한 방향성 커플러에 의해, 수신신호가 전달되고 있는 수신경로에 삽입되고, 최종적으로 선택된 수신경로에 대응되는 RFIC로 전달된다. 예컨대, 수신경로 RX0의 경우, 파일럿 신호("CAL #0")는 수신신호와 함께 서큘레이터, SPDT 스위치 및 LNA를 거쳐 RF IC에 전달된다. 또한, 수신경로 RX1의 경우, 파일럿 신호("CAL #1")는 수신신호와 함께 서큘레이터, SPDT 스위치 및 LNA를 거쳐 RF IC에 전달된다.

[139] 수신신호와 함께 파일럿 신호는 각 RF IC에 구비된 해당 수신 경로를 위한 A/D 컨버터 및 하향 컨버터를 거친 후, 디지털 필터를 통해 수신신호로부터 분리된다. 분리된 파일럿 신호는 특정 송신경로(TX0)에 입력된 파일럿 신호("RX CAL")와 상관(Correlation) 연산이 적용되어 캘리브레이션에 사용된다. 구체적인 RX 캘리브레이션 알고리즘은 한국특허출원 제10-2015-0063177호(공개번호 제10-2016-0132166호)에 개시된 방식과 실질적으로 동일하다.

[140] 이상과 같이, 본 발명이 제안하는 캘리브레이션 방법은 TDD(Time Division Duplex) 안테나에서 운영되는 동안 실시간으로 캘리브레이션을 수행할 수 있다. 또한, 하나의 캘리브레이션 H/W구성으로 TX/RX 캘리브레이션을 수행하며, 안테나 시스템이 운영되는 동안 실시간으로 캘리브레이션을 수행할 수 있다. 또한, 송신신호 및 수신신호를 위한 상향 컨버터나 하향 컨버터 외에, TX 캘리브레이션과 RX 캘리브레이션 수행을 위한 별도의 상향 컨버터나 하향 컨버터가 필요하지 않게 된다. 즉, 특정 수신경로의 수신신호를 위한 하향 컨버터가 캡처된 송신신호의 하향 변환에 사용되며, 특정 송신경로의 송신신호를 위한 상향 컨버터가 각 수신경로에 삽입될 파일럿 신호의 상향 변환에 사용된다.

[141] 도 18은 필터들과 안테나 피더 라인(feeder line)들의 고정된 위상편차를 설명하기 위한 도면이다. 전술한 바와 같이, 전술한 실시예들에서, 캘리브레이션 기능이, 안테나 소자의 전단이 아닌, 필터의 전단(즉, 파워 증폭기의 출력단)에 적용되었다. 즉, 필터의 전단에서 자기 송신신호가 캡처되고, 필터의 전단에 파일럿 신호가 삽입되었다. 따라서, 도 18에 표시된 것과 같이, 각 필터들과 안테나 피더 라인(feeder line)들의 고정된 RF 편차(특히, 위상 편차)는 실시간 편차 측정에서 제외될 수밖에 없다. 이에, 일부 실시예들에서는, 각 필터들과 안테나 피더 라인들의 고정된 RF 편차를 보상하기 위해, 사전에 측정된 이들 고정된 RF 편차를 실시간으로 측정되는 각 송신경로 및 각 수신경로의 편차에 오프셋(offset) 값으로 포함시켜 캘리브레이션을 수행한다. 즉, 사전에 측정된 복수의 대역통과필터들과 안테나 피더 라인(feeder line)들의 RF 편차를 각 송신경로 간의 편차에 오프셋 값으로 포함시킨 후 각 송신경로에 대한 캘리브레이션을 수행할 수 있다. 또한, 사전에 측정된 복수의 대역통과필터들과 안테나 피더 라인들의 RF 편차를 각 수신경로 간의 편차에 오프셋 값으로

포함시킨 후 각 수신경로에 대한 캘리브레이션을 수행할 수 있다. 필터와 안테나 피더 라인으로 인해 발생하는 위상 편차는, 고정된 위상 편차를 갖는 필터들을 생산/사용함으로써, 허용가능한 수준에서 관리할 수 있다는 점에 유의한다.

[142] 덧붙여, 이상의 실시예들에서는 캘리브레이션이 필터 전단에 적용되는 것을 가정하여 설명하였지만, 본 발명이 제안하는 캘리브레이션 방법은 안테나 전단에 적용되는 구조 즉, 캘리브레이션 네트워크의 최하위 스위치들이 안테나 전단에 커플링되는 구조에도 적용가능하다.

[143] 이상의 설명은 본 실시예의 기술 사상을 예시적으로 설명한 것에 불과한 것으로서, 본 실시예가 속하는 기술 분야에서 통상의 지식을 가진 자라면 본 실시예의 본질적인 특성에서 벗어나지 않는 범위에서 다양한 수정 및 변형이 가능할 것이다. 따라서, 본 실시예들은 본 실시예의 기술 사상을 한정하기 위한 것이 아니라 설명하기 위한 것이고, 이러한 실시예에 의하여 본 실시예의 기술 사상의 범위가 한정되는 것은 아니다. 본 실시예의 보호 범위는 아래의 청구범위에 의하여 해석되어야 하며, 그와 동등한 범위 내에 있는 모든 기술 사상은 본 실시예의 권리범위에 포함되는 것으로 해석되어야 할 것이다.

[144] CROSS-REFERENCE TO RELATED APPLICATION

[145] 본 특허출원은, 본 명세서에 그 전체가 참고로서 포함되는, 2016년 11월 16일 한국에 출원한 특허출원번호 제10-2016-0152609호, 2017년 03월 06일 한국에 출원한 특허출원번호 제10-2017-0028430호, 2017년 03월 06일 한국에 출원한 특허출원번호 제10-2017-0028434호, 및 2017년 03월 06일 한국에 출원한 특허출원번호 제10-2017-0028442호에 대해 우선권을 주장한다.

## 청구범위

- [청구항 1] 레이돔;  
 배면에 히트싱크가 형성된 하우징; 및  
 상기 레이돔과 상기 하우징 사이에 내장된 적층 구조의 안테나 어셈블리를 포함하는 MIMO 안테나 시스템으로서, 상기 안테나 어셈블리는,  
 급전 네트워크(Feeding network)가 형성된 제1인쇄회로기판(Printed Circuit Board; PCB);  
 상기 제1인쇄회로기판의 상기 레이돔에 대향하는 상부 면에 설치되고 상기 급전 네트워크에 전기적으로 연결된 복수의 안테나 소자;  
 상기 제1인쇄회로기판의 하부 면에 배치되고 상기 급전 네트워크에 전기적으로 연결된 복수의 대역통과필터를 포함하는 필터 어셈블리; 및  
 상기 하우징에 대면하여 배치된 제2인쇄회로기판으로서, 상기 복수의 대역통과필터와 전기적으로 연결된 복수의 송수신회로가 형성된 제2인쇄회로기판을 포함하는, MIMO 안테나 시스템.
- [청구항 2] 제1항에 있어서,  
 상기 제2인쇄회로기판에는,  
 상기 복수의 송수신회로와 전기적으로 연결되어 기저대역 신호의 디지털 프로세싱을 수행하는 디지털 회로가 추가로 형성되어 있는 것을 특징으로 하는, MIMO 안테나 시스템.
- [청구항 3] 제1항에 있어서,  
 상기 복수의 대역통과필터는 상기 제1인쇄회로기판에 밀착하여 체결된 것을 특징으로 하는, MIMO 안테나 시스템.
- [청구항 4] 제1항에 있어서,  
 각 대역통과필터는 RF 케이블링 없이 상기 급전 네트워크와 직접 연결되는 제1포트를 구비한 것을 특징으로 하는, MIMO 안테나 시스템.
- [청구항 5] 제4항에 있어서,  
 상기 제1인쇄회로기판에는 상기 급전 네트워크에 전기적으로 연결된 복수의 쓰루 홀(Through hole)이 형성되어 있으며,  
 각 대역통과필터의 제1포트는 내부의 중공(cavity)으로부터 연장되어 상부 면으로부터 돌출된 도전성의 핀(pin)을 구비하고, 각 대역통과필터는 상기 도전성의 핀의 일부분이 상기 제1인쇄회로기판에 형성된 상기 쓰루 홀에 삽입된 채로 상기 제1인쇄회로기판에 밀착 체결된 것을 특징으로 하는, MIMO 안테나 시스템.
- [청구항 6] 제4항에 있어서,  
 상기 제1인쇄회로기판에는 상기 급전 네트워크와 연결된 복수의 접촉

패드(contact pad)가 형성되어 있으며,  
 각 대역통과필터의 제1포트는 내부의 중공(cavity)에 전기적으로  
 연결되고 상부 면으로부터 돌출된 도전성의 플런저(plunger)를 구비하고,  
 각 대역통과필터는 상기 도전성의 플런저의 일부분이 상기  
 제1인쇄회로기판에 형성된 상기 접촉 패드에 접촉한 채로 상기  
 제1인쇄회로기판에 밀착 체결된 것을 특징으로 하는, MIMO 안테나  
 시스템.

[청구항 7] 제4항에 있어서,  
 상기 제1인쇄회로기판에는 상기 급전 네트워크와 연결된 복수의 접촉  
 패드(contact pad)가 형성되어 있으며,  
 각 대역통과필터의 제1포트는 내부의 중공(cavity)으로부터 연장되어  
 상부 면으로부터 돌출된 도전성 핀(conductive pin) 및 상기 도전성 핀의  
 말단에 수직방향으로 고정된 도전성 로드(conductive rod)를 구비하고, 각  
 대역통과필터는 상기 도전성 로드(rod)의 일부분이 상기 제1인쇄회로기판에  
 형성된 상기 접촉 패드에 접촉한 채로 상기 제1인쇄회로기판에 밀착  
 체결된 것을 특징으로 하는, MIMO 안테나 시스템.

[청구항 8] 제1항에 있어서,  
 상기 필터 어셈블리는,  
 상기 제2인쇄회로기판에 체결되는 푸시 바(push bar)에 상기 복수의  
 대역통과필터들이 일렬로 조립된 것임을 특징으로 하는, MIMO 안테나  
 시스템.

[청구항 9] 제8항에 있어서,  
 상기 제2인쇄회로기판과 체결된 상기 푸시 바는,  
 각 대역통과필터가 균일한 힘으로 상기 제2인쇄회로기판에 결합되도록,  
 각 대역통과필터에 균일한 압력을 제공하는 것을 특징으로 하는, MIMO  
 안테나 시스템.

[청구항 10] 제1항에 있어서,  
 각 대역통과필터는,  
 RF 케이블링 없이 상기 송수신회로와 직접 연결되는 제2포트를 구비한  
 것을 특징으로 하는, MIMO 안테나 시스템.

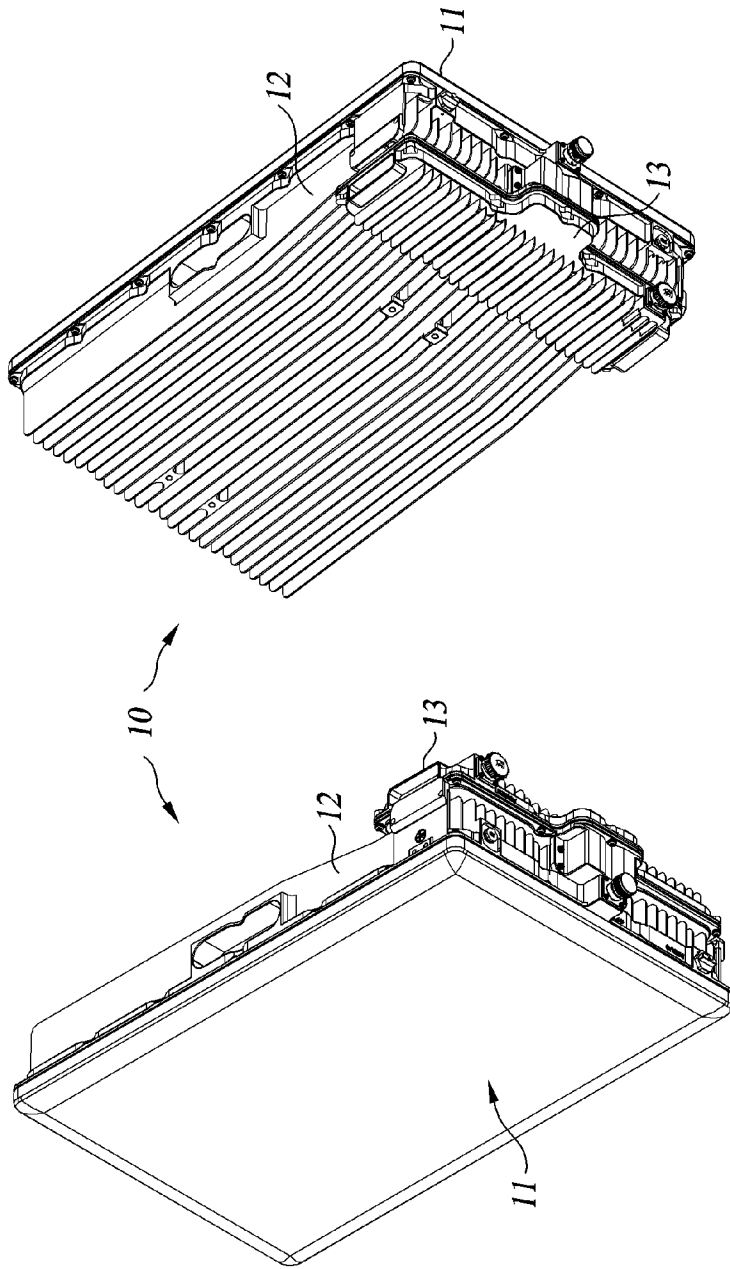
[청구항 11] 제10항에 있어서,  
 상기 제2인쇄회로기판의 상부 면에는 상기 복수의 송수신회로와 연결된  
 복수의 RF 소켓(Socket)이 실장되어 있으며,  
 각 대역통과필터의 제2포트는 하부 면으로부터 돌출되고 중심에 상기 RF  
 소켓이 삽입되는 홈이 형성된 돌출부 및 내부의 중공으로부터 연장되어  
 상기 돌출부에 형성된 상기 홈을 관통하는 도전성 핀을 구비하고,  
 각 대역통과필터는 상기 도전성 핀의 일부분이 상기 RF 소켓에 형성된  
 홈에 삽입된 채로 상기 제2인쇄회로기판에 결합된 것을 특징으로 하는,

- MIMO 안테나 시스템.
- [청구항 12] 제10항에 있어서,  
 상기 제2인쇄회로기판의 상부 면에는 상기 송수신회로와 전기적으로 연결된 접촉 패드(contact pad)가 형성된 복수의 구조물이 실장되어 있으며,  
 각 대역통과필터의 제2포트는 내부의 중공(cavity)으로부터 연장되어 하부 면으로부터 돌출된 도전성 플런저(plunger)를 구비하고,  
 각 대역통과필터는 상기 도전성 플런저의 일부분이 상기 접촉 패드(contact pad)에 접촉된 채로 상기 제2인쇄회로기판에 결합된 것을 특징으로 하는, MIMO 안테나 시스템.
- [청구항 13] 제10항에 있어서,  
 상기 제2인쇄회로기판의 상부 면에는 상기 송수신회로와 전기적으로 연결된 접촉 패드(contact pad)가 형성된 복수의 구조물이 실장되어 있으며,  
 각 대역통과필터의 제2포트는 내부의 중공(cavity)으로부터 연장되어 하부 면으로부터 돌출된 도전성 핀(conductive pin) 및 상기 도전성 핀의 말단에 수직방향으로 고정된 도전성 로드(conductive rod)를 구비하고,  
 각 대역통과필터는 상기 도전성 로드의 일부분이 상기 접촉 패드(contact pad)에 접촉된 채로 상기 제2인쇄회로기판에 결합된 것을 특징으로 하는, MIMO 안테나 시스템.
- [청구항 14] 제1항에 있어서,  
 상기 제2인쇄회로기판에는,  
 복수의 스위치가 트리 구조로 연결된 캘리브레이션 회로가 추가로 형성되어 있는 것을 특징으로 하는, MIMO 안테나 시스템.
- [청구항 15] 제1항에 있어서,  
 상기 제1인쇄회로기판에는 적어도 하나의 접지면(Ground plane)이 형성되어 있으며, 상기 접지면은 복수의 안테나 소자들에 대해 반사판(Reflector) 대응으로 기능하는 것을 특징으로 하는, MIMO 안테나 시스템.
- [청구항 16] 적층 구조의 MIMO 안테나 어셈블리로서,  
 급전 네트워크(Feeding network)가 형성된 제1인쇄회로기판(Printed Circuit Board; PCB);  
 상기 제1인쇄회로기판의 상부 면에 설치되고 상기 급전 네트워크와 연결된 복수의 안테나 소자;  
 상기 제1인쇄회로기판의 하부 면에 배치되고 상기 급전 네트워크와 연결된 복수의 대역통과필터를 포함하는 필터 어셈블리; 및  
 상기 제1인쇄회로기판의 하부에 배치되고, 상기 복수의 대역통과필터와 연결된 복수의 송수신회로, 상기 복수의 송수신회로와 연결되어

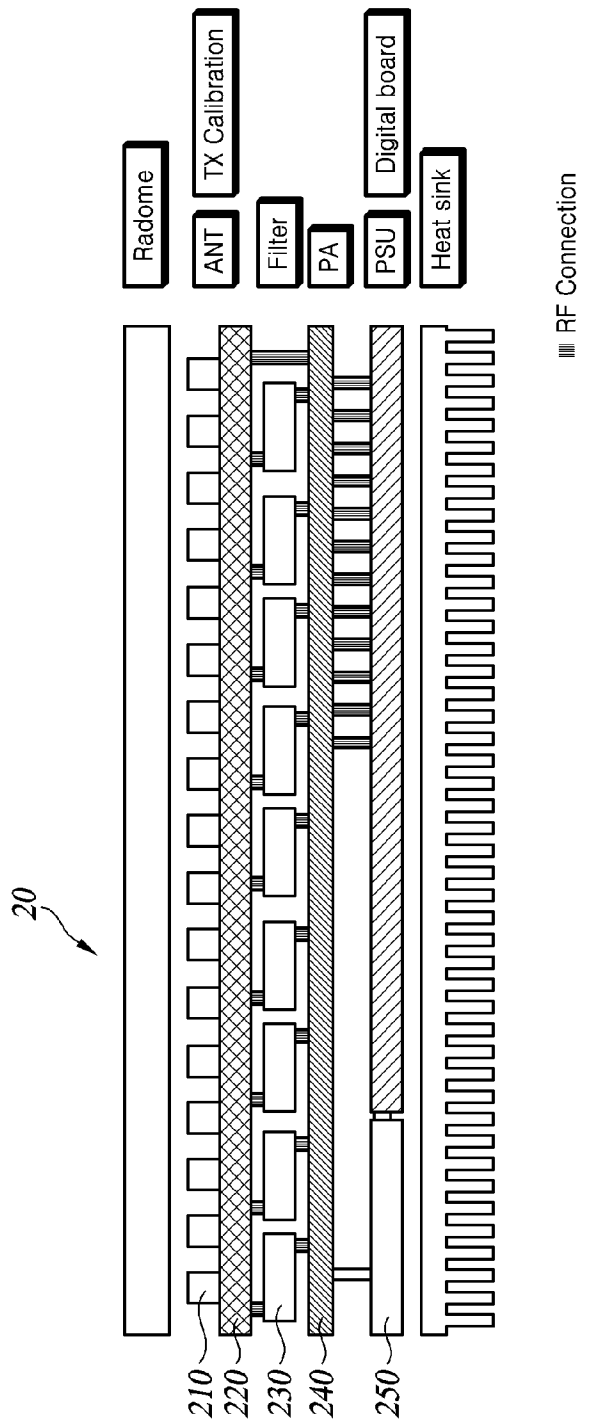
기저대역 신호의 디지털 프로세싱을 수행하는 디지털 회로 및 복수의 스위치가 트리 구조로 연결된 캘리브레이션 회로가 형성된 제2인쇄회로기판을 포함하는 MIMO 안테나 어셈블리.

- [청구항 17] 제16항에 있어서,  
상기 제2인쇄회로기판에는,  
상기 복수의 송수신회로와 연결되어 기저대역 신호의 디지털 프로세싱을 수행하는 디지털 회로가 추가로 형성되어 있는 것을 특징으로 하는, MIMO 안테나 어셈블리.
- [청구항 18] 제16항에 있어서,  
상기 제2인쇄회로기판에는,  
복수의 스위치가 트리 구조로 연결된 캘리브레이션 회로가 추가로 형성되어 있는 것을 특징으로 하는, MIMO 안테나 어셈블리.
- [청구항 19] 제16항에 있어서,  
상기 복수의 대역통과필터는,  
RF 케이블링 없이 상기 급전 네트워크와 직접 연결되는 제1포트를 구비하고, 상기 제1인쇄회로기판에 밀착하여 체결된 것을 특징으로 하는, MIMO 안테나 어셈블리.
- [청구항 20] 제16항에 있어서,  
각 대역통과필터는 RF 케이블링 없이 상기 송수신회로와 직접 연결되는 제2포트를 구비한 것을 특징으로 하는, MIMO 안테나 어셈블리.

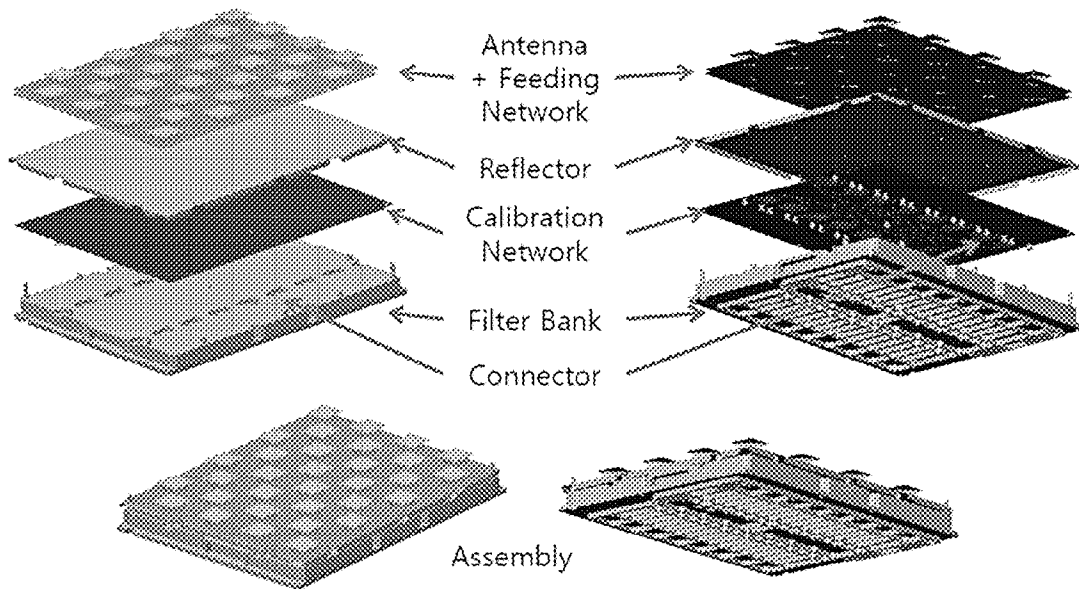
[도 1]



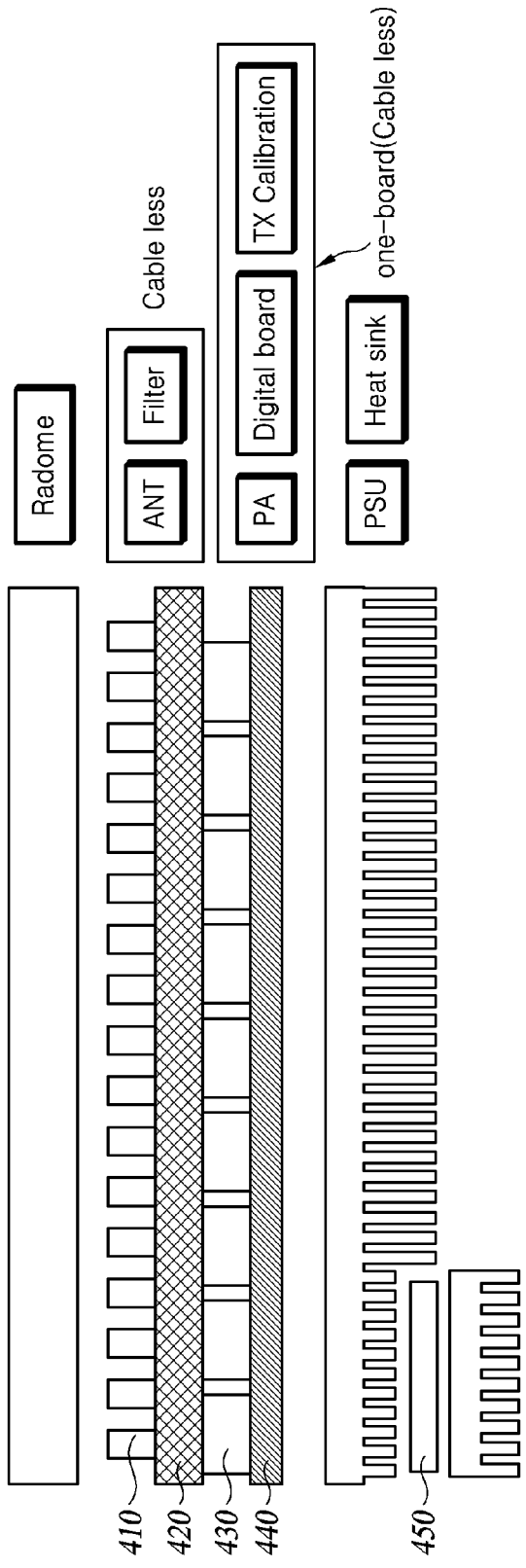
[도2]



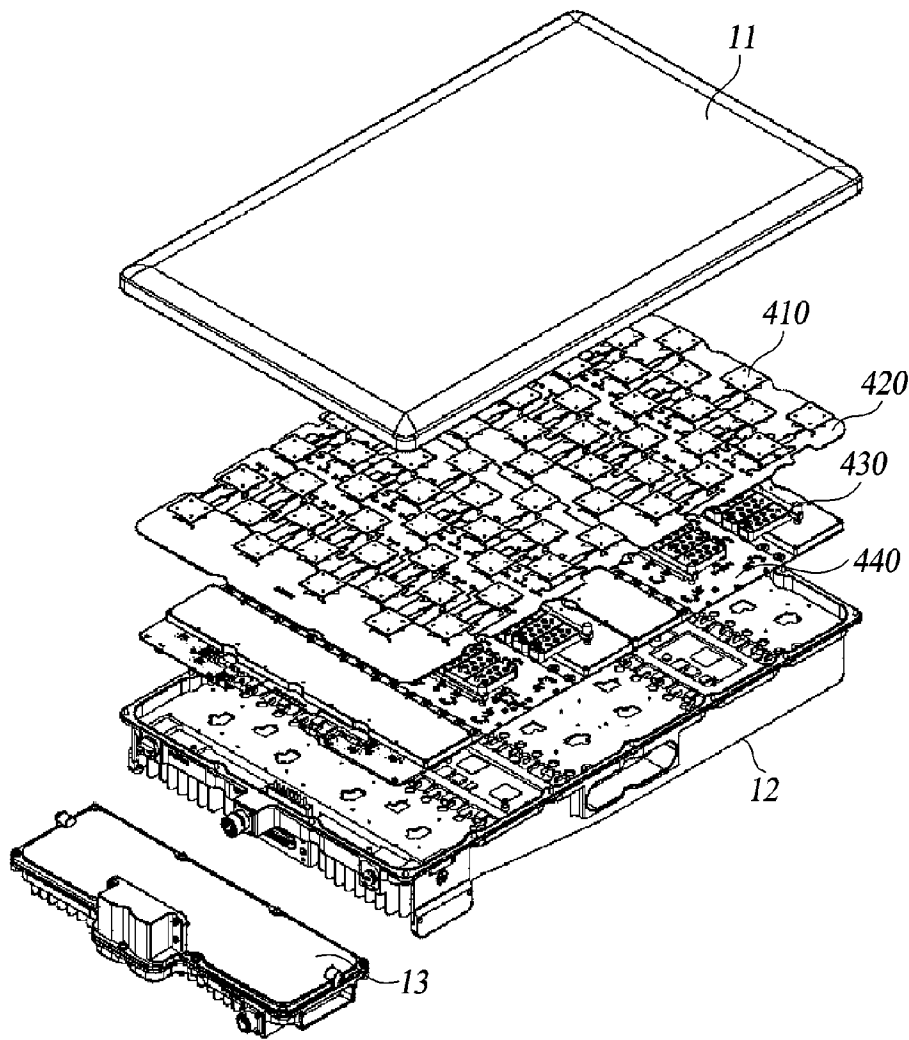
[도3]



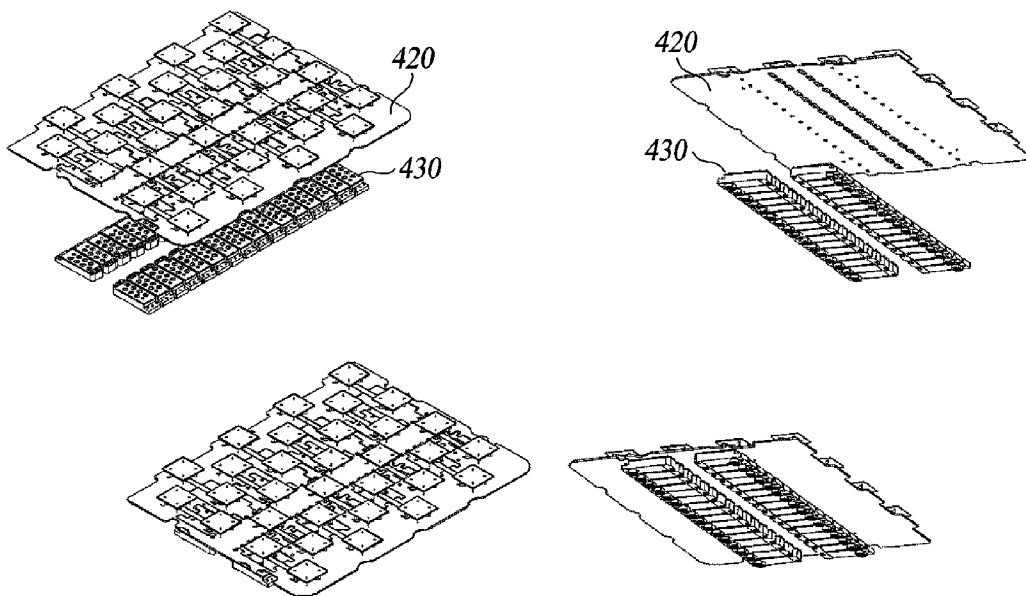
[도4]



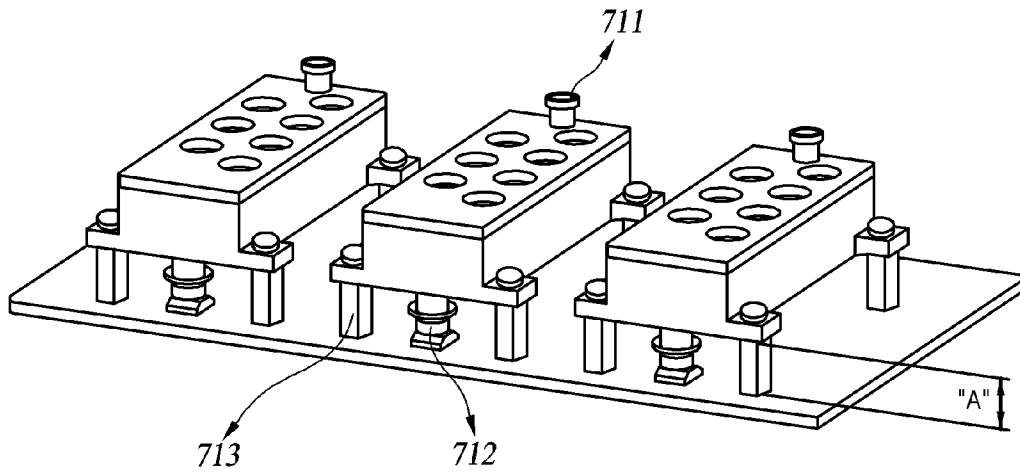
[도5]



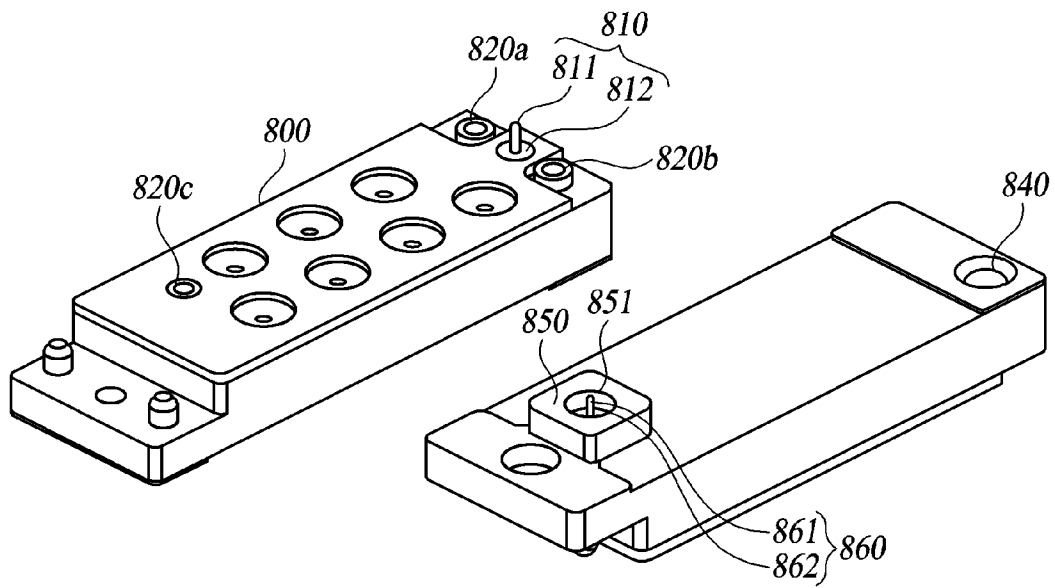
[도6]



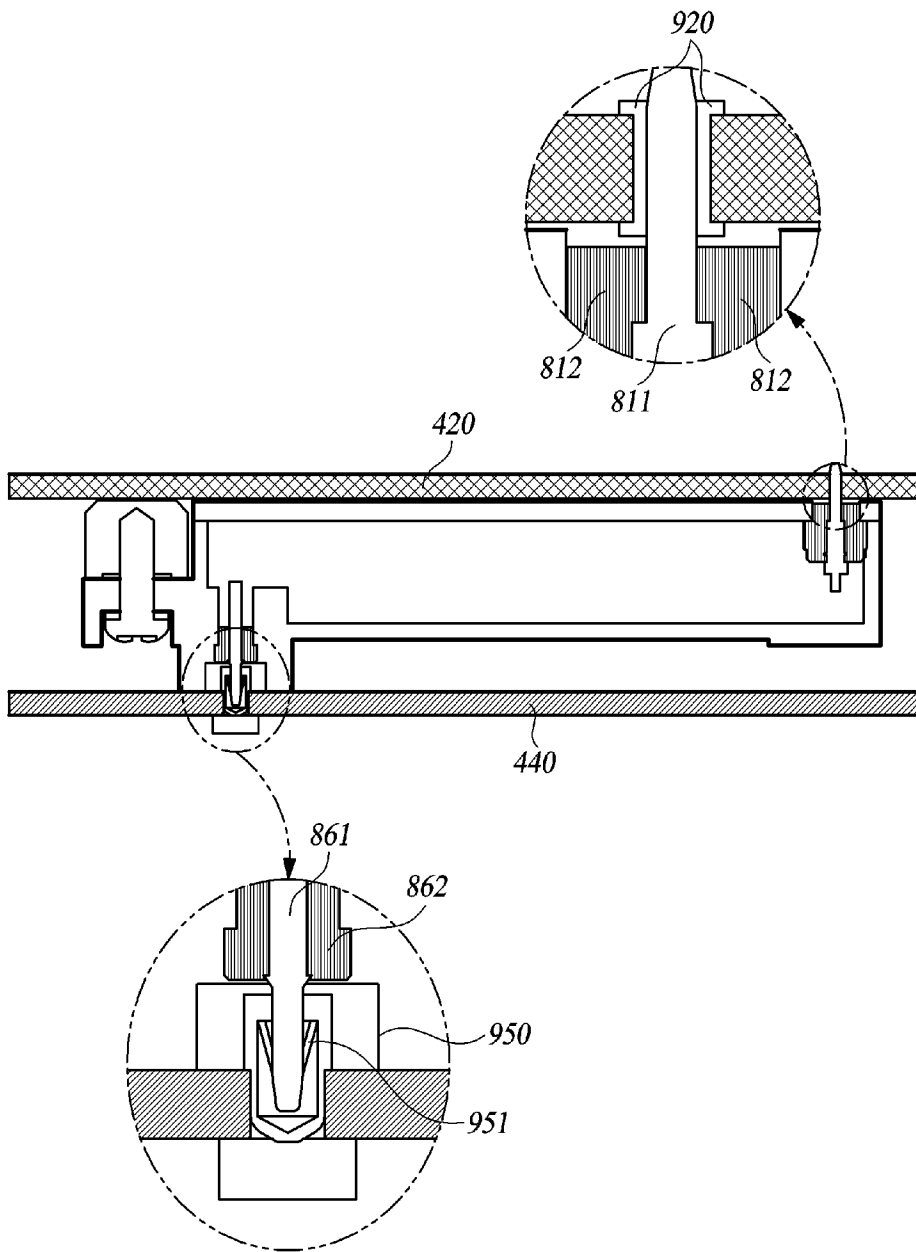
[도7]



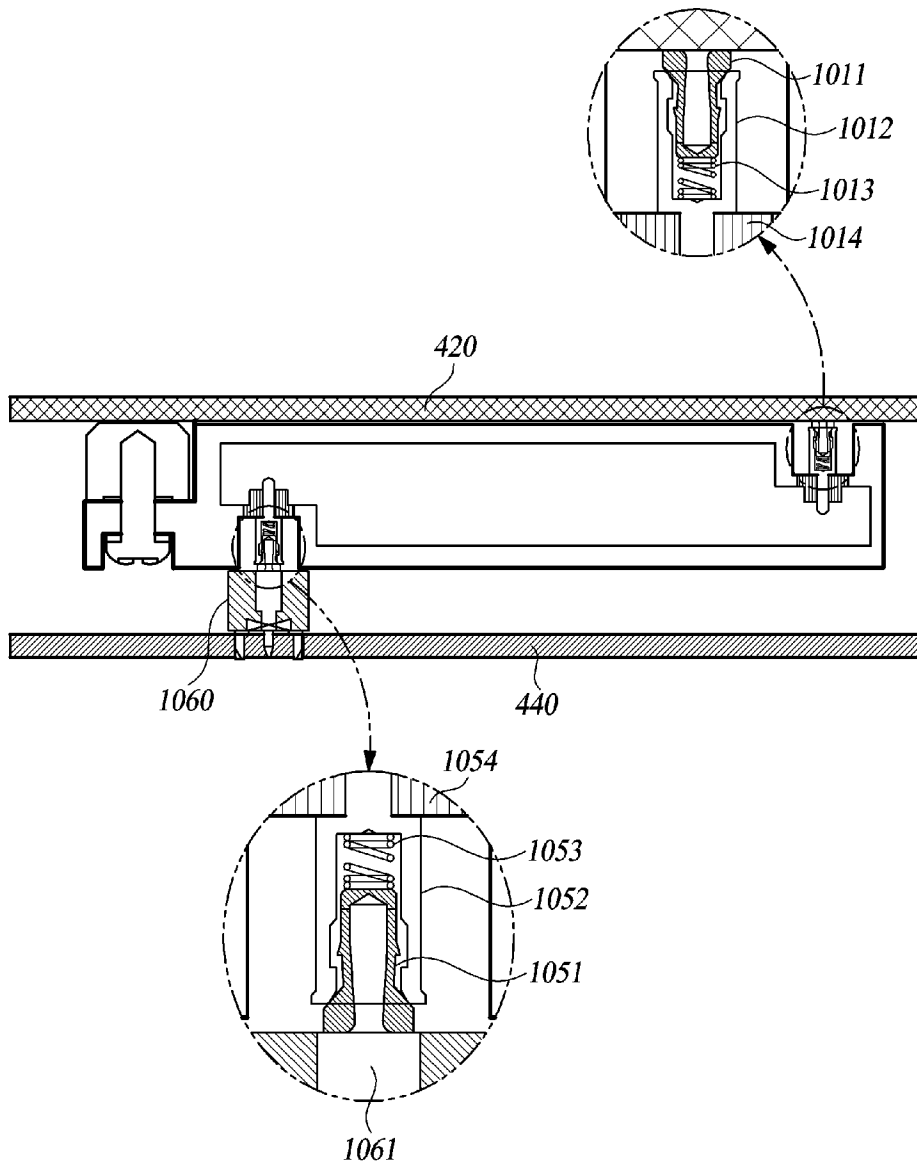
[도8]



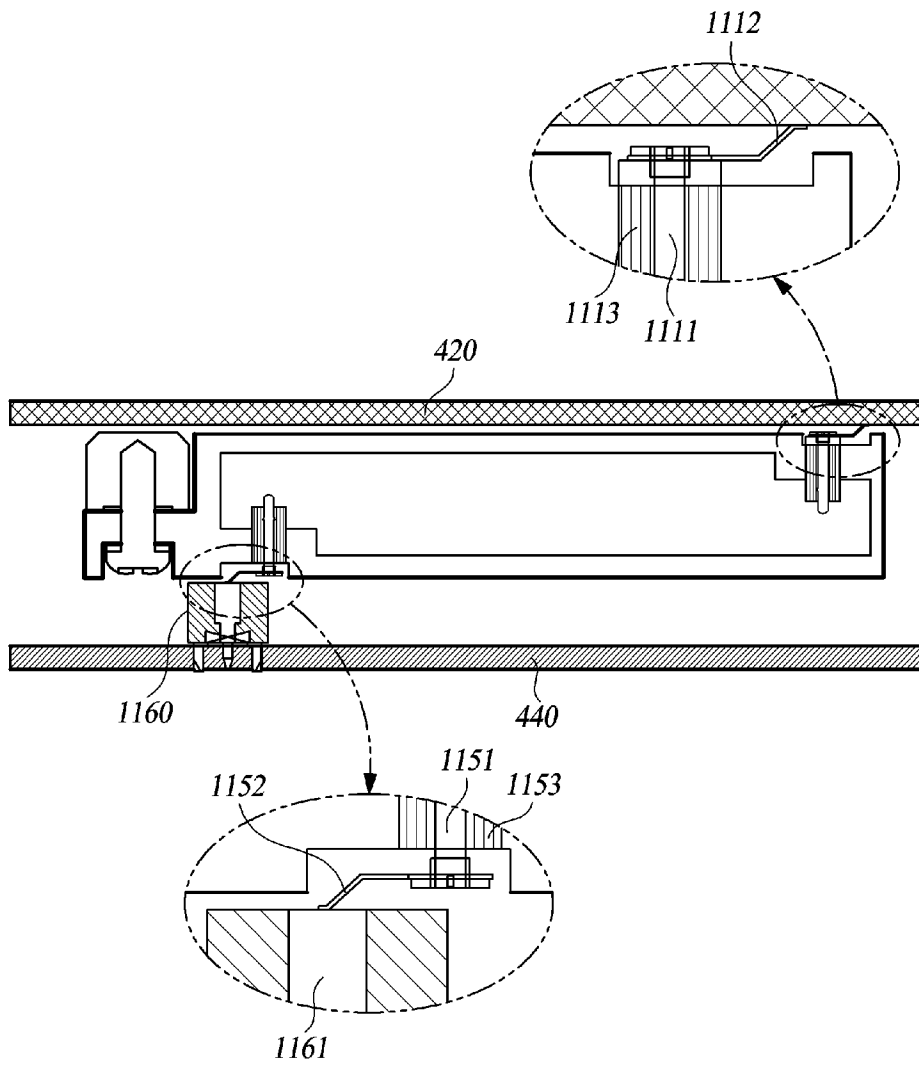
[도9]



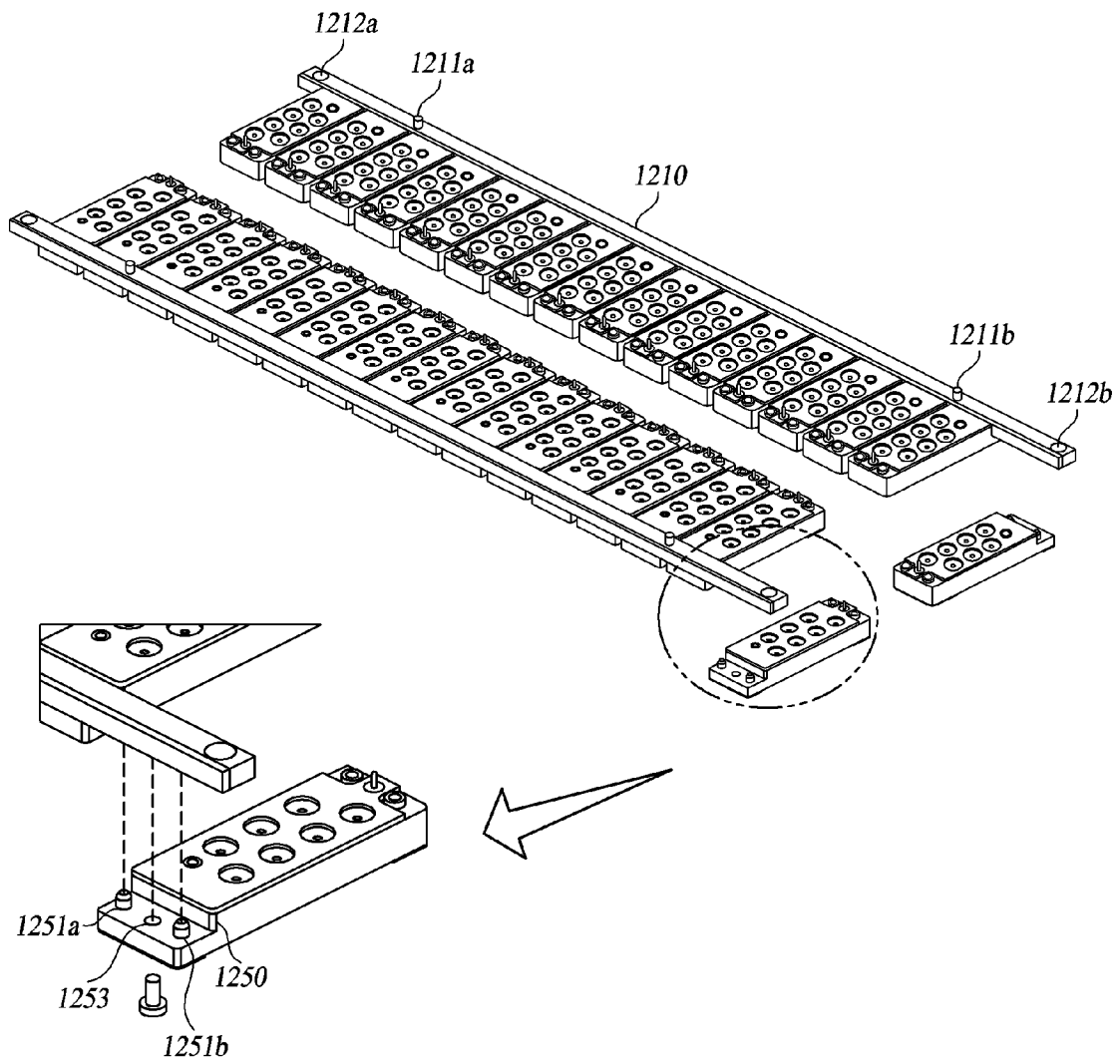
[도10]



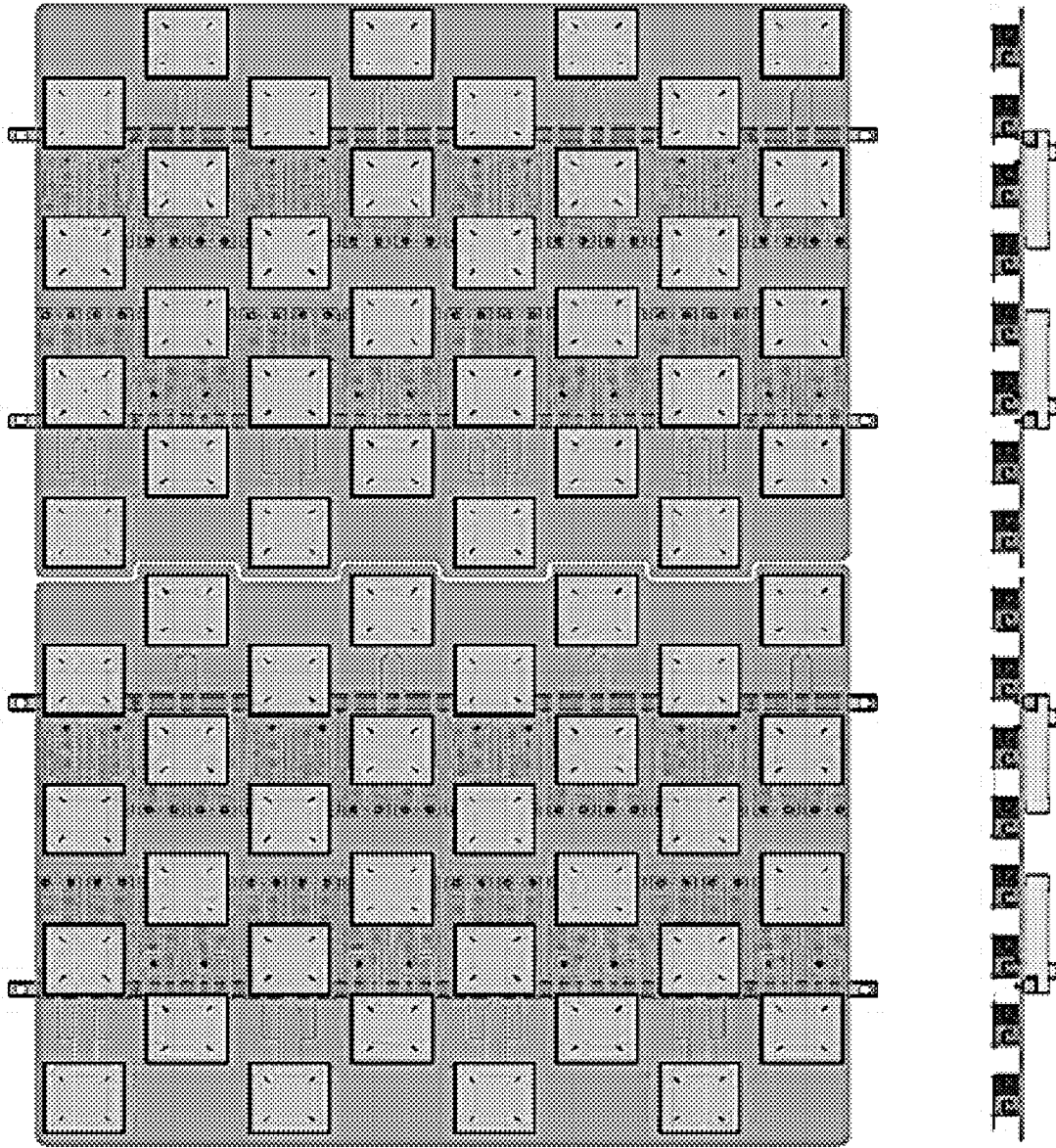
[도11]



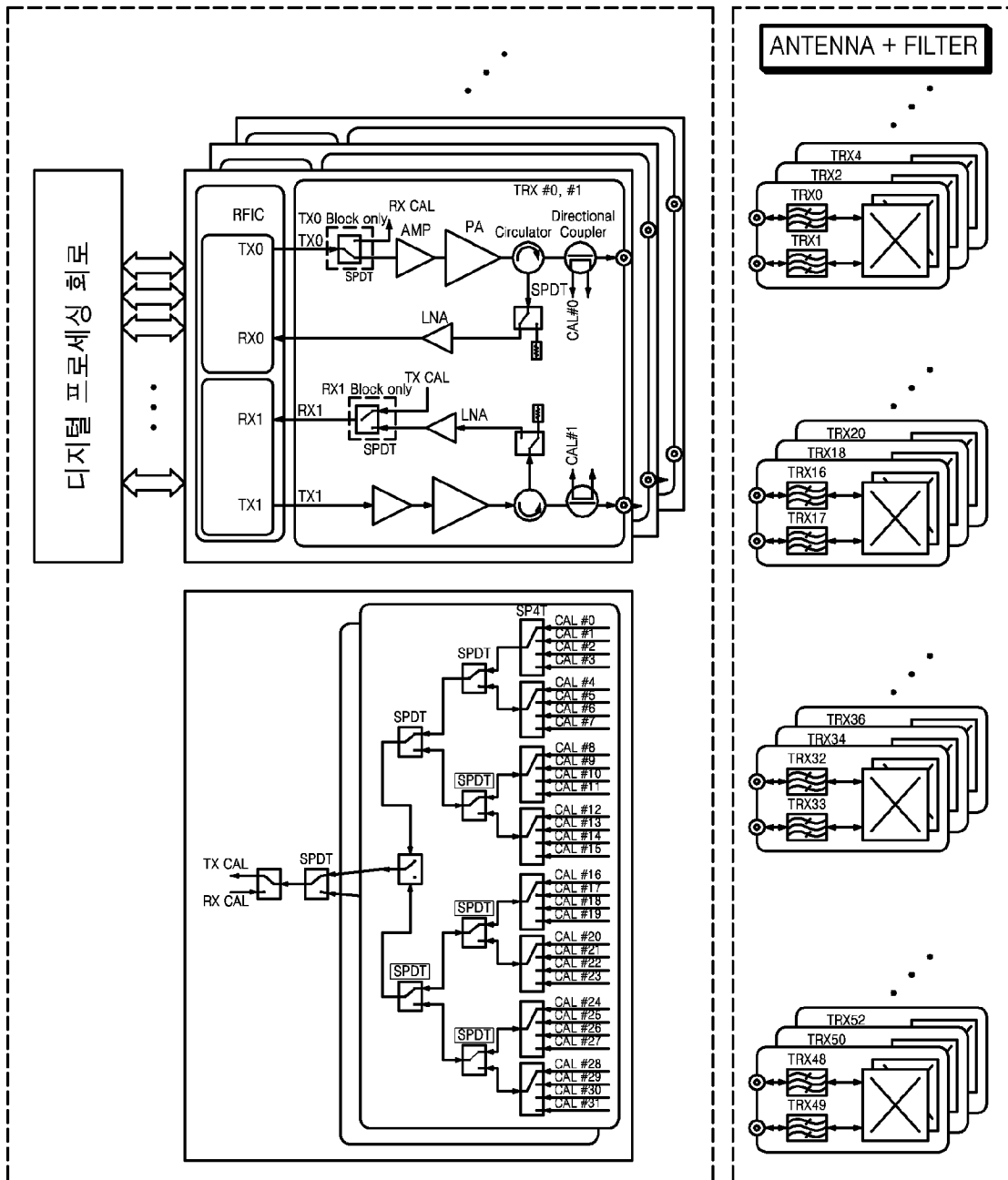
[도12]



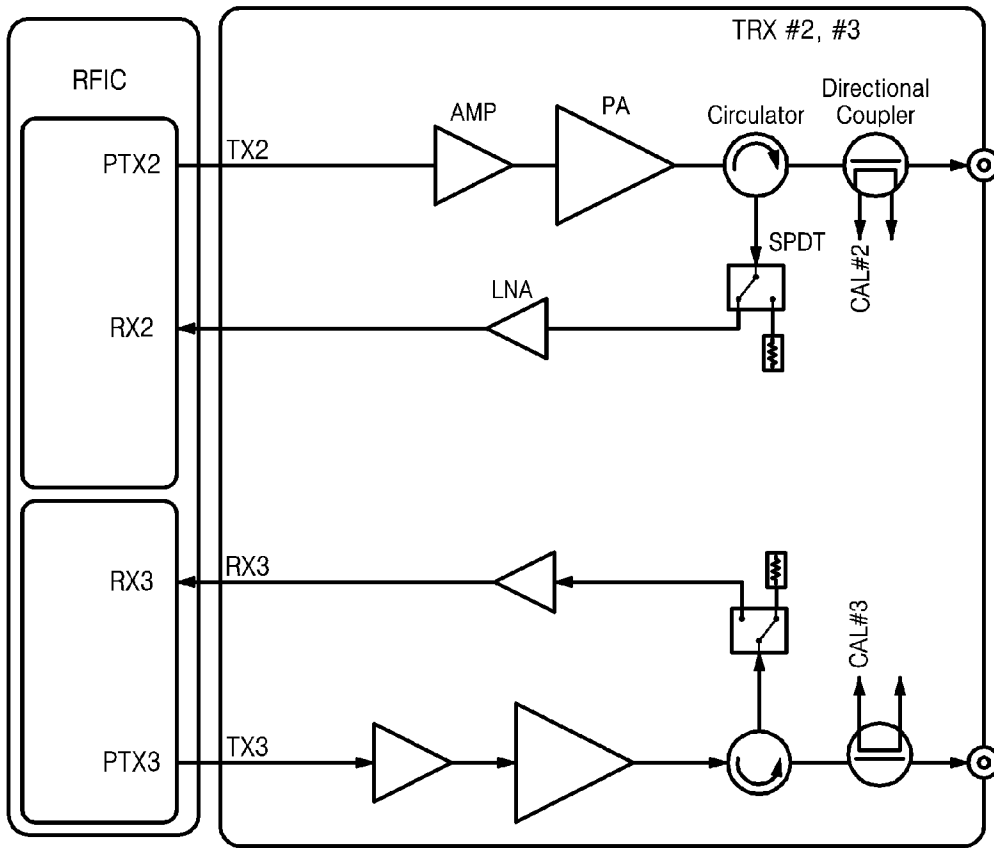
[도13]



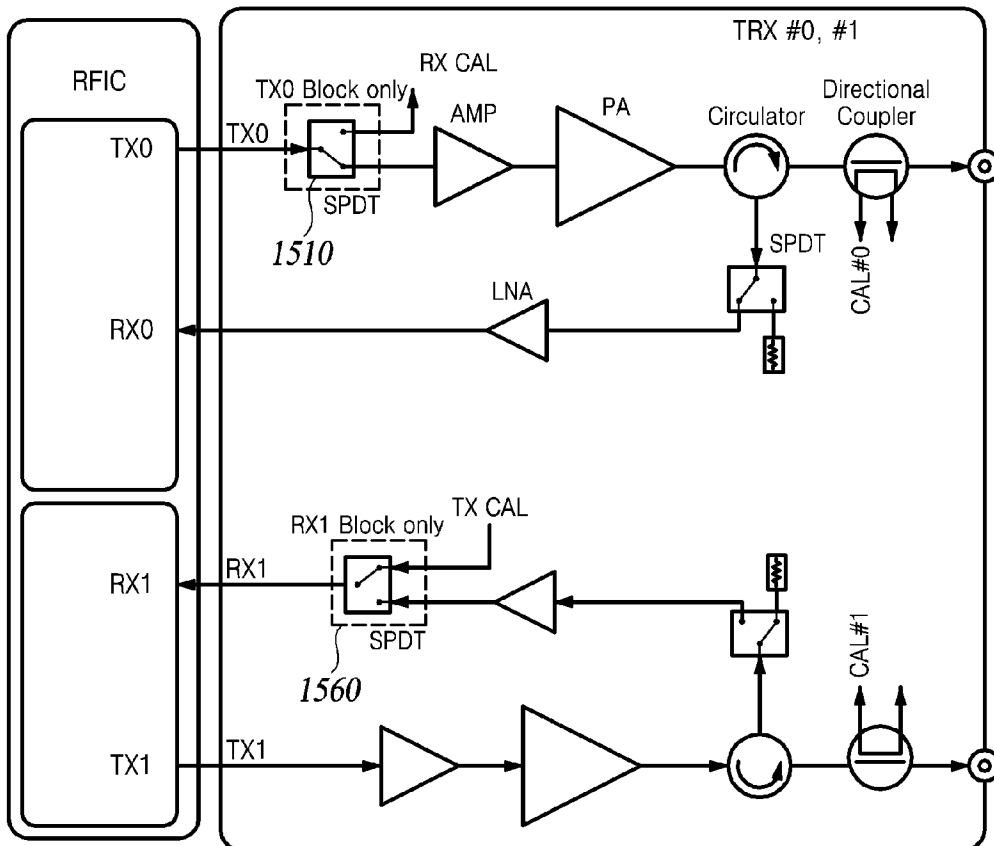
[도14]



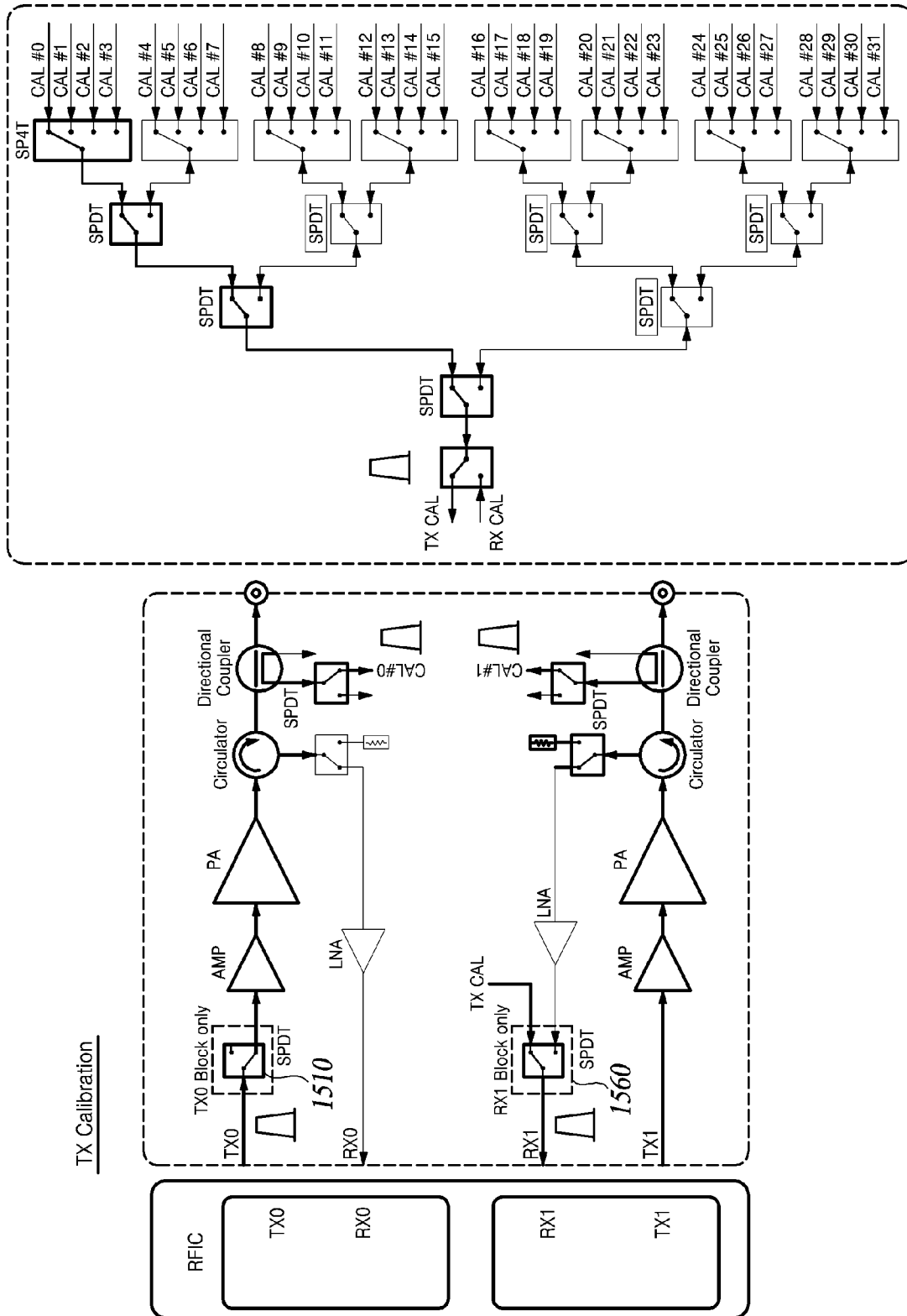
[도 15a]



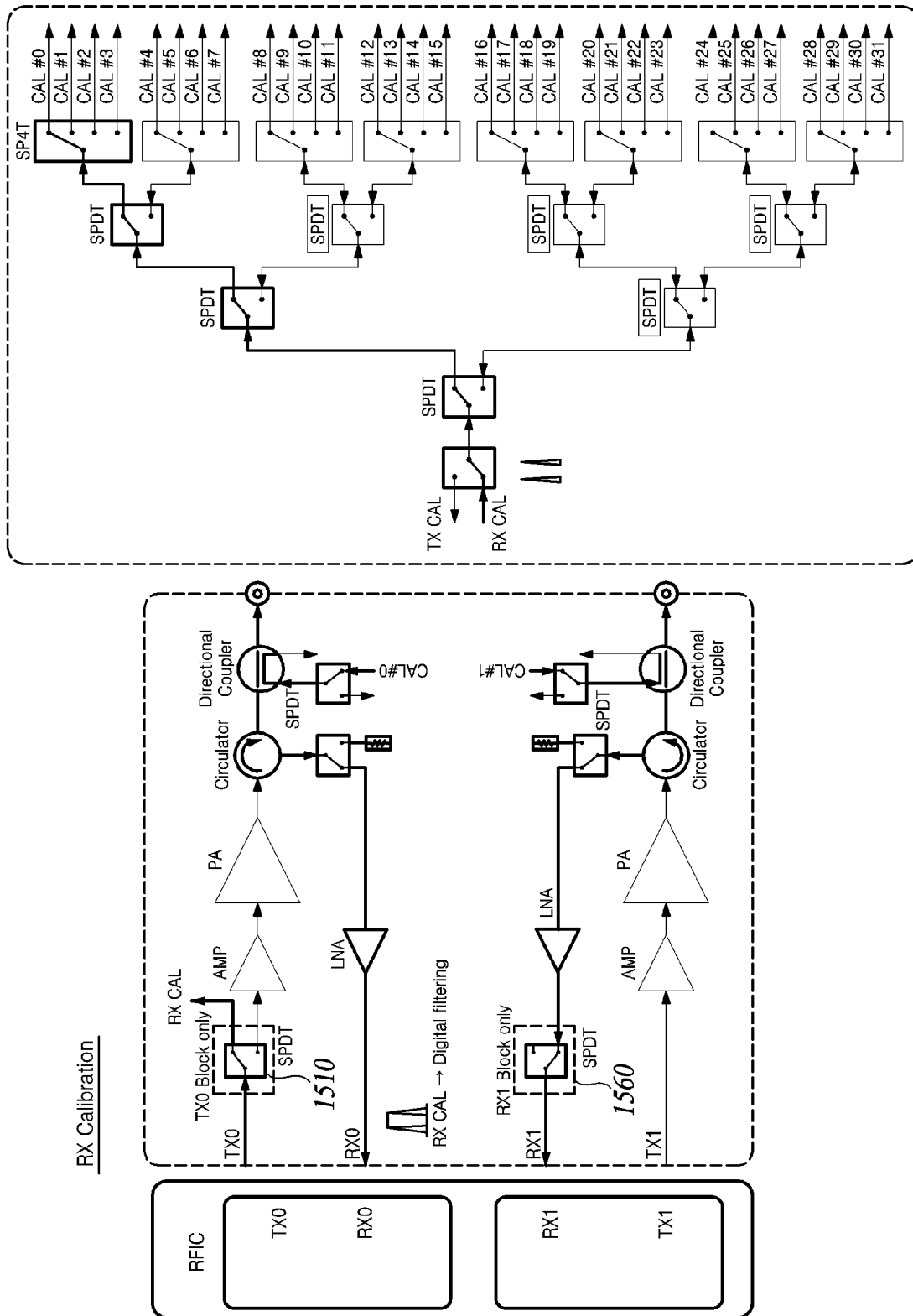
[도 15b]



[圖 16]



[도 17]



[도18]

Calibration offset

