

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2011年4月7日(07.04.2011)

PCT

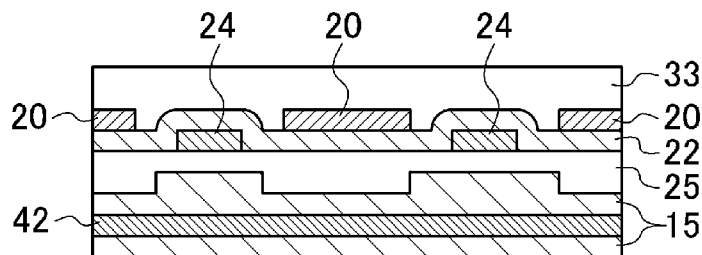
(10) 国際公開番号
WO 2011/039907 A1

- (51) 国際特許分類:
H01L 21/336 (2006.01) H01L 27/04 (2006.01)
G02F 1/1368 (2006.01) H01L 27/12 (2006.01)
H01L 21/02 (2006.01) H01L 29/786 (2006.01)
H01L 21/822 (2006.01)
- (21) 国際出願番号: PCT/JP2010/003814
- (22) 国際出願日: 2010年6月8日(08.06.2010)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2009-230768 2009年10月2日(02.10.2009) JP
- (71) 出願人 (米国を除く全ての指定国について):
シャープ株式会社(SHARP KABUSHIKI KAISHA)
[JP/JP]; 〒5458522 大阪府大阪市阿倍野区長池町
2 2 番 2 2 号 Osaka (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 多田 憲史
(TADA, Kenshi).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).
- 添付公開書類:
— 国際調査報告 (条約第 21 条(3))
- (74) 代理人: 前田 弘, 外(MAEDA, Hiroshi et al.); 〒5410053 大阪府大阪市中区本町 2 丁目 5 番 7 号 大阪丸紅ビル Osaka (JP).

(57) Title: SEMICONDUCTOR DEVICE AND MANUFACTURING METHOD THEREFOR

(54) 発明の名称: 半導体装置及びその製造方法

[図8]



(57) Abstract: In the provided method for manufacturing a semiconductor device, a plurality of light-blocking films or the like are formed on the surface of a first insulation film. After that, a dummy pattern is formed on the surface of a second insulation film between adjacent light-blocking films or the like such that the height of the dummy pattern from the surface of the first insulation film is the same as the height of the surface of the second insulation film on top of the light-blocking films or the like. Next, a third insulation film that covers the dummy pattern and has a flat surface is formed on the surface of the second insulation film. After that, a base layer is attached to the support substrate on the flat surface of the third insulation film.

(57) 要約: 第1絶縁膜の表面に遮光膜等を複数形成する。その後、隣り合う遮光膜等同士の間における第2絶縁膜の表面に、第1絶縁膜の表面からの高さが、遮光膜等上の第2絶縁膜の表面高さと同じであるダミーパターンを形成する。次に、第2絶縁膜の表面に、ダミーパターンを覆うと共に平坦な表面を有する第3絶縁膜を形成する。その後、基体層を、第3絶縁膜の平坦な表面において支持基板に貼り付ける。こうして、半導体装置を製造する。



WO 2011/039907 A1

明 細 書

発明の名称：半導体装置及びその製造方法

技術分野

[0001] 本発明は、例えば液晶表示装置等に用いられる半導体装置、及びその製造方法に関するものである。

背景技術

[0002] 例えば液晶表示装置は、ＴＦＴ（Thin-Film Transistor）及びこれに接続された画素電極が複数マトリクス状に配置されたＴＦＴ基板と、このＴＦＴ基板に対向して配置されると共にカラーフィルタ及び共通電極等が形成された対向基板と、これら対向基板及びＴＦＴ基板の間に設けられた液晶層とを備えている。

[0003] ＴＦＴ基板の液晶層と反対側には、光源であるバックライトユニットが設けられている。ＴＦＴ基板にはガラス基板が一般に用いられている。また、ＴＦＴ基板には、ＴＦＴに入射しようとするバックライトユニットの光を遮光する遮光膜や、いわゆるバックゲート電極を形成することが知られている。

[0004] 例えば、従来の半導体装置の断面図である図２２に示すように、いわゆる高融点金属からなる遮光膜１０１がガラス基板１０２上に形成されている。遮光膜１０１は絶縁膜１０３によって覆われている。この絶縁膜１０３の表面には、上記遮光膜１０１に重なるようにシリコン層１０４が島状に形成されている。さらに、絶縁膜１０３上には、シリコン層１０４を覆うようにゲート絶縁膜１０５が形成され、その表面にゲート電極１０６が形成されている。

[0005] この従来の半導体装置は、遮光膜１０１及びシリコン層１０４等がガラス基板１０２側から順に成膜されているために、遮光膜１０１の段差形状がシリコン層１０４に反映される結果、当該シリコン層１０４をレーザーによって高精度に結晶化することが困難である。しかも、この遮光膜１０１の段差

、及び結晶粒界の突起等によってシリコン層 104 表面の平坦性が損なわれるため、ゲート絶縁膜 105 を薄くすることが難しくなる。したがって、TFT の閾値電圧を高精度に制御することができず、その電源電圧の高電圧化を招く結果、半導体装置の低消費電力化が困難になってしまう。また、半導体層 104 の結晶欠陥によるリーク電流の増大によっても、消費電力の増加を招いてしまうこととなる。

[0006] これに対し、以下に説明するように、単結晶シリコンを用いた基板貼り合わせ法による解決案が提示されている。

[0007] 特許文献 1 に提示されている製造方法では、製造工程を示す断面図である図 23～図 25 に示すように、まず、透明な支持基板 102 上に複数の遮光膜 101 とこれを覆う絶縁膜 103 とを形成する。続いて、図 24 に示すように、絶縁膜 103 の表面を CMP (Chemical Mechanical Polishing) 法によって平坦化する。その後、単結晶シリコン 108 の表面に形成された埋め込み酸化膜 107 を、上記平坦化した絶縁膜 103 の表面に貼り合わせる。次に、図 25 に示すように、支持基板 102 上の単結晶シリコンを薄膜化することによって、TFT を製造している。

[0008] 特許文献 2 に提示されている製造方法では、製造工程を示す断面図である図 26 及び図 27 に示すように、シリコン基板 108 の表面を凹凸状に形成し、その表面を絶縁膜 109 によって覆う。次に、シリコン基板 108 の凸状の領域において、絶縁膜 109 に開口部 110 を形成する。続いて、開口部 110 を含む絶縁膜 109 表面の全体に、バックゲート絶縁膜 111 及び導電材料層 112 を形成した後に、当該導電材料 112 を研磨する。そして、開口部 110 内に残った導電材料層 112 によって、バックゲート電極 113 を形成する。その後、バックゲート電極 113 及びバックゲート絶縁膜 111 を覆うように層間絶縁膜 114 を形成して、この層間絶縁膜 114 の表面と、支持基板（不図示）とを貼り合わせるようにしている。

先行技術文献

特許文献

[0009] 特許文献1：特開平 1 0－2 9 3 3 2 0 号公報

特許文献2：特開 2 0 0 1－2 8 3 5 4 号公報

発明の概要

発明が解決しようとする課題

[0010] ところで、上記ガラス基板 1 0 2 である支持基板が例えば液晶表示装置の表示パネルを構成する場合には、支持基板は大判の基板になる。したがって、上記特許文献 1 のように、大判の支持基板に形成された絶縁膜 1 0 3 を、CMP 法によって高精度に研磨することは極めて困難である。近年、ガラス基板一面から表示パネルを多く形成するためにガラス基板の大型化が進められていることから、この問題は顕著である。

[0011] また、上記特許文献 2 による製造方法では、バックゲート電極 1 1 3 の形状が、当該バックゲート電極 1 1 3 を構成する導電材料層 1 1 2 の膜厚よりも十分に大きい場合、図 2 7 に示すように、その導電材料層 1 1 2 の表面にも開口部 1 1 0 を反映した凹部が形成される虞がある。そのため、バックゲート電極 1 1 3 の厚みの制御が非常に困難となる。しかも、層間絶縁膜 1 1 4 の接合表面も平坦化が困難になることから、バックゲート電極 1 1 3 の形状が制限されてしまう。

[0012] 本発明は、斯かる諸点に鑑みてなされたものであり、その主たる目的とするところは、遮光膜又はバックゲート電極が形成される半導体装置について、その遮光膜等の形状にかかわらず、当該遮光膜等を覆う絶縁層を高精度に平坦化し得るようにすることにある。

課題を解決するための手段

[0013] 上記の目的を達成するために、本発明は、半導体装置の製造方法を対象としている。そして、基体層の表面に平坦な表面を有する第 1 絶縁膜を形成する工程と、上記基体層に剥離用物質をイオン注入して剥離層を形成する工程と、上記第 1 絶縁膜の表面に遮光膜又はバックゲート電極を複数形成する工程と、上記遮光膜又はバックゲート電極を覆うと共に、当該遮光膜又はバックゲート電極の段差形状を反映した凹凸状の表面を有する第 2 絶縁膜を、上

記第 1 絶縁膜の表面に形成する工程と、隣り合う上記遮光膜同士の間、又は隣り合う上記バックゲート電極同士の間における上記第 2 絶縁膜の表面に、上記第 1 絶縁膜の表面からの高さが、上記遮光膜又はバックゲート電極上の上記第 2 絶縁膜の表面高さと同じであるダミーパターンを形成する工程と、上記第 2 絶縁膜の表面に、上記ダミーパターンを覆うと共に平坦な表面を有する第 3 絶縁膜を形成する工程と、上記第 3 絶縁膜が設けられた基体層を、当該第 3 絶縁膜の平坦な表面において支持基板に貼り付ける工程と、上記支持基板に貼り付けられた基体層の一部を、上記剥離層に沿って分離除去する工程と、上記支持基板上に残った基体層により、半導体素子を構成する半導体層を、該半導体層の少なくとも一部が上記遮光膜又はバックゲート電極に重なるように複数形成する工程とを有する。

[0014] また、本発明は、半導体装置を対象としている。そして、支持基板の平坦な表面に形成された第 3 絶縁膜と、上記第 3 絶縁膜の表面に交互に並んで複数形成された第 1 凹部及び第 2 凹部と、上記第 1 凹部内に設けられたダミーパターンと、上記ダミーパターンを覆うように上記第 3 絶縁膜の表面に形成され、一部が上記第 2 凹部内に設けられた第 2 絶縁膜と、上記第 2 絶縁膜における上記第 2 凹部に重なる領域に形成された第 3 凹部と、上記第 3 凹部内に設けられた遮光膜又はバックゲート電極と、上記遮光膜又はバックゲート電極を覆うように上記第 2 絶縁膜の表面に形成された第 1 絶縁膜と、上記遮光膜又はバックゲート電極の少なくとも一部に重なるように上記第 1 絶縁膜の表面に形成され、半導体素子を構成する半導体層とを備え、上記ダミーパターンと該ダミーパターンに重なっている第 2 絶縁膜との厚みの合計は、上記遮光膜又はバックゲート電極と該遮光膜又はバックゲート電極に重なっている第 2 絶縁膜との厚みの合計と同じである。

[0015] ー作用ー

次に、本発明の作用について説明する。

[0016] 上記半導体装置を製造する場合には、まず、基体層の表面に平坦な表面を有する第 1 絶縁膜を形成する。第 1 絶縁膜を形成する前に、基体層の表面を

エッチングすることによって凸状領域を形成してもよい。こうすれば、その凸状領域によって半導体素子を構成する半導体層を形成することが可能になる。

[0017] 次に、基体層に剥離用物質をイオン注入して剥離層を形成する。この剥離層を形成する工程は、遮光膜又はバックゲート電極を形成する工程よりも前に行うことが好ましい。そのことにより、イオン注入される表面が平坦であるため、剥離層を均一な深さ位置に形成することができる。

[0018] 次に、第1絶縁膜の表面に遮光膜又はバックゲート電極を複数形成する。

[0019] 次に、遮光膜又はバックゲート電極を覆うと共に、当該遮光膜又はバックゲート電極の段差形状を反映した凹凸状の表面を有する第2絶縁膜を、第1絶縁膜の表面に形成する。第2絶縁膜は、金属イオンの透過を抑制する保護絶縁膜によって構成することが可能である。保護絶縁膜としては、例えばシリコン窒化膜が好適である。このことにより、支持基板側から金属イオンが侵入しないようにして、半導体素子の特性の変動を防止することが可能になる。

[0020] 次に、隣り合う遮光膜同士の間、又は隣り合うバックゲート電極同士の間における第2絶縁膜の表面に、第1絶縁膜の表面からの高さが遮光膜又はバックゲート電極上の第2絶縁膜の表面高さと同じであるダミーパターンを形成する。

[0021] このとき、第2絶縁膜をエッチストッパーとすることにより、ダミーパターンを容易且つ高精度に形成することが可能になる。

[0022] 次に、第2絶縁膜の表面に、ダミーパターンを覆うと共に平坦な表面を有する第3絶縁膜を形成する。

[0023] ここで、第3絶縁膜は、第2絶縁膜の表面に絶縁材層を形成した後に、この絶縁材層の表面を平坦化することによって形成することが可能である。さらにこのとき、遮光膜又はバックゲート電極と、ダミーパターンとの間隔は、第2絶縁膜の厚みよりも大きく、且つ、遮光膜又はバックゲート電極上における上記絶縁材層の厚みよりも小さいことが好ましい。

[0024] 上記遮光膜等とダミーパターンとの間隔を第2絶縁膜の厚みよりも大きくすることにより、遮光膜等を覆う傾斜した第2絶縁膜に乗り上げることなく、ダミーパターンを形成することができる。一方、上記遮光膜等とダミーパターンとの間隔を上記絶縁材層の厚みよりも小さくすることにより、ダミーパターンと遮光膜等との間の領域上で、絶縁材層の表面に大きな窪みが形成されにくくなる。よって、当該絶縁材層の表面を容易に平坦化することが可能になる。

[0025] 次に、第3絶縁膜が設けられた基体層を、当該第3絶縁膜の平坦な表面において支持基板に貼り付ける。次に、支持基板に貼り付けられた基体層の一部を、上記剥離層に沿って分離除去する。

[0026] 次に、支持基板上に残った基体層により、半導体素子を構成する半導体層を、該半導体層の少なくとも一部が上記遮光膜又はバックゲート電極に重なるように複数形成する。

[0027] ここで、上述のように第1絶縁膜を形成する前に基体層をエッチングして凸状領域を予め形成しない場合には、この工程において、支持基板上に残った基体層をエッチングすることにより凸状領域を形成するようにしてもよい。そのことにより、当該凸状領域によって半導体層を形成することが可能になる。

発明の効果

[0028] 本発明によれば、第2絶縁膜の表面に、第1絶縁膜の表面からの高さが遮光膜又はバックゲート電極上の第2絶縁膜の表面高さと同じであるダミーパターンを形成するようにしたので、遮光膜等の形状にかかわらず、当該遮光膜等を覆う絶縁層を高精度に平坦化することができる。

図面の簡単な説明

[0029] [図1]図1は、本実施形態1における半導体装置の要部を示す断面図である。

[図2]図2は、本実施形態1における凸状領域が形成された基体層を示す断面図である。

[図3]図3は、本実施形態1における第1絶縁膜が形成された基体層に水素イ

オンが注入される状態を示す断面図である。

[図4] 図4は、本実施形態1における剥離層及び遮光膜が形成された基体層を示す断面図である。

[図5] 図5は、本実施形態1における遮光膜を覆う第2絶縁膜が形成された基体層を示す断面図である。

[図6] 図6は、本実施形態1における第2絶縁膜上に形成されたシリコン酸化膜を示す断面図である。

[図7] 図7は、本実施形態1におけるダミーパターンを覆う絶縁材層を示す断面図である。

[図8] 図8は、本実施形態1における第3絶縁膜が形成された基体層を示す断面図である。

[図9] 図9は、本実施形態1におけるガラス基板に貼り付けられた基体層を示す断面図である。

[図10] 図10は、液晶表示装置の要部を模式的に示す平面図である。

[図11] 図11は、本実施形態2における半導体装置の要部を示す断面図である。

[図12] 図12は、本実施形態2における剥離層が形成された基体層を示す断面図である。

[図13] 図13は、本実施形態2における遮光膜が形成された基体層を示す断面図である。

[図14] 図14は、本実施形態2における遮光膜を覆う第2絶縁膜が形成された基体層を示す断面図である。

[図15] 図15は、本実施形態2における第2絶縁膜上に形成されたシリコン酸化膜を示す断面図である。

[図16] 図16は、本実施形態2におけるダミーパターンを覆う絶縁材層を示す断面図である。

[図17] 図17は、本実施形態2における第3絶縁膜が形成された基体層を示す断面図である。

[図18] 図 1 8 は、ガラス基板に貼り付けられた基体層を示す断面図である。

[図19] 図 1 9 は、本実施形態 2 における半導体層が形成された基体層を示す断面図である。

[図20] 図 2 0 は、本実施形態 3 における半導体装置の要部を示す断面図である。

[図21] 図 2 1 は、本実施形態 3 における第 1 容量素子及び第 2 容量素子における電圧と容量との関係を示すグラフである。

[図22] 図 2 2 は、従来の半導体装置の要部を示す断面図である。

[図23] 図 2 3 は、従来の支持基板上に形成された遮光膜を覆う絶縁層を示す断面図である。

[図24] 図 2 4 は、従来の遮光膜が形成された支持基板と、これに対向するシリコン基板とを示す断面図である。

[図25] 図 2 5 は、従来の支持基板上で薄膜化されたシリコン層を示す断面図である。

[図26] 図 2 6 は、従来の絶縁膜の開口部に形成されたバックゲート絶縁膜及び導電材料層を示す断面図である。

[図27] 図 2 7 は、従来の窪んだバックゲート電極を覆う層間絶縁膜を示す断面図である。

発明を実施するための形態

[0030] 以下、本発明の実施形態を図面に基づいて詳細に説明する。尚、本発明は、以下の実施形態に限定されるものではない。

[0031] 《発明の実施形態 1》

図 1 ～ 図 1 0 は、本発明の実施形態 1 を示している。

[0032] 図 1 は、本実施形態 1 における半導体装置 1 0 の要部を示す断面図である。図 1 0 は、液晶表示装置 1 の要部を模式的に示す平面図である。

[0033] ー液晶表示装置の構成ー

液晶表示装置 1 は、図 1 0 に示すように、TFT 基板 1 1 と、この TFT 基板 1 1 に対向して配置された対向基板 1 2 と、これら TFT 基板 1 1 及び

対向基板 12 の間に設けられた液晶層（図示省略）とを備えている。

[0034] 液晶表示装置 1 は、TFT 基板 11 及び対向基板 12 が互いに重なっている領域に表示領域 17 を有している。表示領域 17 には複数の画素 19 がマトリクス状に配置されている。

[0035] TFT 基板 11 は、透明な支持基板としてのガラス基板 21 により構成され、対向基板 12 に重なっていない領域に回路領域 18 を有している。回路領域 18 には、上記各画素 19 を駆動制御するためのドライバ等の回路が TFT 基板 11 を構成するガラス基板 21 に直接に作り込まれている。この回路領域 18 のドライバは、後述の TFT 5 を有している。

[0036] また、図示を省略するが、TFT 基板 11 には、各画素 19 毎にスイッチング素子としての TFT 及びこれに接続された画素電極が、それぞれ配置されている。さらにその TFT には、ゲート配線及びソース配線が接続されている。これらゲート配線及びソース配線の端部は回路領域 18 に引き出されて上記ドライバ等に接続されている。

[0037] 対向基板 12 は、図示を省略するが、透明な支持基板としてのガラス基板により構成され、TFT 基板 11 側の表面にカラーフィルタ及び共通電極等が形成されている。一方、TFT 基板 11 の対向基板 12 と反対側には、光源であるバックライト（図示省略）が設けられている。

[0038] ー半導体装置の構成ー

本実施形態における半導体装置 10 は、上記 TFT 基板 11 を構成するガラス基板 21 に直接に形成されたドライバ等の各種機能回路として適用されている。図 1 に示すように、半導体装置 10 は、支持基板であるガラス基板 21 と、ガラス基板 21 上に高密度且つ高精度に形成されたデバイス部 D とを備えている。

[0039] 尚、半導体装置 10 を透過表示を行う液晶表示装置に適用する場合には、支持基板 21 はガラス基板 21 等の透明基板が好ましいが、それ以外の表示装置等に適用する場合には、単結晶シリコン半導体基板等の他の基板を支持基板に適用することができる。

- [0040] デバイス部Dは、ガラス基板21の平坦な表面に自己接合によって貼り付けられている第3絶縁膜33と、第3絶縁膜33上に形成された半導体素子であるTFT5と、TFT5とガラス基板21との間に配置された遮光膜24とを有している。TFT5は、例えば、PMOSトランジスタにより構成されている。
- [0041] 尚、TFT5とガラス基板21の間には、遮光膜24又はバックゲート電極を形成することが可能である。本実施形態では、遮光膜24を形成した例について説明する。また、図1では、2つのTFT5を示しているが、形成するデバイスはこれに限るものではない。NMOSトランジスタは勿論、バイポーラトランジスタや、後述の容量素子、若しくはダイオード等の他の素子についても、同様に適用することができる。また、その個数については特に制限されない。
- [0042] ここで、図1を参照して、半導体装置10の構造について詳述する。
- [0043] 第3絶縁膜33におけるガラス基板21と反対側の表面には、第1凹部23及び第2凹部26が交互に並んで複数形成されている。第1凹部23内には、例えばシリコン酸化膜等からなるダミーパターン20がそれぞれ設けられている。また、第3絶縁膜33の表面には、各ダミーパターン20を覆うように第2絶縁膜22が形成されている。すなわち、第2絶縁膜22の一部は、第2凹部26内に設けられている。
- [0044] 第2絶縁膜22は、略一定の厚みを有している。そのため、第2凹部26に沿って第2絶縁膜22が形成されることにより、第2絶縁膜22における第2凹部26に重なる領域には、第3凹部38が形成されている。
- [0045] 第2絶縁膜22は、金属イオンの透過を抑制する保護絶縁膜によって構成されている。すなわち、第2絶縁膜22は、例えばシリコン窒化膜等の緻密な絶縁膜によって構成されている。
- [0046] こうして、ダミーパターン20と、ダミーパターン20に重なっている第2絶縁膜22との厚みの合計は、遮光膜24と遮光膜24に重なっている第2絶縁膜22との厚みの合計と、同じになっている。

- [0047] また、上記第3絶縁膜33は、ガラス基板21の平坦な表面からの厚みが、第1凹部23内のダミーパターン20が設けられている領域と、第2凹部26内の第2絶縁膜22が設けられている領域とにおいて、互いに同じになっている。
- [0048] また、上記第3凹部38内には遮光膜24が設けられている。この遮光膜24の表面は、第2絶縁膜22の表面と同一の平面を構成している。
- [0049] 遮光膜24は、例えばMo、TiN又はW等の高融点金属によって形成されている。遮光膜24はバックゲート電極としても機能するように構成されていてもよい。この場合、バックゲート電極の電位を調整することにより、TF T5の特性を動的に変化させることができる。
- [0050] 第2絶縁膜22の表面には、第1絶縁膜25が遮光膜24を覆うように形成されている。第1絶縁膜25の上記第2絶縁膜22と反対側の表面には、遮光膜24の少なくとも一部と重なる領域に第4凹部39が形成されている。
- [0051] 第4凹部39内には、半導体層27が形成され、この半導体層27の表面は、第1絶縁膜25における第2絶縁膜22と反対側の表面と同一の平面を構成している。このことにより、第1絶縁膜25の表面には、半導体層27がアイランド状に形成されている。また、半導体層27の少なくとも一部は、遮光膜24に重なっている。尚、半導体層27における少なくともチャネル領域51が、遮光膜24に重なっていることが好ましい。また、半導体層27は、チャネル領域51と、その左右両側に形成された高濃度不純物領域52とを有している。
- [0052] 本実施形態では、半導体層27を基体層とも称する。基体層15は、例えば単結晶シリコン半導体層等からなる。尚、基体層15は、単結晶シリコン半導体層以外に、IV族半導体、II-VI族化合物半導体、III-V族化合物半導体、IV-IV族化合物半導体、及びこれらの同族元素を含む混晶、並びに酸化物半導体からなる群から選択された少なくとも1つを含むように構成することが可能である。

[0053] 基体層 15 の一部は、後述するように、水素等の剥離用物質がイオン注入されることにより形成された剥離層 42 に沿って分離除去されている。そうして、基体層 15 はその一部が加熱処理によって分離除去されることにより薄膜化されている。

[0054] 半導体層 27 及び第 1 絶縁膜 25 の表面は、ゲート絶縁膜 28 によって直接に覆われている。ゲート絶縁膜 28 の表面には、半導体層 27 のチャネル領域 51 に重なるように、ゲート電極 29 が形成されている。

[0055] ゲート絶縁膜 28 上には、ゲート電極 29 を覆うように層間絶縁膜 30 が形成されている。層間絶縁膜 30 には、半導体層 27 の高濃度不純物領域 52 の上方位置にコンタクトホール 31 が貫通形成されている。さらに、層間絶縁膜 30 の表面及びコンタクトホール 31 の内部には、配線部（つまり、ソース配線及びドレイン配線）32 が形成されている。また、層間絶縁膜 30 の表面には、各配線部 32 を覆うように保護膜 40 が形成されている。

[0056] ー製造方法ー

次に、上記半導体装置 10 の製造方法について、図 1～図 9 を参照して説明する。

[0057] 図 2 は、凸状領域 16 が形成された基体層 15 を示す断面図である。図 3 は、第 1 絶縁膜 25 が形成された基体層 15 に水素イオンが注入される状態を示す断面図である。図 4 は、剥離層 42 及び遮光膜 24 が形成された基体層 15 を示す断面図である。図 5 は、遮光膜 24 を覆う第 2 絶縁膜 22 が形成された基体層 15 を示す断面図である。

[0058] また、図 6 は、第 2 絶縁膜 22 上に形成されたシリコン酸化膜 45 を示す断面図である。図 7 は、ダミーパターン 20 を覆う絶縁材層 46 を示す断面図である。図 8 は、第 3 絶縁膜 33 が形成された基体層 15 を示す断面図である。図 9 は、ガラス基板 21 に貼り付けられた基体層 15 を示す断面図である。

[0059] （凸状領域形成工程）

まず、図 2 に示すように、基体層 15 であるシリコンウェハ 15 の表面を

エッチングすることにより、半導体層 27 となる凸状領域 16 を形成する。
ここで、基体層 15 は、単結晶シリコン層である。

[0060] (第 1 絶縁膜形成工程)

次に、図 3 に示すように、基体層 15 の表面に平坦な表面を有する第 1 絶縁膜 25 を形成する。すなわち、凸状領域 16 を覆うように絶縁膜を形成した後に、当該絶縁膜の表面を CMP 等によって平坦化する。

[0061] (剥離層形成工程)

次に、図 3 及び図 4 に示すように、第 1 絶縁膜 25 を形成した基体層 15 に剥離用物質 41 をイオン注入して剥離層 42 を形成する。剥離用物質 41 には、例えば水素を適用する。尚、水素の代わりに、H e や N e 等の不活性元素を適用することが可能である。また、水素及び不活性元素を適用することも可能である。本実施形態では、第 1 絶縁膜 25 の表面が平坦化されているので、剥離層 42 を基体層 15 の内部で略一定の深さに形成することができる。

[0062] (遮光膜形成工程)

次に、図 4 に示すように、第 1 絶縁膜 25 の表面に複数の遮光膜 24 を形成する。すなわち、第 1 絶縁膜 25 の表面に、例えば Mo、TiN 又は W 等の高融点金属層を形成した後に、当該金属層をフォトリソグラフィによりエッチングして遮光膜 24 を形成する。この工程では、上記凸状領域 16 の少なくとも一部に重なるように、遮光膜 24 を形成する。尚、遮光膜 24 の代わりにバックゲート電極を形成する場合には、この工程で同様にして形成する。

[0063] (第 2 絶縁膜形成工程)

次に、図 5 に示すように、遮光膜 24 を覆うと共に、当該遮光膜 24 の段差形状を反映した凹凸状の表面を有する第 2 絶縁膜 22 を、第 1 絶縁膜 25 の表面に形成する。第 2 絶縁膜 22 は、例えばシリコン窒化膜等の緻密な保護絶縁膜である。この第 2 絶縁膜 22 は、金属イオンの透過を抑制する。

[0064] (ダミーパターン形成工程)

次に、図 7 に示すように、隣り合う遮光膜 24 同士の間における第 2 絶縁膜 22 の表面にダミーパターン 20 を形成する。すなわち、図 6 に示すように、第 2 絶縁膜 22 の表面全体に絶縁膜としてのシリコン酸化膜 45 を形成する。このシリコン酸化膜 45 の厚みは、遮光膜 24 と同程度とする。

[0065] その後、第 2 絶縁膜 22 をエッチストッパーとして、第 2 絶縁膜 22 の表面に形成したシリコン酸化膜 45 をエッチングすることにより、図 7 に示すように、ダミーパターン 20 を形成する。このことにより、第 1 絶縁膜 25 の第 2 絶縁膜 22 側の表面を基準として、ダミーパターン 20 の高さは、遮光膜 24 上の第 2 絶縁膜 22 の表面高さと同じになる。

[0066] (第 3 絶縁膜形成工程)

次に、図 8 に示すように、第 2 絶縁膜 22 の表面に、ダミーパターン 20 を覆うと共に平坦な表面を有する第 3 絶縁膜 33 を形成する。まず、図 7 に示すように、第 2 絶縁膜 22 の表面に絶縁材層 46 を形成する。

[0067] ここで、遮光膜 24 とダミーパターン 20 との間隔（ガラス基板 21 の表面と平行な方向の間隔）は、第 2 絶縁膜 22 の厚みよりも大きく、且つ、遮光膜 24 上における絶縁材層 46 の厚みよりも小さくしている。このことにより、ダミーパターン 20 と遮光膜 24 との間の領域上で、絶縁材層 46 の表面に大きな窪みが形成されにくくなる。

[0068] その後に、図 8 に示すように、絶縁材層 46 の表面を CMP 法等により研磨して平坦化することにより、第 3 絶縁膜 33 を形成する。

[0069] (貼り付け工程)

次に、図 9 に示すように、第 3 絶縁膜 33 が設けられてデバイス部 D の一部が形成された基体層 15 を、第 3 絶縁膜 33 の平坦な表面において支持基板としてのガラス基板 21 に貼り付ける。このとき、第 2 絶縁膜 22 の表面は、ファンデルワールス力による自己接合によって、ガラス基板 21 の表面に貼り付けられる。

[0070] (分離工程)

次に、ガラス基板 21 に貼り付けられた基体層 15 の一部を、剥離層 42

に沿って分離除去する。すなわち、ガラス基板 21 に貼り付けられた基体層 15 を 400～600℃程度に加熱することによって、基体層 15 における剥離層 42 を介してガラス基板 21 とは反対側の一部分を、剥離層 42 に沿って分離除去する。

[0071] (半導体層形成工程)

次に、凸状領域 16 の周囲の第 1 絶縁膜 25 をエッチストッパとして、ガラス基板 21 上に残った基体層 15 をエッチングし、半導体素子としての TFT 5 を構成する半導体層 27 を形成する。このとき、半導体層 27 の少なくとも一部が遮光膜 24 に重なるように形成される。その結果、基体層 15 の凸状領域 16 であった部分のみがアイランド状に残って半導体層 27 となる。

[0072] (ゲート絶縁膜形成工程)

次に、図 1 に示すように、半導体層 27 を覆うように、ゲート絶縁膜 28 を形成する。ゲート絶縁膜 28 の表面は、半導体層 27 及び第 1 絶縁膜 25 の表面に沿って平坦に形成される。

[0073] (ゲート電極形成工程)

次に、図 1 に示すように、ゲート絶縁膜 28 の表面に、半導体層 27 のチャネル領域 51 に重なるようにゲート電極 29 を形成する。

[0074] (高濃度不純物形成工程)

次に、図 1 に示すように、半導体層 27 の少なくとも一部に不純物元素を導入して高濃度不純物領域 52 を形成する。不純物元素は、ゲート電極 29 をマスクとして半導体層 27 に導入する。その結果、ゲート電極 29 に重ならない領域に高濃度不純物領域 52 が形成される一方、ゲート電極 29 に重なっている領域にチャネル領域 51 が形成される。

[0075] その後、層間絶縁膜 30 等にコンタクトホール 31 を形成する。続いて、層間絶縁膜 30 上に形成した金属層をフォトリソグラフィによりパターニングして、複数の配線部 32 を形成する。以上の各工程を行って、半導体装置 10 を製造する。

[0076] ー実施形態１の効果ー

したがって、この実施形態１によると、第２絶縁膜２２の表面に、第１絶縁膜２５の表面からの高さが、遮光膜２４上の第２絶縁膜２２の表面高さと同じであるダミーパターン２０を形成するようにしたので、第１絶縁膜の平坦な表面上において、ダミーパターン２０と当該ダミーパターン２０に重なっている第２絶縁膜２２との厚みの合計と、遮光膜２４と当該遮光膜２４に重なっている第２絶縁膜２２との厚みの合計とを、互いに同じにすることができる。その結果、遮光膜２４の形状にかかわらず、当該遮光膜２４を覆う第３絶縁膜３３を基体層１５上で高精度にＣＭＰ法によって平坦化することができる。したがって、後のガラス基板２１への貼り合わせ工程も容易に行うことができる。また、大判のガラス基板２１上でＣＭＰ処理を行う必要もない。

[0077] さらに、遮光膜２４とダミーパターン２０との間隔を、第２絶縁膜２２の厚みよりも大きく、且つ、遮光膜２４上における絶縁材層４６の厚みよりも小さくすることにより、遮光膜２４を覆う傾斜した第２絶縁膜２２に乗り上げないように、ダミーパターン２０を形成することができると共に、ダミーパターン２０と遮光膜２４との間の領域上で、絶縁材層４６の表面に大きな窪みが形成されにくくなる。よって、当該絶縁材層４６の表面を容易に且つ高精度に平坦化することができる。

[0078] さらに、シリコン窒化膜等の緻密な保護絶縁膜によって構成した第２絶縁膜２２を形成した後に、ダミーパターン２０を形成するようにしたので、支持基板がガラス基板２１である場合にも、ガラス基板２１側からの金属イオン（可動イオン）の透過を抑制して、半導体素子であるＴＦＴ５の特性の変動を防止することができる。しかも、この第２絶縁膜２２をエッチストップパターとすることができるので、遮光膜２４等の下層の侵食を防止しながら、ダミーパターン２０をより容易且つ高精度に形成できることとなる。

[0079] さらにまた、ダミーパターン２０をシリコン酸化膜によって形成したので、金属膜によって形成する場合に比べて、不要な負荷容量の増加を防ぐと共

に、液晶表示装置 1 の開口率の低下を抑制することができる。

[0080] 加えて、遮光膜 2 4 を形成する前に基体層 1 5 に剥離用物質 4 1 をイオン注入できるため、基体層 1 5 におけるイオン注入深さを均一化して、一定の深さ位置に剥離層 4 2 を形成することができる。

[0081] さらに、基体層 1 5 をガラス基板 2 1 に貼り合わせる前に、当該基体層 1 5 に予め遮光膜 2 4 を形成するようにしたので、従来のようにガラス基板への貼り付け工程における遮光膜と半導体層との高精度なアライメントを不要にしながらも、半導体層 2 7 の所望領域をより容易に遮光膜 2 4 で覆うことができる。

[0082] また、遮光膜 2 4 によって新しい配線層を構成することにより、当該ガラス基板 2 1 に形成される回路構成を微細化することが可能になる。

[0083] さらにまた、ガラス基板 2 1 への貼り合わせによって、半導体層 2 7 も容易に平坦に形成することができる。また、半導体層 2 7 が段差状に形成されていないので、ゲート絶縁膜 2 8 を容易に薄膜化できる。その結果、半導体層 2 7 における閾値電圧を高精度に制御することができ、半導体装置 1 0 の低消費電力化が可能になる。

[0084] 加えて、半導体層 2 7 を単結晶シリコンにより構成したので、結晶欠陥に起因するリーク電流の発生を防止することができる。その結果、その半導体層 2 7 を有する T F T 5 の特性を大幅に向上させることができることとなる。

[0085] 《発明の実施形態 2》

図 1 1 ～図 1 9 は、本発明の実施形態 2 を示している。

[0086] 図 1 1 は、本実施形態 2 における半導体装置 1 0 の要部を示す断面図である。尚、以降の各実施形態では、図 1 ～図 1 0 と同じ部分については同じ符号を付して、その詳細な説明を省略する。

[0087] 上記実施形態 1 では、第 1 絶縁膜 2 5 に形成した第 4 凹部 3 9 内に半導体層 2 7 を形成したのに対し、本実施形態 2 は、平坦な第 1 絶縁膜 2 5 の表面に半導体層 2 7 を形成するようにしたものである。

[0088] ー半導体装置の構成ー

半導体装置 10 は、上記実施形態 1 と同様に、ダミーパターン 20 と、ダミーパターン 20 に重なっている第 2 絶縁膜 22 との厚みの合計は、遮光膜 24 と遮光膜 24 に重なっている第 2 絶縁膜 22 との厚みの合計と、同じになっている。

[0089] そして、遮光膜 24 及び第 2 絶縁膜 22 の表面に設けられている第 1 絶縁膜 25 の表面は、上記実施形態 1 とは異なり、平坦に形成されている。そして、その平坦な第 1 絶縁膜 25 の表面に半導体層 27 がアイランド状に形成されている。この半導体層 27 を覆うゲート絶縁膜 28 の表面は、半導体層 27 を覆っている領域において凸面状に形成される。

[0090] ー製造方法ー

次に、上記半導体装置 10 の製造方法について、図 12～図 19 を参照して説明する。

[0091] 図 12 は、剥離層 42 が形成された基体層 15 を示す断面図である。図 13 は、遮光膜 24 が形成された基体層 15 を示す断面図である。図 14 は、遮光膜 24 を覆う第 2 絶縁膜 22 が形成された基体層 15 を示す断面図である。図 15 は、第 2 絶縁膜 22 上に形成されたシリコン酸化膜 45 を示す断面図である。

[0092] また、図 16 は、ダミーパターン 20 を覆う絶縁材層 46 を示す断面図である。図 17 は、第 3 絶縁膜 33 が形成された基体層 15 を示す断面図である。図 18 は、ガラス基板 21 に貼り付けられた基体層 15 を示す断面図である。図 19 は、半導体層 27 が形成された基体層 15 を示す断面図である。

[0093] （第 1 絶縁膜形成工程）

まず、図 12 に示すように、基体層 15 であるシリコンウェハ 15 の表面に第 1 絶縁膜 25 を形成する。基体層 15 の表面は平坦であるので、第 1 絶縁膜 25 の表面も平坦に形成される。

[0094] （剥離層形成工程）

次に、図 1 2 に示すように、第 1 絶縁膜 2 5 を形成した基体層 1 5 に剥離用物質 4 1 をイオン注入して剥離層 4 2 を形成する。剥離用物質 4 1 には、上記実施形態 1 と同様に、水素又は不活性元素（H e や N e 等）を適用する。第 1 絶縁膜 2 5 の表面が平坦であるため、剥離層 4 2 を基体層 1 5 の内部で略一定の深さに形成することができる。

[0095] （遮光膜形成工程）

次に、図 1 3 に示すように、第 1 絶縁膜 2 5 の表面に遮光膜 2 4 を形成する。すなわち、第 1 絶縁膜 2 5 の表面に、例えば M o 、 T i N 又は W 等の高融点金属層を形成した後に、当該金属層をフォトリソグラフィによりエッチングして遮光膜 2 4 を形成する。

[0096] （第 2 絶縁膜形成工程）

次に、図 1 4 に示すように、遮光膜 2 4 を覆うと共に、当該遮光膜 2 4 の段差形状を反映した凹凸状の表面を有する第 2 絶縁膜 2 2 を、第 1 絶縁膜 2 5 の表面に形成する。第 2 絶縁膜 2 2 は、例えばシリコン窒化膜等の緻密な保護絶縁膜である。

[0097] （ダミーパターン形成工程）

次に、図 1 6 に示すように、隣り合う遮光膜 2 4 同士の間における第 2 絶縁膜 2 2 の表面にダミーパターン 2 0 を形成する。すなわち、図 1 5 に示すように、第 2 絶縁膜 2 2 の表面全体に絶縁膜としてのシリコン酸化膜 4 5 を形成する。このシリコン酸化膜 4 5 の厚みは、遮光膜 2 4 と同程度とする。

[0098] その後、第 2 絶縁膜 2 2 をエッチストッパーとして、第 2 絶縁膜 2 2 の表面に形成したシリコン酸化膜 4 5 をエッチングすることにより、図 1 6 に示すように、ダミーパターン 2 0 を形成する。

[0099] （第 3 絶縁膜形成工程）

次に、図 1 6 に示すように、第 2 絶縁膜 2 2 の表面に絶縁材層 4 6 を形成する。その後、図 1 7 に示すように、絶縁材層 4 6 の表面を CMP 法等により研磨して平坦化することにより、第 3 絶縁膜 3 3 を形成する。

[0100] （貼り付け工程）

次に、図 1 8 に示すように、遮光膜 2 4 が設けられている基体層 1 5 を、第 3 絶縁膜 3 3 の平坦な表面においてガラス基板 2 1 に貼り付ける。このとき、第 3 絶縁膜 3 3 の表面は、ファンデルワールス力による自己接合によって、ガラス基板 2 1 の表面に貼り付けられる。

[0101] (分離工程)

次に、ガラス基板 2 1 に貼り付けられた基体層 1 5 の一部を、400～600℃程度に加熱することにより、剥離層 4 2 に沿って分離除去する。

[0102] (半導体層形成工程)

次に、図 1 9 に示すように、ガラス基板 2 1 上に残った基体層 1 5 をエッチングすることにより、半導体層 2 7 となる凸状領域 5 6 を、遮光膜 2 4 の少なくとも一部に重なるように形成する。この凸状領域 5 6 は、図 1 9 に示すように、アイランド状に形成される。

[0103] (ゲート絶縁膜形成工程)

次に、図 1 1 に示すように、半導体層 2 7 を覆うように、ゲート絶縁膜 2 8 を形成する。ゲート絶縁膜 2 8 の表面は、半導体層 2 7 の表面に沿って凸面状に形成される。

[0104] (ゲート電極形成工程)

次に、図 1 1 に示すように、ゲート絶縁膜 2 8 の表面に、半導体層 2 7 のチャネル領域 5 1 に重なるようにゲート電極 2 9 を形成する。

[0105] (高濃度不純物形成工程)

次に、図 1 1 に示すように、ゲート電極 2 9 をマスクとして、不純物元素を半導体層 2 7 に導入する。そのことにより、ゲート電極 2 9 に重ならない領域に高濃度不純物領域 5 2 を形成する一方、ゲート電極 2 9 に重なっている領域にチャネル領域 5 1 を形成する。

[0106] その後、上記実施形態 1 と同様に、層間絶縁膜 3 0 等にコンタクトホール 3 1 を形成し、複数の配線部 3 2 を形成する。以上の各工程を行って、半導体装置 1 0 を製造する。

[0107] 一実施形態 2 の効果一

したがって、この実施形態 2 によると、上記実施形態 1 と同様に、大判のガラス基板 2 1 上で CMP 処理を行う必要がなく、遮光膜 2 4 の形状にかかわらず、当該遮光膜 2 4 を覆う第 3 絶縁膜 3 3 を、基体層 1 5 上で高精度に CMP 法により平坦化することができる。

[0108] さらに、第 1 絶縁膜 2 5 を形成する前に予め基体層 1 5 に凸状領域を形成しないようにしたので、表面が平坦な基体層 1 5 及び第 1 絶縁膜 2 5 を介して、当該基体層 1 5 に水素をイオン注入することができる。その結果、より均一な深さ位置に剥離層 4 2 を形成することが可能になる。

[0109] 加えて、第 1 絶縁膜 2 5 の平坦化処理が不要になるため、CMP 法による平坦化工程を減少させることができ、その平坦化工程を第 3 絶縁膜 3 3 形成時の 1 回で済むようにすることができる。

[0110] 《発明の実施形態 3》

図 2 0 は、本発明の実施形態 3 を示している。

[0111] 図 2 0 は、本実施形態 3 における半導体装置 1 0 の要部を示す断面図である。図 2 1 は、第 1 容量素子 6 a 及び第 2 容量素子 6 b における電圧と容量との関係を示すグラフである。

[0112] ー半導体装置の構成ー

上記実施形態 1 及び 2 では、半導体装置 1 0 が半導体素子としての TFT 5 を有していたのに対し、本実施形態 3 における半導体装置 1 0 が有する半導体素子の少なくとも 1 つは、容量素子 6 a、6 b である。

[0113] 本実施形態における半導体装置 1 0 は、支持基板としてのガラス基板 2 1 と、ガラス基板 2 1 上に高密度且つ高精度に形成されたデバイス部 D とを備えている。デバイス部 D には、第 1 容量素子 6 a と第 2 容量素子 6 b とが含まれる。

[0114] 第 1 容量素子 6 a は、図 2 0 に示すように、一方の容量電極としてのバックゲート電極 5 4 と、これに対向して配置された他方の容量電極である N+ 型の不純物元素が導入された半導体層 2 7（高濃度不純物領域 5 2）とを有している。

- [0115] 第2容量素子6bは、一方の容量電極としての半導体層27（チャネル領域51及び高濃度不純物領域52）と、これに対向して配置された他方の容量電極としての電極層55とを有している。
- [0116] すなわち、ガラス基板21の平坦な表面には、第1凹部23及び第2凹部26が交互に並んで複数形成されている。第1凹部23内には、例えばシリコン酸化膜等からなるダミーパターン20がそれぞれ設けられている。また、第3絶縁膜33の表面には、各ダミーパターン20を覆うように第2絶縁膜22が形成されている。すなわち、第2絶縁膜22の一部は、第2凹部26内に設けられている。
- [0117] 第2絶縁膜22は、略一定の厚みを有している。そのため、第2凹部26に沿って第2絶縁膜22が形成されることにより、第2絶縁膜22における第2凹部26に重なる領域には、第3凹部38が形成されている。第2絶縁膜22は、例えばシリコン窒化膜等の緻密な絶縁膜によって構成されている。
- [0118] こうして、本実施形態3においても、上記実施形態1及び2と同様に、ダミーパターン20と、ダミーパターン20に重なっている第2絶縁膜22との厚みの合計が、遮光膜24と遮光膜24に重なっている第2絶縁膜22との厚みの合計と、同じになっている。
- [0119] また、上記第3凹部38内にはバックゲート電極54又は遮光膜24が設けられている。このバックゲート電極54及び遮光膜24の表面は、第2絶縁膜22の表面と同一の平面を構成している。バックゲート電極54及び遮光膜24は、例えばMo、TiN又はW等の高融点金属によって形成されている。
- [0120] 第2絶縁膜22の表面には、第1絶縁膜25がバックゲート電極54及び遮光膜24を覆うように形成されている。第1絶縁膜25の上記第2絶縁膜22と反対側の表面には、バックゲート電極54及び遮光膜24の少なくとも一部と重なる領域に第4凹部39が形成されている。また、半導体層27の少なくとも一部は、バックゲート電極54又は遮光膜24に重なっている。

。

[0121] 第4凹部39内には、半導体層27が形成され、この半導体層27の表面は、第1絶縁膜25における第2絶縁膜22と反対側の表面と同一の平面を構成している。このことにより、第1絶縁膜25の表面には、半導体層27がアイランド状に形成されている。

[0122] バックゲート電極54に対向する第4凹部39には、第1容量素子6aを構成する高濃度不純物領域52が設けられている。一方、遮光膜24に対向する第4凹部39には、第2容量素子6bを構成するチャネル領域51及び高濃度不純物領域52が設けられている。

[0123] 基体層15の一部は、水素等の剥離用物質がイオン注入されることにより形成された剥離層42に沿って分離除去されている。そうして、基体層15はその一部が加熱処理によって分離除去されることにより薄膜化されている。

。

[0124] 各半導体層27及び第1絶縁膜25の表面は、ゲート絶縁膜28によって直接に覆われている。ゲート絶縁膜28の表面には、第2容量素子6bを構成する半導体層27のチャネル領域51に重なるように、電極層55が形成されている。

[0125] ゲート絶縁膜28上には、電極層55を覆うように層間絶縁膜30が形成されている。層間絶縁膜30には、電極層55、バックゲート電極54、及び各高濃度不純物領域52の上方位置にコンタクトホール31が貫通形成されている。さらに、層間絶縁膜30の表面及びコンタクトホール31の内部には、配線部32が形成されている。また、層間絶縁膜30の表面には、各配線部32を覆うように保護膜40が形成されている。

[0126] ー製造方法ー

本実施形態の半導体装置10は、上記実施形態1と同様にして製造することができる。そして、半導体素子の少なくとも1つとして、不純物元素が導入された半導体層（高濃度不純物領域52）と、バックゲート電極54とを互いに対向するように形成することによって、その高濃度不純物領域52及

びバックゲート電極 5 4 を一対の容量電極とする容量素子 6 a を形成する。

[0127] すなわち、実施形態 1 と同様に、凸状領域形成工程、第 1 絶縁膜形成工程、及び剥離層形成工程を順に行う。次に、遮光膜形成工程において、遮光膜 2 4 及びバックゲート電極 5 4 を同時に形成する。バックゲート電極 5 4 は、遮光膜 2 4 と同様に、高融点金属層をフォトリソグラフィ及びエッチングによりパターンニングして形成する。

[0128] その後、第 2 絶縁膜形成工程、ダミーパターン形成工程、第 3 絶縁膜形成工程、貼り付け工程、分離工程、半導体層形成工程、及びゲート絶縁膜形成工程を順に行う。半導体層形成工程では、第 1 容量素子 6 a 及び第 2 容量素子 6 b の容量電極となる半導体層 2 7 を形成する。

[0129] 次に、電極層形成工程では、ゲート電極形成工程と同様に、電極層 5 5 を上記チャネル領域 5 1 に重なる位置に形成する。

[0130] 次に、上記半導体層 2 7 の少なくとも一部に不純物元素を導入して高濃度不純物領域 5 2 を形成する高濃度不純物形成工程を行った後に、層間絶縁膜 3 0 等にコンタクトホール 3 1 を形成する。続いて、層間絶縁膜 3 0 上に形成した金属層をフォトリソグラフィによりパターンニングして、複数の配線部 3 2 を形成する。以上の各工程を行って、半導体装置 1 0 を製造する。

[0131] したがって、この実施形態 3 によると、上記実施形態 1 と同様に、大判のガラス基板 2 1 上で CMP 処理を行う必要がなく、バックゲート電極 5 4 及び遮光膜 2 4 の形状にかかわらず、当該バックゲート電極 5 4 及び遮光膜 2 4 を覆う第 3 絶縁膜 3 3 を、基体層 1 5 上で高精度に CMP 法により平坦化することができる。

[0132] さらに、第 2 容量素子 6 b については、半導体層 2 7 のチャネル領域 5 1 に重なる遮光膜 2 4 を設けるようにしたので、当該チャネル領域 5 1 への光の入射を遮って誤作動を防止することができる。

[0133] ここで、図 2 1 に示すように、第 2 容量素子 6 b は、容量電極の一方が半導体層 2 7 のチャネル領域 5 1 であるために、閾値電圧以上の印加電圧によって容量 C が生じることとなる。一方、第 1 容量素子 6 a は、容量電極の一

方を全体が半導体層 2 7 の高濃度不純物領域 5 2 によって構成されているため、容量 C は印加電圧にかかわらず一定となる。すなわち、広い印加電圧領域において安定した容量素子として、第 1 容量素子 6 a を利用することができる。

[0134] 《その他の実施形態》

上記実施形態 1 ～ 3 では、半導体装置 1 0 を、ガラス基板 2 1 に直接に形成されたドライバ等の各種機能回路として適用した例について説明したが、本発明はこれに限らず、例えば、各画素 1 9 に形成されて画素電極を駆動するための T F T を有する半導体装置としても、同様に適用することができる。

[0135] また、液晶表示装置以外にも例えば有機 E L 表示装置等の他の表示装置に用いられる半導体装置について、同様に本発明を適用することが可能である。

産業上の利用可能性

[0136] 以上説明したように、本発明は、例えば液晶表示装置等に用いられる半導体装置、及びその製造方法について有用である。

符号の説明

[0137]	1	液晶表示装置
	5	T F T（半導体素子）
	6 a	第 1 容量素子
	6 b	第 2 容量素子
	1 0	半導体装置
	1 5	基体層
	1 6	凸状領域
	2 0	ダミーパターン
	2 1	ガラス基板、支持基板
	2 2	第 2 絶縁膜（保護絶縁膜）
	2 3	第 1 凹部

2 4	遮光膜
2 5	第 1 絶縁膜
2 6	第 2 凹部
2 7	半導体層
3 3	第 3 絶縁膜
3 8	第 3 凹部
4 1	剥離用物質
4 2	剥離層
4 6	絶縁材層
5 1	チャネル領域
5 2	高濃度不純物領域
5 4	バックゲート電極
5 6	凸状領域

請求の範囲

[請求項1]

基体層の表面に平坦な表面を有する第1絶縁膜を形成する工程と、
上記基体層に剥離用物質をイオン注入して剥離層を形成する工程と、
、
上記第1絶縁膜の表面に遮光膜又はバックゲート電極を複数形成する工程と、
上記遮光膜又はバックゲート電極を覆うと共に、当該遮光膜又はバックゲート電極の段差形状を反映した凹凸状の表面を有する第2絶縁膜を、上記第1絶縁膜の表面に形成する工程と、
隣り合う上記遮光膜同士の間、又は隣り合う上記バックゲート電極同士の間における上記第2絶縁膜の表面に、上記第1絶縁膜の表面からの高さが、上記遮光膜又はバックゲート電極上の上記第2絶縁膜の表面高さと同じであるダミーパターンを形成する工程と、
上記第2絶縁膜の表面に、上記ダミーパターンを覆うと共に平坦な表面を有する第3絶縁膜を形成する工程と、
上記第3絶縁膜が設けられた基体層を、当該第3絶縁膜の平坦な表面において支持基板に貼り付ける工程と、
上記支持基板に貼り付けられた基体層の一部を、上記剥離層に沿って分離除去する工程と、
上記支持基板上に残った基体層により、半導体素子を構成する半導体層を、該半導体層の少なくとも一部が上記遮光膜又はバックゲート電極に重なるように複数形成する工程とを有することを特徴とする半導体装置の製造方法。

[請求項2]

請求項1に記載された半導体装置の製造方法において、
上記第2絶縁膜は、金属イオンの透過を抑制する保護絶縁膜によって構成されている
ことを特徴とする半導体装置の製造方法。

[請求項3]

請求項2に記載された半導体装置の製造方法において、

上記保護絶縁膜は、シリコン窒化膜であることを特徴とする半導体装置の製造方法。

[請求項4] 請求項 1 乃至 3 の何れか 1 つに記載された半導体装置の製造方法において、

上記第 3 絶縁膜を形成する工程では、上記第 2 絶縁膜の表面に絶縁材層を形成した後に、該絶縁材層の表面を平坦化することにより上記第 3 絶縁膜を形成し、

上記遮光膜又はバックゲート電極と、上記ダミーパターンとの間隔は、上記第 2 絶縁膜の厚みよりも大きく、且つ、上記遮光膜又はバックゲート電極上における上記絶縁材層の厚みよりも小さいことを特徴とする半導体装置の製造方法。

[請求項5] 請求項 1 乃至 4 の何れか 1 つに記載された半導体装置の製造方法において、

上記第 1 絶縁膜を形成する工程の前に行われ、上記基体層の表面をエッチングすることにより、上記半導体層となる凸状領域を形成する工程を有し、

上記遮光膜又はバックゲート電極を形成する工程では、上記凸状領域の少なくとも一部に重なるように、上記遮光膜又はバックゲート電極を形成することを特徴とする半導体装置の製造方法。

[請求項6] 請求項 1 乃至 4 の何れか 1 つに記載された半導体装置の製造方法において、

上記基体層の一部を分離除去する工程の後に行われ、上記支持基板上に残った基体層をエッチングすることにより、上記半導体層となる凸状領域を、上記遮光膜又はバックゲート電極の少なくとも一部に重なるように形成する工程を有することを特徴とする半導体装置の製造方法。

[請求項7] 請求項 1 乃至 6 の何れか 1 つに記載された半導体装置の製造方法に

おいて、

上記剥離層を形成する工程は、上記遮光膜又はバックゲート電極を形成する工程よりも前に行う

ことを特徴とする半導体装置の製造方法。

[請求項8] 請求項1乃至7の何れか1つに記載された半導体装置の製造方法において、

上記ダミーパターンを形成する工程では、上記第2絶縁膜をエッチストップパーとして、第2絶縁膜の表面に形成した絶縁膜をエッチングすることにより、上記ダミーパターンを形成する

ことを特徴とする半導体装置の製造方法。

[請求項9] 請求項1乃至8の何れか1つに記載された半導体装置の製造方法において、

上記遮光膜又はバックゲート電極を形成する工程では、バックゲート電極を形成し、

上記半導体層に不純物元素を導入する工程を有し、

上記半導体素子の少なくとも1つとして、上記不純物元素が導入された半導体層と、上記バックゲート電極とを互いに対向するように形成することにより、当該半導体層及びバックゲート電極を一对の容量電極とする容量素子を形成する

ことを特徴とする半導体装置の製造方法。

[請求項10] 支持基板の平坦な表面に形成された第3絶縁膜と、

上記第3絶縁膜の表面に交互に並んで複数形成された第1凹部及び第2凹部と、

上記第1凹部内に設けられたダミーパターンと、

上記ダミーパターンを覆うように上記第3絶縁膜の表面に形成され、一部が上記第2凹部内に設けられた第2絶縁膜と、

上記第2絶縁膜における上記第2凹部に重なる領域に形成された第3凹部と、

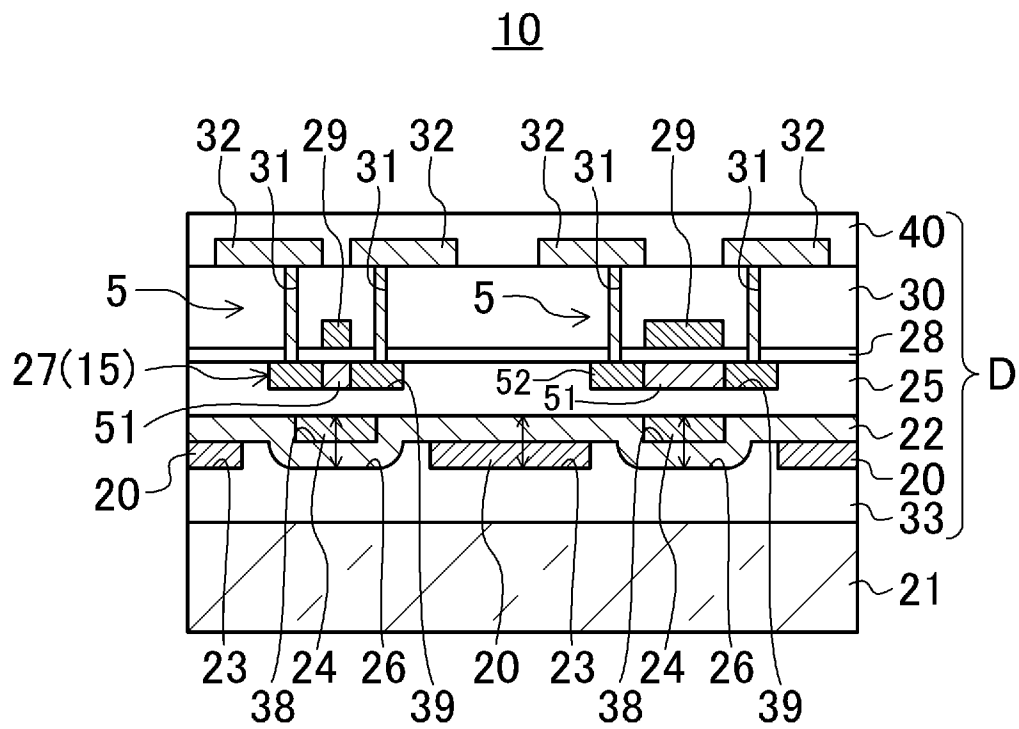
上記第3凹部内に設けられた遮光膜又はバックゲート電極と、
上記遮光膜又はバックゲート電極を覆うように上記第2絶縁膜の表面に形成された第1絶縁膜と、
上記遮光膜又はバックゲート電極の少なくとも一部に重なるように上記第1絶縁膜の表面に形成され、半導体素子を構成する半導体層とを備え、
上記ダミーパターンと該ダミーパターンに重なっている第2絶縁膜との厚みの合計は、上記遮光膜又はバックゲート電極と該遮光膜又はバックゲート電極に重なっている第2絶縁膜との厚みの合計と同じである
ことを特徴とする半導体装置。

[請求項11] 請求項10に記載された半導体装置において、
上記第2絶縁膜は、金属イオンの透過を抑制する保護絶縁膜によって構成されている
ことを特徴とする半導体装置。

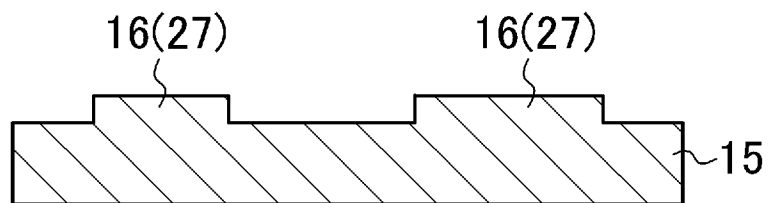
[請求項12] 請求項11に記載された半導体装置において、
上記保護絶縁膜は、シリコン窒化膜である
ことを特徴とする半導体装置。

[請求項13] 請求項10乃至12の何れか1つに記載された半導体装置において、
上記第3凹部内には、上記バックゲート電極が設けられ、
上記半導体素子の少なくとも1つは、上記バックゲート電極と、該バックゲート電極に対向して配置され、不純物元素が導入された上記半導体層とをそれぞれ容量電極として備える容量素子である
ことを特徴とする半導体装置。

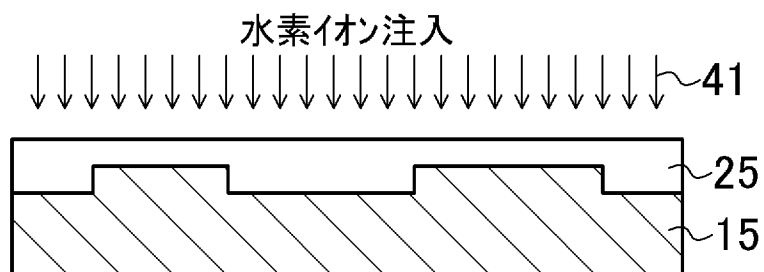
[図1]



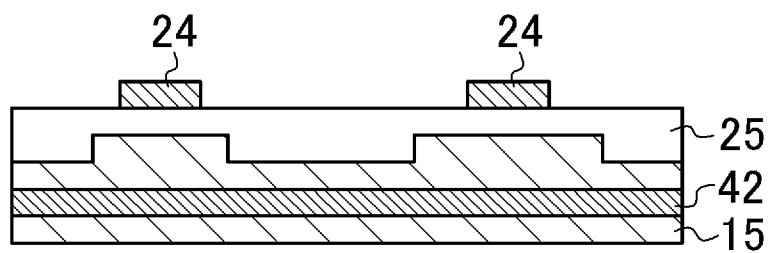
[図2]



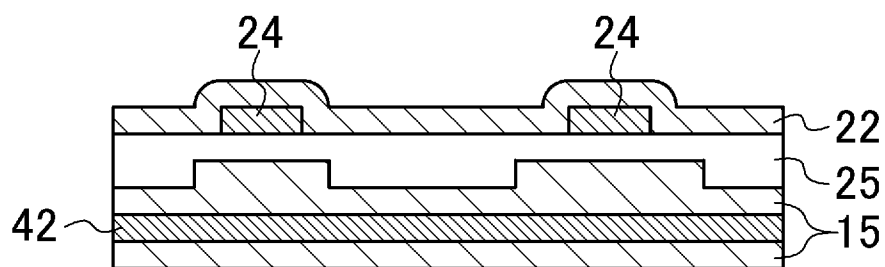
[図3]



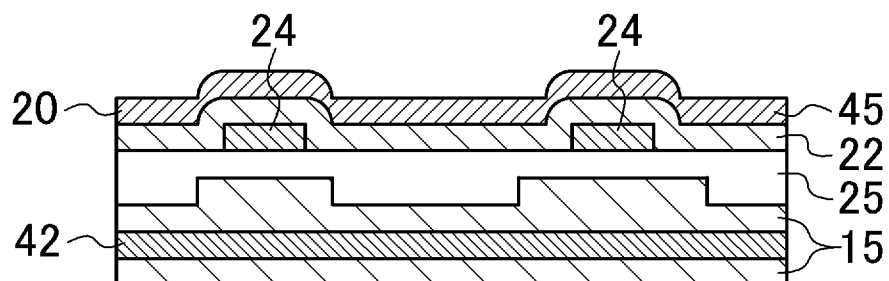
[図4]



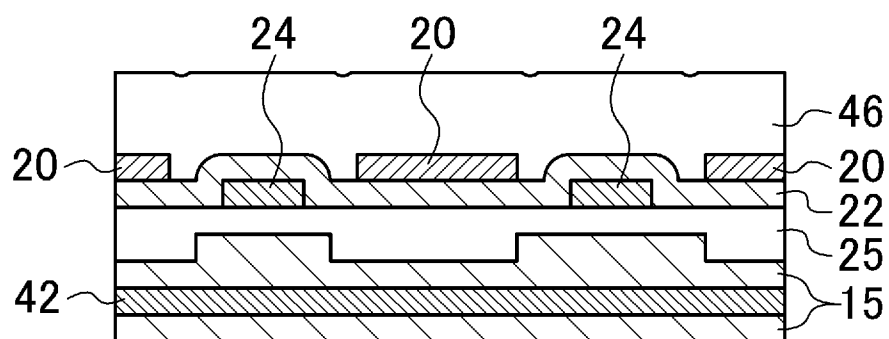
[図5]



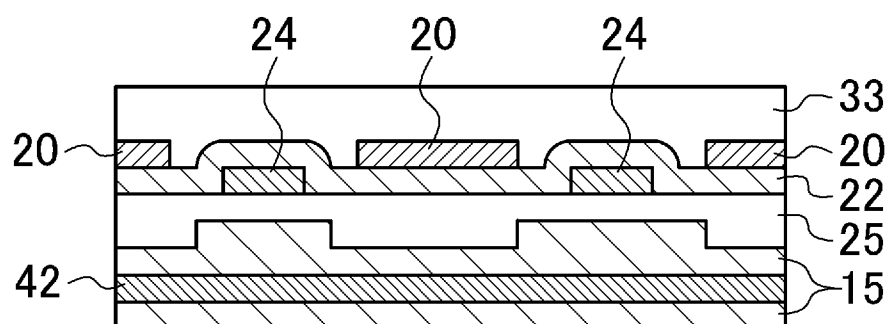
[図6]



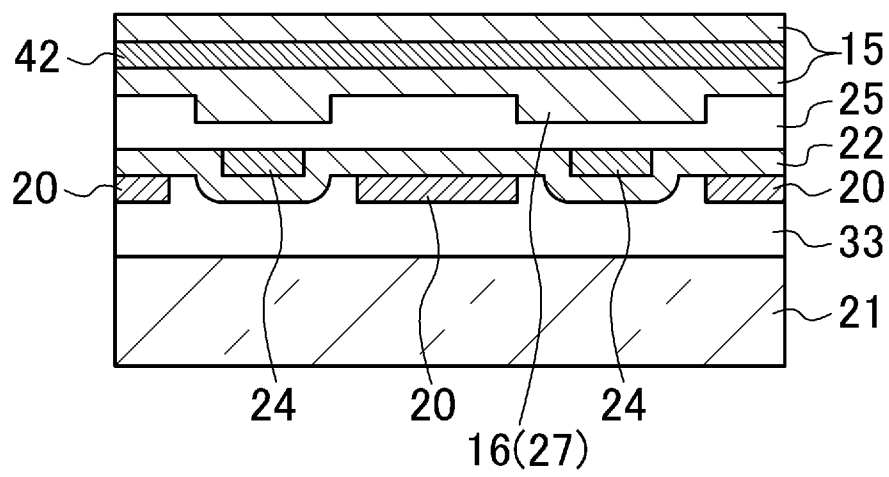
[図7]



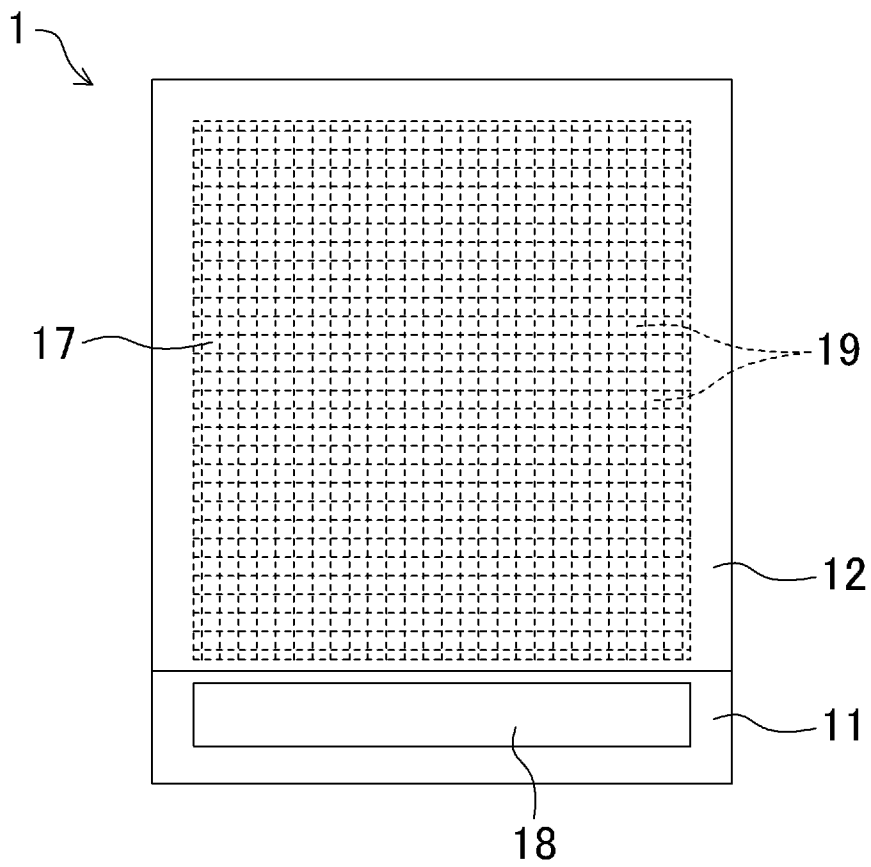
[図8]



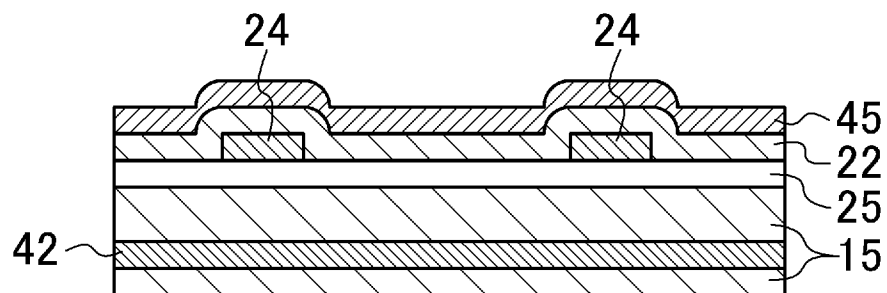
[図9]



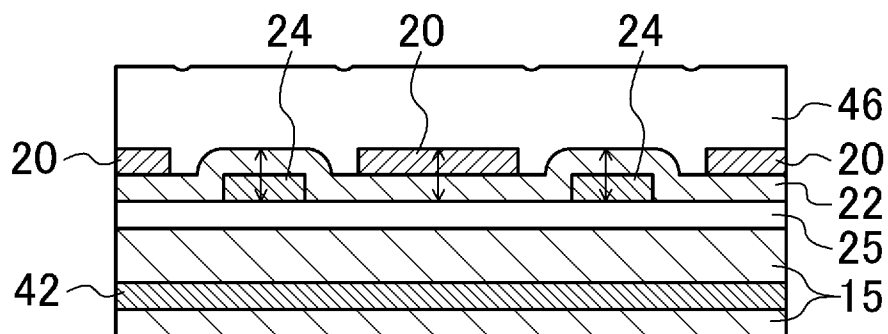
[図10]



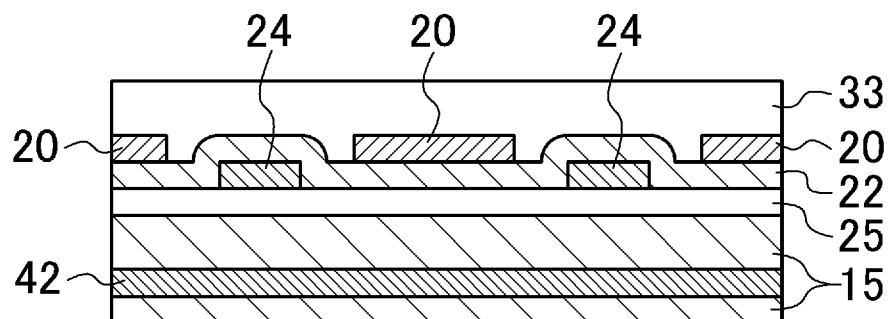
[図15]



[図16]



[図17]



[図18]

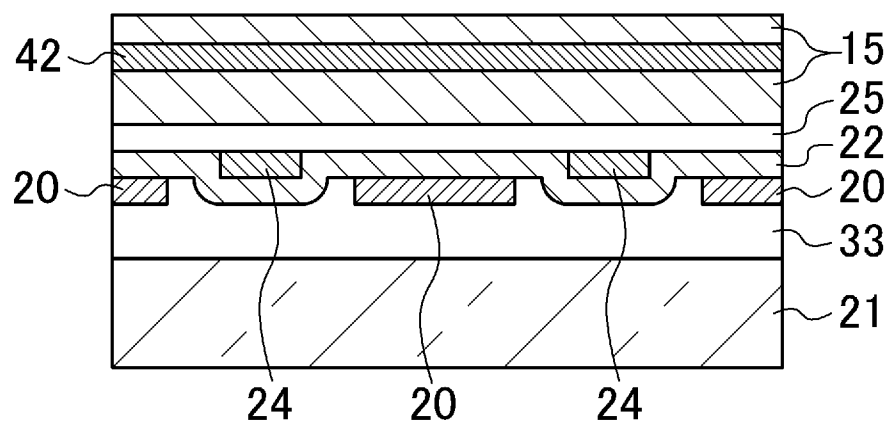


Figure 1 is a graph showing the relationship between capacitance C [V] (Y-axis) and gate voltage V_g [V] (X-axis). The curve shows a transition from a low capacitance state (labeled '第1容量素子') to a high capacitance state (labeled '第2容量素子') as the gate voltage increases. The transition occurs around 0 [V].

A cross-sectional view of a semiconductor device. It shows a substrate 102 with a patterned layer 103 on top. The patterned layer 103 has three rectangular regions. Below these regions, a conductive layer 101 is shown, which is connected to the patterned layer 103. The conductive layer 101 is shown as a continuous layer under the patterned layer 103.

108

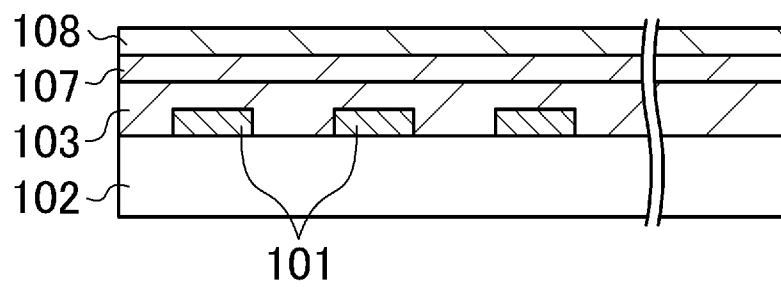
107

103

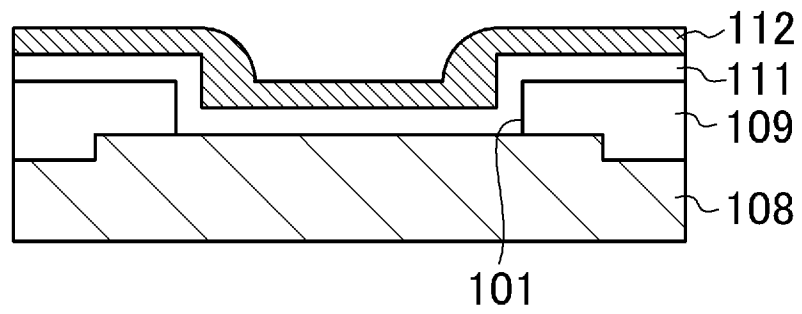
102

101

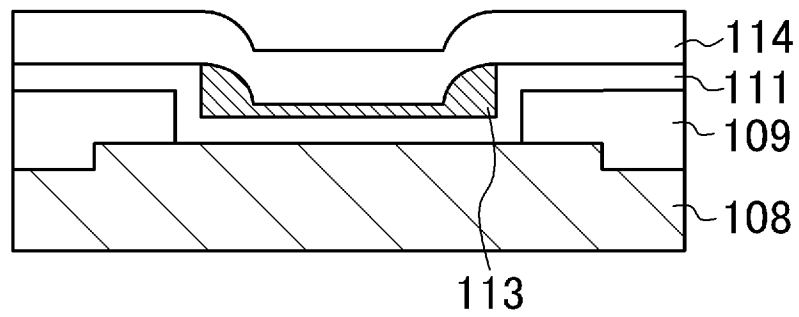
[図25]



[図26]



[図27]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2010/003814

A. CLASSIFICATION OF SUBJECT MATTER

H01L21/336(2006.01)i, G02F1/1368(2006.01)i, H01L21/02(2006.01)i,
H01L21/822(2006.01)i, H01L27/04(2006.01)i, H01L27/12(2006.01)i,
H01L29/786(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L21/336, G02F1/1368, H01L21/02, H01L21/76, H01L21/822, H01L27/04,
H01L27/12, H01L29/786

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2010
Kokai Jitsuyo Shinan Koho	1971-2010	Toroku Jitsuyo Shinan Koho	1994-2010

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2000-340795 A (Sony Corp.), 08 December 2000 (08.12.2000), entire text (Family: none)	1-13
A	JP 2000-236095 A (Fujitsu Ltd.), 29 August 2000 (29.08.2000), entire text (Family: none)	1-13
A	JP 11-112000 A (Denso Corp.), 23 April 1999 (23.04.1999), entire text (Family: none)	1-13



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
25 August, 2010 (25.08.10)

Date of mailing of the international search report
07 September, 2010 (07.09.10)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2010/003814

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 4-307972 A (Fujitsu Ltd.), 30 October 1992 (30.10.1992), entire text (Family: none)	1-13
A	JP 11-97654 A (Denso Corp.), 09 April 1999 (09.04.1999), entire text & US 6191007 B1	1-13
A	JP 2-177435 A (Sony Corp.), 10 July 1990 (10.07.1990), entire text (Family: none)	1-13

A. 発明の属する分野の分類（国際特許分類（I P C））

Int.Cl. H01L21/336(2006.01)i, G02F1/1368(2006.01)i, H01L21/02(2006.01)i, H01L21/822(2006.01)i,
H01L27/04(2006.01)i, H01L27/12(2006.01)i, H01L29/786(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. H01L21/336, G02F1/1368, H01L21/02, H01L21/76, H01L21/822, H01L27/04, H01L27/12, H01L29/786

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 0 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 0 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 0 年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2000-340795 A (ソニー株式会社) 2000.12.08, 全文（ファミリーなし）	1-13
A	JP 2000-236095 A (富士通株式会社) 2000.08.29, 全文（ファミリーなし）	1-13
A	JP 11-112000 A (株式会社デンソー) 1999.04.23, 全文（ファミリーなし）	1-13

☒ C 欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

2 5 . 0 8 . 2 0 1 0

国際調査報告の発送日

0 7 . 0 9 . 2 0 1 0

国際調査機関の名称及びあて先

日本国特許庁（I S A / J P）
郵便番号 1 0 0 - 8 9 1 5
東京都千代田区霞が関三丁目 4 番 3 号

特許庁審査官（権限のある職員）

宮澤 尚之

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 4 6 2

4 M

9 2 7 8

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 4-307972 A (富士通株式会社) 1992.10.30, 全文 (ファミリーなし)	1-13
A	JP 11-97654 A (株式会社デンソー) 1999.04.09, 全文 & US 6191007 B1	1-13
A	JP 2-177435 A (ソニー株式会社) 1990.07.10, 全文 (ファミリーなし)	1-13