

公告本

申請日期	91 6 28
案 號	91114347
類 別	4012 1/10

A4
C4

(以上各欄由本局填註)

569429

發明專利說明書

一、發明名稱	中 文	半導體積體電路裝置之製造方法
	英 文	METHOD FOR MANUFACTURING SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE
二、發明人	姓 名	1.藤原 剛 2.朝香 勝征 3.成吉 康裕 4.星野 義典 5.大森 一稔
	國 籍	1-5均日本 JAPAN
住、居所	住、居所	1,2,5均日本國東京都千代田丸內1丁目5番1號新丸大樓日立製作所股份有限公司知的所有權本部 3.日本國東京都小平市上水本町五丁目22番1號日立超愛爾·愛斯·愛系統股份有限公司 4.日本國群馬縣高崎市西橫手町1番地1日立東部半導體股份有限公司
	代 表 人 姓 名	1.日商日立製作所股份有限公司 HITACHI, LTD. 2.日商日立超愛爾·愛斯·愛系統股份有限公司 HITACHI ULSI SYSTEMS CO., LTD. 3.日商日立東部半導體股份有限公司 HITACHI TOHBU SEMICONDUCTOR, LTD. 1-3均日本 JAPAN
三、申請人	姓 名 (名稱)	1.日本國東京都千代田區神田駿河台四丁目6番地 2.日本國東京都小平市上水本町5丁目22番1號 3.日本國群馬縣高崎市西橫手町1番地1
	代 表 人 姓 名	1.庄山 悅彦 ETSUHIKO SHOYAMA 2.小切間 正彦 MASAHIKO OGIRIMA 3.小木曾 夏樹 NATSUKI KOGISO

(由本局填寫)

承辦人代碼：
大 類：
I P C 分類：

A6
B6

本案已向：

國（地區） 申請專利，申請日期： 案號： ，☐有 ☐無主張優先權
日本 2001年08月09日 特願2001-241793 ☒有 ☐無主張優先權

有關微生物已寄存於： 寄存日期： ，寄存號碼：

裝
訂
線

五、發明說明(1)

[發明之技術領域]

本發明係有關半導體積體電路裝置的製造技術，尤其是有關應用於金屬配線上之絕緣膜形成的有效技術。

[先前技藝]

近年來，隨LSI的高積體化，發展成元件及配線的疊層構造化。此等之間雖係以層間絕緣膜分離，但隨疊層化之發展，因構成元件及配線之導電性層及層間絕緣膜之膜應力，而發生配線剝離及斷線等問題。

尤其是在配線等之上部形成層間絕緣膜後，於具有高溫之熱處理時，因實施熱處理造成膜應力增加，配線之剝離及斷線等問題嚴重。

如特開平10-173049號公報中記載有：以化學汽相生長(CVD)法，在位元線配線層表面覆蓋硼磷矽酸鹽玻璃(BPSG)膜83的技術，亦記載有：使用高密度電漿氧化矽(HDP-SiO)膜以取代BPSG膜時，於形成步驟中不需要施加高溫，因此可進一步抑制熱壓。

此外，於特開平11-243180號公報中記載有關藉由電漿CVD法，以氧化矽膜形成在位元線27與電容器之下部電極之間構成絕緣用之第三層間絕緣膜時的成膜條件。

[發明所欲解決之問題]

本發明人為求解決前述之配線剝離及斷線等問題，就半導體積體電路裝置之特性的提高實施各種檢討。

如動態隨機存取記憶體(DRAM; Dynamic Random Access Memory)之記憶體單元包含：記憶體單元選擇用金屬絕緣體

五、發明說明(2)

半導體場效電晶體(MISFET; Metal Insulator Semiconductor Field Effect Transistor)、及與其串聯的電容器(資訊儲存用電容元件),未連接於前述MISFET之電容器的端子與位元線連接。

該DRAM之構造中的所謂位元線上電容器(COB; capacitor over bit-line)構造,如後述,係在位元線的上部形成有電容器,在位元線與電容器之間形成有層間絕緣膜。進一步詳細說明,該電容器之形成步驟中包含高溫的熱處理步驟,因此時之位元線與層間絕緣膜之膜應力的變化而產生位元線的斷線及剝離。

本發明之目的在緩和構成半導體積體電路裝置之配線及其上部所形成之絕緣膜的膜應力,以防止配線的斷線及剝離。

此外,本發明之其他目的在促使半導體積體電路裝置的特性提高。

本發明之前述及其他目的與新特徵,從本說明書之內容及附圖即可瞭解。

[解決問題之手段]

本專利所揭示之主要發明的概要簡單說明如下:

(1)本發明之半導體積體電路裝置的製造方法,係以覆蓋配線之方式,以第一溫度形成第二絕緣膜後,在前述第二絕緣膜上,以高於前述第一溫度之第二溫度實施熱處理,繼續在前述第二絕緣膜上形成第一電極、電介質膜及第二電極者。

五、發明說明 (3)

(2) 本發明之半導體積體電路裝置的製造方法具有形成步驟，其係以覆蓋配線之方式，藉由化學汽相生長法形成第二絕緣膜，在前述第二絕緣膜上形成塗敷膜之第三絕緣膜，以第一溫度實施熱處理後，在前述第三絕緣膜上藉由化學汽相生長法形成第四絕緣膜，繼續於前述第四絕緣膜上形成第一電極、電介質膜及第二電極，前述電介質膜之形成步驟包含以第二溫度對前述電介質膜實施熱處理的步驟，使前述第一溫度高於前述第二溫度者。

(3) 本發明之半導體積體電路裝置的製造方法具有，以覆蓋配線之方式，形成第二絕緣膜，以第一溫度在前述第二絕緣膜上實施熱處理後，以露出前述配線之表面的方式，在前述第二絕緣膜上實施蝕刻，在前述第二絕緣膜上形成開口，以第二溫度之化學汽相生長法在前述開口內形成第一導體層，在前述第一導體層上形成第二導體層，在前述第二、第一導體層上實施研磨，於前述開口內選擇性保留前述第一、第二導體層的步驟，使前述第一溫度高於前述第二溫度者。

[發明之實施形態]

以下，依據圖式詳細說明本發明之實施形態。另外，用於說明實施形態之全部圖式中，具有相同功能者註記相同符號，並省略其重複說明。

(第一種實施形態)

以下，使用圖1~圖11，按照步驟順序，說明本實施形態之DRAM的製造方法。

五、發明說明 (4)

首先，如圖1及圖2所示，在半導體基板1 (p型井3，活性區域L)的主表面上形成記憶體單元選擇用MISFETQs。以下，顯示形成該記憶體單元選擇用MISFETQs的一種步驟。圖1係顯示本實施形態之DRAM之製造步驟之半導體基板的重要部分剖面圖，圖2係顯示本實施形態之DRAM之製造步驟之半導體基板的重要部分平面圖。圖1與圖2之A-A剖面相對應。

如圖2所示，活性區域(L)以元件分離2區分，該元件分離2可形成如下。

首先，蝕刻半導體基板1的表面以形成溝，在該溝的內部形成薄的氧化矽膜(圖上未顯示)。繼續，以化學汽相生長法(CVD: Chemical Vapor Deposition)法，在包含該溝內部的半導體基板1上堆積氧化矽膜5後，以化學機械研磨(Chemical Mechanical Polishing; CMP)法研磨氧化矽膜5。其次，藉由在半導體基板1內植入硼(B)離子，以形成p型井3。因而，形成有如圖2所示之藉由元件分離2包圍周圍之細長島狀的活性區域(L)。分別在此等活性區域(L)上各形成有兩個共用源極、汲極之一方的記憶體單元選擇用MISFETQs。

繼續，形成記憶體單元選擇用MISFETQs，於形成該記憶體單元選擇用MISFETQs時，首先，以氟酸(HF)系之洗淨液洗淨p型井3的表面後，藉由熱氧化半導體基板1，在p型井3(活性區域L)的表面形成閘極絕緣膜8。

其次，在閘極絕緣膜8的上部形成閘極(導體片)G。形成

五、發明說明 (5)

該閘極G時，首先，在閘極絕緣膜8之上部依序堆積摻雜磷(P)等之n型多晶矽膜9a、氮化鎢(WN，圖上未顯示)、鎢(W)膜9b及氮化矽膜10後，將光阻膜(圖上未顯示)作為掩模，藉由乾式蝕刻氮化矽膜10，於形成閘極之區域內保留氮化矽膜10。

其次，將氮化矽膜10作為掩模，藉由乾式蝕刻鎢膜9b、氮化鎢膜(圖上未顯示)及多晶矽膜9a，形成包含多晶矽膜9a、氮化鎢膜及鎢膜9b的閘極G。另外，閘極G係發揮字元線WL的功能。

其次，在水及氫的環境下，實施所謂之濕型氫(Wet Hydrogen)氧化，在多晶矽膜9a之側壁形成薄的氧化膜(Light氧化膜)11a。形成該氧化膜係用於提高閘極與源極、汲極區域之耐絕緣壓。此外，藉由該濕型氫氧化，可以不氧化鎢膜9b，而僅選擇性氧化矽(多晶矽、矽基板)。因此，可防止鎢膜9b的異常氧化。

繼續，藉由在閘極G之兩側的p型井3內植入n型雜質(磷)，以形成n⁻型半導體區域13。

繼續，以CVD法在半導體基板1上堆積氮化矽膜，藉由異方性蝕刻，在閘極G之側壁形成側壁膜16。

其次，如圖3及圖4所示，以CVD法在半導體基板1之上部堆積氧化矽膜19後，以CMP法研磨氧化矽膜19的上部，將其表面予以平坦化。圖3係顯示本實施形態之DRAM之製造步驟之半導體基板的重要部分剖面圖，圖4係顯示本實施形態之DRAM之製造步驟之半導體基板的重要部分平面圖。圖

五、發明說明 (6)

3與圖4之A-A剖面部對應。

其次，在 n^- 型半導體區域13的上部形成接觸孔20, 21，使半導體基板1 (n^- 型半導體區域13)的表面露出，藉由通過該接觸孔20, 21，於記憶體單元陣列部之p型井3(n^- 型半導體區域13)內植入n型雜質(磷)離子，以形成 n^+ 型半導體區域17。

經上述步驟，完成構成DRAM記憶體單元的記憶體單元選擇用MISFETQs。

繼續，形成有與記憶體單元選擇用MISFETQs之 n^+ 型半導體區域17電性連接之位元線BL及電容器(資訊儲存用電容元件)C。由於本實施形態之DRAM具有前述之COB構造，因此位元線BL形成後，形成有電容器C。以下，詳細說明此等的形成步驟。

位元線BL及電容器C經由記憶體單元選擇用MISFETQs之 n^+ 型半導體區域17與插塞22連接(參照圖8、圖9)。

如圖5及圖6所示，該插塞22形成於接觸孔20, 21內部。圖5係顯示本實施形態之DRAM之製造步驟之半導體基板的重要部分剖面圖，圖6係顯示本實施形態之DRAM之製造步驟之半導體基板的重要部分平面圖。圖5與圖6之A-A剖面部對應。

形成該插塞22時，首先，係在包含接觸孔20, 21之內部的氧化矽膜19上部，以CVD法堆積摻雜磷(P)等n型雜質的低電阻多晶矽膜，繼續，藉由研磨該多晶矽膜，僅在接觸孔20, 21的內部保留而形成。

五、發明說明(7)

其次，在氧化矽膜19之上部，以CVD法堆積氧化矽膜23後，藉由將光阻膜(圖上未顯示)作為掩模的乾式蝕刻，在形成於接觸孔21內之插塞22的上部形成通孔24。

繼續，在包含通孔24內部之氧化矽膜23的上部，以CVD法堆積鎢膜後，以CMP法研磨氧化矽膜23上部的鎢膜，藉由僅在通孔24之內部保留鎢膜以形成插塞26。

其次，在插塞26的上部形成位元線BL。該位元線BL之形成，如在包含插塞26上之氧化矽膜23的上部，以濺射法堆積鎢膜後，藉由將圖上未顯示之光阻膜作為掩模，乾式蝕刻該鎢膜而形成。另外，位元線BL並未顯示於A-A剖面部內，不過，為使MISFETQs(插塞22)與位元線BL的關係明確，係將位於圖6之A-A剖面部更上部之插塞26及位元線BL的一部分顯示於圖5中(圖10亦同)。

其次，如圖7所示，在包含位元線BL上之氧化矽膜(絕緣膜)23的上部堆積氧化矽膜34。圖7與前述圖6之B-B剖面部對應(圖8亦同)。如圖所示，位元線BL係隔開一定間隔配置。

該位元線BL上之氧化矽膜34係藉由高密度電漿CVD(以下稱HDP-CVD)法形成。以下，將該氧化矽膜稱之為HDP氧化矽膜。所謂HDP-CVD，係指在低壓且高電子密度環境下實施的CVD，通常的電漿CVD係在壓力為1~10 Torr，電子密度為 $1 \times 10^9 \sim 1 \times 10^{10}$ 下實施處理，而HDP-CVD則係在壓力為0.001~0.01 Torr，電子密度為 1×10^{12} 以上實施處理。因此，成膜成分(此時為氧化矽)堆積的同時，同時地引起

五、發明說明(8)

高密度電漿的蝕刻，即使為寬度窄的微細溝(間隙)，仍可將氧化矽膜埋入溝的內部。另外，此時之成膜溫度(第一溫度)為 700°C 以下，如為該氧化矽膜34時，為 $350^{\circ}\text{C}\sim 650^{\circ}\text{C}$ 。

繼續，在半導體基板1上，以 750°C (第二溫度)，實施60秒以內的快速熱退火(RTA；Rapid Thermal Anneal，燈退火，熱處理)。該RTA係將鎢鹵素燈等燈光照射在半導體基板1(晶圓)上，以其輻射熱實施加熱者。

繼續，以CMP法研磨HDP氧化矽膜34的上部，將其表面予以平坦化。另外，亦可於該研磨後實施前述熱處理。該HDP氧化矽膜34構成在位元線BL與後述之電容器C間形成絕緣的層間絕緣膜。

因而，由於本實施形態於形成HDP氧化矽膜34後，實施熱處理(RTA)，因此可事先減少因HDP氧化矽膜34產生的膜應力，在爾後的步驟中，即使實施高溫的熱處理，如實施電容器C之電容絕緣膜(氧化鉭膜)的晶化退火，仍可減少施加於位元線BL上的膜應力，可減少位元線BL的斷線及剝離(剝落)。另外，本實施形態係在 750°C 下實施RTA，須使該RTA溫度高於HDP氧化矽膜34的成膜溫度方始有效。此外，藉由使RTA溫度高於前述晶化退火的溫度，於實施退火時，可緩和與施加於位元線BL及HDP氧化矽膜34之應力大致相等的應力。

以下，說明構成氧化矽膜及位元線之鎢膜等的膜應力。圖12係表示在 750°C 下，實施60秒之RTA(熱處理)時之膜應力(MPa)的變化圖。圖中之橫軸顯示膜的種類，W表示鎢

五、發明說明 (9)

膜，P-SiN表示以電漿CVD法所形成的氮化矽膜，HDP表示HDP氧化矽膜，TEOS表示藉由以臭氧(O_3)及四乙氧基矽烷作為原料之CVD法所形成的氧化矽膜(以下稱TEOS膜)。此外，應力為正的區域，半導體基板(晶圓)產生形成凹狀的應力，在負的區域產生形成凸狀的應力。

如圖所示，鎢膜上，於RTA的前後，約形成900 MPa至500 MPa的膜應力，可觀察出約有-400 MPa的應力變化。此外，HDP氧化矽膜形成約-180 MPa至約-80 MPa，膜的應力變化約為+100 MPa，TEOS膜形成約-120 MPa至約-105 MPa，膜的應力變化約為+15 MPa。

另外，以電漿CVD法所形成之氮化矽膜，形成約-200 MPa至約150 MPa，可觀察出約有+350 MPa的應力變化。此時，氧化矽膜及氮化矽膜等絕緣膜藉由RTA，應力朝向正的方向變化。亦即，此等膜係以晶圓形成凹狀的方式變化，另外之鎢膜等金屬膜藉由RTA係以晶圓形成凸狀的方式變化。

因此，堆疊此等膜的狀態下，實施RTA時，因各種膜的應力變化，致使膜的黏合面剝離，此外，配線等細小圖案的情況下，則發生斷線。尤其藉由DRAM的高積體化，位元線BL的寬度在0.12 μm 以下的情況下，容易發生斷線及剝離。此外，如前述，由於絕緣膜及金屬膜之應力的變化方向不同，因此配線上容易發生剝離及斷線。

例如，進一步詳細說明，形成有氮化矽膜40，作為形成有電容器C之溝時的蝕刻阻止層。繼續在其上部堆積有氧化

五、發明說明 (10)

矽膜41，之後，實施電容器C之電容絕緣膜(氧化鉭膜)的晶化退火。實施該退火時，此等膜(位元線BL、HDP氧化矽膜34、氮化矽膜40及氧化矽膜41等)之應力分別變化時，則在位元線BL上驟然施加有大的應力，以致發生位元線BL的斷線及剝離。

但是，由於本實施形態係於位元線BL上堆積HDP氧化矽膜34的狀態下，實施RTA，因此可事先減少HDP氧化矽膜34產生的膜應力。

其次，說明RTA的昇溫速度。圖13係顯示RTA的兩種昇溫條件，圖14係就各種位元線BL之寬度(μm)繪製以圖13之各昇溫條件處理時的良率。

圖13之實線(a)的昇溫條件顯示自HDP氧化矽膜34之成膜溫度的 500°C 附近起，以約 $20^{\circ}\text{C}/\text{秒}$ 昇溫。而虛線(b)顯示即使在 500°C 以上，仍維持當初昇溫速度的 $60^{\circ}\text{C}/\text{秒}$ 實施處理。

將此等昇溫條件應用於位元線BL之寬度不同的各種DRAM，測試其良率時，於(b)之昇溫條件(方形符號)下，位元線寬度約為 $0.12\ \mu\text{m}$ ，雖可獲得90%以上的良率，但是隨位元線寬度變小，良率降低，於位元線寬為 $0.11\ \mu\text{m}$ 時，良率為75%。反之，於(a)的昇溫條件(菱形符號)下，位元線寬度即使在 $0.13\ \mu\text{m}\sim 0.1\ \mu\text{m}$ 的範圍內，仍可獲得90%以上的良率，良率接近100%者亦多見。

因而，使RTA之昇溫速度在 $60^{\circ}\text{C}/\text{秒}$ 以下緩慢昇溫時，可進一步緩和施加於位元線BL上的應力，防止位元線的斷線

五、發明說明 (11)

及剝離。如此可提高良率。另外，氧化矽膜之成膜溫度前，無須降低昇溫速度，只須在達到該溫度以後緩慢昇溫即可。此外，RTA之昇溫速度可藉由控制燈輸出來控制。

此外，由於本實施形態係將位元線BL與後述之電容器C之間形成單層(僅有HDP氧化矽膜34)，並使用CMP法將其表面予以平坦化，因此可減少雜質的產生。

亦即，如第四種實施形態所示，雖亦可使用旋塗玻璃(SOG; Spin On Glass)膜予以平坦化，但是此時為避免層間絕緣膜之強度及自SOG膜產生之水分的影响，需要形成以緻密之TEOS膜夾在SOG膜上下的構造。此時，需要在位元線BL上依序形成TEOS膜、SOG膜及TEOS膜，此等膜間容易殘留雜質。尤其如後述，由於SOG膜係塗敷膜，係以與TEOS膜不同的裝置形成，在此等裝置間傳送時，附著雜質的可能性高。

圖15及圖16顯示將位元線BL與電容器C絕緣之層間絕緣膜形成後的雜質量。圖15顯示將該層間絕緣膜形成TEOS膜、SOG膜及TEOS膜之三層構造時的雜質量，圖16顯示僅將層間絕緣膜形成單層之氧化矽膜時的雜質量。如圖15及圖16所示，層間絕緣膜形成三層的情況下，「22~33」者的雜質量最多，其次依序為「44~55」、「33~44」、「55~66」。此外，相當於此等雜質量「22~66」者佔整體約74%。反之，僅將層間絕緣膜形成單層的氧化矽膜時，「0~10」者的雜質量最多，其次，與「10~20」合計佔整體約96%。因而可減少雜質的產生。

五、發明說明 (12)

此外，藉由不使用SOG具有如下的效果。將位元線BL與電容器C絕緣的層間絕緣膜中，如進一步詳細說明，形成有電性連接記憶體單元選擇用MISFETQs與電容器C用的插塞39。該插塞係藉由在層間絕緣膜中所形成之接觸孔內埋入鎢等導電性膜而形成。

但是，在層間絕緣膜中具有SOG膜的情況下，於埋入導電性膜時，自SOG膜中蒸發之水及氣體積存在接觸孔內，導致導電性膜無法確實埋入。以致，如圖17所示，在插塞中產生空隙B，容易引起連接不良。

但是，由於本實施形態在位元線BL與後述之電容器C間形成單層(僅有HDP氧化矽膜34)，並使用CMP法將其表面予以平坦化，因此可減少該連接不良。

繼續，說明電性連接電容器C及該電容器C與記憶體單元選擇用MISFETQs用之插塞39的形成步驟。

首先，如圖9~圖11所示，乾式蝕刻HDP氧化矽膜34及其下層的氧化矽膜23，在接觸孔20內所形成之插塞22上部形成通孔38。繼續，在包含通孔38之內部的HDP氧化矽膜34上部，以CVD法堆積鎢膜後，以CMP法研磨HDP氧化矽膜34的上部，藉由僅在通孔內部保留鎢膜以形成插塞39。圖9係圖11之A-A剖面圖，圖10係圖11之B-B剖面圖。此時，如前所述，由於本實施形態在層間絕緣膜中並未使用容易產生水及氣體的SOG膜，因此可在通孔38內部精度良好地堆積鎢膜。因而可減少插塞39與其下層之插塞22等的連接不良。

五、發明說明 (13)

其次，係形成電容器C，不過，為求形成電容器C，首先，係在HDP氧化矽膜34的上部，以電漿CVD法堆積氮化矽膜40，繼續，在氮化矽膜40的上部，以CVD法堆積氧化矽膜41後，藉由乾式蝕刻氧化矽膜41及氮化矽膜40，在通孔38的上部形成溝42。該氮化矽膜40具有蝕刻氧化矽膜41時之阻止層的功能。此外，藉由加厚形成氧化矽膜41，可擴大溝42的表面積，可擴大形成於其內部之電容絕緣膜的表面積。因而可擴大電容器的電容。

其次，在包含上述溝42之內部之氧化矽膜41的上部，以CVD法堆積摻雜磷(P)等n型雜質的低電阻多晶矽膜後，在溝42內部埋入光阻膜等，藉由回蝕氧化矽膜41上部的多晶矽膜，僅在溝42的內壁保留，藉此，沿著溝42之內壁形成有電容器C的下部電極43。

繼續，在形成有下部電極43之溝42的內部及氧化矽膜41上堆積構成電容絕緣膜(電介質膜)的氧化鉬膜44。氧化鉬膜44係以將pentaethoxytantalum ($\text{Ta}(\text{OC}_2\text{H}_5)_5$)與氧作為原料的CVD法堆積。

繼續，為改善該氧化鉬膜44之膜質，而以700℃以上的溫度實施熱處理(退火)。藉由該熱處理，氧化鉬膜44予以晶化。此外，藉由該熱處理，可修復氧化鉬膜中的缺陷，可減少漏電流。

因而，如前所述，由於本實施形態係於HDP氧化矽膜34形成後，實施RTA(熱處理)，事先減少因位元線BL及HDP氧化矽膜34產生之膜應力，因此，氧化鉬膜於晶化退火

五、發明說明 (14)

時，可減少施加於位元線BL上的膜應力，可減少位元線BL的斷線及剝離。此時，本實施形態係使用氧化鈮作為電容絕緣膜，不過亦可使用如包含鈦酸鋯酸鉛等高~強電介質。由於此種膜亦需要晶化退火，因此藉由HDP氧化矽膜34的熱處理可達到同樣的效果。

繼續，在該氧化鈮膜44的上部，以CVD法，並以掩埋溝42之內部的的方式，堆積構成上部電極45的氮化鈦膜45。

藉此，形成有電容器C，其係包含：以多晶矽膜構成之下部電極43；以氧化鈮膜構成之電容絕緣膜44及以氮化鈦膜構成之上部電極45。此外，經過上述步驟，完成以記憶體單元選擇用MISFETQs與串聯其之電容器C所構成之DRAM的記憶體單元。圖11顯示電容器C形成後之半導體基板的重要部分平面圖。

之後，在電容器C之上部形成氧化矽膜50及包含鋁(Al)等之配線55後，繼續，形成氧化矽膜及配線，在其上部形成表面保護膜，不過此等圖式省略。

(第二種實施形態)

第一種實施形態中，係使用HDP-CVD膜(HDP氧化矽膜34)作為將位元線BL與電容器C絕緣的層間絕緣膜，不過，亦可使用藉由電漿CVD法所形成之TEOS膜作為層間絕緣膜。另外，除將位元線BL與電容器C絕緣之層間絕緣膜的形成步驟之外，亦即，於位元線BL形成步驟(圖1~圖6)前，插塞39形成步驟以後的步驟(圖9~圖11)與第一種實施形態相同，因此省略其說明。

五、發明說明 (15)

首先，準備形成有位元線BL的半導體基板，如圖18所示，在位元線BL及其下層之氧化矽膜23的上部堆積TEOS膜234。圖18係顯示本實施形態之DRAM之製造步驟之半導體基板的重要部分剖面圖，如與圖11之B-B剖面部對應。另外，圖18中省略氧化矽膜23更下層之層(如插塞22、元件分離2等)(後述之圖19、圖20亦同)。

該TEOS膜234如前所述，係藉由以臭氧(O_3)及四乙氧基矽烷作為原料之電漿CVD法所形成。此時之成膜溫度(第一溫度)在 $450^{\circ}C$ 以下，如該TEOS膜234時為 $400^{\circ}C$ 。

繼續，在半導體基板1上，以 $750^{\circ}C$ (第二溫度)，實施60秒以下的快速熱退火(RTA; Rapid Thermal Anneal, 熱處理)。該RTA係在半導體基板1(晶圓)上照射鎢鹵素燈等燈光，以其輻射熱實施加熱者。

繼續，以CMP法研磨TEOS膜234，將其表面予以平坦化。另外，如圖18所示，於形成TEOS膜234後，由於其中會產生空隙B，因此宜研磨至低於該空隙B的位置。此因空隙B殘留時，CMP時之漿液狀研磨劑殘留構成雜質產生源，而在TEOS膜234表面產生凹凸，致使形成於TEOS膜234中之接觸孔及其上層之圖案光刻時的焦點精度變差。

另外，亦可於該研磨後，實施前述熱處理。該TEOS膜234構成將位元線BL與後述之電容器C間絕緣的層間絕緣膜。

因而，由於本實施形態與第一種實施形態同樣地，於TEOS膜234形成後實施熱處理，因此可事先減少因TEOS膜234產生的膜應力，在爾後的步驟中，即使實施高溫的熱處

五、發明說明 (16)

理，如實施電容器C之電容絕緣膜(氧化鉬膜)的晶化退火，仍可減少施加於位元線BL上的膜應力，可減少位元線BL的斷線及剝離。另外，本實施形態係在750℃下實施RTA，須使該RTA溫度高於TEOS膜234的成膜溫度方始有效。此外，藉由使RTA溫度高於前述晶化退火的溫度，於實施退火時，可緩和與施加於位元線BL及TEOS膜234之應力大致相等的應力。

此外，由於本實施形態係在位元線BL與後述之電容器C間形成單層(僅有TEOS膜234)，並使用CMP法將其表面予以平坦化，因此，與第一種實施形態同樣地，可減少雜質的產生。此外，由於在位元線BL與後述之電容器C之間，並未使用容易產生水及氣體之SOG膜作為單層(僅TEOS膜234)，因此，可在通孔38的內部精度良好地堆積鎢膜，可減少插塞39與其下層之插塞22等的連接不良。

繼續，形成電性連接電容器C及該電容器C與記憶體單元選擇用MISFETQs用的插塞39，不過，此等步驟與參照圖9~圖11說明的第一種實施形態相同，因此省略其說明。

(第三種實施形態)

第一種實施形態中，係使用HDP-CVD膜(HDP氧化矽膜34)作為將位元線BL與電容器C絕緣的層間絕緣膜，不過，亦可使用HDP氧化矽膜與TEOS膜的疊層膜作為層間絕緣膜。另外，除將位元線BL與電容器C絕緣之層間絕緣膜的形成步驟之外，亦即，於位元線BL形成步驟(圖1~圖6)前，插塞39形成步驟以後的步驟(圖9~圖11)與第一種實施形態相同，

五、發明說明 (17)

因此省略其說明。

首先，準備形成有位元線BL的半導體基板，如圖19所示，在位元線BL及其下層之氧化矽膜23的上部，與第一種實施形態同樣地，藉由HDP-CVD法形成HDP氧化矽膜334a。使用HDP-CVD法，即使是寬度狹窄之微細溝(間隙)，仍可將氧化矽膜埋入溝的內部。另外，此時之成膜溫度在450℃以下(第一溫度)。繼續，在HDP氧化矽膜334a上，藉由以臭氧(O₃)及四乙氧基矽烷作為原料之CVD法形成TEOS膜334b。此時之成膜溫度(第一溫度)在450℃以下，如該TEOS膜334b時為400℃。

繼續，在半導體基板1上，以750℃(第二溫度)，實施60秒以下的RTA。該RTA係在半導體基板1(晶圓)上照射鎢鹵素燈等燈光，以其輻射熱實施加熱者。

繼續，以CMP法研磨TEOS膜334b，將其表面予以平坦化。另外，亦可於該研磨後，實施前述RTA。該氧化矽膜334a與TEOS膜334b之疊層膜構成將位元線BL與後述之電容器C間絕緣的層間絕緣膜。

因而，由於本實施形態係藉由HDP-CVD法形成氧化矽膜334a，繼續在其上部形成TEOS膜334b，因此，可確保氧化矽膜的膜厚，可使研磨精度提高。

此外，與第一種實施形態同樣地，於氧化矽膜334a與TEOS膜334b形成後實施RTA(熱處理)，因此可事先減少因此等膜產生的膜應力，在爾後的步驟中，即使實施高溫的熱處理，如實施電容器C之電容絕緣膜(氧化鉭膜)的晶化退

五、發明說明 (18)

火，仍可減少施加於位元線BL上的膜應力，可減少位元線BL的斷線及剝離。另外，本實施形態係在750℃下實施RTA，須使該RTA溫度高於HDP氧化矽膜334a及TEOS膜334b的成膜溫度方始有效。此外，藉由使RTA溫度高於前述晶化退火的溫度，於實施退火時，可緩和與施加於位元線BL、HDP氧化矽膜334a及TEOS膜334b之應力大致相等的應力。

此外，由於本實施形態係在位元線BL與後述之電容器C間並未使用容易產生水及氣體之SOG膜，因此，可在通孔38的內部精度良好地堆積鎢膜，可減少插塞39與其下層之插塞22等的連接不良。

繼續，形成電性連接電容器C及該電容器C與記憶體單元選擇用MISFETQs用的插塞39，不過，此等步驟與參照圖9~圖11說明的第一種實施形態相同，因此省略其說明。

(第四種實施形態)

第三種實施形態中，係使用HDP-CVD膜與TEOS膜之疊層膜作為將位元線BL與電容器C絕緣的層間絕緣膜，不過，亦可將該層間絕緣膜形成TEOS膜、SOG膜(塗敷膜)及TEOS膜的三層構造。另外，除將位元線BL與電容器C絕緣之層間絕緣膜的形成步驟之外，亦即，於位元線BL形成步驟(圖1~圖6)前，插塞39形成步驟以後的步驟(圖9~圖11)與第一種實施形態相同，因此省略其說明。

首先，準備形成有位元線BL的半導體基板，如圖20所示，在位元線BL及其下層之氧化矽膜23的上部，藉由以臭

五、發明說明 (19)

氧(O_3)及四乙氧基矽烷作為原料之CVD法形成TEOS膜434a。此時之成膜溫度(第一溫度)在 450°C 以下，如該TEOS膜434a時為 400°C 。繼續，在TEOS膜434a上塗敷SOG膜434b。

繼續，在半導體基板1上，以 750°C (第二溫度)，實施60秒以下的RTA。該RTA係在半導體基板1(晶圓)上照射鎢鹵素燈等燈光，以其輻射熱實施加熱者。

繼續，與TEOS膜434a同樣地，在SOG膜434b上堆積TEOS膜434c。另外，亦可於TEOS膜434c形成後，實施前述RTA。該TEOS膜、SOG膜及TEOS膜之疊層膜構成將位元線BL與後述之電容器C間絕緣的層間絕緣膜。

因而，由於本實施形態係以常用之TEOS膜、SOG膜及TEOS膜構成層間絕緣膜，因此，以低成本即可輕易地形成層間絕緣膜。

此外，於此等疊層膜形成後，由於以 750°C ，亦即以電容器C之電容絕緣膜(氧化鉬膜)之晶化退火以上的溫度實施熱處理，因此可事先減少因此等膜產生的膜應力，在前述晶化退火時，可減少施加於位元線BL的膜應力，可減少位元線BL的斷線及剝離。另外，本實施形態係在 750°C 下實施RTA，不過並不限定於該溫度，藉由使RTA溫度高於前述晶化退火的溫度，於實施退火時，可緩和與施加於位元線BL、SOG膜及TEOS膜之應力大致相等的應力。

繼續，形成電性連接電容器C及該電容器C與記憶體單元選擇用MISFETQs用的插塞39，不過，此等步驟與參照圖9~

五、發明說明 (20)

圖 11 說明的第一種實施形態相同，因此省略其說明。

(第五種實施形態)

以下，使用圖 21~圖 26，按照步驟順序說明本實施形態之半導體積體電路裝置的製造方法。

首先，在半導體基板 1 的主表面上形成半導體元件。圖 21 顯示形成一種半導體元件之 n 通道型 MISFETQ_n 及 p 通道型 MISFETQ_p。此等 MISFETQ_n、Q_p 係藉由一般的 MISFET 製程形成。

一般之 MISFET 製程如下。

首先，在包含 p 型單晶矽之半導體基板 1 上，與第一種實施形態同樣地，形成元件分離 2。

其次，在基板 1 上植入 p 型雜質及 n 型雜質離子，藉由熱處理使雜質擴散，而形成 p 型井 3 及 n 型井 4。

之後，藉由熱氧化，分別於 p 型井 3 及 n 型井 4 的表面形成閘極氧化膜 8。其次，在閘極氧化膜 8 的上部，以 CVD 法堆積摻雜磷之低電阻多晶矽膜 9，繼續，在其上部以 CVD 法堆積氮化矽膜 10。

其次，藉由乾式蝕刻氮化矽膜 10，在形成閘極之區域內保留氮化矽膜 10，藉由將氮化矽膜 10 作為掩模，乾式蝕刻多晶矽膜 9，形成閘極 9。

其次，藉由在閘極 9 之兩側的 p 型井 3 內植入 n 型雜質離子，以形成 n⁻型半導體區域 13，藉由在 n 型井 4 內植入 p 型雜質離子，以形成 p⁻型半導體區域 14。

其次，在基板 1 上，以 CVD 法堆積氮化矽膜後，藉由異方

五、發明說明 (21)

性蝕刻，在閘極9的側壁上形成側壁膜16。

其次，藉由在p型井3內植入n型雜質離子，以形成 n^+ 型半導體區域17（源極、汲極），藉由在n型井4內植入p型雜質離子，以形成 p^+ 型半導體區域18（源極、汲極）。

經過上述步驟，形成有具備輕度摻雜汲極（LDD；Lightly Doped Drain）構造之源極、汲極的n通道型MISFETQn及p通道型MISFETQp。

繼續，在MISFETQn及Qp上，以CVD法堆積氧化矽膜51後，以CMP法研磨氧化矽膜51的上部，將其表面予以平坦化。

其次，在氧化矽膜51上形成光阻膜（圖上未顯示），藉由將該光阻膜作為掩模來蝕刻氧化矽膜51，在半導體基板1主面之 n^+ 型半導體區域17及 p^+ 型半導體區域18上形成接觸孔C1。

繼續，在包含接觸孔C1的氧化矽膜51上，藉由CVD法形成薄的氮化鈦膜後。繼續藉由CVD法堆積鎢膜後，以CMP法研磨接觸孔C1外部的氮化鈦膜及鎢膜，藉由僅在接觸孔C1之內部保留此等膜，以形成插塞P1。

繼續，如圖22所示，在氧化矽膜51及插塞P1上依序堆積氮化鈦膜及鎢膜，藉由予以圖案化成所需的形狀，以形成第一層配線M1。

其次，如圖23所示，在第一層配線M1及氧化矽膜51上堆積氧化矽膜52。該氧化矽膜52係藉由高密度電漿CVD法形成。藉由高密度電漿CVD法時，如第一種實施形態的說

五、發明說明 (22)

明，即使為寬度窄之微細的溝(間隙)，仍可將氧化矽埋入溝的內部。另外，此時之成膜溫度在 700°C 以下，如該氧化矽膜52為 $350^{\circ}\text{C}\sim 650^{\circ}\text{C}$ 。

繼續，在半導體基板1上，以 750°C (第二溫度)，實施60秒以下的快速熱退火(RTA；Rapid Thermal Anneal，燈退火，熱處理)。該RTA係將鎢鹵素燈等燈光照射在半導體基板1(晶圓)上，以其輻射熱實施加熱者。

繼續，如圖24所示，以CMP法研磨氧化矽膜52的上部，將其表面予以平坦化。

因而，由於本實施形態係於氧化矽膜52形成後實施熱處理，因此可事先減少因氧化矽膜52產生之膜應力，在爾後的步驟中，即使實施高溫處理，如藉由CVD法堆積構成插塞P2之氮化鈦(TiN)膜的高溫處理，仍可減少施加於配線M1上的膜應力，可減少配線M1的斷線及剝離。

之後，如圖25所示，在氧化矽膜(絕緣膜)52上形成光阻膜(圖上未顯示)，藉由將該光阻膜作為掩模蝕刻氧化矽膜52，在第一層配線M1上形成接觸孔C2。

繼續，在包含接觸孔C2內之氧化矽膜52上，藉由CVD法形成薄的氮化鈦膜(導體層)後，繼續藉由CVD法堆積鎢膜(導體層)。之後，以CMP法研磨接觸孔C2外部的氮化鈦膜及鎢膜，藉由僅在接觸孔C2之內部保留此等膜，以形成插塞P2。該氮化鈦(TiN)膜具有隔離金屬膜的功能，其成膜溫度約為 $600\sim 650^{\circ}\text{C}$ ，該氮化鈦膜則為 630°C 。

因而，如前所述，由於本實施形態係於氧化矽膜52形成

五、發明說明 (23)

後實施熱處理，可事先減少因配線M1及氧化矽膜52產生的膜應力，因此於堆積構成插塞P2之氮化鈦(TiN)膜時，可減少施加於配線M1上的膜應力，可減少配線M1的斷線及剝離。另外，本實施形態係在750°C下實施RTA，不過須使該RTA溫度高於氧化矽膜52的成膜溫度方始有效。此外，藉由使RTA溫度高於前述氮化鈦膜形成時的溫度，於實施該步驟時，可緩和與施加於位元線BL及氧化矽膜52之應力大致相等的應力。

繼續，如圖26所示，在氧化矽膜52及插塞P2上依序堆積氮化鈦膜及鎢膜，藉由予以圖案化成所需的形狀，以形成第二層配線(導體層)M2。而本實施形態係以氮化鈦膜及鎢膜形成第二層配線M2，此外，亦可使用鋁(Al)及銅(Cu)形成。繼續，在第二層配線M2及氧化矽膜52上堆積氧化矽膜53。

繼續，藉由重複執行插塞、配線及層間絕緣膜(氧化矽膜)的形成步驟，形成有三層以上的配線，不過，以後的步驟省略。

此外，本實施形態係在氧化矽膜52上實施RTA(熱處理)，不過亦可在氧化矽膜51及53，或位於圖上未顯示之第三層配線更上層的絕緣膜上實施熱處理。

以上，係依據實施形態具體說明本發明人的發明，不過，本發明並不限定於前述的實施形態，只要在不脫離其要旨的範圍內，當然可作各種改變。

尤其是，前述實施形態係將本發明應用在形成於DRAM之

五、發明說明 (24)

位元線上的絕緣膜及配線上的絕緣膜，不過，亦可廣泛應用在其形成後具有熱處理之導電層上的絕緣膜。

[發明功效]

本專利所揭示之主要發明所獲得的效果簡單說明如下。

(1)由於係以覆蓋配線之方式，以第一溫度形成第二絕緣膜後，在前述第二絕緣膜上，以高於前述第一溫度之第二溫度實施熱處理，繼續在前述第二絕緣膜上形成第一電極、電介質膜及第二電極，因此，即使經過電介質膜之熱處理步驟，仍可減少施加於配線上的膜應力，防止配線的斷線及剝離。

(2)由於係以覆蓋配線之方式，形成第二絕緣膜，以第一溫度在前述第二絕緣膜上實施熱處理，因此，之後，即使以露出前述配線之表面的方式，為求在前述第二絕緣膜上形成開口而在前述第二絕緣膜上實施蝕刻，在前述開口內，以第二溫度之化學汽相生長法形成第一導體層，仍可減少施加於配線上的膜應力，防止配線的斷線及剝離。

因而可促使具有前述配線之半導體積體電路裝置的特性提高。

[圖式之簡單說明]

圖1係顯示本發明第一種實施形態之半導體積體電路裝置(DRAM)之製造方法的基板重要部分剖面圖。

圖2係顯示本發明第一種實施形態之半導體積體電路裝置(DRAM)之製造方法的基板重要部分平面圖。

圖3係顯示本發明第一種實施形態之半導體積體電路裝置

五、發明說明 (25)

(DRAM)之製造方法的基板重要部分剖面圖。

圖4係顯示本發明第一種實施形態之半導體積體電路裝置(DRAM)之製造方法的基板重要部分平面圖。

圖5係顯示本發明第一種實施形態之半導體積體電路裝置(DRAM)之製造方法的基板重要部分剖面圖。

圖6係顯示本發明第一種實施形態之半導體積體電路裝置(DRAM)之製造方法的基板重要部分平面圖。

圖7係顯示本發明第一種實施形態之半導體積體電路裝置(DRAM)之製造方法的基板重要部分剖面圖。

圖8係顯示本發明第一種實施形態之半導體積體電路裝置(DRAM)之製造方法的基板重要部分剖面圖。

圖9係顯示本發明第一種實施形態之半導體積體電路裝置(DRAM)之製造方法的基板重要部分剖面圖。

圖10係顯示本發明第一種實施形態之半導體積體電路裝置(DRAM)之製造方法的基板重要部分剖面圖。

圖11係顯示本發明第一種實施形態之半導體積體電路裝置(DRAM)之製造方法的基板重要部分平面圖。

圖12係本發明實施形態之效果的說明圖。

圖13係本發明實施形態之效果的說明圖。

圖14係本發明實施形態之效果的說明圖。

圖15係本發明實施形態之效果的說明圖。

圖16係本發明實施形態之效果的說明圖。

圖17係說明本發明實施形態之效果用之半導體積體電路裝置(DRAM)的基板重要部分剖面圖。

五、發明說明 (26)

圖 18 係顯示本發明第二種實施形態之半導體積體電路裝置 (DRAM) 之製造方法的基板重要部分剖面圖。

圖 19 係顯示本發明第三種實施形態之半導體積體電路裝置 (DRAM) 之製造方法的基板重要部分剖面圖。

圖 20 係顯示本發明第四種實施形態之半導體積體電路裝置 (DRAM) 之製造方法的基板重要部分剖面圖。

圖 21 係顯示本發明第一種實施形態之半導體積體電路裝置之製造方法的基板重要部分剖面圖。

圖 22 係顯示本發明第五種實施形態之半導體積體電路裝置之製造方法的基板重要部分剖面圖。

圖 23 係顯示本發明第五種實施形態之半導體積體電路裝置之製造方法的基板重要部分剖面圖。

圖 24 係顯示本發明第五種實施形態之半導體積體電路裝置之製造方法的基板重要部分剖面圖。

圖 25 係顯示本發明第五種實施形態之半導體積體電路裝置之製造方法的基板重要部分剖面圖。

圖 26 係顯示本發明第五種實施形態之半導體積體電路裝置之製造方法的基板重要部分剖面圖。

五、發明說明 (27)

[元件符號之說明]

1	半導體基板
2	元件分離
3	p型井
4	n型井
5	氧化矽膜
8	閘極氧化膜
G	閘極
9a	多晶矽膜
9b	鎢(W)膜
9	多晶矽膜(閘極)
10	氮化矽膜
11a	薄氧化膜
13	n ⁻ 型半導體區域
14	p ⁻ 型半導體區域
16	側壁膜
17	n ⁺ 型半導體區域
18	p ⁺ 型半導體區域
19	氧化矽膜
20, 21	接觸孔
P1, P2	接觸孔
22	插塞
P1, P2	插塞
23	氧化矽膜
24	通孔
26	插塞
34	HDP氧化矽膜
38	通孔
39	插塞
40	氮化矽膜

五、發明說明 (28)

41	氧化矽膜
42	溝
43	下部電極
44	電容絕緣膜
45	上部電極
BL	位元線
WL	字元線
234	TEOS膜
334a	HDP氧化矽膜
334b	TEOS膜
434a, 434c	TEOS膜
434b	SOG膜
M1, M2	配線
51, 52, 53	氧化矽膜
C	電容器
Qs	記憶體單元選擇用MISFET
Qn	n通道型MISFET
Qp	p通道型MISFET
B	空隙
L	活性區域

裝

訂

線

四、中文發明摘要（發明之名稱：半導體積體電路裝置之製造方法）

本發明在防止構成半導體積體電路裝置之配線，如DRAM之位元線的斷線及剝離。本發明係在與DRAM記憶體單元之記憶體單元選擇用MISFET之源極、汲極區域(17)連接的位元線BL上，以高密度電漿CVD法堆積HDP氧化矽膜34，在750℃下實施熱處理(RTA)後，研磨其表面，之後，形成與記憶體單元選擇用MISFET之其他源極、汲極區域(17)連接的電容器C。因而，即使執行構成電容器C之電容絕緣膜之氧化鉬膜晶化用的熱處理，仍可減少施加於位元線BL上的膜應力，可防止位元線BL的斷線及剝離。

英文發明摘要（發明之名稱：METHOD FOR MANUFACTURING SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE）

【課題】 半導体集積回路装置を構成する配線、例えばDRAMのビット線の断線や剝離を防止する。

【解決手段】 DRAMメモリセルのメモリセル選択用MISFETのソース、ドレイン領域(17)と接続されるビット線BL上にHDP酸化シリコン膜34を、高密度プラズマCVD法で堆積し、750℃で、RTA（熱処理）を施した後、その表面を研磨し、その後、メモリセル選択用MISFETの他のソース、ドレイン領域(17)と接続されるキャパシタCを形成する。その結果、キャパシタCを構成する容量絶縁膜である酸化タンタル膜の結晶化のための熱処理が行われても、ビット線BLにかかる膜応力を低減することができ、ビット線BLの断線や剝離を防止することができる。

六、申請專利範圍

1. 一種半導體積體電路裝置之製造方法，其特徵為具有：
 - (a) 第一絕緣膜形成步驟，其係形成於半導體基板上；
 - (b) 數條配線形成步驟，其係形成於前述第一絕緣膜上；
 - (c) 第二絕緣膜形成步驟，其係以覆蓋前述配線之方式，以第一溫度形成；
 - (d) 熱處理實施步驟，其係以第二溫度在前述第二絕緣膜上實施；及
 - (e) 第一電極、電介質膜及第二電極形成步驟，其係形成在前述第二絕緣膜上；且前述第二溫度高於前述第一溫度。
2. 如申請專利範圍第1項之半導體積體電路裝置之製造方法，其中前述第二絕緣膜係以使用高密度電漿之化學汽相生長法形成。
3. 如申請專利範圍第1項之半導體積體電路裝置之製造方法，其中前述電介質膜之形成步驟包含以第三溫度對前述電介質膜實施熱處理的步驟，且前述第二溫度高於前述第三溫度。
4. 如申請專利範圍第1項之半導體積體電路裝置之製造方法，其中在步驟(a)與(b)之間，在前述第一絕緣膜上實施研磨。
5. 如申請專利範圍第1項之半導體積體電路裝置之製造方法，其中在步驟(c)與(d)之間，在前述第二絕緣膜上實施研磨。

六、申請專利範圍

6. 如申請專利範圍第5項之半導體積體電路裝置之製造方法，其中對前述第二絕緣膜之熱處理，係在對前述第二絕緣膜研磨前實施。
7. 如申請專利範圍第1項之半導體積體電路裝置之製造方法，其中於步驟(a)之前，具有：
 - (f)數個導體片形成步驟，其係經由第三絕緣膜，在前述半導體基板上形成；及
 - (g)一對半導體區域形成步驟，其係形成於前述導體片之兩端的前述半導體基板表面上；且前述配線連接於前述一對半導體區域的一方，前述第一電極連接於前述一對半導體區域之另一方。
8. 如申請專利範圍第1項之半導體積體電路裝置之製造方法，其中前述配線係以鎢形成。
9. 如申請專利範圍第1項之半導體積體電路裝置之製造方法，其中前述熱處理係使用燈退火法。
10. 如申請專利範圍第9項之半導體積體電路裝置之製造方法，其中前述熱處理經過昇溫速度快之第一階段與昇溫速度低於前述第一階段之第二階段，而達到前述第二溫度。
11. 如申請專利範圍第1項之半導體積體電路裝置之製造方法，其中前述電介質膜係氧化鉭膜。
12. 如申請專利範圍第1項之半導體積體電路裝置之製造方法，其中前述電介質膜係鈦酸鋯酸鉛膜。
13. 一種半導體積體電路裝置之製造方法，其特徵為具有：

六、申請專利範圍

- (a) 第一絕緣膜形成步驟，其係形成於半導體基板上；
 - (b) 數條配線形成步驟，其係形成於前述第一絕緣膜上；
 - (c) 第二絕緣膜形成步驟，其係以覆蓋前述配線之方式，藉由化學汽相生長法形成；
 - (d) 熱處理實施步驟，其係在前述第二絕緣膜上形成塗敷膜之第三絕緣膜，並以第一溫度實施熱處理；
 - (e) 第四絕緣膜形成步驟，其係藉由化學汽相生長法在前述第三絕緣膜上形成；及
 - (f) 第一電極、電介質膜及第二電極形成步驟，其係形成在前述第四絕緣膜上；
- 且前述電介質膜之形成步驟包含以第二溫度對前述電介質膜實施熱處理的步驟，
- 前述第一溫度高於前述第二溫度。

14. 一種半導體積體電路裝置之製造方法，其特徵為具有：

- (a) 第一絕緣膜形成步驟，其係形成於半導體基板上；
- (b) 數條配線形成步驟，其係形成於前述第一絕緣膜上；
- (c) 第二絕緣膜形成步驟，其係以覆蓋前述配線之方式形成；
- (d) 熱處理實施步驟，其係在前述第二絕緣膜上以第一溫度實施；
- (e) 蝕刻步驟，其係以露出前述配線之表面的方式，為求在前述第二絕緣膜上開口，而在前述第二絕緣膜上實

六、申請專利範圍

施蝕刻；

(f)第一導體層形成步驟，其係以第二溫度之化學汽相生長法在前述開口內形成；

(g)第二導體層形成步驟，其係在前述第一導體層上形成；及

(h)保留前述第一、第二導體層步驟，其係在前述第二、第一導體層上實施研磨，在前述開口內選擇性保留；

且前述第一溫度高於前述第二溫度。

15. 如申請專利範圍第14項之半導體積體電路裝置之製造方法，其中前述配線係鎢膜。
16. 如申請專利範圍第15項之半導體積體電路裝置之製造方法，其中前述第一導體層係氮化鈦層。
17. 如申請專利範圍第14項之半導體積體電路裝置之製造方法，其中前述第二絕緣膜係以使用高密度電漿之化學汽相生長法形成。
18. 如申請專利範圍第14項之半導體積體電路裝置之製造方法，其中進一步具有第三導體層形成步驟，其係在前述第二絕緣膜及前述第二導體層上形成。
19. 如申請專利範圍第18項之半導體積體電路裝置之製造方法，其中前述第三導體層包含鋁層。
20. 如申請專利範圍第18項之半導體積體電路裝置之製造方法，其中前述第三導體層包含銅層。

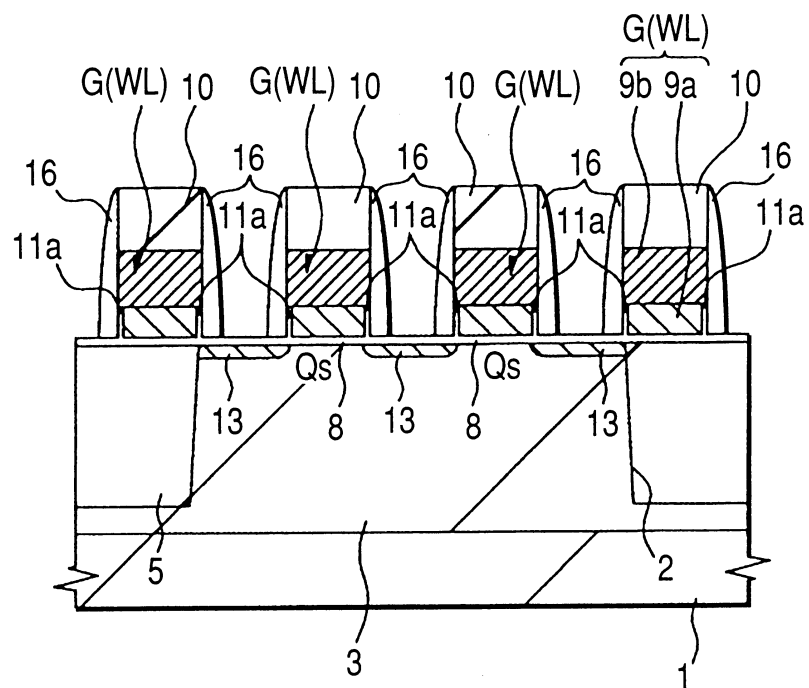


圖 1

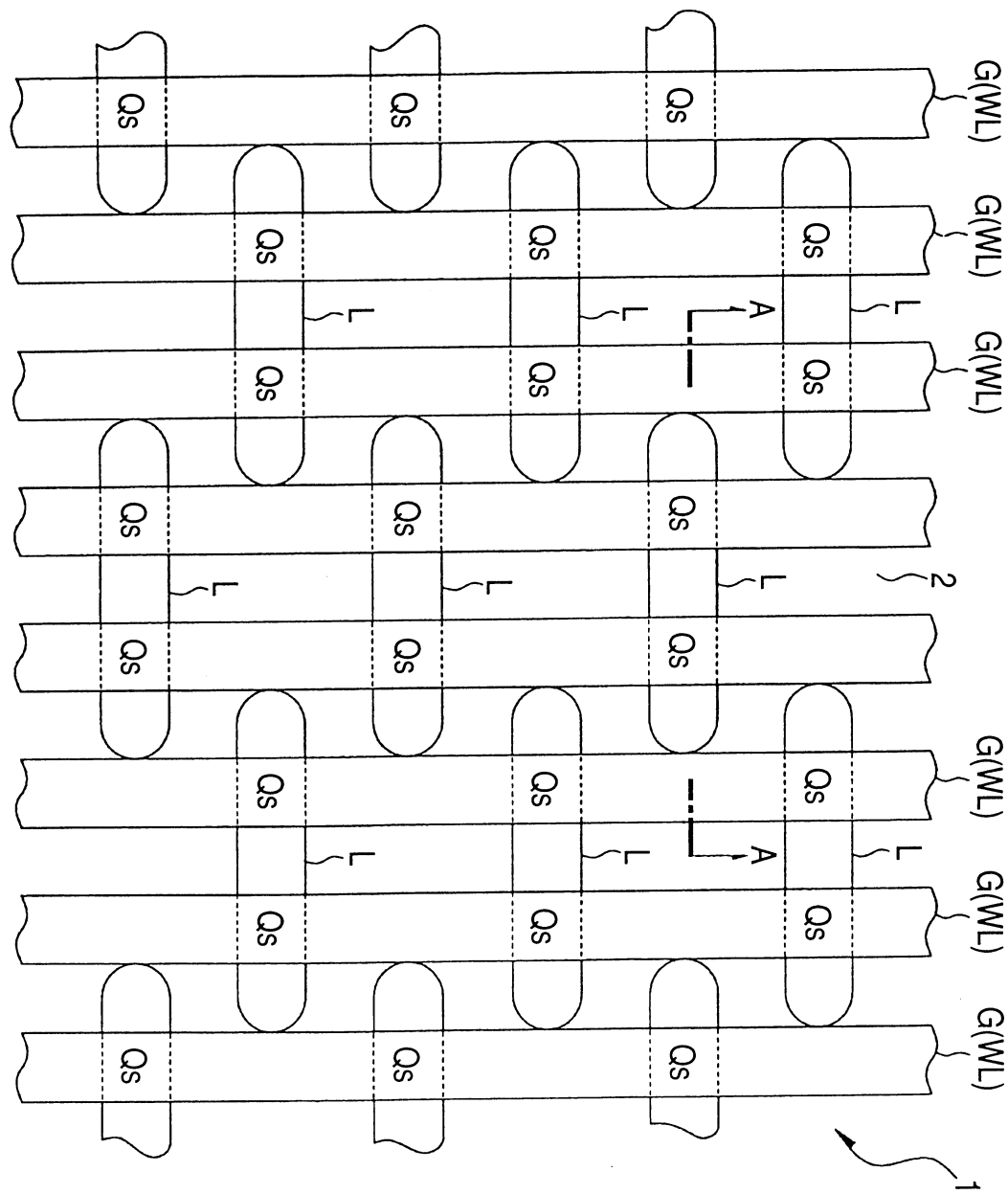


圖 2

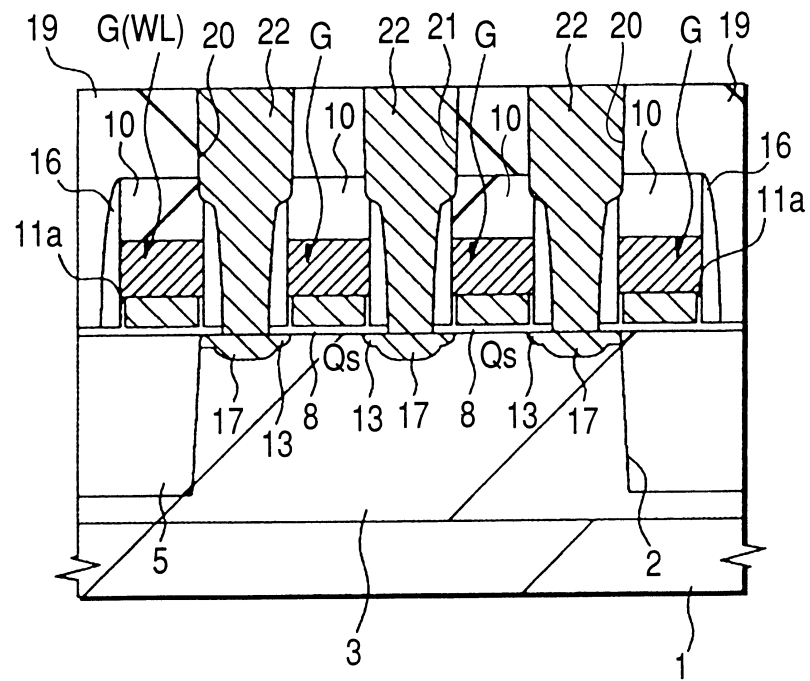


圖 3

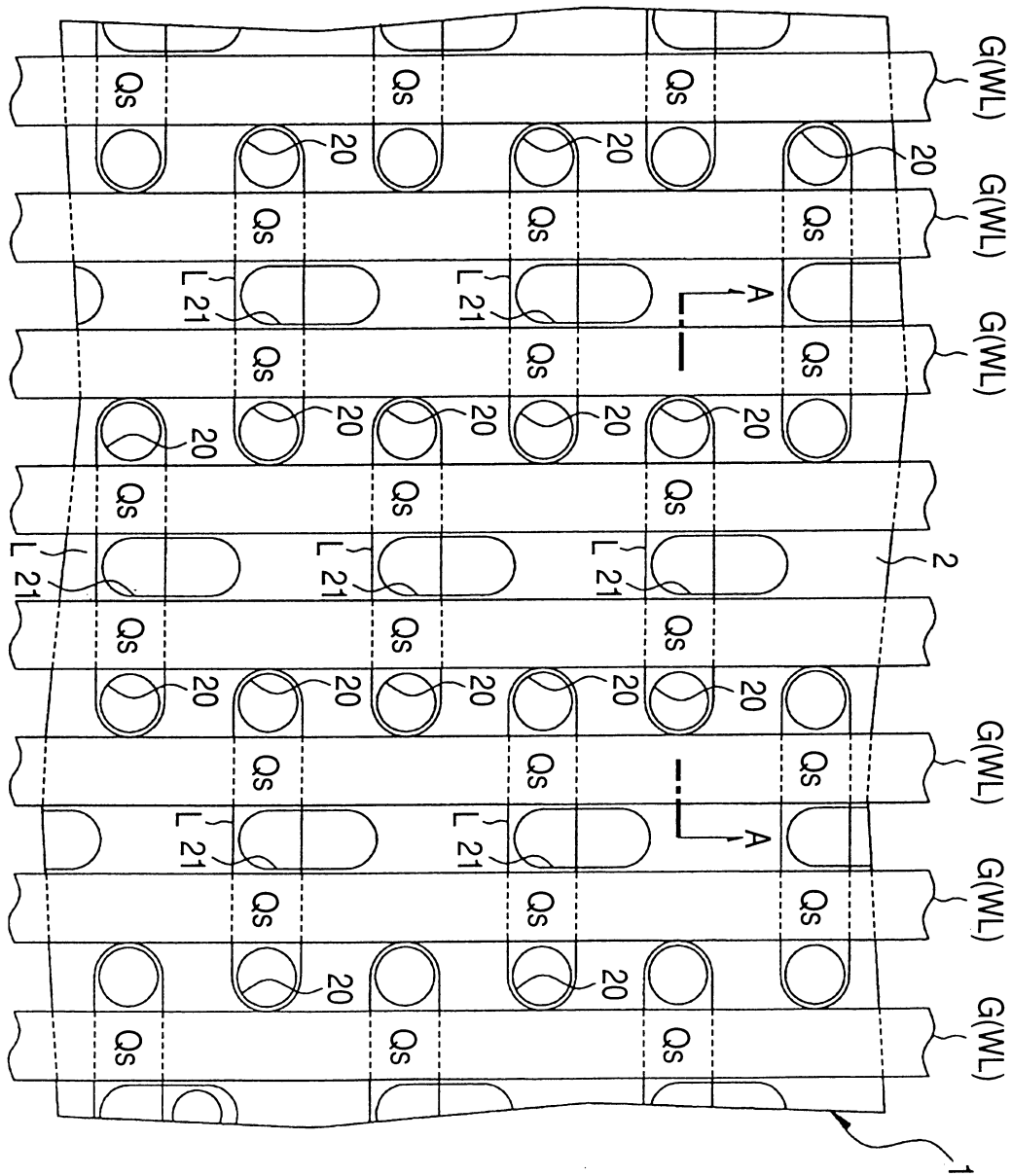


圖 4

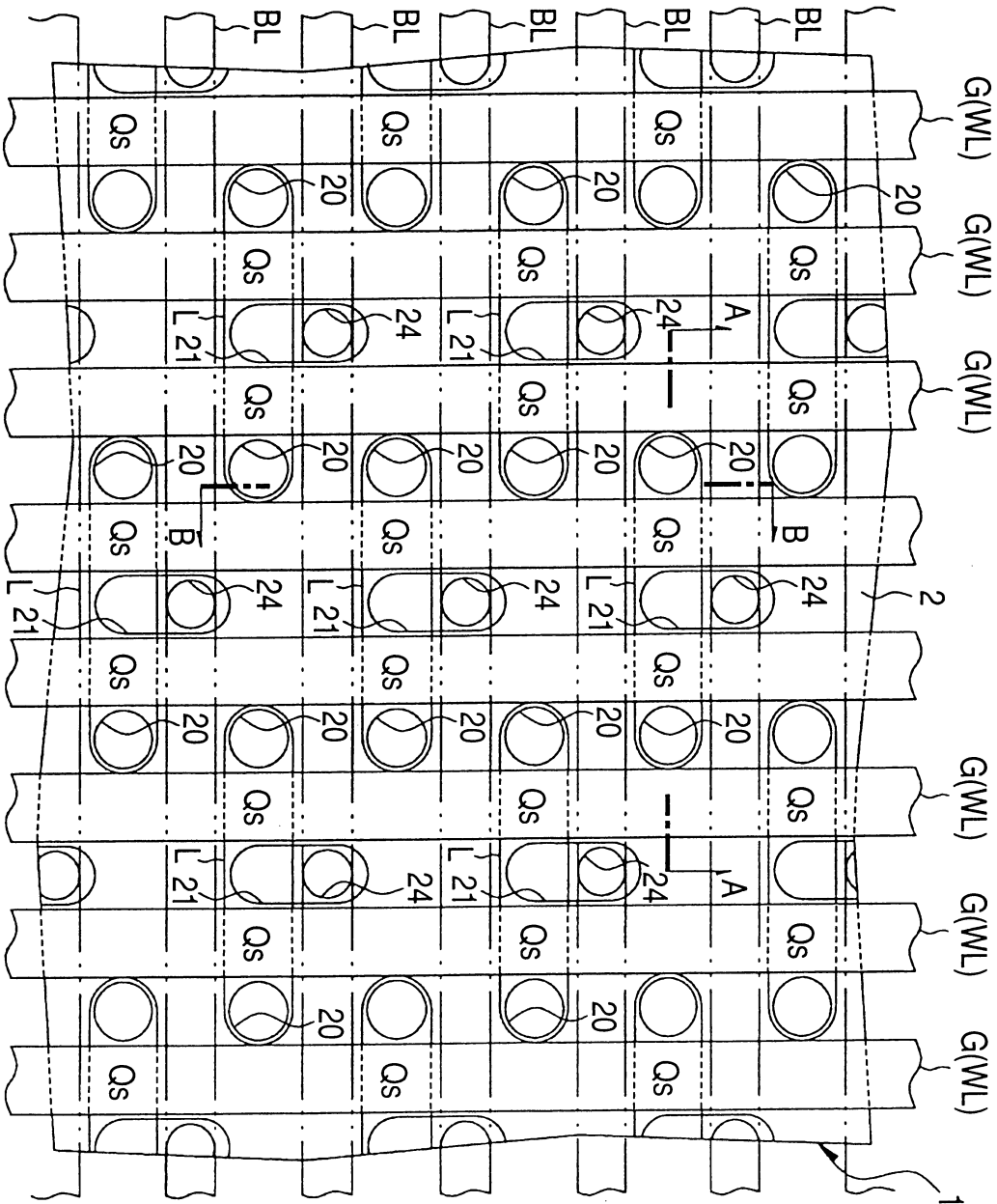


圖 6

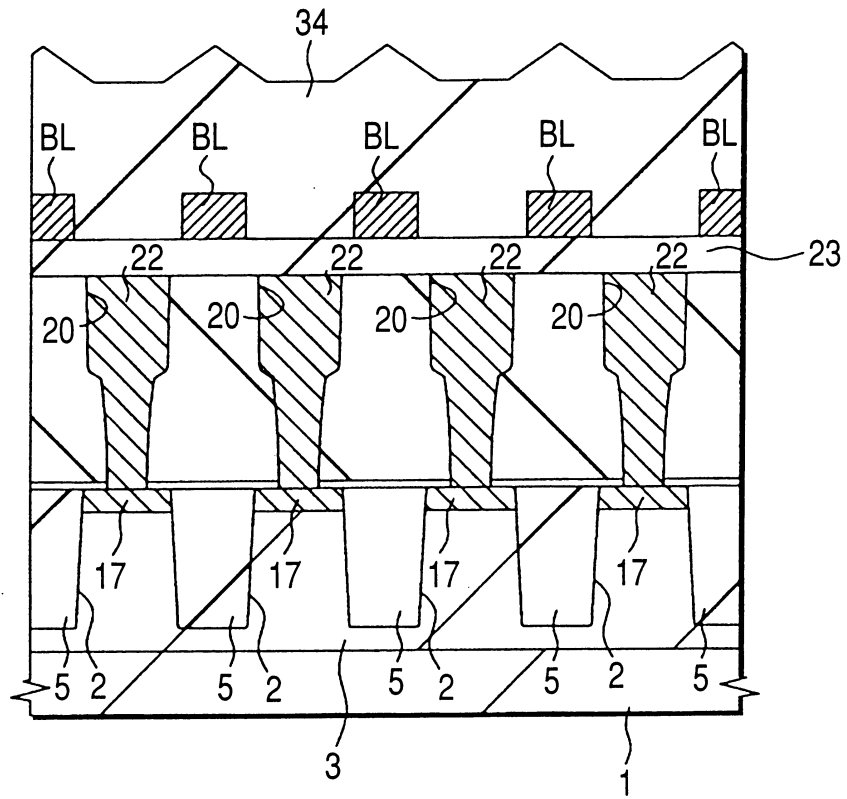


圖 7

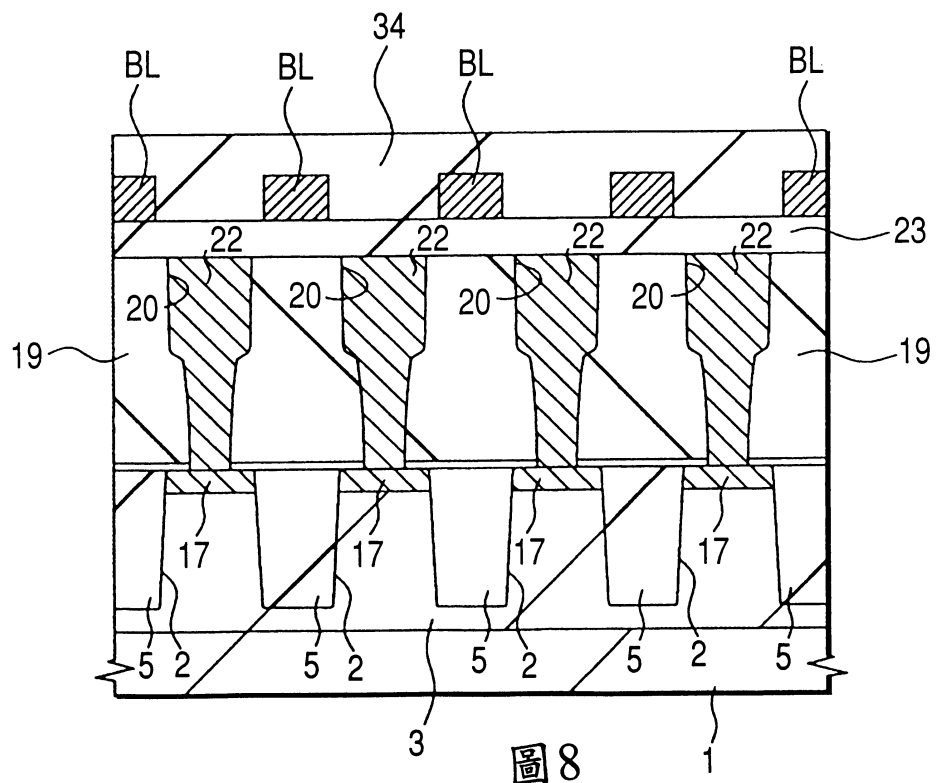


圖 8

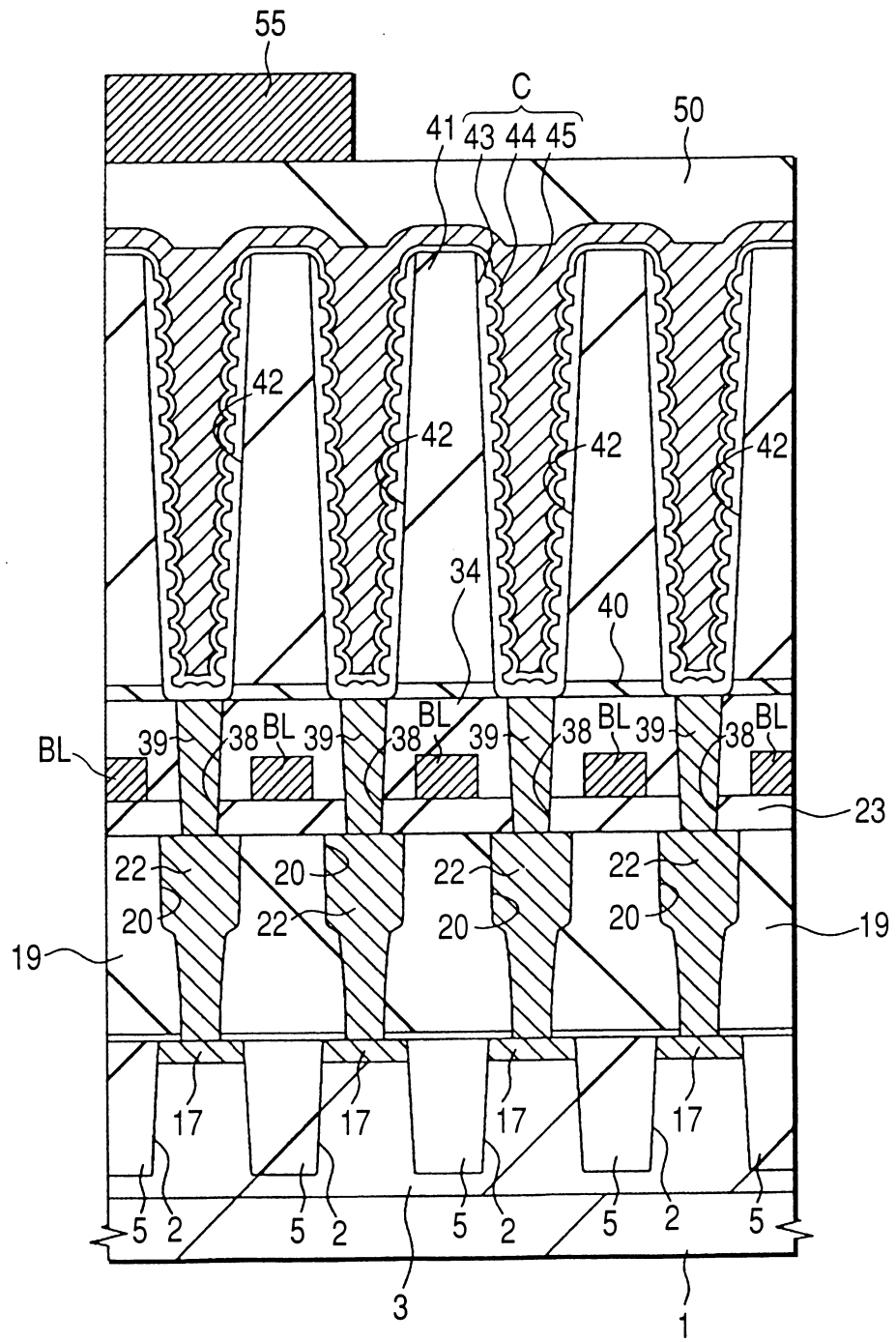


圖9

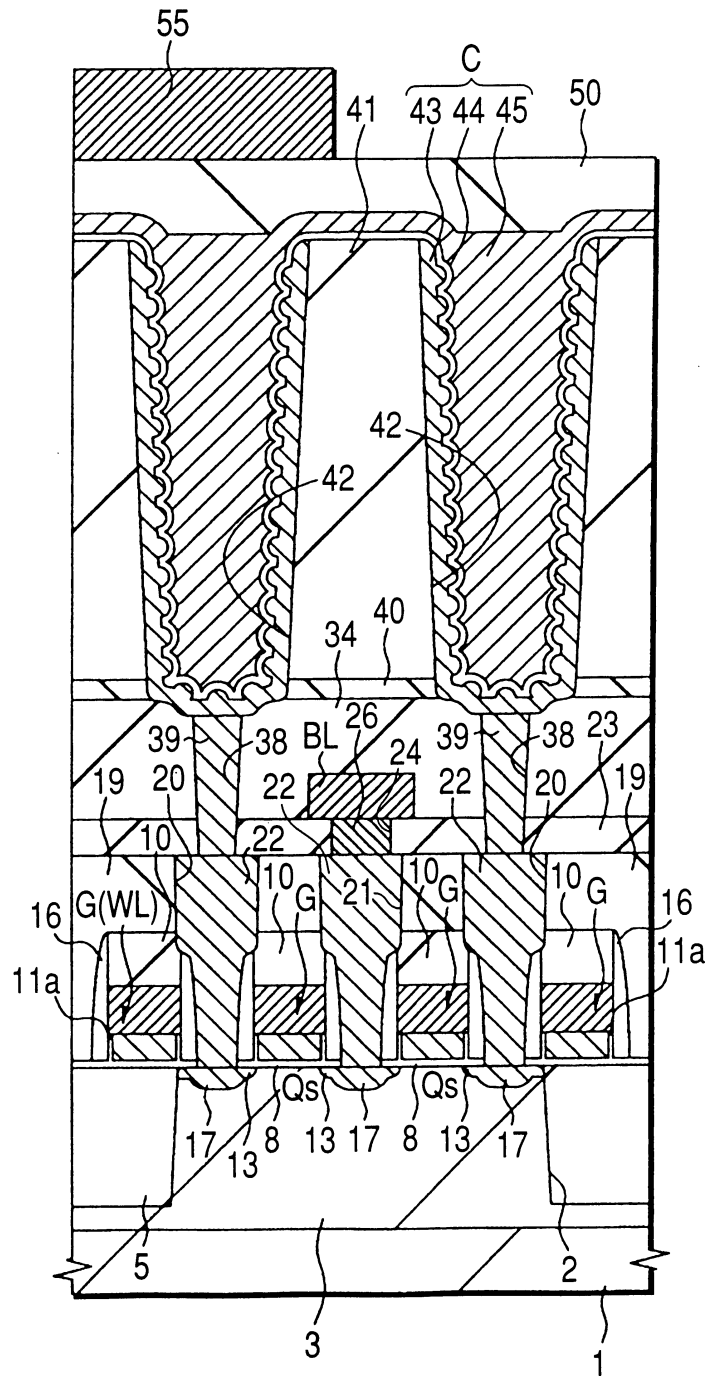


圖 10

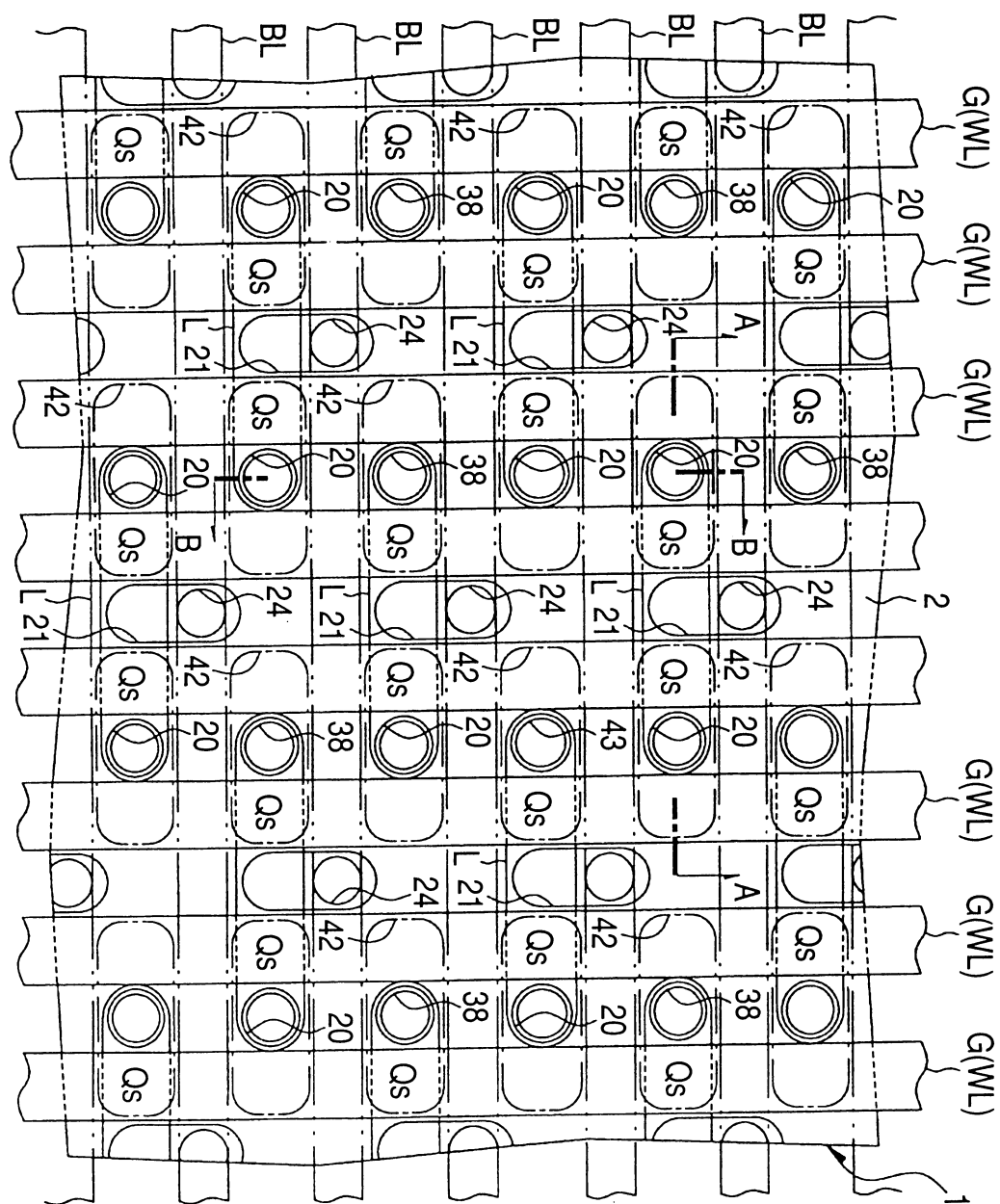


圖 11

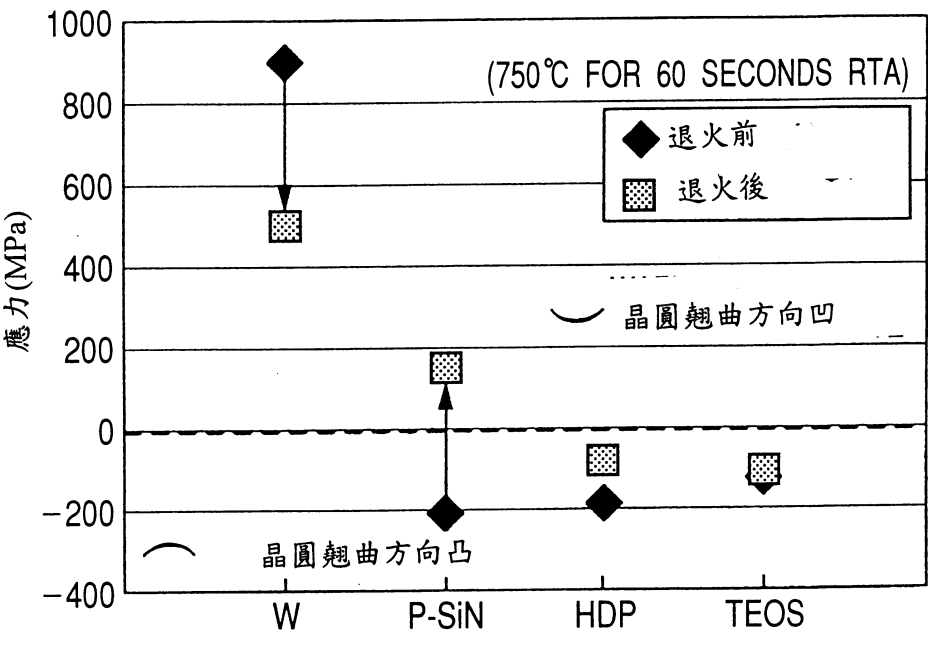


圖 12

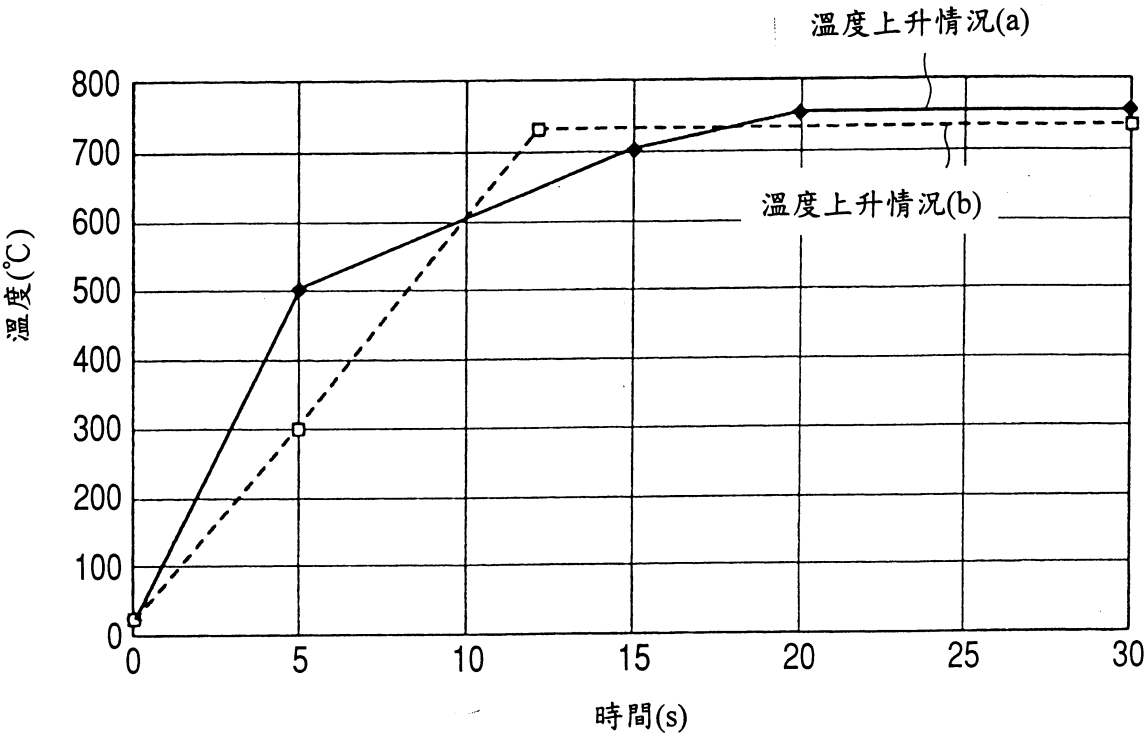


圖 13

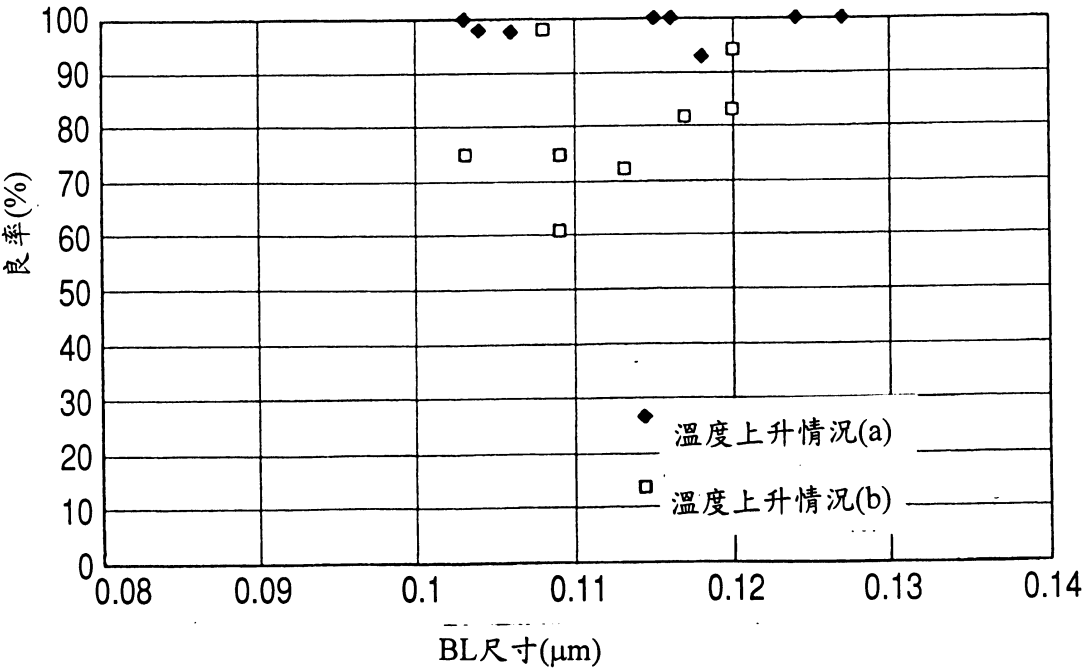


圖 14

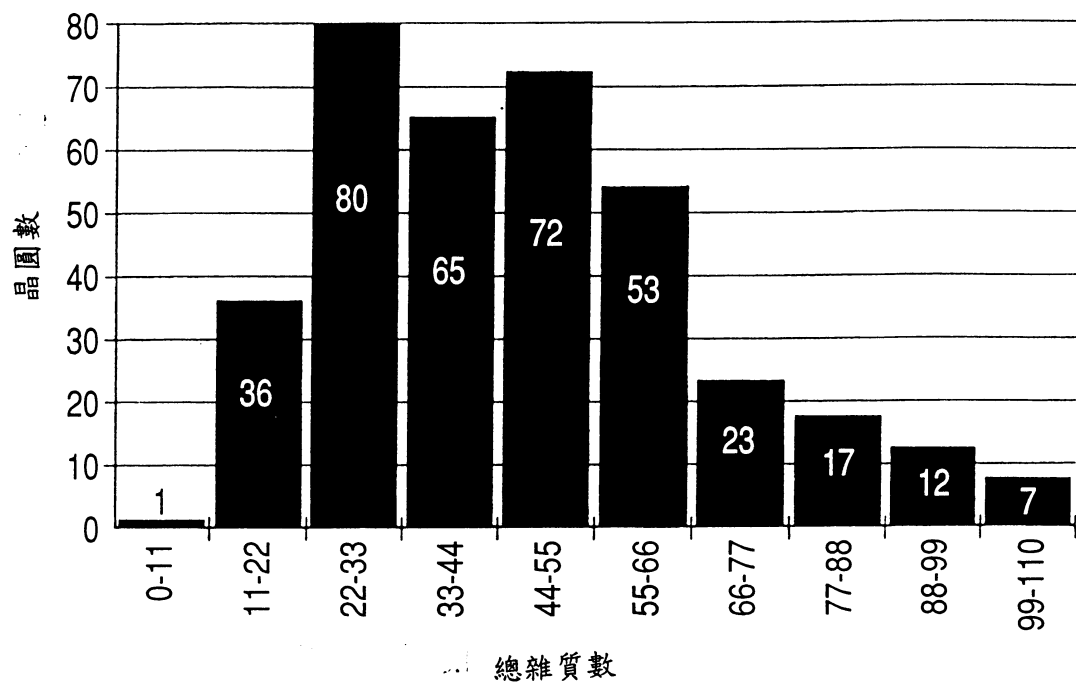


圖 15

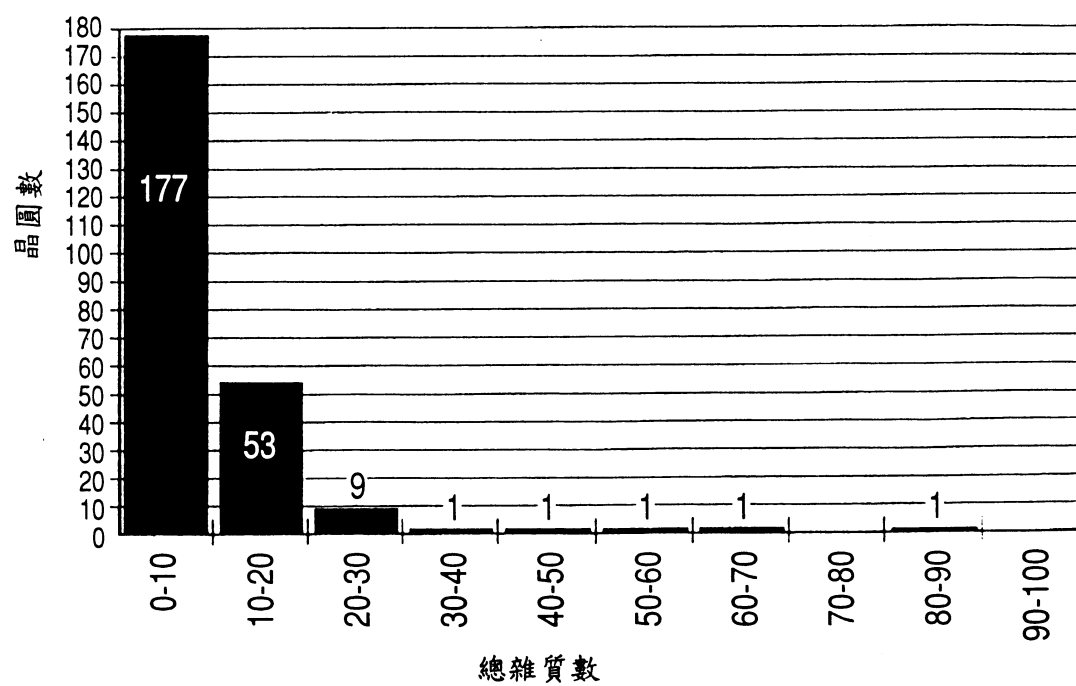


圖 16

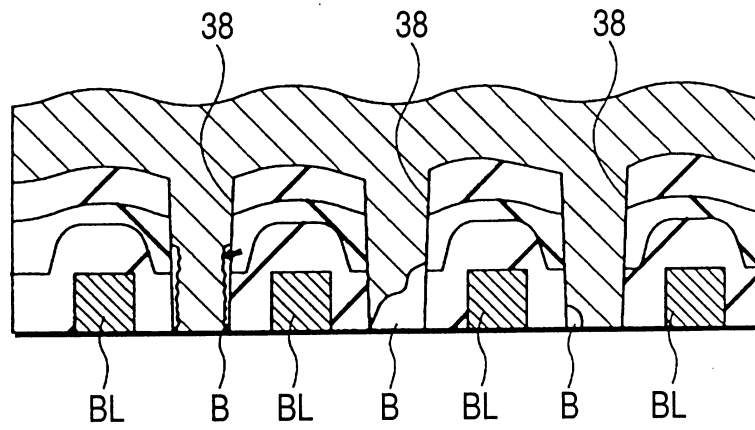


圖 17

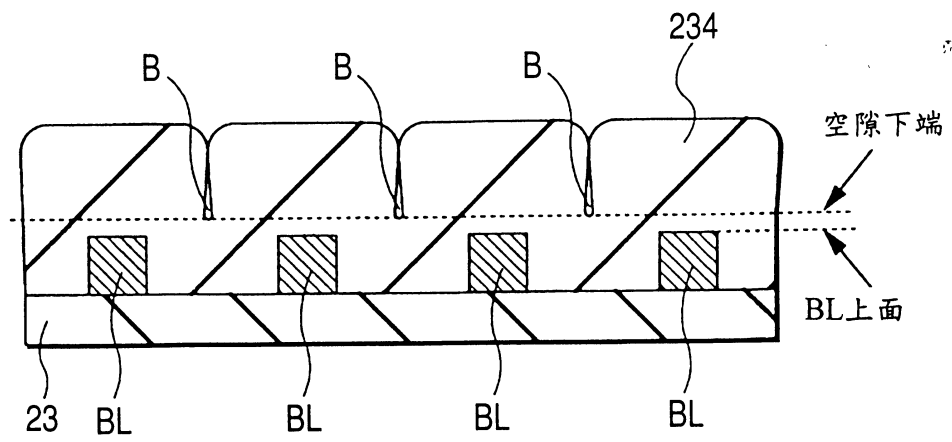


圖 18

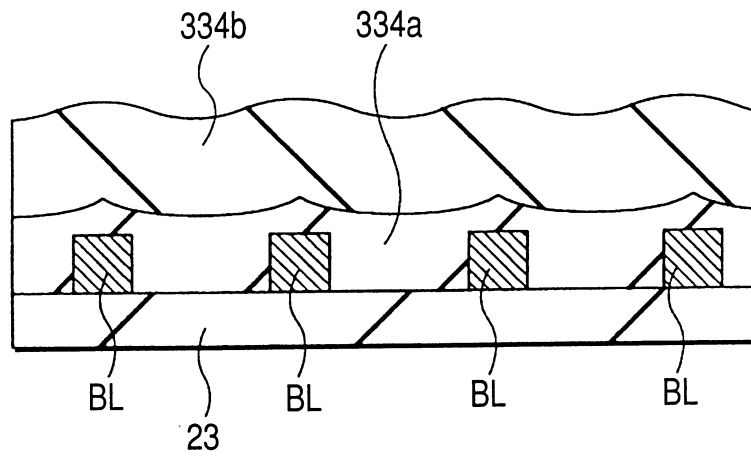


圖 19

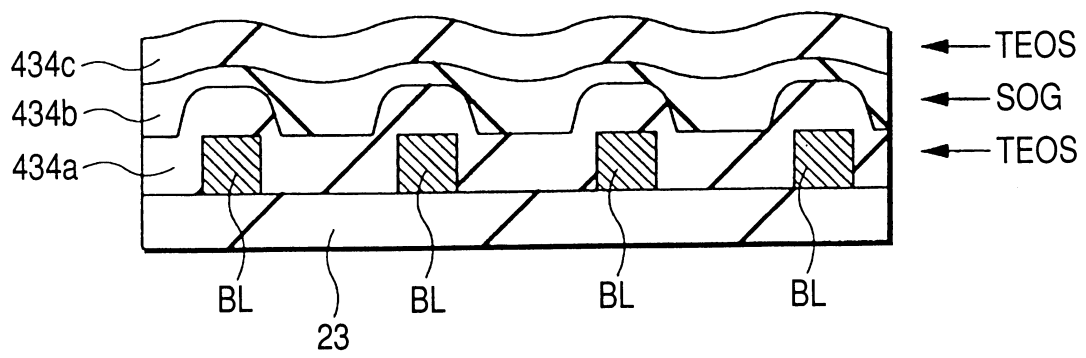


圖 20

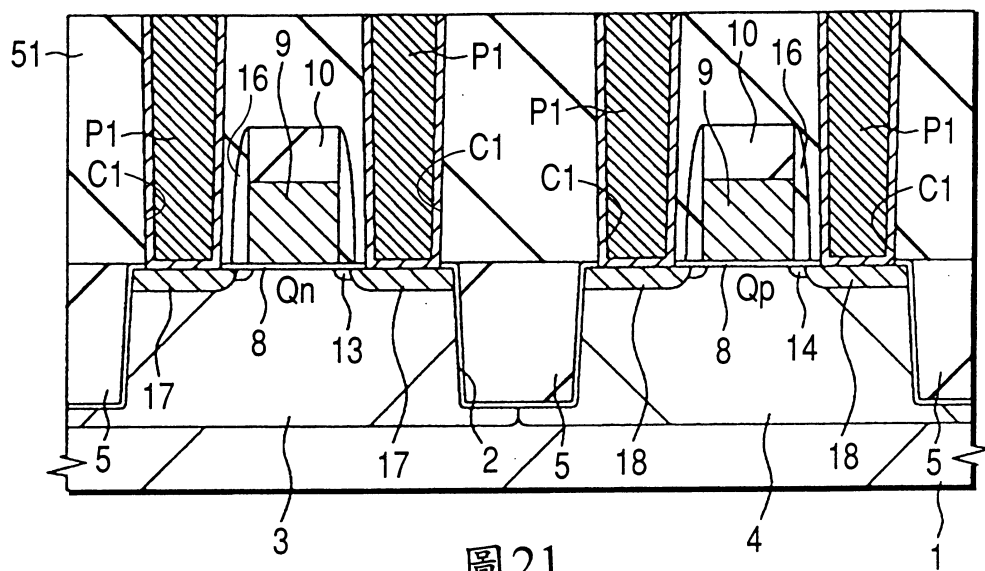


圖 21

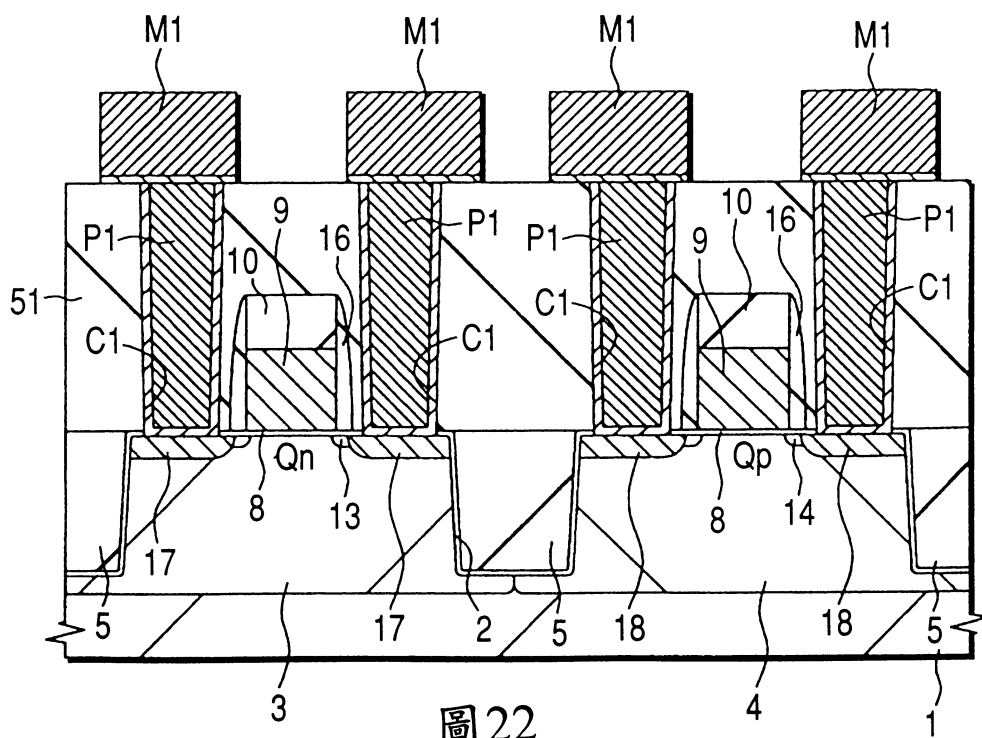


圖 22

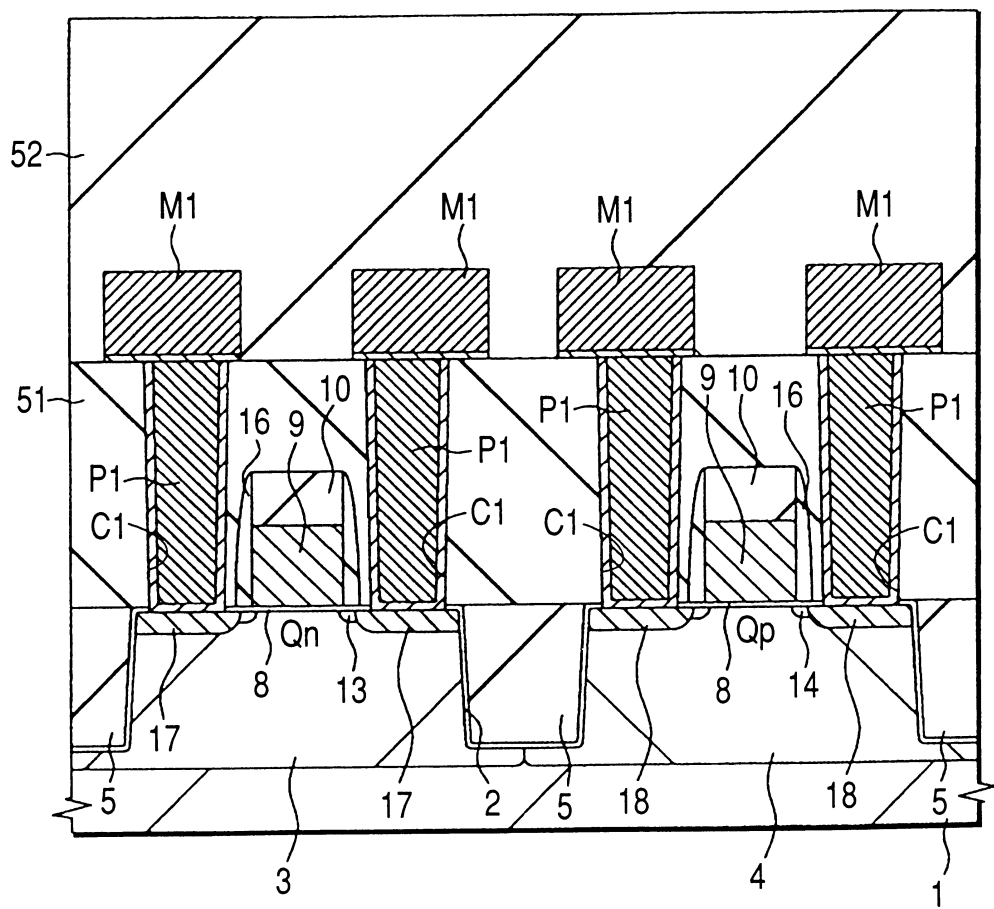


圖24

