



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2013년01월30일
(11) 등록번호 10-1228206
(24) 등록일자 2013년01월24일

(51) 국제특허분류(Int. Cl.)
H03F 3/34 (2006.01) GO1R 31/28 (2006.01)
(21) 출원번호 10-2007-7020730
(22) 출원일자(국제) 2006년02월08일
심사청구일자 2011년01월17일
(85) 번역문제출일자 2007년09월10일
(65) 공개번호 10-2007-0102620
(43) 공개일자 2007년10월18일
(86) 국제출원번호 PCT/JP2006/302196
(87) 국제공개번호 WO 2006/085566
국제공개일자 2006년08월17일
(30) 우선권주장
JP-P-2005-00034686 2005년02월10일 일본(JP)
(56) 선행기술조사문헌
JP05067932 A*
JP2003046347 A*
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
주식회사 아도반테스토
일본 도쿄, 네리마-쿠, 아사히-쵸 1-쵸메, 32-1
(72) 발명자
코데라 사토시
1790071 일본 도쿄 네리마쿠 아사히쵸 1-32-1 주
식회사아도반테스토 내
(74) 대리인
오병석

전체 청구항 수 : 총 8 항

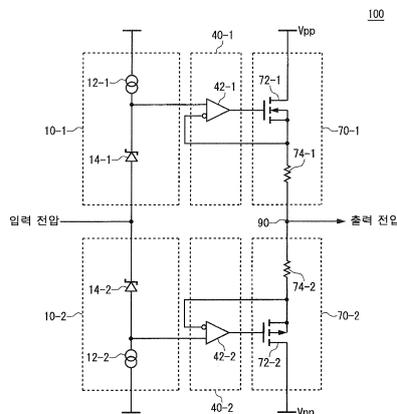
심사관 : 김남인

(54) 발명의 명칭 **전력 증폭 회로 및 시험 장치**

(57) 요약

직렬로 접속되며 접속점의 전압을 출력 전압으로서 출력하는 정측 출력 저항 및 부측 출력 저항; 게이트 전압에 따른 전류를 정측 출력 저항에 흐르게 하는 정측 트랜지스터; 게이트 전압에 따른 전류를 부측 출력 저항에 흐르게 하는 부측 트랜지스터; 입력 전압에 따른 정측 바이어스 전압 및 부측 바이어스 전압을 생성하는 바이어스 생성부; 정측 바이어스 전압과 정측 트랜지스터의 소스 전압이 실질적으로 동일하게 되도록 정측 트랜지스터의 게이트 단자에 인가하는 전압을 제어하는 정측 제어부; 및 부측 바이어스 전압과 부측 트랜지스터의 소스 전압이 실질적으로 동일하게 되도록 부측 트랜지스터의 게이트 단자에 인가하는 전압을 제어하는 부측 제어부를 포함하는 전력 증폭 회로를 제공한다.

대표도 - 도1



특허청구의 범위

청구항 1

주어지는 입력 전압에 따른 출력 전압을 출력하는 전력 증폭 회로에 있어서,
 직렬로 접속되며, 접속점의 전압을 상기 출력 전압으로서 출력하는 정측 출력 저항 및 부측 출력 저항;
 소스 단자가 상기 정측 출력 저항에 접속되며, 게이트 단자에 주어지는 전압에 따른 전류를 상기 정측 출력 저항에 흐르게 하는 정측 트랜지스터;
 소스 단자가 상기 부측 출력 저항에 접속되며, 게이트 단자에 주어지는 전압에 따른 전류를 상기 부측 출력 저항에 흐르게 하는 부측 트랜지스터;
 상기 입력 전압에 따른 정측 바이어스 전압을 생성하는 정측 바이어스 생성부;
 상기 입력 전압에 따른 부측 바이어스 전압을 생성하는 부측 바이어스 생성부;
 상기 정측 바이어스 전압과 상기 정측 트랜지스터의 소스 전압이 동일하게 되도록 상기 정측 트랜지스터의 상기 게이트 단자에 인가하는 전압을 제어하는 정측 제어부;
 상기 부측 바이어스 전압과 상기 부측 트랜지스터의 소스 전압이 동일하게 되도록 상기 부측 트랜지스터의 상기 게이트 단자에 인가하는 전압을 제어하는 부측 제어부; 및
 상기 전력 증폭 회로의 출력 임피던스를 제어하는 저항 제어부를 포함하되,
 상기 정측 바이어스 생성부는 상기 입력 전압에 소정의 전압을 더해서 상기 정측 바이어스 전압을 생성하고,
 상기 부측 바이어스 생성부는 상기 입력 전압으로부터 상기 소정의 전압을 빼서 상기 부측 바이어스 전압을 생성하고,
 상기 정측 바이어스 생성부는,
 상기 입력 전압에 소정의 전압을 더하는 승압부; 및
 상기 승압부의 출력단과 상기 정측 출력 저항 및 상기 부측 출력 저항간의 상기 접속점과의 사이에 직렬로 설치되며, 상기 승압부가 출력하는 전압을 분압한 전압을 상기 정측 바이어스 전압으로서 상기 정측 제어부에 공급하는 2개의 정측 분압 저항을 포함하고,
 상기 부측 바이어스 생성부는,
 상기 입력 전압으로부터 상기 소정의 전압을 빼는 강압부; 및
 상기 강압부의 출력단과 상기 정측 출력 저항 및 상기 부측 출력 저항간의 상기 접속점과의 사이에 직렬로 설치되며, 상기 강압부가 출력하는 전압을 분압한 전압을 상기 부측 바이어스 전압으로서 상기 부측 제어부에 공급하는 2개의 부측 분압 저항을 포함하며,
 상기 저항 제어부는, 상기 2개의 정측 분압 저항의 저항비 및 상기 2개의 부측 분압 저항의 저항비를 제어함으로써 상기 전력 증폭 회로의 출력 임피던스를 제어하는
 전력 증폭 회로.

청구항 2

삭제

청구항 3

제1항에 있어서,
 상기 정측 제어부는 비반전 입력 단자로 상기 정측 바이어스 전압을 수취하고, 반전 입력 단자로 상기 정측 트랜지스터의 상기 소스 전압을 수취하는 증폭기를 포함하며,

상기 부측 제어부는 비반전 입력 단자로 상기 부측 바이어스 전압을 수취하고, 반전 입력 단자로 상기 부측 트랜지스터의 상기 소스 전압을 수취하는 증폭기를 포함하는 전력 증폭 회로.

청구항 4

삭제

청구항 5

제1항에 있어서,

상기 정측 출력 저항의 저항값은 상기 2개의 정측 분압 저항의 각각의 저항값보다 작으며,

상기 부측 출력 저항의 저항값은 상기 2개의 부측 분압 저항의 각각의 저항값보다 작은 전력 증폭 회로.

청구항 6

삭제

청구항 7

제1항에 있어서,

상기 정측 바이어스 생성부는,

상기 입력 전압에 소정의 전압을 더하는 승압부; 및

콜렉터 단자가 제1 정측 분압 저항을 통해서 소정의 정(正)전위에 접속되고, 에미터 단자가 제2 정측 분압 저항을 통해서 상기 접속점에 접속되며, 게이트 단자로 상기 승압부가 출력하는 전압을 수취하고, 콜렉터 전압을 상기 정측 바이어스 전압으로서 상기 정측 제어부에 공급하는 정측 바이어스 트랜지스터

를 포함하며,

상기 부측 바이어스 생성부는,

상기 입력 전압으로부터 상기 소정의 전압을 빼는 강압부; 및

콜렉터 단자가 제1 부측 분압 저항을 통해서 소정의 부(負)전위에 접속되고, 에미터 단자가 제2 부측 분압 저항을 통해서 상기 접속점에 접속되며, 게이트 단자로 상기 강압부가 출력하는 전압을 수취하고, 콜렉터 전압을 상기 부측 바이어스 전압으로서 상기 부측 제어부에 공급하는 부측 바이어스 트랜지스터

를 포함하는 전력 증폭 회로.

청구항 8

피시험 디바이스를 시험하는 시험 장치에 있어서,

상기 피시험 디바이스에 인가해야 할 입력 전압이 주어지고, 상기 입력 전압에 기초하여 상기 피시험 디바이스에 전원 전력을 공급하는 전력 증폭 회로; 및

상기 전원 전력이 공급된 상기 피시험 디바이스의 동작을 검출하고, 상기 피시험 디바이스의 양부를 판정하는 판정부

를 포함하며,

상기 전력 증폭 회로는,

직렬로 접속되며, 접속점의 전압을 전원 전압으로서 상기 피시험 디바이스에 출력하는 정측 출력 저항 및 부측 출력 저항;

소스 단자가 상기 정측 출력 저항에 접속되며, 게이트 단자에 주어지는 전압에 따른 전류를 상기 정측 출력 저

항에 흐르게 하는 정측 트랜지스터;

소스 단자가 상기 부측 출력 저항에 접속되며, 게이트 단자에 주어지는 전압에 따른 전류를 상기 부측 출력 저항에 흐르게 하는 부측 트랜지스터;

상기 입력 전압에 따른 정측 바이어스 전압을 생성하는 정측 바이어스 생성부;

상기 입력 전압에 따른 부측 바이어스 전압을 생성하는 부측 바이어스 생성부;

상기 정측 바이어스 전압과 상기 정측 트랜지스터의 소스 전압이 동일하게 되도록 상기 정측 트랜지스터의 상기 게이트 단자에 인가하는 전압을 제어하는 정측 제어부; 및

상기 부측 바이어스 전압과 상기 부측 트랜지스터의 소스 전압이 동일하게 되도록 상기 부측 트랜지스터의 상기 게이트 단자에 인가하는 전압을 제어하는 부측 제어부

를 포함하고,

상기 정측 바이어스 생성부는 상기 입력 전압에 소정의 전압을 더해서 상기 정측 바이어스 전압을 생성하고,

상기 부측 바이어스 생성부는 상기 입력 전압으로부터 상기 소정의 전압을 빼서 상기 부측 바이어스 전압을 생성하고,

상기 정측 바이어스 생성부는,

상기 입력 전압에 소정의 전압을 더하는 승압부; 및

상기 승압부의 출력단과 상기 정측 출력 저항 및 상기 부측 출력 저항간의 상기 접속점과의 사이에 직렬로 설치되며, 상기 승압부가 출력하는 전압을 분압한 전압을 상기 정측 바이어스 전압으로서 상기 정측 제어부에 공급하는 2개의 정측 분압 저항을 포함하고,

상기 부측 바이어스 생성부는,

상기 입력 전압으로부터 상기 소정의 전압을 빼는 강압부; 및

상기 강압부의 출력단과 상기 정측 출력 저항 및 상기 부측 출력 저항간의 상기 접속점과의 사이에 직렬로 설치되며, 상기 강압부가 출력하는 전압을 분압한 전압을 상기 부측 바이어스 전압으로서 상기 부측 제어부에 공급하는 2개의 부측 분압 저항을 포함하며,

상기 전력 증폭 회로는, 상기 2개의 정측 분압 저항의 저항비 및 상기 2개의 부측 분압 저항의 저항비를 제어함으로써 상기 전력 증폭 회로의 출력 임피던스를 제어하는 저항 제어부를 더 포함하는,

시험 장치.

청구항 9

제8항에 있어서,

상기 시험 장치는 복수의 상기 피시험 디바이스를 병행하여 시험하며, 상기 전력 증폭 회로를 상기 피시험 디바이스마다 포함하는 시험 장치.

청구항 10

주어지는 입력 전압에 따른 출력 전압을 출력하는 전력 증폭 회로에 있어서,

게이트 단자에 주어지는 전압에 따른 전류를 흐르게 하는 정측 트랜지스터;

드레인 단자가 상기 정측 트랜지스터의 드레인 단자에 접속되며, 게이트 단자에 주어지는 전압에 따른 전류를 흐르게 하는 부측 트랜지스터;

상기 정측 트랜지스터의 소스 단자와 소정의 정(正)전위 사이에 설치된 정측 출력 저항;

상기 부측 트랜지스터의 소스 단자와 소정의 부(負)전위 사이에 설치된 부측 출력 저항;

상기 입력 전압에 따른 정측 바이어스 전압을 생성하는 정측 바이어스 생성부;

상기 입력 전압에 따른 부측 바이어스 전압을 생성하는 부측 바이어스 생성부;

상기 정측 바이어스 전압과 상기 정측 트랜지스터의 소스 전압이 동일하게 되도록 상기 정측 트랜지스터의 상기 게이트 단자에 인가하는 전압을 제어하는 정측 제어부;

상기 부측 바이어스 전압과 상기 부측 트랜지스터의 소스 전압이 동일하게 되도록 상기 부측 트랜지스터의 상기 게이트 단자에 인가하는 전압을 제어하는 부측 제어부; 및

상기 전력 증폭 회로의 출력 임피던스를 제어하는 저항 제어부

를 포함하며,

상기 정측 바이어스 생성부는 상기 입력 전압에 소정의 전압을 더해서 상기 정측 바이어스 전압을 생성하고,

상기 부측 바이어스 생성부는 상기 입력 전압으로부터 상기 소정의 전압을 빼서 상기 부측 바이어스 전압을 생성하고,

상기 정측 바이어스 생성부는,

상기 입력 전압에 소정의 전압을 더하는 승압부; 및

상기 승압부의 출력단과 상기 정측 출력 저항 및 상기 부측 출력 저항간의 상기 접속점과의 사이에 직렬로 설치되며, 상기 승압부가 출력하는 전압을 분압한 전압을 상기 정측 바이어스 전압으로서 상기 정측 제어부에 공급하는 2개의 정측 분압 저항을 포함하고,

상기 부측 바이어스 생성부는,

상기 입력 전압으로부터 상기 소정의 전압을 빼는 강압부; 및

상기 강압부의 출력단과 상기 정측 출력 저항 및 상기 부측 출력 저항간의 상기 접속점과의 사이에 직렬로 설치되며, 상기 강압부가 출력하는 전압을 분압한 전압을 상기 부측 바이어스 전압으로서 상기 부측 제어부에 공급하는 2개의 부측 분압 저항을 포함하며,

상기 저항 제어부는, 상기 2개의 정측 분압 저항의 저항비 및 상기 2개의 부측 분압 저항의 저항비를 제어함으로써 상기 전력 증폭 회로의 출력 임피던스를 제어하고,

상기 전력 증폭 회로는, 상기 정측 트랜지스터의 드레인 단자와 상기 부측 트랜지스터의 드레인 단자의 접속점의 전압을 상기 출력 전압으로서 출력하는

전력 증폭 회로.

청구항 11

피시험 디바이스를 시험하는 시험 장치에 있어서,

상기 피시험 디바이스에 인가해야 할 입력 전압이 주어지고, 상기 입력 전압에 기초하여 상기 피시험 디바이스에 전원 전력을 공급하는 전력 증폭 회로; 및

상기 전원 전력이 공급된 상기 피시험 디바이스의 동작을 검출하고, 상기 피시험 디바이스의 양부를 판정하는 판정부

를 포함하며,

상기 전력 증폭 회로는,

게이트 단자에 주어지는 전압에 따른 전류를 흐르게 하는 정측 트랜지스터;

드레인 단자가 상기 정측 트랜지스터의 드레인 단자에 접속되며, 게이트 단자에 주어지는 전압에 따른 전류를 흐르게 하는 부측 트랜지스터;

상기 정측 트랜지스터의 소스 단자와 소정의 정(正)전위 사이에 설치된 정측 출력 저항;

상기 부측 트랜지스터의 소스 단자와 소정의 부(負)전위 사이에 설치된 부측 출력 저항;

상기 입력 전압에 따른 정측 바이어스 전압을 생성하는 정측 바이어스 생성부;

상기 입력 전압에 따른 부측 바이어스 전압을 생성하는 부측 바이어스 생성부;

상기 정측 바이어스 전압과 상기 정측 트랜지스터의 소스 전압이 동일하게 되도록 상기 정측 트랜지스터의 상기 게이트 단자에 인가하는 전압을 제어하는 정측 제어부; 및

상기 부측 바이어스 전압과 상기 부측 트랜지스터의 소스 전압이 동일하게 되도록 상기 부측 트랜지스터의 상기 게이트 단자에 인가하는 전압을 제어하는 부측 제어부

를 포함하며,

상기 정측 바이어스 생성부는 상기 입력 전압에 소정의 전압을 더해서 상기 정측 바이어스 전압을 생성하고,

상기 부측 바이어스 생성부는 상기 입력 전압으로부터 상기 소정의 전압을 빼서 상기 부측 바이어스 전압을 생성하고,

상기 정측 바이어스 생성부는,

상기 입력 전압에 소정의 전압을 더하는 승압부; 및

상기 승압부의 출력단과 상기 정측 출력 저항 및 상기 부측 출력 저항간의 상기 접속점과의 사이에 직렬로 설치되며, 상기 승압부가 출력하는 전압을 분압한 전압을 상기 정측 바이어스 전압으로서 상기 정측 제어부에 공급하는 2개의 정측 분압 저항을 포함하고,

상기 부측 바이어스 생성부는,

상기 입력 전압으로부터 상기 소정의 전압을 빼는 강압부; 및

상기 강압부의 출력단과 상기 정측 출력 저항 및 상기 부측 출력 저항간의 상기 접속점과의 사이에 직렬로 설치되며, 상기 강압부가 출력하는 전압을 분압한 전압을 상기 부측 바이어스 전압으로서 상기 부측 제어부에 공급하는 2개의 부측 분압 저항을 포함하며,

상기 전력 증폭 회로는, 상기 2개의 정측 분압 저항의 저항비 및 상기 2개의 부측 분압 저항의 저항비를 제어함으로써 상기 전력 증폭 회로의 출력 임피던스를 제어하는 저항 제어부를 더 포함하고,

상기 정측 트랜지스터의 드레인 단자와 상기 부측 트랜지스터의 드레인 단자의 접속점의 전압을 전원 전압으로서 상기 피시엄 디바이스에 출력하는,

시험 장치.

명세서

기술분야

[0001] 본 발명은 주어지는 입력 전압에 따른 출력 전압을 출력하는 전력 증폭 회로 및 피시엄 디바이스를 시험하는 시험 장치에 관한 것이다. 본 출원은 다음의 일본 출원에 관련된다. 문헌의 참조에 의한 편입이 인정되는 지정국에 대해서는 다음의 출원에 기재된 내용을 참조에 의해 본 출원에 편입하고 본 출원의 일부로 한다.

[0002] 일본특허출원 2005-034686 출원일 2005년 2월 10일

배경기술

[0003] 종래, 예를 들면 반도체 회로 등의 피시엄 디바이스를 시험하는 경우, 피시엄 디바이스를 구동하기 위한 전원 전력을 피시엄 디바이스에 공급하고 있었다. 당해 전원 전력은 전력 증폭 회로에 의해 생성된다.

[0004] 전력 증폭 회로는 주어지는 입력 전압에 따른 전원 전압을 출력하며, 또한 피시엄 디바이스의 소비 전류에 따라 전원 전류를 출력한다. 종래, 전력 증폭 회로로서, 파워 디바이스로서 기능하는 2개의 트랜지스터를 포함하는 푸시 풀 회로가 이용되고 있었다. 푸시 풀 회로는 전원 전류를 출력하지 않는 상태에서 파워 디바이스에 아이들링 전류를 흐르게 함으로써 파워 디바이스의 동작점을 원하는 영역으로 조정하는 회로이다.

- [0005] 관련되는 특허문헌 등은 현재 인식되고 있지 않기 때문에 그 기재를 생략한다.
- [0006] 전력 증폭 회로의 아이들링 전류는 파워 디바이스의 특성에 의해 변화된다. 예를 들면, 동일한 구성을 가지는 전력 증폭 회로일지라도, 파워 디바이스의 특성의 편차에 의해 흐르는 아이들링 전류는 일정하게 되지 않는다. 이 때문에, 전력 증폭 회로의 특성이 설계값과 일치하지 않을 경우가 있다. 또한, 복수의 전력 증폭 회로를 병렬로 사용할 경우, 각각의 전력 증폭 회로의 특성에 편차가 생긴다.
- [0007] 또한, 파워 디바이스는 온도 변동과 함께 흐르는 전류량이 변화된다. 이 때문에, 전력 증폭 회로의 전원 투입 시로부터 정상상태로 될 때까지 아이들링 전류가 변동하고, 전력 증폭 회로의 특성도 변동한다.
- [0008] 또한, 이러한 전력 증폭 회로를 이용해서 피시험 디바이스의 시험을 수행하면, 피시험 디바이스에 원하는 전원 전력을 공급할 수 없는 경우가 있으며, 시험을 높은 정밀도로 수행할 수 없다.
- [0009] 또한, 이러한 파워 디바이스의 특성의 편차 등의 영향을 줄이기 위해서 전력 증폭 회로의 출력단에 저항값이 높은 저항을 삽입하는 방법도 고려할 수 있지만, 출력 임피던스의 악화를 초래하는 동시에 파워 디바이스를 구동하기 위해서 고전압을 인가할 필요가 있으며, 전력 증폭 회로의 소비 전력의 증대를 초래한다.
- [0010] 따라서, 본 발명은 상기 과제를 해결할 수 있는 전력 증폭 회로 및 시험 장치를 제공하는 것을 목적으로 한다. 이 목적은 청구의 범위의 독립항에 기재된 특징의 조합에 의해 달성된다. 또한, 종속항은 본 발명의 또 다른 유리한 구체예를 규정한다.

발명의 상세한 설명

- [0011] 상기 과제를 해결하기 위해서, 본 발명의 제1 형태에서는, 주어지는 입력 전압에 따른 출력 전압을 출력하는 전력 증폭 회로에 있어서, 직렬로 접속되며, 접속점의 전압을 출력 전압으로서 출력하는 정측 출력 저항 및 부측 출력 저항, 소스 단자가 정측 출력 저항에 접속되며, 게이트 단자에 주어지는 전압에 따른 전류를 정측 출력 저항에 흐르게 하는 정측 트랜지스터, 소스 단자가 부측 출력 저항에 접속되며, 게이트 단자에 주어지는 전압에 따른 전류를 부측 출력 저항에 흐르게 하는 부측 트랜지스터, 입력 전압에 따른 정측 바이어스 전압을 생성하는 정측 바이어스 생성부, 입력 전압에 따른 부측 바이어스 전압을 생성하는 부측 바이어스 생성부, 정측 바이어스 전압과 정측 트랜지스터의 소스 전압이 동일하게 되도록 정측 트랜지스터의 게이트 단자에 인가하는 전압을 제어하는 정측 제어부, 및 부측 바이어스 전압과 부측 트랜지스터의 소스 전압이 동일하게 되도록 부측 트랜지스터의 게이트 단자에 인가하는 전압을 제어하는 부측 제어부를 포함하는 전력 증폭 회로를 제공한다.
- [0012] 정측 바이어스 생성부는 입력 전압에 소정의 전압을 더해서 정측 바이어스 전압을 생성하고, 부측 바이어스 생성부는 입력 전압으로부터 소정의 전압을 빼서 부측 바이어스 전압을 생성한다. 정측 제어부는 비반전 입력 단자로 정측 바이어스 전압을 수취하며 반전 입력 단자로 정측 트랜지스터의 소스 전압을 수취하는 증폭기를 포함하며, 부측 제어부는 비반전 입력 단자로 부측 바이어스 전압을 수취하며 반전 입력 단자로 부측 트랜지스터의 상기 소스 전압을 수취하는 증폭기를 포함하여도 된다.
- [0013] 정측 바이어스 생성부는 입력 전압에 소정의 전압을 더하는 승압부, 및 승압부의 출력단과 정측 출력 저항 및 부측 출력 저항간의 접속점과의 사이에 직렬로 설치되며, 승압부가 출력하는 전압을 분압한 전압을 정측 바이어스 전압으로서 정측 제어부에 공급하는 2개의 정측 분압 저항을 포함하며, 부측 바이어스 생성부는 입력 전압으로부터 소정의 전압을 빼는 강압부, 및 강압부의 출력단과 정측 출력 저항 및 부측 출력 저항간의 접속점과의 사이에 직렬로 설치되며, 강압부가 출력하는 전압을 분압한 전압을 부측 바이어스 전압으로서 부측 제어부에 공급하는 2개의 부측 분압 저항을 포함한다.
- [0014] 정측 출력 저항의 저항값은 2개의 정측 분압 저항의 각각의 저항값보다 작으며, 부측 출력 저항의 저항값은 2개의 부측 분압 저항의 각각의 저항값보다 작은 것이 바람직하다. 전력 증폭 회로는 2개의 정측 분압 저항의 저항비 및 2개의 부측 분압 저항의 저항비를 제어함으로써 전력 증폭 회로의 출력 임피던스를 제어하는 저항 제어부를 더 포함한다.
- [0015] 정측 바이어스 생성부는 입력 전압에 소정의 전압을 더하는 승압부, 및 콜렉터 단자가 제1 정측 분압 저항을 통해서 소정의 정(正)전위에 접속되고, 에미터 단자가 제2 정측 분압 저항을 통해서 접속점에 접속되며, 게이트 단자로 승압부가 출력하는 전압을 수취하고, 콜렉터 전압을 정측 바이어스 전압으로서 정측 제어부에 공급하는 정측 바이어스 트랜지스터를 포함하며, 부측 바이어스 생성부는 입력 전압으로부터 소정의 전압을 빼는 강압부,

및 콜렉터 단자가 제1 부측 분압 저항을 통해서 소정의 부(負)전위에 접속되고, 에미터 단자가 제2 부측 분압 저항을 통해서 접속점에 접속되며, 게이트 단자로 강압부가 출력하는 전압을 수취하고, 콜렉터 전압을 부측 바이어스 전압으로서 부측 제어부에 공급하는 부측 바이어스 트랜지스터를 포함하여도 된다.

- [0016] 본 발명의 제2 형태에서는, 피시힘 디바이스를 시험하는 시험 장치에 있어서, 피시힘 디바이스에 인가해야 할 입력 전압이 주어지고, 입력 전압에 기초하여 피시힘 디바이스에 전원 전력을 공급하는 전력 증폭 회로, 및 전원 전력이 공급된 피시힘 디바이스의 동작을 검출하고, 피시힘 디바이스의 양부를 판정하는 판정부를 포함하며, 전력 증폭 회로는, 직렬로 접속되며 접속점의 전압을 전원 전압으로서 피시힘 디바이스에 출력하는 정측 출력 저항 및 부측 출력 저항, 소스 단자가 정측 출력 저항에 접속되며 게이트 단자에 주어지는 전압에 따른 전류를 정측 출력 저항에 흐르게 하는 정측 트랜지스터, 소스 단자가 부측 출력 저항에 접속되며 게이트 단자에 주어지는 전압에 따른 전류를 부측 출력 저항에 흐르게 하는 부측 트랜지스터, 입력 전압에 따른 정측 바이어스 전압을 생성하는 정측 바이어스 생성부, 입력 전압에 따른 부측 바이어스 전압을 생성하는 부측 바이어스 생성부, 정측 바이어스 전압과 정측 트랜지스터의 소스 전압이 동일하게 되도록 정측 트랜지스터의 게이트 단자에 인가하는 전압을 제어하는 정측 제어부, 및 부측 바이어스 전압과 부측 트랜지스터의 소스 전압이 동일하게 되도록 부측 트랜지스터의 게이트 단자에 인가하는 전압을 제어하는 부측 제어부를 포함하는 시험 장치를 제공한다.
- [0017] 시험 장치는 복수의 피시힘 디바이스를 병행하여 시험하며, 전력 증폭 회로를 피시힘 디바이스마다 포함하여도 된다.
- [0018] 또한, 상기 발명의 개요는 본 발명이 필요로 하는 특징의 모두를 열거한 것이 아니며, 이들 특징군의 서브 콤비네이션도 또한 발명이 될 수 있다.
- [0019] 본 발명에 의하면, 출력단의 트랜지스터의 특성에 관계없이 아이들링 전류가 소정의 값으로 되는 전력 증폭 회로를 제공할 수 있다.

실시예

- [0029] 이하, 발명의 실시 형태를 통해서 본 발명을 설명하지만, 이하의 실시 형태는 청구의 범위에 따른 발명을 한정하는 것이 아니며 또한 실시 형태에서 설명되는 특징의 조합의 모두가 발명의 해결 수단에 필수적인 것은 아니다.
- [0030] 도 1은 본 발명의 실시 형태에 관한 전력 증폭 회로 100의 구성의 제1 예를 나타내는 도면이다. 전력 증폭 회로 100은 주어지는 입력 전압에 따른 출력 전압을 출력하는 회로이다. 본 예에서는 정측 제어부 40-1 및 부측 제어부 40-2가 출력단의 정측 트랜지스터 72-1 및 부측 트랜지스터 72-2의 소스 전압을 일정값으로 제어함으로써 출력단에 흐르는 아이들링 전류를 일정하게 제어하고, 이들 트랜지스터를 원하는 동작 영역에서 구동시킨다.
- [0031] 전력 증폭 회로 100은 정측 바이어스 생성부 10-1, 부측 바이어스 생성부 10-2, 정측 제어부 40-1, 부측 제어부 40-2, 정측 출력부 70-1, 및 부측 출력부 70-2를 포함한다.
- [0032] 정측 바이어스 생성부 10-1 및 부측 바이어스 생성부 10-2는 주어지는 입력 전압에 기초하여 정측 바이어스 전압 및 부측 바이어스 전압을 생성한다. 본 예에 있어서, 정측 바이어스 생성부 10-1은 입력 전압에 소정의 전압을 더해서 정측 바이어스 전압을 생성하고, 부측 바이어스 생성부 10-2는 입력 전압으로부터 소정의 전압을 빼서 부측 바이어스 전압을 생성한다.
- [0033] 정측 바이어스 생성부 10-1은 승압부 14-1 및 노레이터(norator) 12-1을 포함한다. 승압부 14-1은 일단으로 입력 전압을 수취하고, 타단이 노레이터 12-1을 통해서 정전위 V_{pp} 에 접속된다. 승압부 14-1은 수취한 입력 전압에 소정의 전압을 더해서 출력한다. 본 예에 있어서, 승압부 14-1은 제너 다이오드를 포함한다. 승압부 14-1은 입력 전압을 제너 다이오드에 의해 정해지는 승압값만큼 승압하여 정측 바이어스 전압을 생성한다.
- [0034] 부측 바이어스 생성부 10-2는 강압부 14-2 및 노레이터 12-2를 포함한다. 강압부 14-2는 일단으로 입력 전압을 수취하고, 타단이 노레이터 12-2를 통해서 부전위 V_{nn} 에 접속된다. 강압부 14-2는 수취한 입력 전압으로부터 소정의 전압을 빼서 출력한다. 여기서, 승압부 14-1에서 승압되는 전압량과 강압부 14-2에서 강압되는 전압량은 실질적으로 동등하다. 본 예에 있어서, 강압부 14-2는 승압부 14-1의 제너 다이오드와 실질적으로 동일한 특성의 제너 다이오드를 포함한다. 강압부 14-2는 입력 전압을 제너 다이오드에 의해 정해지는 강압값만큼 강압하여 부측 바이어스 전압을 생성한다.

- [0035] 정측 출력부 70-1은 정측 트랜지스터 72-1 및 정측 출력 저항 74-1을 포함한다. 또한, 부측 출력부 70-2는 부측 트랜지스터 72-2 및 부측 출력 저항 74-2를 포함한다. 여기서, 정측 출력 저항 74-1의 저항값과 부측 출력 저항 74-2의 저항값은 실질적으로 동등하다. 또한, 본 예에 있어서 정측 트랜지스터 72-1은 n형 모스펫(MOSFET)이며, 부측 트랜지스터 72-2는 p형 모스펫(MOSFET)이다.
- [0036] 정측 트랜지스터 72-1은 드레인 단자가 소정의 정전위 V_{pp} 에 접속되고, 소스 단자가 정측 출력 저항 74-1에 접속되며, 게이트 단자에 주어지는 전압에 따른 전류를 정측 출력 저항 74-1에 흐르게 한다. 또한, 부측 트랜지스터 72-2는 드레인 단자가 소정의 부전위 V_{nn} 에 접속되고, 소스 단자가 부측 출력 저항 74-2에 접속되며, 게이트 단자에 주어지는 전압에 따른 전류를 부측 출력 저항 74-2에 흐르게 한다.
- [0037] 정측 출력 저항 74-1 및 부측 출력 저항 74-2는 정측 트랜지스터 72-1의 소스 단자와 부측 트랜지스터 72-2의 소스 단자의 사이에 직렬로 접속된다. 또한, 정측 출력 저항 74-1과 부측 출력 저항 74-2의 접속점의 전압이 출력 전압으로서 외부에 출력된다.
- [0038] 정측 제어부 40-1은 정측 바이어스 생성부 10-1이 출력하는 정측 바이어스 전압과 정측 트랜지스터 72-1의 소스 전압이 실질적으로 동일하게 되도록 정측 트랜지스터의 게이트 단자에 인가하는 전압을 제어한다. 즉, 정측 제어부 40-1은 정측 바이어스 전압과 당해 소스 전압이 실질적으로 동일하게 되도록 정측 트랜지스터 72-1이 정측 출력 저항 74-1에 흐리는 전류를 제어한다. 정측 제어부 40-1은 비반전 입력 단자로 정측 바이어스 전압을 수취하며, 반전 입력 단자로 정측 트랜지스터 72-1의 소스 전압을 수취하는 차동 증폭기 42-1을 포함하여도 된다.
- [0039] 부측 제어부 40-2는 부측 바이어스 생성부 10-2가 출력하는 부측 바이어스 전압과 부측 트랜지스터 72-2의 소스 전압이 실질적으로 동일하게 되도록 부측 트랜지스터의 게이트 단자에 인가하는 전압을 제어한다. 즉, 부측 제어부 40-2는 부측 바이어스 전압과 당해 소스 전압이 실질적으로 동일하게 되도록 부측 트랜지스터 72-2가 부측 출력 저항 74-2에 흐리는 전류를 제어한다. 부측 제어부 40-2는 비반전 입력 단자로 부측 바이어스 전압을 수취하며, 반전 입력 단자로 부측 트랜지스터 72-2의 소스 전압을 수취하는 차동 증폭기 42-2를 포함하여도 된다.
- [0040] 이러한 구성에 의해, 전력 증폭 회로 100의 아이들링시에 정측 출력 저항 74-1 및 부측 출력 저항 74-2에 흐르는 아이들링 전류는 일정하게 된다. 즉, 아이들링 전류 I_d 는 승압부 14-1이 승압하는 전압을 V_{B_p} , 강압부 14-2가 강압하는 전압을 V_{B_n} , 정측 출력 저항 74-1의 저항값을 R_{o_p} , 부측 출력 저항 74-2의 저항값을 R_{o_n} 으로 하면, 다음 수학적식으로 주어진다.

수학적식 1

- [0041]
$$I_d = (V_{B_p} - V_{B_n}) / (R_{o_p} + R_{o_n})$$
- [0042] 또한, 정측 제어부 40-1 및 부측 제어부 40-2는 아이들링 전류가 수학적식 1에 나타낸 값이 되도록 정측 트랜지스터 72-1 및 부측 트랜지스터 72-2를 제어한다. 이와 같이, 본 예에서의 전력 증폭 회로 100은 정측 트랜지스터 72-1 및 부측 트랜지스터 72-2의 특성에 관계없이 아이들링 전류를 소정의 값으로 제어할 수 있다. 이 때문에, 이들 트랜지스터를 소정의 동작 영역에서 동작시킬 수 있다. 또한, 복수의 전력 증폭 회로 100을 병렬로 사용할 경우, 트랜지스터의 특성의 편차에 관계없이 각각의 전력 증폭 회로 100에서의 아이들링 전류를 일정값으로 제어할 수 있다.
- [0043] 도 2는 전력 증폭 회로 100의 구성의 제2 예를 나타내는 도면이다. 본 예에서의 전력 증폭 회로 100은 아이들링 전류를 일정하게 제어하며, 또한 출력단에서의 소비 전력을 억제하면서 출력 임피던스를 조정할 수 있는 회로이다. 본 예에서의 전력 증폭 회로 100은 도 1에 나타낸 전력 증폭 회로 100의 구성과 비교하여 정측 바이어스 생성부 10-1 및 부측 바이어스 생성부 10-2의 구성이 다르다. 그 밖의 구성 요소는 도 1에서 설명한 전력 증폭 회로 100의 구성 요소와 동일하다.
- [0044] 정측 바이어스 생성부 10-1은 도 1에서 설명한 정측 바이어스 생성부 10-1의 구성에 더하여, 정측 버퍼 트랜지스터 16-1, 제1 정측 분압 저항 18-1, 및 제2 정측 분압 저항 20-1을 더 포함한다. 또한, 부측 바이어스 생성부 10-2는 도 1에서 설명한 부측 바이어스 생성부 10-2의 구성에 더하여 부측 버퍼 트랜지스터 16-2, 제1 부측 분압 저항 18-2, 및 제2 부측 분압 저항 20-2를 더 포함한다.
- [0045] 정측 버퍼 트랜지스터 16-1은 콜렉터 단자가 소정의 정전위 V_{pp} 에 접속되고, 에미터 단자가 제1 정측 분압 저항 18-1에 접속되며, 베이스 단자가 승압부 14-1의 출력단에 접속된다. 또한, 부측 버퍼 트랜지스터 16-1은 콜렉터 단자가 소정의 부전위 V_{nn} 에 접속되고, 에미터 단자가 제1 부측 분압 저항 18-2에 접속되며, 베이스 단자가 강압부 14-2의 출력단에 접속된다. 본 예에 있어서, 정측 버퍼 트랜지스터 16-1은 npn형 바이폴라 트랜지스터

이며, 부측 버퍼 트랜지스터 16-2는 pnp형 바이폴라 트랜지스터이다.

- [0046] 제1 정측 분압 저항 18-1, 제2 정측 분압 저항 20-1, 제2 부측 분압 저항 20-2, 및 제1 부측 분압 저항 18-2는 정측 버퍼 트랜지스터 16-1의 에미터 단자로부터 부측 버퍼 트랜지스터 16-2의 에미터 단자에 걸쳐 차례로 직렬로 접속된다.
- [0047] 제1 정측 분압 저항 18-1 및 제2 정측 분압 저항 20-1은 승압부 14-1에 의해 승압된 전압을 정측 버퍼 트랜지스터 16-1을 통해서 수취하고, 수취한 전압을 각각의 저항값의 비율로 분압하고, 정측 바이어스 전압으로서 정측 제어부 40-1에 공급한다. 즉, 제1 정측 분압 저항 18-1과 제2 정측 분압 저항 20-1의 접속점의 전압이 정측 바이어스 전압으로서 정측 제어부 40-1에 공급된다.
- [0048] 제1 부측 분압 저항 18-2 및 제2 부측 분압 저항 20-2는 강압부 14-2에 의해 승압된 전압을 부측 버퍼 트랜지스터 16-2를 통해서 수취하고, 수취한 전압을 각각의 저항값의 비율로 분압하고, 부측 바이어스 전압으로서 부측 제어부 40-2에 공급한다. 즉, 제1 부측 분압 저항 18-2와 제2 부측 분압 저항 20-2의 접속점의 전압이 부측 바이어스 전압으로서 부측 제어부 40-2에 공급된다. 여기서, 제1 정측 분압 저항 18-1의 저항값과 제1 부측 분압 저항 18-2의 저항값은 실질적으로 동등하며, 제2 정측 분압 저항 20-1의 저항값과 제2 부측 분압 저항 20-2의 저항값은 실질적으로 동등하다.
- [0049] 또한, 제2 정측 분압 저항 20-1과 제2 부측 분압 저항 20-2의 접속점은 정측 출력 저항 74-1과 부측 출력 저항 74-2의 접속점에 접속된다. 이러한 구성에 의해, 아이들링 전류 I_d 는 정측 버퍼 트랜지스터 16-1의 베이스-에미터간 전압을 V_{be_p} , 부측 버퍼 트랜지스터 16-2의 베이스-에미터간 전압을 V_{be_n} , 제1 정측 분압 저항 18-1의 저항값을 R_{c1_p} , 제2 정측 분압 저항 20-1의 저항값을 R_{c2_p} , 제1 부측 분압 저항 18-2의 저항값을 R_{c1_n} , 제2 부측 분압 저항 20-2의 저항값을 R_{c2_n} 으로 하면, 다음 수학식으로 주어진다.

수학식 2

- [0050]
$$I_d = ((V_{B_p} - V_{be_p}) \times R_{c2_p} / (R_{c1_p} + R_{c2_p})$$
- [0051]
$$- (V_{B_n} - V_{be_n}) \times R_{c2_n} / (R_{c1_n} + R_{c2_n}))$$
- [0052]
$$/ (R_{o_p} + R_{o_n})$$
- [0053] 수학식 2로부터 명확한 바와 같이, 아이들링 전류 I_d 는 출력단의 트랜지스터의 특성에 따르지 않고 일정한 값이 된다. 또한, 전력 증폭 회로 100의 출력 임피던스 Z_o 는 다음 수학식으로 주어진다.

수학식 3

- [0054]
$$Z_o = R_{o_p} \times (R_{c1_p} + R_{c2_p}) / R_{c2_p}$$
- [0055]
$$= R_{o_n} \times (R_{c1_n} + R_{c2_n}) / R_{c2_n}$$
- [0056] 수학식 3으로부터 명확한 바와 같이, 출력 임피던스 Z_o 는 정측 및 부측에서의 제1 분압 저항 18과 제2 분압 저항 20의 비율을 조정함으로써 제어할 수 있다. 즉, 출력 임피던스 Z_o 를 크게 하는 경우일지라도, 저항값이 작은 정측 및 부측에서의 출력 저항 74를 이용할 수 있어서 전력 증폭 회로 100의 전원으로서는 주어지는 정전위 V_{pp} 및 부전위 V_{nn} 을 낮게 억제할 수 있다. 이 때문에, 전력 증폭 회로 100에서의 소비 전력을 억제하면서 출력 임피던스 Z_o 를 제어할 수 있다.
- [0057] 본 예에 있어서, 정측 출력 저항 74-1의 저항값은 2개의 정측 분압 저항 (18-1, 20-1)의 각각의 저항값보다 작으며, 부측 출력 저항 74-2의 저항값은 2개의 부측 분압 저항 (18-2, 20-2)의 각각의 저항값보다 작은 것이 바람직하다. 예를 들면, 각각의 출력 저항의 저항값은 1Ω 이하이며, 각각의 분압 저항의 저항값은 수 $k\Omega$ 이어도 된다.
- [0058] 도 3은 전력 증폭 회로 100의 구성의 제3 예를 나타내는 도면이다. 본 예에서의 전력 증폭 회로 100은 도 2에서 설명한 전력 증폭 회로 100에서 정측 트랜지스터 72-1 및 부측 트랜지스터 72-2의 극성을 역전시킨 구성을 갖는다. 즉, 본 예에서의 전력 증폭 회로 100의 정측 트랜지스터 72-1은 p형 모스펫(MOSFET)이며, 부측 트랜지스터 72-2는 n형 모스펫(MOSFET)이다.
- [0059] 이 경우, 정측 출력 저항 74-1은 정측 트랜지스터 72-1의 소스 단자와 소정의 정전위 V_{pp} 의 사이에 설치되며, 부측 출력 저항 74-2는 부측 트랜지스터 72-2의 소스 단자와 소정의 부전위 V_{nn} 의 사이에 설치된다. 또한, 정

측 트랜지스터 72-1의 드레인 단자와 부측 트랜지스터 72-2의 드레인 단자가 접속되며, 당해 접속점의 전압이 출력 전압으로서 외부에 출력된다. 이러한 구성에 의해서도, 도 1 또는 도 2에서 설명한 전력 증폭 회로 100과 마찬가지로 출력단의 트랜지스터의 특성에 관계없이 아이들링 전류를 소정값으로 할 수 있다.

[0060] 또한, 도 3에 나타내는 바와 같이 정측 및 부측의 바이어스 생성부 10에 있어서, 버퍼 트랜지스터 16의 콜렉터 단자와 소정의 정전위 V_{pp} 의 사이에 제1 분압 저항 18이 설치되며, 버퍼 트랜지스터 16의 소스 단자에 제2 분압 저항 20이 접속되어도 된다. 이 경우, 버퍼 트랜지스터 16의 콜렉터 단자와 제1 분압 저항 18의 접속점의 전압이 바이어스 전압으로서 정측 또는 부측의 제어부 40에 공급된다. 이러한 구성에 의해서도 도 2에서 설명한 전력 증폭 회로 100과 마찬가지로 출력 임피던스 Z_o 를 조정할 수 있다.

[0061] 도 4는 전력 증폭 회로 100의 구성의 제4 예를 나타내는 도면이다. 본 예에서의 전력 증폭 회로 100은 정측 및 부측의 바이어스 생성부 10에서 저항에 의해 바이어스 전압을 생성한다. 제너 다이오드의 순방향 전압 및 트랜지스터의 베이스-에미터간 전압에는 편차가 생기기 쉽기 때문에, 이들을 이용해서 바이어스 전압을 생성하면, 원하는 바이어스 전압을 생성할 수 없는 경우가 있다. 이에 대하여, 저항은 저항값을 높은 정밀도로 조정해서 형성할 수 있기 때문에, 본 예에서의 전력 증폭 회로 100은 원하는 바이어스 전압을 높은 정밀도로 생성할 수 있다.

[0062] 정측 바이어스 생성부 10-1은 승압부 14-1로서 저항을 이용한다. 또한, 본 예에서의 정측 바이어스 생성부 10-1은 도 2에서 설명한 정측 바이어스 생성부 10-1의 구성과 비교하여 정측 버퍼 트랜지스터 16-1을 포함하지 않는다. 제1 정측 분압 저항 18-1 및 제2 정측 분압 저항 20-1은 승압부 14-1의 출력단과 정측 출력 저항 74-1 및 부측 출력 저항 74-2의 접속점과의 사이에 직렬로 설치된다.

[0063] 또한, 부측 바이어스 생성부 10-2는 도 4에 나타내는 바와 같이 정측 바이어스 생성부 10-1과 마찬가지로의 구성을 갖는다. 이러한 구성에 의해, 상술한 바와 같이 원하는 바이어스 전압을 높은 정밀도로 생성할 수 있다.

[0064] 여기서, 승압부 14-1로서 기능하는 저항의 저항값은 제1 정측 분압 저항 18-1 및 제2 정측 분압 저항 20-1의 저항값보다 충분히 작은 것이 바람직하다. 예를 들면, 노레이터 12-1에 흐르는 전류의 거의 전부가 승압부 14-1에 흐르도록 저항값을 가지는 것이 바람직하다. 또한, 마찬가지로 강압부 14-2로서 기능하는 저항의 저항값은 제1 부측 분압 저항 18-2 및 제2 부측 분압 저항 20-2의 저항값보다 충분히 작은 것이 바람직하다.

[0065] 도 5는 전력 증폭 회로 100의 구성의 제5 예를 나타내는 도면이다. 본 예에서의 전력 증폭 회로 100은 도 4에서 설명한 전력 증폭 회로 100의 구성과 비교하여 정측 및 부측의 바이어스 생성부 10에 전압 팔로워 회로 22를 더 포함한다.

[0066] 정측 바이어스 생성부 10-1은 승압부 14-1의 출력단과 제1 정측 분압 저항 18-1의 사이에 전압 팔로워 회로 22-1을 포함한다. 또한, 부측 바이어스 생성부 10-2는 강압부 14-2의 출력단과 제1 부측 분압 저항 18-2의 사이에 전압 팔로워 회로 22-2를 포함한다. 이러한 구성에 의해, 승압부 14-1 또는 강압부 14-2가 생성한 전압을 높은 정밀도로 제1 정측 분압 저항 18-1 또는 제1 부측 분압 저항 18-2에 전송할 수 있다.

[0067] 또한, 전력 증폭 회로 100은 제1 분압 저항 18 및 제2 분압 저항 20의 저항값을 제어하는 저항 제어부를 더 포함하여도 된다. 이에 따라, 전력 증폭 회로 100의 출력 임피던스를 원하는 값으로 제어할 수 있다.

[0068] 도 6은 전력 증폭 회로 100이 포함하는 저항 제어부 30을 설명하는 도면이다. 저항 제어부 30은 정측 및 부측의 바이어스 생성부 10의 제1 분압 저항 18 및 제2 분압 저항 20의 저항값을 제어한다. 도 6에서는 정측 바이어스 생성부 10-1의 제1 정측 분압 저항 18-1 및 제2 정측 분압 저항 20-1의 저항값을 제어할 경우에 대해서 설명한다.

[0069] 수학적 식 3에 관련하여 설명한 바와 같이, 저항 제어부 30은 제1 정측 분압 저항 18-1 및 제2 정측 분압 저항 20-1의 저항비를 제어함으로써 출력 임피던스의 값을 용이하게 제어할 수 있다. 제1 정측 분압 저항 18-1 및 제2 정측 분압 저항 20-1은 예를 들면 가변저항이어도 된다. 또한, 정측 바이어스 생성부 10에서의 분압 저항의 저항값을 제어하였을 경우, 저항 제어부 30은 부측 바이어스 생성부 10에서의 분압 저항의 저항값도 마찬가지로 제어한다.

[0070] 도 7은 본 발명의 실시 형태에 관한 시험 장치 200의 구성의 일례를 도시하는 도면이다. 시험 장치 200은 복수의 피시험 디바이스 300을 병행하여 시험하는 장치이며, 복수의 패턴 발생부 (120-1~120-n, 단 n은 임의의 정수), 복수의 전력 증폭 회로 (100-1~100-n), 테스트 제어부 110, 및 판정부 130을 포함한다. 피시험 디바이스 300은 예를 들면 반도체 회로 등의 전자 디바이스이다.

- [0071] 복수의 전력 증폭 회로 100은 복수의 피시험 디바이스 300에 대응해서 설치된다. 복수의 전력 증폭 회로 100은 각각 도 1 내지 도 6에서 설명한 전력 증폭 회로 100과 동일한 구성을 가지며, 대응하는 피시험 디바이스 300에 전원 전력을 공급한다.
- [0072] 복수의 패턴 발생부 120-1은 복수의 피시험 디바이스 300에 대응해서 설치된다. 각각의 패턴 발생부 120-1은 피시험 디바이스 300의 시험을 수행하기 위한 시험 패턴을 대응하는 피시험 디바이스 300에 공급한다.
- [0073] 테스터 제어부 110은 복수의 패턴 발생부 120 및 복수의 전력 증폭 회로 100을 제어하고, 각각의 피시험 디바이스 300에 소정의 시험 패턴 및 전원 전압을 공급하게 한다. 또한, 판정부 130은 전원 전력이 공급된 피시험 디바이스 300의 동작을 검출하고, 각각의 피시험 디바이스 300의 양부를 판정한다. 예를 들면, 판정부 130은 피시험 디바이스 300이 출력하는 출력 신호에 기초하여 양부를 판정해도 되며, 또한 피시험 디바이스 300에 공급되는 전원 전류를 검출하고, 당해 전원 전류에 기초하여 피시험 디바이스 300의 양부를 판정해도 된다.
- [0074] 본 예에 있어서, 각각의 전력 증폭 회로 100의 승압부 14-1 및 강압부 14-2는 동일한 승압 전압 및 강압 전압을 생성하는 것이 바람직하다. 예를 들면, 각각의 승압부 14-1 및 강압부 14-2는 동일한 특성을 가지는 제너 다이오드로 구성되어도 된다. 이에 따라, 각각의 전력 증폭 회로 100에서 아이들링 전류를 동일하게 할 수 있다. 이 때문에, 각각의 피시험 디바이스 300의 시험을 높은 정밀도로 수행할 수 있다.
- [0075] 이상, 본 발명을 실시 형태를 이용해서 설명하였지만, 본 발명의 기술적 범위는 상기 실시 형태에 기재된 범위에 한정되지는 않는다. 상기 실시 형태에 다양한 변경 또는 개량을 추가할 수 있다는 것이 당업자에게 명확하다. 이와 같은 변경 또는 개량을 추가한 형태도 본 발명의 기술적 범위에 포함될 수 있는 것이 청구의 범위의 기재로부터 명확하다.

산업상 이용 가능성

- [0076] 이상으로부터 분명한 바와 같이, 본 발명에 의하면, 출력단의 트랜지스터의 특성에 관계없이 아이들링 전류가 소정의 값으로 되는 전력 증폭 회로를 제공할 수 있다.

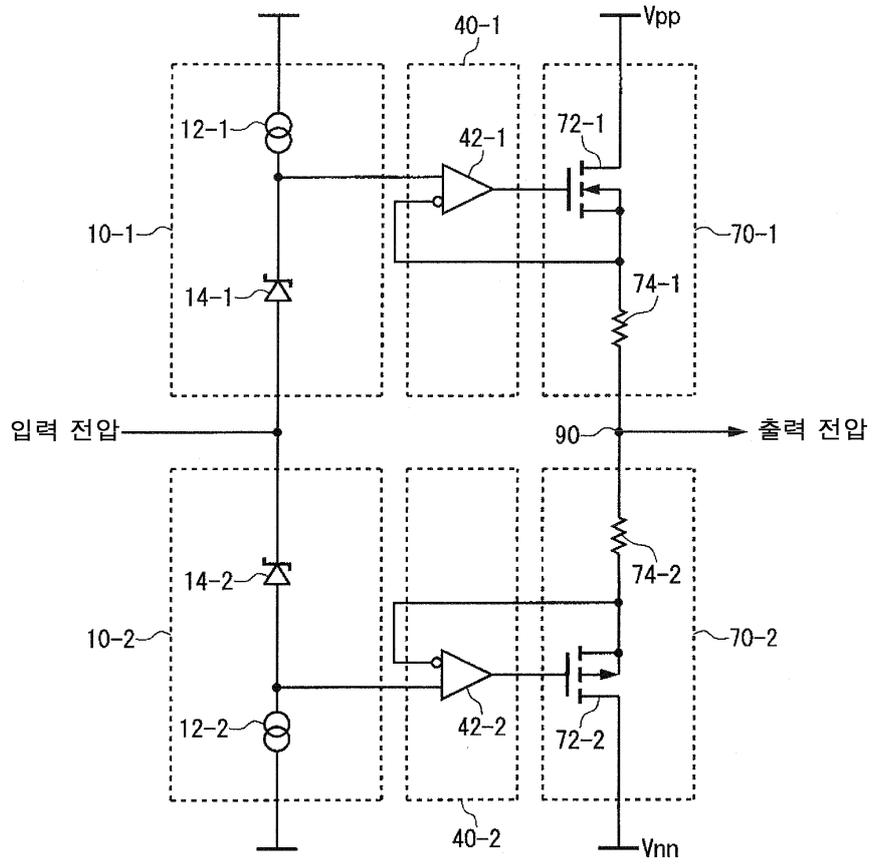
도면의 간단한 설명

- [0020] 도 1은 본 발명의 실시 형태에 관한 전력 증폭 회로 100의 구성의 제1 예를 나타내는 도면이다.
- [0021] 도 2는 전력 증폭 회로 100의 구성의 제2 예를 나타내는 도면이다.
- [0022] 도 3은 전력 증폭 회로 100의 구성의 제3 예를 나타내는 도면이다.
- [0023] 도 4는 전력 증폭 회로 100의 구성의 제4 예를 나타내는 도면이다.
- [0024] 도 5는 전력 증폭 회로 100의 구성의 제5 예를 나타내는 도면이다.
- [0025] 도 6은 저항 제어부 30을 설명하는 도면이다.
- [0026] 도 7은 본 발명의 실시 형태에 관한 시험 장치 200의 구성의 일례를 도시하는 도면이다.
- [0027] [부호의 설명]
- [0028] 10 : 바이어스 생성부, 12 : 노레이터(norator), 14-1 : 승압부, 14-2 : 강압부, 16 : 버퍼 트랜지스터, 18 : 분압 저항, 20 : 분압 저항, 22 : 전압 팔로워 회로, 30 : 저항 제어부, 40 : 제어부, 42 : 차동 증폭기, 70 : 출력부, 72 : 트랜지스터, 74 : 출력 저항, 100 : 전력 증폭 회로, 110 : 테스터 제어부, 120 : 패턴 발생부, 130 : 판정부, 200 : 시험 장치, 300 : 피시험 디바이스

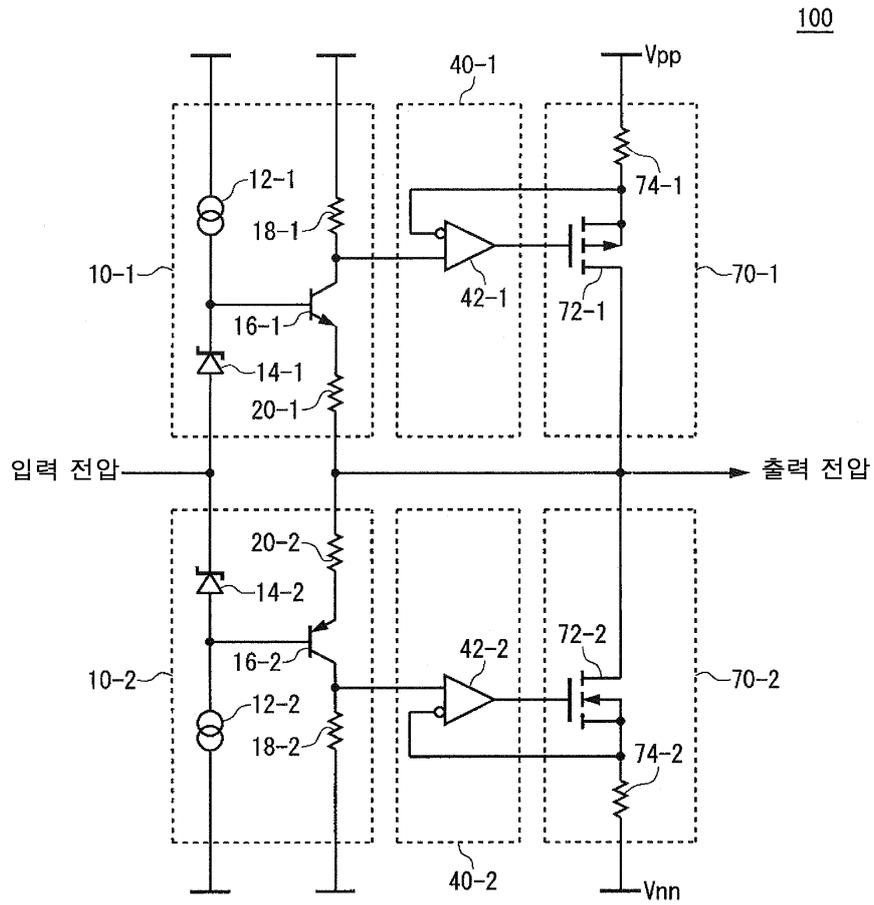
도면

도면1

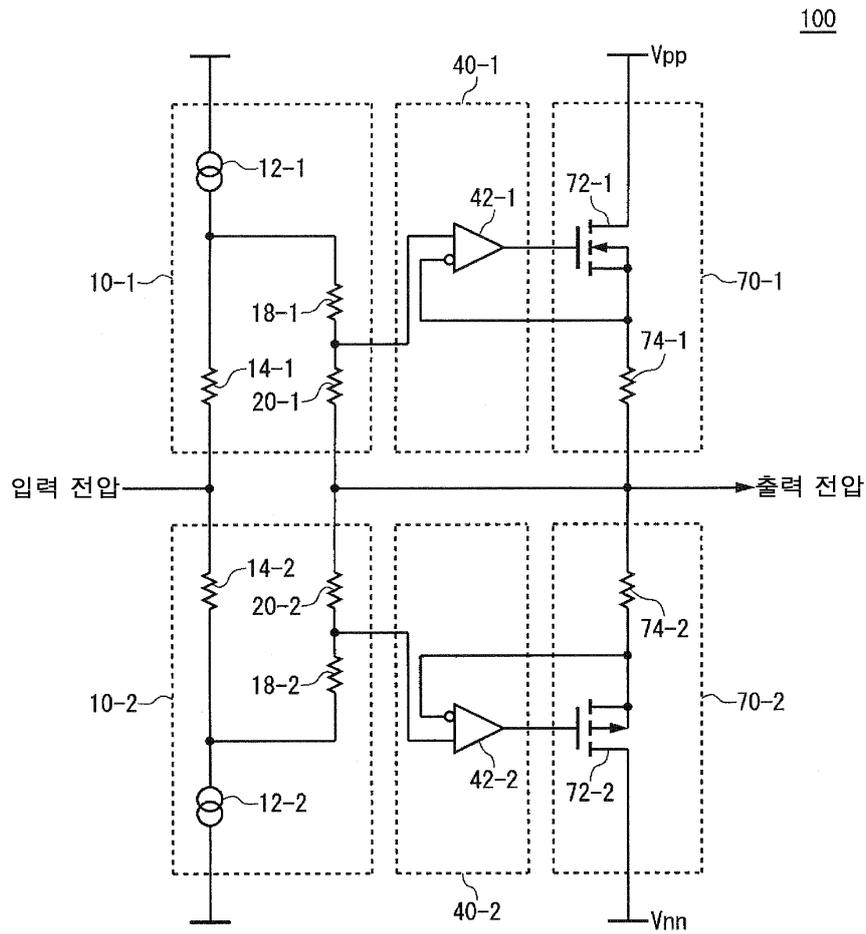
100



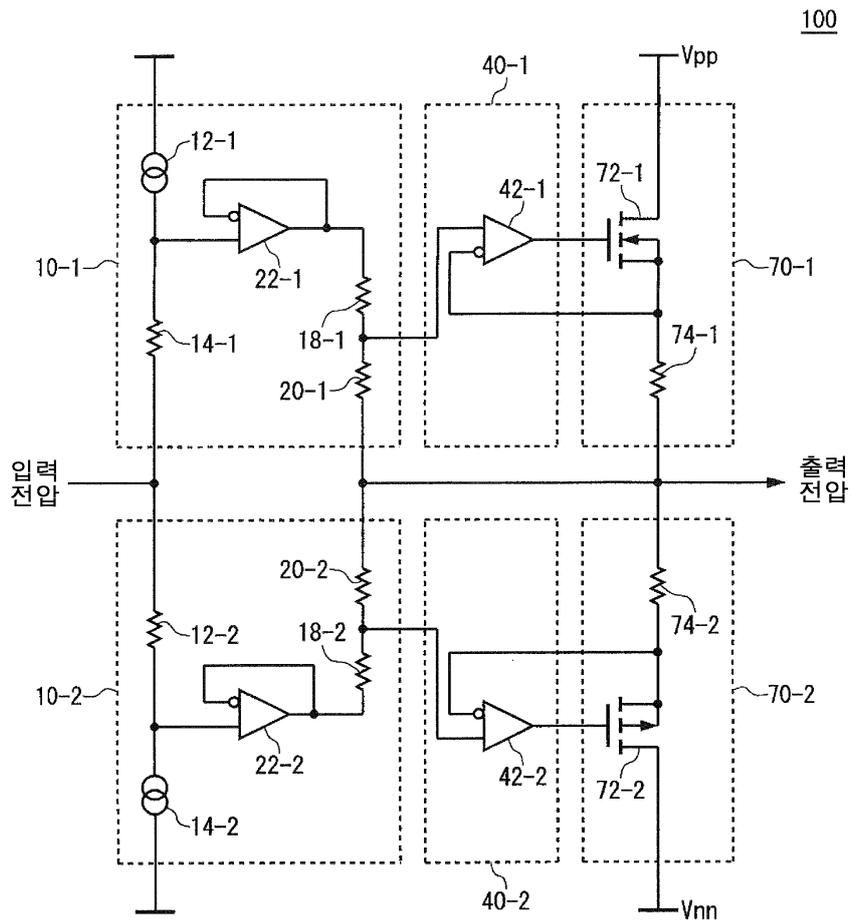
도면3



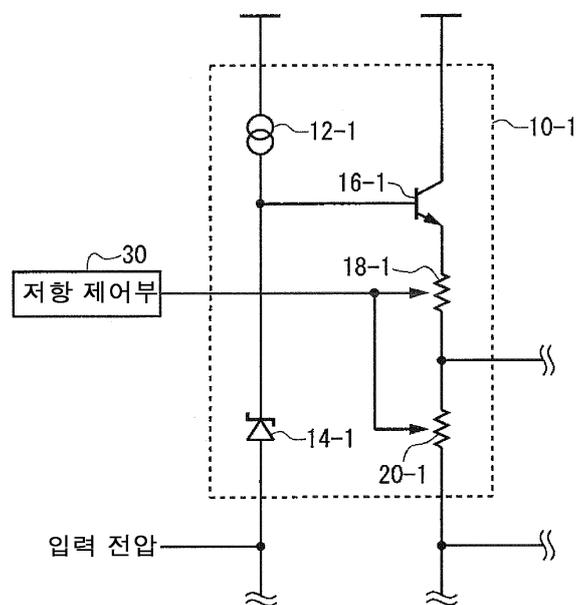
도면4



도면5



도면6



도면7

