

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2012-190137

(P2012-190137A)

(43) 公開日 平成24年10月4日(2012.10.4)

(51) Int.Cl. F I テーマコード (参考)
G 0 6 F 1 1 / 2 8 (2 0 0 6 . 0 1) G 0 6 F 1 1 / 2 8 3 1 O E 5 B 0 4 2
G 0 6 F 1 1 / 2 8 L

審査請求 未請求 請求項の数 5 O L (全 10 頁)

(21) 出願番号	特願2011-51538 (P2011-51538)	(71) 出願人	308033711
(22) 出願日	平成23年3月9日 (2011.3.9)		ラピスセミコンダクタ株式会社
			東京都八王子市東浅川町550番地1
		(74) 代理人	100079049
			弁理士 中島 淳
		(74) 代理人	100084995
			弁理士 加藤 和詳
		(74) 代理人	100099025
			弁理士 福田 浩志
		(72) 発明者	山崎 博
			東京都八王子市東浅川町550番地1 O
			K I セミコンダクタ株式会社内
		F ターム (参考)	5B042 GA13 HH30 LA10 LA11 LA14 LA17 MA05 MC04

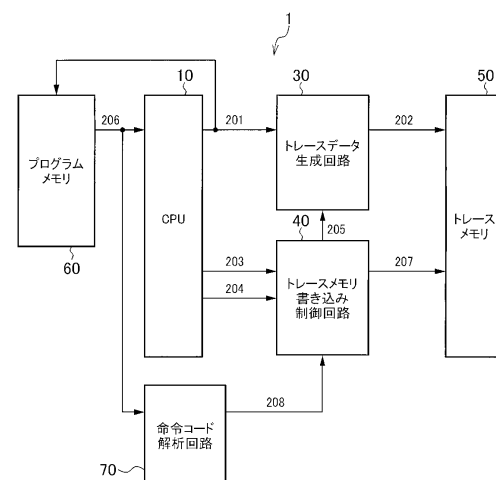
(54) 【発明の名称】 エミュレータ装置

(57) 【要約】

【課題】 プログラムデバッグに不要なトレース情報を排除して、トレースメモリのメモリ領域を効率的に使用できるエミュレータ装置を提供する。

【解決手段】 プログラムの実行前、命令コード解析回路70に分岐トレースの対象外とする分岐命令の種類を設定する。マイクロプロセッサによるプログラムの実行開始後、マイクロプロセッサの実行する命令コードが、設定した種類の分岐命令と一致した場合、トレースデータ生成回路30には分岐命令トレースデータ生成信号205が出力されず、トレースデータ202が生成されない。その結果、トレース対象外とした分岐命令についての分岐元アドレスと分岐先アドレスのトレースメモリ50への格納が禁止される。

【選択図】 図1



【特許請求の範囲】**【請求項 1】**

マイクロプロセッサによるプログラムの実行履歴に対するトレース機能を有し、マイクロプロセッサを実装した状態でプログラムのデバッグを行うエミュレータ装置であって、分岐トレースの対象外とする分岐命令の種類を選択指定する指定手段と、

前記マイクロプロセッサの実行する命令コードの示す分岐命令が、前記選択指定した種類の分岐命令と一致するか否かを判定する判定手段と、

前記判定手段により、前記命令コードの示す分岐命令と前記選択指定した分岐命令とが一致したと判定された場合、該選択指定した分岐命令についての分岐元アドレスと分岐先アドレスのトレースメモリへの格納を禁止する格納禁止手段と、

を備えたエミュレータ装置。

10

【請求項 2】

前記分岐命令のうち条件分岐命令を分岐トレースの対象外として選択指定する指定手段と、

既に実行された条件分岐命令の分岐元アドレスと、現在の条件分岐命令の分岐元アドレスとを比較する比較手段と、

前記比較の結果、前記分岐元アドレスが一致した場合、前記条件分岐命令の実行回数の制限をもとに、前記分岐トレースの対象外とした条件分岐命令についての分岐元アドレスと分岐先アドレスのトレースメモリへの格納を禁止する格納禁止手段と、

をさらに備えた請求項 1 記載のエミュレータ装置。

20

【請求項 3】

前記分岐トレースの対象外とした条件分岐命令について 1 回目のループ実行に限り、該条件分岐命令の分岐元アドレスと分岐先アドレスをトレースメモリに書き込み、該条件分岐命令と同じ条件分岐命令が再度、実行された場合には、該条件分岐命令の分岐元アドレスと分岐先アドレスのトレースメモリへの格納を禁止することを特徴とする請求項 2 記載のエミュレータ装置。

【請求項 4】

前記マイクロプロセッサがプログラムを実行する際に出力するプログラムアドレスと、分岐トレースの対象外とする分岐命令を置いた特定のプログラムアドレスとが一致するか否かを判定する判定手段と、

前記判定結果に応じて、前記特定のプログラムアドレスに置いた分岐命令のトレースの有効又は無効を選択する選択手段と、

をさらに備えた請求項 3 記載のエミュレータ装置。

30

【請求項 5】

前記選択手段が前記特定のプログラムアドレスに置いた分岐命令のトレースを有効とした場合、該分岐命令の分岐元アドレスと分岐先アドレスがトレースメモリに格納され、前記分岐命令のトレースを無効とした場合、該分岐命令の分岐元アドレスと分岐先アドレスのトレースメモリへの格納が禁止されることを特徴とする請求項 4 記載のエミュレータ装置。

【発明の詳細な説明】

40

【技術分野】**【0001】**

本発明はエミュレータ装置に係り、特に、分岐トレース機能を有するオンチップ・エミュレータ等のエミュレータ装置に関するものである。

【背景技術】**【0002】**

オンチップ・エミュレータ(On-chip emulator)は、基板上にマイクロプロセッサ(MPU)を実装した状態(on-chip)でプログラムのデバッグを行うための装置として使用される。オンチップ・エミュレータの機能のうちトレース機能は、プログラムのどのアドレス(番地)をどのような順序で実行したかという実行履歴をトレースメモリに残すことができ

50

、開発中のプログラムのデバッグを行う上で有効な機能である。

【0003】

従来のオンチップ・エミュレータでは、トレース機能において、トレースメモリに格納するトレースデータ容量を大幅に圧縮する方法として、分岐トレース手法を用いていた。この分岐トレース手法は、分岐命令、又は割り込み以外のプログラムが実行されると、実行アドレスが「1」ずつ増加することを利用して、分岐命令が実行された分岐元アドレスと、その分岐先である分岐先アドレスのみをトレースメモリに格納することによって、実行履歴を再現する手法である。

【0004】

図4は、従来のエミュレータ装置の構成を示すブロック図である。図4に示すエミュレータ装置200において、CPU（中央処理装置）100は、実行すべき命令が格納されたプログラムメモリ160に対して、プログラムをフェッチ、デコード、または実行するアドレス301を出力する。そして、CPU100は、プログラムメモリ160から出力される、アドレス301に対応した命令コード306を実行する。この命令コード306が分岐命令ではない場合、アドレス301は「1」ずつ増加する。

【0005】

一方、命令コード306が分岐命令であれば、CPU100は、その分岐命令がデコードされるタイミングに分岐タイミング信号303を出力する。また、CPU100は、その分岐命令が実行されるタイミングに分岐命令実行タイミング信号304を出力する。トレースメモリ書き込み制御回路140は、トレースメモリのアドレス生成回路（カウンタ）と書き込み信号生成回路からなる。トレースメモリ書き込み制御回路140に入力された分岐命令をデコードしたときの分岐タイミング信号303、及び分岐命令の実行したときの分岐命令実行タイミング信号304がアクティブになった場合のみ、トレースメモリのアドレス生成回路（カウンタ）をカウントアップし、トレースメモリへの書き込み信号を生成して、トレースメモリ150にトレースメモリアドレス、及び書き込み信号307を出力する。

【0006】

また、トレースメモリ書き込み制御回路140は、分岐タイミング信号303、または分岐命令実行タイミング信号304がアクティブになった場合のみ、トレースデータ生成回路130に対して分岐命令トレースデータ生成信号305を出力する。この分岐命令トレースデータ生成信号305を受けたトレースデータ生成回路130はトレースデータ302を生成し、生成されたトレースデータ302は、順次、トレースメモリ150に書き込まれる。その結果、トレースメモリ150には、実行された分岐命令の分岐元アドレスと分岐先アドレスが格納される。

【0007】

オンチップ・エミュレータにおけるトレースメモリは、対象チップのチップサイズや価格（原価）の制約を受けるため、そのメモリ容量を大きくすることができない。特許文献1に記載の装置は、プログラムのデバッグ作業に不要なトレース情報をトレースメモリに格納せず、デバッグに必要なトレース情報のみをトレースメモリに格納している。具体的には、実行した命令が分岐命令の場合、その分岐命令と、その命令の前後の所定ステップの命令のみをトレースメモリに格納することで、デバッグ装置におけるメモリ容量を小さくし、コスト低下を図るとともに、デバッグの作業効率を向上させている。

【0008】

【特許文献1】特開平6-187193号公報

【発明の開示】

【発明が解決しようとする課題】

【0009】

しかしながら、上記従来のオンチップ・エミュレータやデバッグ装置は、分岐命令の種類にかかわらず、トレースデータとして、分岐命令の分岐元アドレスと分岐先アドレスをトレースメモリに格納している。そのため、従来のオンチップ・エミュレータ等で、メモ

10

20

30

40

50

り容量の小さいトレースメモリに対して、局所的なアドレスをループする条件分岐命令等が含まれるプログラムを実行した場合、トレースの結果として、この条件分岐命令の分岐元アドレスと分岐先アドレスが主にトレースされる。その結果、プログラムデバッグとして使用するトレース情報がかなり不足する、という問題があった。

【0010】

本発明は、上述した課題を解決するために提案されたものであり、プログラムデバッグに不要なトレース情報を排除して、限られたトレースメモリのメモリ領域をプログラムデバッグに効率的に使用できるエミュレータ装置を提供することを目的とする。

【課題を解決するための手段】

【0011】

上記目的を達成するために、請求項1記載の発明は、マイクロプロセッサによるプログラムの実行履歴に対するトレース機能を有し、マイクロプロセッサを実装した状態でプログラムのデバッグを行うエミュレータ装置であって、分岐トレースの対象外とする分岐命令の種類を選択指定する指定手段と、前記マイクロプロセッサの実行する命令コードの示す分岐命令が、前記選択指定した種類の分岐命令と一致するか否かを判定する判定手段と、前記判定手段により、前記命令コードの示す分岐命令と前記選択指定した分岐命令とが一致したと判定された場合、該選択指定した分岐命令についての分岐元アドレスと分岐先アドレスのトレースメモリへの格納を禁止する格納禁止手段と、

を備えたことを特徴とする。

【0012】

この発明によれば、トレース情報として必要のない分岐命令をトレースメモリから排除して、トレース情報においてプログラムデバッグに意味を持つデータの密度を高め、結果として、トレースメモリのメモリ領域を効率的に使用可能となる。

【0013】

また、請求項2に記載したように、本発明は、前記分岐命令のうち条件分岐命令を分岐トレースの対象外として選択指定する指定手段と、既に実行された条件分岐命令の分岐元アドレスと、現在の条件分岐命令の分岐元アドレスとを比較する比較手段と、前記比較の結果、前記分岐元アドレスが一致した場合、前記条件分岐命令の実行回数の制限をもとに、前記分岐トレースの対象外とした条件分岐命令についての分岐元アドレスと分岐先アドレスのトレースメモリへの格納を禁止する格納禁止手段と、

をさらに備えた構成とすることができる。

【0014】

これにより、トレースメモリの領域を効率的に使用でき、加えて、条件分岐命令のトレース情報を最小限のかたちで得ることができる。

【0015】

この場合、請求項3に記載したように、前記分岐トレースの対象外とした条件分岐命令について1回目のループ実行に限り、該条件分岐命令の分岐元アドレスと分岐先アドレスをトレースメモリに書き込み、該条件分岐命令と同じ条件分岐命令が再度、実行された場合には、該条件分岐命令の分岐元アドレスと分岐先アドレスのトレースメモリへの格納を禁止する構成とすることができる。

【0016】

これにより、1回ループの実行に限り、トレース情報として条件分岐命令のアドレスをトレースメモリに書き込むため、デバッグに要する最小限のトレース情報を得ることができる。

【0017】

また、請求項4に記載したように、前記マイクロプロセッサがプログラムを実行する際に出力するプログラムアドレスと、分岐トレースの対象外とする分岐命令を置いた特定のプログラムアドレスとが一致するか否かを判定する判定手段と、前記判定結果に応じて、前記特定のプログラムアドレスに置いた分岐命令のトレースの有効又は無効を選択する選択手段と、

10

20

30

40

50

をさらに備えた構成とすることができる。

【0018】

この場合、請求項5に記載したように、前記選択手段が前記特定のプログラムアドレスに置いた分岐命令のトレースを有効とした場合、該分岐命令の分岐元アドレスと分岐先アドレスがトレースメモリに格納され、前記分岐命令のトレースを無効とした場合、該分岐命令の分岐元アドレスと分岐先アドレスのトレースメモリへの格納が禁止される構成としてもよい。

【0019】

これにより、分岐命令の種類にかかわらず、ある特定のプログラムアドレスに置いた分岐命令のトレースのみを有効又は無効にし、その分岐命令の分岐元アドレスと分岐先アドレスをトレース情報としてトレースメモリへ書き込むか、あるいは禁止することで、トレースメモリの領域を効率的に使用できる。

【発明の効果】

【0020】

本発明によれば、プログラムデバッグにおいてトレースメモリのメモリ領域を効率的に使用して、トレース情報不足を解決できる、という効果を奏する。

【図面の簡単な説明】

【0021】

【図1】本発明の第1の実施形態に係るエミュレータ装置の構成を示すブロック図である。

【図2】本発明の第2の実施形態に係るエミュレータ装置の構成を示すブロック図である。

【図3】本発明の第3の実施形態に係るエミュレータ装置の構成を示すブロック図である。

【図4】従来のエミュレータ装置の構成を示すブロック図である。

【発明を実施するための形態】

【0022】

以下、本発明の好ましい実施の形態について図面を参照しながら詳細に説明する。

<第1の実施形態>

図1は、本発明の第1の実施形態に係るエミュレータ装置（オンチップ・エミュレータ）の構成を示すブロック図である。図1に示すエミュレータ装置1において、CPU10は、エミュレータ装置1全体の制御を司る中央処理装置である。CPU10は、例えば、実行すべき命令（プログラム）が格納されたプログラムメモリ60をアクセスして、そのプログラムをフェッチ、デコード、または実行する。具体的には、CPU10がアドレス201を出力すると、そのアドレス201に対応した命令コード206がプログラムメモリ60から出力される。そして、CPU10は、その命令コード206を実行する。

【0023】

第1の実施形態に係るエミュレータ装置1は、マイクロプロセッサ等の命令コードを解析する命令コード解析回路70を有し、トレースさせる分岐命令の種類を選択指定（設定）できるようにするため、この命令コード解析回路70には、プログラムを実行する前に、選択指定の対象とする分岐命令の種類をあらかじめ設定しておく。

【0024】

なお、マイクロプロセッサ等における分岐命令の種類としては、条件の有無にかかわらず常に分岐する無条件分岐命令、ある条件が成立したときのみ分岐する条件分岐命令、直接分岐命令以外の分岐命令である間接分岐命令、そして、割り込みに大別される。

【0025】

エミュレータ装置1において、CPU10がプログラムメモリ60をアクセスして命令コード206を読み込み、プログラムの実行を開始すると、命令コード解析回路70は、その命令コード206を解析し、その命令コードの示す分岐命令が、あらかじめ選択指定した種類の分岐命令（ここでは、トレース情報として不要な分岐命令とする。）と一致す

10

20

30

40

50

るか否かを判定する。読み込んだ命令コード 206 の示す分岐命令が、あらかじめ設定された分岐命令と一致していれば、命令コード解析回路 70 は、命令コード一致信号 208 をアクティブにする。この命令コード一致信号 208 は、トレースメモリ書き込み制御回路 40 に入力される。

【0026】

読み込んだ命令コード 206 が分岐命令ではない場合は、アドレス 201 は「1」ずつ増加するが、その命令コード 206 が分岐命令を示していれば、CPU 10 は、その分岐命令がデコードされるタイミングに分岐タイミング信号 203 を出力し、その分岐命令が実行されるタイミングに分岐命令実行タイミング信号 204 を出力する。トレースメモリ書き込み制御回路 40 は、トレースメモリのアドレス生成回路（カウンタ）と書き込み信号生成回路からなる。トレースメモリ書き込み制御回路 40 に入力された分岐命令をデコードしたときの分岐タイミング信号 203、及び分岐命令の実行したときの分岐命令実行タイミング信号 204 がアクティブになった場合のみ、トレースメモリのアドレス生成回路（カウンタ）をカウントアップし、トレースメモリへの書き込み信号を生成して、トレースメモリ 50 にトレースメモリアドレス、及び書き込み制御信号 207 を出力する。

【0027】

また、トレースメモリ書き込み制御回路 40 は、例えば、分岐タイミング信号 203 または分岐命令実行タイミング信号 204 がアクティブになり、命令コード一致信号 208 がアクティブとなった場合、トレースデータ生成回路 30 に対しては、分岐命令トレースデータ生成信号 205 を出力しない。このとき、トレースメモリ書き込み制御回路 40 は、トレースメモリ 50 に対しても書き込み制御信号 207 を出力しない。この場合、命令コード 206 の示す分岐命令があらかじめ設定した種類の分岐命令であることを意味しており、トレースデータ生成回路 30 では、トレースデータ 202 として、あらかじめ選択指定した分岐命令についての分岐元アドレスと分岐先アドレスが生成されない。その結果、トレースメモリ 50 にも、これらの分岐元アドレスと分岐先アドレスは書き込まれない。

【0028】

一方、分岐タイミング信号 203 または分岐命令実行タイミング信号 204 がアクティブになっても、命令コード一致信号 208 がアクティブとなっていない場合には、命令コード 206 の示す分岐命令があらかじめ設定した種類の分岐命令ではないとして、トレースメモリ書き込み制御回路 40 は、トレースデータ生成回路 30 に対して分岐命令トレースデータ生成信号 205 を出力する。その結果、トレースデータ生成回路 30 は、トレースデータ 202 として、あらかじめ設定した種類の分岐命令以外の分岐命令についての分岐元アドレスと分岐先アドレスを生成する。そして、トレースメモリ 50 には、これら生成された分岐元アドレスと分岐先アドレスが書き込まれる。

【0029】

このように、第 1 の実施形態に係るエミュレータ装置では、分岐トレースの対象外とする分岐命令の種類をあらかじめ選択指定できるように構成することで、トレース情報として必要のない分岐命令を排除して、その分岐命令のトレースデータがトレースメモリに格納されないようにすることができる。その結果、トレース情報においてプログラムデバッグに意味を持つデータの密度を高めることができ、トレースメモリのメモリ領域を効率的に使用可能となる。

【0030】

< 第 2 の実施形態 >

図 2 は、本発明の第 2 の実施形態に係るエミュレータ装置（オンチップ・エミュレータ）の構成を示すブロック図である。なお、図 2 に示すエミュレータ装置 2 において、図 1 に示す第 1 の実施形態に係るエミュレータ装置と同一の構成要素には同一の符号を付して、ここではそれらの説明を適宜、省略する。

【0031】

上述した第 1 の実施形態に係るエミュレータ装置では、分岐トレースの対象外として選

10

20

30

40

50

択指定された分岐命令はすべて、トレース対象として扱わない制御をしている。しかし、デバッグ作業の過程において、それらの分岐命令のうち特定の分岐命令については、トレース情報として必要となる場合がある。そこで、第2の実施形態に係るエミュレータ装置は、トレース対象外とした条件分岐命令については、トレース情報格納の回数に制限を設ける。具体的には、1回ループの実行に限りトレース情報としてトレースメモリに書き込むよう制御する。以下、そのための具体的な装置構成及び制御について説明する。

【0032】

図2に示すように、第2の実施形態に係るエミュレータ装置2には、命令コード解析回路70からの信号等を入力して、条件分岐命令の分岐元アドレス及び分岐先アドレスを比較するための分岐アドレス比較回路80が配されている。命令コード解析回路70には、例えば、プログラムの実行前に、対象とする条件分岐命令をあらかじめ設定しておく。CPU10によりプログラムの実行が開始されると、命令コード解析回路70は命令コード206を解析して、この命令コード206の示す条件分岐命令が、トレース対象とする条件分岐命令と一致するか否かを判定する。そして、命令コード206の示す条件分岐命令が、対象とする条件分岐命令であると判定した場合、命令コード解析回路70は、命令コード一致信号208をアクティブにする。

【0033】

第2の実施形態に係るエミュレータ装置2では、プログラムによって条件分岐命令が実行された場合、例えば、実行されたのが1回目の条件分岐命令であれば、その条件分岐命令の分岐元アドレスと分岐先アドレスをトレースメモリ50に書き込むように制御する。その後、再度、プログラムによって条件分岐命令が実行されると、命令コード解析回路70は、命令コード一致信号208をアクティブにする。この信号を受けた分岐アドレス比較回路80は、既にトレースメモリ50に格納された分岐元アドレス（ここでは、1回目の条件分岐命令の分岐元アドレスであり、f-a-d-rとする。）と、現在、実行されている条件分岐命令の分岐元アドレス（p-a-d-rとする。）201とを比較する。そして、これらのアドレスf-a-d-rとp-a-d-rとが一致すれば、分岐アドレス比較回路80は、再度、同じ条件分岐命令が実行されたとしてアドレス比較信号209をアクティブにし、その信号209をトレースメモリ書き込み制御回路40へ入力する。

【0034】

一方、CPU10は、その条件分岐命令について、条件分岐の条件成立を判定し、分岐条件が成立する場合、条件成立信号210をアクティブにして、その信号210をトレースメモリ書き込み制御回路40へ入力する。トレースメモリ書き込み制御回路40は、分岐タイミング信号203または分岐命令実行タイミング信号204がアクティブになり、アドレス比較信号209がアクティブとなり、さらに、条件分岐命令の条件成立信号210がアクティブとなった場合、トレースデータ生成回路30に対して分岐命令トレースデータ生成信号205を出力しない。

【0035】

このように、トレースメモリ書き込み制御回路40からトレースデータ生成回路30に対して、分岐命令トレースデータ生成信号205が出力されない場合は、トレースデータ生成回路130はトレースデータ202を生成しない。このとき、トレースメモリ書き込み制御回路40からトレースメモリ50に対して書き込み制御信号207も出力されない。結果として、第2の実施形態に係るエミュレータ装置2は、同じ条件分岐命令は同じループを実行すると判断し、トレース対象外として選択指定した条件分岐命令については、1回目のループ実行に限り、その条件分岐命令の分岐元アドレスと分岐先アドレスをトレースメモリ50に書き込む。そして、1回目のループ実行と同じ条件分岐命令が再度、実行された場合には、その条件分岐命令の分岐元アドレスと分岐先アドレスをトレースメモリ50に格納しないよう制御している。

【0036】

よって、第2の実施形態に係るエミュレータ装置では、同じ条件で分岐する場合について、それらの条件分岐命令すべての分岐元アドレスと分岐先アドレスを、トレース情報と

10

20

30

40

50

してトレースメモリに書き込まず、トレース対象外に設置した条件分岐命令については、1 回ループの実行に限りトレース情報として、分岐元アドレスと分岐先アドレスをトレースメモリに書き込むことで、トレースメモリの領域を効率的に使用できる。さらには、デバッグに必要な条件分岐命令のトレース情報を最小限のかたちで得ることができる。

【0037】

＜第 3 の実施形態＞

図 3 は、本発明の第 3 の実施形態に係るエミュレータ装置（オンチップ・エミュレータ）の構成を示すブロック図である。なお、図 3 に示すエミュレータ装置 3 において、図 1 に示す第 1 の実施形態に係るエミュレータ装置及び図 2 に示す第 2 の実施形態に係るエミュレータ装置と同一の構成要素には同一の符号を付して、ここではそれらの説明を適宜、省略する。

10

【0038】

上述したように、第 1 の実施形態に係るエミュレータ装置では、分岐トレースの対象外として選択指定された種類の分岐命令はすべて、トレース対象として扱わない制御をしている。また、第 2 の実施形態に係るエミュレータ装置では、同一の条件分岐命令をトレース対象外として選択指定し、その条件分岐命令について、回数を制限して、その分岐元アドレスと分岐先アドレスをトレースメモリに格納する制御をしている。しかし、トレース対象外に指定した分岐命令の種類に対して、プログラムデバッグにおいて必要のないトレース情報をプログラムアドレス上から指定できれば、より作業効率の良いデバッグを行える。以下、そのための具体的な構成及び制御について説明する。

20

【0039】

図 3 に示す、第 3 の実施形態に係るエミュレータ装置 3 において、プログラムアドレス解析回路 90 は、CPU 10 がプログラムを実行等する際に出力するアドレス 201 を入力し、そのプログラムアドレスを解析する機能を有する。そのため、プログラムアドレス解析回路 90 には、あらかじめトレースの対象外とする分岐命令を置いたプログラムアドレスが格納されている。

【0040】

第 3 の実施形態に係るエミュレータ装置 3 では、上述した第 2 の実施形態に係るエミュレータ装置と同様、CPU 10 がプログラムの実行を開始し、命令コードが分岐命令であれば、その命令がデコードされるタイミングに分岐タイミング信号 203 が出力され、その命令が実行されるタイミングに分岐命令実行タイミング信号 204 が出力される。また、分岐アドレス比較回路 80 は、条件分岐命令が実行された場合、その条件分岐命令がトレース対象外とした条件分岐命令であれば、1 回ループの実行に限り、その分岐元アドレスと分岐先アドレスをトレース情報としてトレースメモリに書き込むためにアドレス比較信号 209 をアクティブにする。さらに、CPU 10 は、その条件分岐命令について、条件分岐の条件成立を判定し、分岐条件が成立する場合には、条件成立信号 210 がアクティブになる。

30

【0041】

一方、プログラムアドレス解析回路 90 は、CPU 10 がプログラムを実行等する際に出力したプログラムアドレスが、あらかじめ格納されたトレース対象外とした分岐命令のプログラムアドレスか否かを解析する。そして、プログラムアドレス解析回路 90 は、実行プログラムのプログラムアドレスが、対象外とする分岐命令のプログラムアドレスであれば、アドレス解析信号 211 をアクティブにする。

40

【0042】

ここで、第 3 の実施形態に係るエミュレータ装置 3 では、分岐タイミング信号 203 または分岐命令実行タイミング信号 204 がアクティブになり、アドレス比較信号 209 がアクティブとなり、さらに、条件分岐命令の条件成立信号 210 がアクティブとなった場合であって、アドレス解析信号 211 がアクティブのときは、トレースメモリ書き込み制御回路 40 がトレースデータ生成回路 30 に対して分岐命令トレースデータ生成信号 205 を出力しないように設定されている。

50

【0043】

そうすることで、第3の実施形態に係るエミュレータ装置において、プログラムデバッグにおいて必要のないトレース情報をプログラムアドレス上から指定し、分岐命令の種類にかかわらず、ある特定のプログラムアドレスに置いた分岐命令のトレースのみを無効にして、その分岐命令の分岐元アドレスと分岐先アドレスをトレース情報としてトレースメモリ50へ書き込むのを禁止できる。結果として、トレースメモリの領域を効率的に使用できる。

【0044】

これとは逆に、分岐タイミング信号203または分岐命令実行タイミング信号204がアクティブになり、アドレス比較信号209と条件成立信号210とがアクティブとなった場合でも、アドレス解析信号211がアクティブのときには、トレースメモリ書き込み制御回路40がトレースデータ生成回路30に対して分岐命令トレースデータ生成信号205を出力するように設定することもできる。

10

【0045】

このように構成することで、第3の実施形態に係るエミュレータ装置において、トレース対象外に指定した分岐命令の種類に対して、ある特定のプログラムアドレスに置いた分岐命令のトレースのみを可能にする、すなわち、その分岐命令の分岐元アドレスと分岐先アドレスが、トレース情報としてトレースメモリ50へ書き込まれるようにすることができる。

【符号の説明】

20

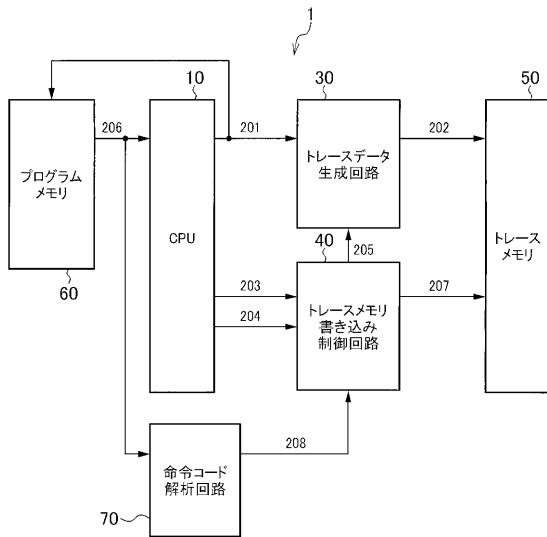
【0046】

1, 2, 3	エミュレータ装置
10	CPU
30	トレースデータ生成回路
40	トレースメモリ書き込み制御回路
50	トレースメモリ
60	プログラムメモリ
70	命令コード解析回路
80	分岐アドレス比較回路
90	プログラムアドレス解析回路
201	アドレス
202	トレースデータ
203	分岐タイミング信号
204	分岐命令実行タイミング信号
205	分岐命令トレースデータ生成信号
206	命令コード
207	書き込み制御信号
208	命令コード一致信号
209	アドレス比較信号
210	条件成立信号
211	アドレス解析信号

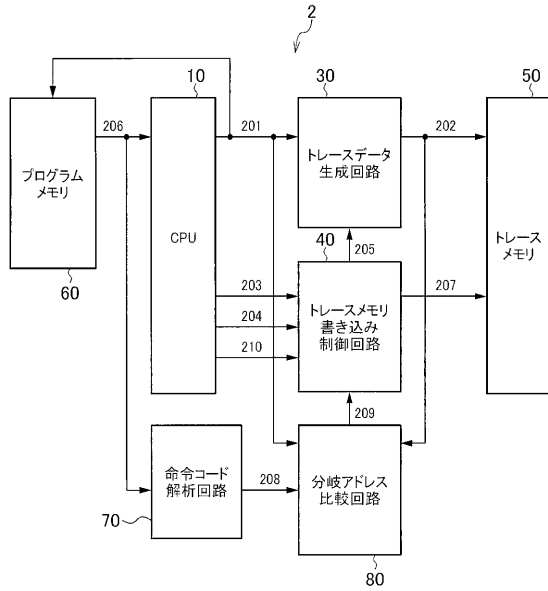
30

40

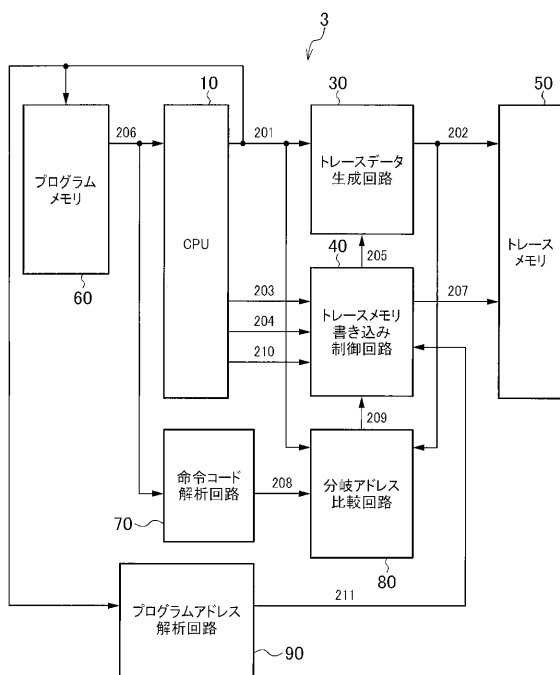
【図 1】



【図 2】



【図 3】



【図 4】

