

(12) 发明专利申请

(10) 申请公布号 CN 102709199 A

(43) 申请公布日 2012. 10. 03

(21) 申请号 201110075143. 5

(22) 申请日 2011. 03. 28

(71) 申请人 华东科技股份有限公司

地址 中国台湾高雄市高雄加工出口区北一路 18 号

(72) 发明人 李国源 陈永祥 邱文俊

(74) 专利代理机构 北京汇泽知识产权代理有限公司 11228

代理人 程殿军

(51) Int. Cl.

H01L 21/50(2006. 01)

H01L 21/56(2006. 01)

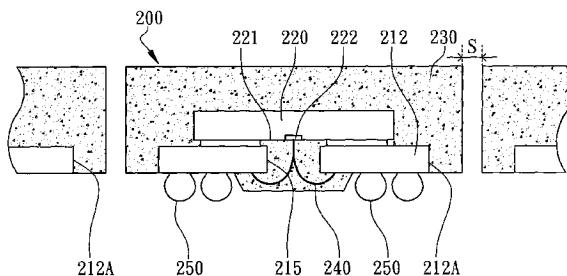
权利要求书 2 页 说明书 8 页 附图 12 页

(54) 发明名称

包覆基板侧边的模封阵列处理方法

(57) 摘要

本发明揭示一种包覆基板侧边的模封阵列处理方法。基板条的四个以上基板单元排列成一矩阵。在相邻基板单元之间与矩阵周边各形成有一切割道，并沿着切割道形成有一宽度大于对应切割道的预切槽孔。在基板条上模封形成一封胶体，以连续地覆盖基板单元与切割道，更使封胶体填入至预切槽孔内，以覆盖基板单元的侧边。在单体化分离为单独的半导体封装构造时，在切割后基板单元侧边仍被封胶体所包覆。因此，可解决公知模封阵列处理时基板单元的电镀线路外露，进而提升半导体封装构造的耐湿性。



1. 一种包覆基板侧边的模封阵列处理方法，其特征在于，其包含：

提供一基板条，其具有四个以上排列成一矩阵的基板单元，每一基板单元的尺寸对应于一半导体封装构造，在相邻所述基板单元之间与该矩阵的周边各形成有一切割道，并且在相邻所述基板单元之间与所述矩阵的周边形成有一宽度大于对应切割道的预切槽孔，使这些基板单元的侧边呈内凹地显露于这些预切槽孔内；

在这些基板单元上设置两个以上芯片；

将所述芯片电性连接至对应的所述基板单元；

在所述基板条上模封形成一封胶体，以连续地覆盖在所述矩阵内的基板单元以及这些切割道，使所述封胶体填入至这些预切槽孔内，以覆盖这些基板单元的侧边；以及

单体化分离步骤，以切割方式移除在所述切割道处的所述封胶体，将这些基板单元单体化分离为单独的半导体封装构造，并且在切割后这些基板单元的侧边仍被所述封胶体所包覆。

2. 根据权利要求 1 所述的包覆基板侧边的模封阵列处理方法，其特征在于，所述基板条在每一基板单元内另形成有一中央槽孔，在设置所述芯片的步骤中，所述芯片的主动面贴附至所述基板条，并且所述芯片的电极显露在所述中央槽孔内。

3. 根据权利要求 2 所述的包覆基板侧边的模封阵列处理方法，其特征在于，所述将芯片电性连接至对应的基板单元的步骤包含以打线方式形成两个以上焊线，这些焊线经由这些中央槽孔连接这些芯片与这些基板单元。

4. 根据权利要求 2 所述的包覆基板侧边的模封阵列处理方法，其特征在于，所述将芯片电性连接至对应的基板单元的步骤包含以所述基板条的两个以上内引线通过所述中央槽孔接合至所述芯片的电极。

5. 根据权利要求 4 所述的包覆基板侧边的模封阵列处理方法，其特征在于，在所述于基板条上模封形成封胶体的步骤之前，另包含的步骤为：在所述基板条的下表面贴附一保护胶带。

6. 根据权利要求 1 所述的包覆基板侧边的模封阵列处理方法，其特征在于，所述基板条在这些基板单元的角隅形成有一十字连接条，以对角线方式连接这些基板单元，并使这些预切槽孔不相互连通。

7. 根据权利要求 1 所述的包覆基板侧边的模封阵列处理方法，其特征在于，在所述于基板条上模封形成封胶体步骤之后与在所述单体化分离步骤之前，另包含的步骤为：在这些基板单元的下表面形成两个以上焊球。

8. 根据权利要求 1 所述的包覆基板侧边的模封阵列处理方法，其特征在于，所述封胶体所切割移除的间隙宽度相同于这些切割道的宽度。

9. 一种包覆基板侧边的模封阵列处理方法，其特征在于，其包含：

在一基板条上模封形成一封胶体，以连续地覆盖在一矩阵内的四个以上基板单元以及在这些基板单元之间的两个以上切割道，其中在相邻基板单元之间与该矩阵的周边形成有一宽度大于对应切割道的预切槽孔，使这些基板单元的侧边呈内凹地显露于这些预切槽孔内，在所述于基板条上模封形成封胶体步骤中，该封胶体更填入至这些预切槽孔内，以覆盖这些基板单元的侧边；以及

以切割方式移除在这些切割道处的所述封胶体，以将这些基板单元单体化分离为单独

的半导体封装构造，并且在切割后这些基板单元的侧边仍被所述封胶体所包覆。

10. 根据权利要求 9 所述的包覆基板侧边的模封阵列处理方法，其特征在于，在所述于基板条上模封形成封胶体步骤之前，另包含的步骤为：

在这些基板单元设置两个以上芯片，并使这些芯片电性连接至这些基板单元；以及在设置芯片与电性连接步骤之后，在所述基板条上形成所述预切槽孔。

## 包覆基板侧边的模封阵列处理方法

### 技术领域

[0001] 本发明有关于半导体装置的封装制造技术,特别是有关于一种包覆基板侧边的模封阵列处理方法。

### 背景技术

[0002] 传统在半导体封装技术中基于成本考虑与量产需求,普遍采用模封阵列处理(Mold Array Process,MAP)工艺。以一基板条(Substrate Strip)作为多个芯片的载体,基板条包含有四个以上排列成一矩阵的基板单元,在经过设置芯片、电性连接等半导体封装作业后,一形成面积大于矩阵的模封胶体连续覆盖基板单元及基板单元之间的切割道,再沿着切割道进行单体化切割,便可制得四个以上半导体封装构造。

[0003] 图1为一种利用模封阵列处理制得的公知窗口型球格阵列形态的半导体封装构造,图2为模封阵列处理中所使用的基板条。如图1所示,公知半导体封装构造100 主要包含基板单元113、芯片120、封胶体130。该芯片120 设置于该基板单元113 的上表面111。如为窗口型球格阵列形态时,该基板单元113更具有贯穿上表面111与下表面112的中央槽孔117,并且位于该芯片120的主动面121的两个以上电极122对准于该中央槽孔117内。该芯片120 常见地借由两个以上打线形成的焊线150 通过该中央槽孔117 将这些电极122 电性连接至该基板单元113。而该封胶体130 形成于该基板单元113 的上表面111 上与中央槽孔117 内,以密封该芯片120 与这些焊线150,并且该基板单元113 的下表面112 可设有两个以上焊球160,以作为该半导体封装构造100 对外电性连接的端子。然而依目前公知模封阵列处理技术,该封胶体130 无法覆盖至该基板单元113 的侧边116,不可避免地造成该基板单元113 内部的核心层与金属线路在该侧边116 外露,使得水气容易入侵到封装内部,导致产品可靠度不佳。

[0004] 如图2所示,上述的基板单元113 在公知模封阵列处理过程中为多个一体形成并呈矩阵排列在公知基板条110 内。在相邻基板单元113 之间与周边形成有两个以上纵横交错的切割道114。配合参阅图1,在粘晶与电性连接之后,上述的封胶体130 为模封形成并连续地覆盖在这些基板单元113 与这些切割道114 上。而在每一基板单元113 之间的切割道114 在工艺后段必须被移除,以达到单体化分离,故基板条110 的切割道114 部位与在这些切割道114 上的封胶体130 不会存在于最终的封装产品内。当依据这些切割道114 切离该基板单元113 时,会同时切穿该封胶体130 与该基板条110,使得该基板单元113 具有切齐于该封胶体130 被切侧面的显露侧边116,即该基板单元113 的侧边116 无法被该封胶体130 保护。因此,在单体化分离之后,该基板单元113 的侧边116 的电镀线路与核心层会呈现外露状态,导致耐湿性较差,且易受到外界异物的干扰。此外,在单体化分离过程中切割工具容易拉扯或是破坏到位于该基板单元113 的周边线路,而造成后续的不良影响。

### 发明内容

[0005] 有鉴于此,本发明的主要目的在于提供一种防止基板单元的电镀线路外露,进而

提升半导体封装构造的耐湿性的包覆基板侧边的模封阵列处理方法。

[0006] 为达到上述目的,本发明解决其技术问题是采用以下技术方案来实现的。本发明揭示一种包覆基板侧边的模封阵列处理方法,包含:提供一基板条,该基板条具有四个以上排列成一矩阵的基板单元,每一基板单元的尺寸对应于一半导体封装构造,在相邻基板单元之间与该矩阵的周边各形成有切割道,并且在相邻基板单元之间与该矩阵的周边形成有宽度大于对应切割道的预切槽孔,使这些基板单元的侧边呈内凹地显露于这些预切槽孔内;在这些基板单元上设置两个以上芯片;将芯片电性连接至对应的这些基板单元。在基板条上模封形成封胶体,以连续地覆盖在该矩阵内的这些基板单元以及这些切割道,使该封胶体填入至这些预切槽孔内,以覆盖这些基板单元的侧边;单体化分离步骤,以切割方式移除在这些切割道处的该封胶体,将这些基板单元单体化分离为单独的半导体封装构造,并且在切割后这些基板单元的侧边仍被该封胶体所包覆。

[0007] 本发明解决其技术问题还可采用以下技术措施进一步实现。

[0008] 在前述的模封阵列处理方法中,该基板条在每一基板单元内可另形成有一中央槽孔,在设置这些芯片的步骤中,这些芯片的主动面贴附至该基板条,并且这些芯片的两个以上电极显露在该中央槽孔内。

[0009] 在前述的模封阵列处理方法中,所述将芯片电性连接至对应的基板单元的步骤可包含以打线方式形成两个以上焊线,这些焊线经由这些中央槽孔连接这些芯片与这些基板单元。

[0010] 在前述的模封阵列处理方法中,所述将芯片电性连接至对应的这些基板单元的步骤可包含以该基板条的两个以上内引线通过这些中央槽孔接合至这些芯片的两个以上电极。

[0011] 在前述的模封阵列处理方法中,在所述于基板条上模封形成封胶体的步骤之前,可另包含的步骤为:在基板条的下表面贴附一保护胶带。

[0012] 在前述的模封阵列处理方法中,该基板条在这些基板单元的角隅可形成有十字连接条,以对角线方式连接这些基板单元,并使这些预切槽孔不相互连通。

[0013] 在前述的模封阵列处理方法中,在所述于基板条上模封形成封胶体步骤之后与在所述单体化分离步骤之前,可另包含的步骤为:在这些基板单元的下表面形成两个以上焊球。

[0014] 在前述的模封阵列处理方法中,该封胶体所切割移除的间隙宽度可相同于这些切割道的宽度。

[0015] 本发明还提供一种包覆基板侧边的模封阵列处理方法,其包含:

[0016] 在一基板条上模封形成一封胶体,以连续地覆盖在一矩阵内的四个以上基板单元以及在这些基板单元之间的两个以上切割道,其中在相邻基板单元之间与该矩阵的周边形成有一宽度大于对应切割道的预切槽孔,使这些基板单元的侧边呈内凹地显露于这些预切槽孔内,在所述于基板条上模封形成封胶体步骤中,该封胶体更填入至这些预切槽孔内,以覆盖这些基板单元的侧边;以及

[0017] 以切割方式移除在这些切割道处的所述封胶体,以将这些基板单元单体化分离为单独的半导体封装构造,并且在切割后这些基板单元的侧边仍被所述封胶体所包覆。

[0018] 在所述于基板条上模封形成封胶体步骤之前,另包含的步骤为:

[0019] 在这些基板单元设置两个以上芯片，并使这些芯片电性连接至这些基板单元；以及在设置芯片与电性连接步骤之后，在所述基板条上形成所述预切槽孔。

[0020] 由以上技术方案可以看出，本发明的包覆基板侧边的模封阵列处理方法，具有以下优点与功效：

[0021] 一、可借由在相邻基板单元之间与矩阵的周边形成宽度大于对应切割道的预切槽孔作为其中的一技术手段，由于封胶体填入预切槽孔内，而覆盖基板单元的侧边，并且在切割后基板单元的侧边仍被封胶体所包覆。因此，在单体化分离步骤时，只会切穿封装材料，不会切到基板结构，解决公知模封阵列处理方法中基板侧边外露的问题，可避免基板单元周边的金属线路与核心层外露，进而使封装产品达到抗氧化、抗湿气及对抗其它环境侵害的作用，并提升半导体封装产品的耐用度。

[0022] 二、可借由 MAP 工艺中封胶体填入宽度大于对应切割道的预切槽孔作为本发明的其中一技术手段，在模封阵列处理的单体化分离步骤中不会切到基板结构，避免单体化分离步骤的厚切割应力作用于基板而造成内部线路变形或位移。

## 附图说明

[0023] 图 1 为一种以公知模封阵列处理制造的半导体封装构造的截面示意图；

[0024] 图 2 为一种基板条的局部俯视示意图；

[0025] 图 3 为依据本发明的第一具体实施例的一种包覆基板侧边的模封阵列处理方法所制成的半导体封装构造的截面示意图；

[0026] 图 4A 至图 4F 为依据本发明的第一具体实施例的包覆基板侧边的模封阵列处理方法各步骤中的元件截面示意图；

[0027] 图 5 为依据本发明的第一具体实施例的包覆基板侧边的模封阵列处理方法绘示其基板条的局部俯视图；

[0028] 图 6A 至图 6H 为依据本发明的第二具体实施例的另一种包覆基板侧边的模封阵列处理方法各步骤中的元件截面示意图；

[0029] 图 7A 至图 7G 为依据本发明的第三具体实施例的另一种包覆基板侧边的模封阵列处理方法各步骤中的元件截面示意图。

[0030] 附图标记说明

[0031]

**S 封胶体切割移除的间隙宽度****W 切割道的宽度****100 半导体封装构造**

110 基板条	111 上表面	112 下表面
113 基板单元	114 切割道	
116 侧边	117 中央槽孔	
120 芯片	121 主动面	122 电极
130 封胶体	150 焊线	160 焊球

**200 半导体封装构造****210 基板条**

211 矩阵	212 基板单元	212A 侧边
213 切割道	214 预切槽孔	215 中央槽孔
216 上表面	217 下表面	218 十字连接条
220 芯片		
221 主动面	222 电极	223 粘晶材料
230 封胶体	240 焊线	250 焊球

**300 半导体封装构造**

319 内引线	360 保护胶带
---------	----------

**400 半导体封装构造**

[0032]

**470 切割胶带****具体实施方式**

[0033] 以下将配合所附附图详细说明本发明的实施例，然而应注意的是，这些附图均为简化的示意图，仅以示意方法来说明本发明的基本架构或实施方法，故仅显示与本发明有关的元件与组合关系，图中所显示的元件并非以实际实施的数目、形状、尺寸做等比例绘制，某些尺寸比例与其它相关尺寸比例或已夸张或是简化处理，以提供更清楚的描述。实际实施的数目、形状及尺寸比例为一种选择性的设计，详细的元件布局可能更为复杂。

[0034] 依据本发明的第一具体实施例，一种包覆基板侧边的模封阵列处理方法举例说明于图 3 绘示其所制成的半导体封装构造的截面示意图、图 4A 至图 4F 的各步骤中元件截面示意图以及图 5 绘示其基板条的局部俯视图。详细说明如下。

[0035] 首先,请参阅图 4A 与图 5 所示,提供一基板条 210,其具有四个以上基板单元 212,其在工艺中为该基板条 210 内部的一体连接部分并在工艺制作后为保留于半导体封装构造内的基板部位,用以承载与电性连接芯片。其中这些基板单元 212 排列成 N 乘以 M 的矩阵 211。如图 5 所示,N 为 2,M 为 3,由多个基板单元构成  $2 \times 3$  矩阵形态,仅是为了便于理解而减少 N 与 M 的数目。在实际产品中,N 可为 5,而 M 可为 8,以构成  $5 \times 8$  矩阵形态,其中 N 与 M 值的选择可适当的调整,以符合不同种类的自动组装设备的要求。详细而言,通常该基板条 210 为印刷电路板并设有单面或双面电性导通的金属线路。该基板条 210 也可为软性电路薄膜或陶瓷电路板。该基板条 210 的核心层材料可选用高分子树脂材料,例如:FR-4 环氧树脂 (FR-4epoxy),或者,为了适合特殊应用需求,也可选用其它高性能的树脂材料,例如:聚亚酰胺 (PI) 树脂、三氮杂苯双马来酰亚胺 (BT) 树脂。此外,当适用于窗口型球栅阵列封装类型,该基板条 210 在每一基板单元 212 内可另形成有中央槽孔 215,其对准在这些基板单元 212 的中央部位,并且这些中央槽孔 215 由该基板条 210 的上表面 216 贯穿至下表面 217,用以作为打线连接的通道,以适用于窗口型球格阵列封装。此外,在相邻基板单元 212 之间与该矩阵 211 的周边各形成有切割道 213。如图 3 与图 5 所示,该矩阵 211 的每一基板单元 212 的尺寸具体界定为对应于一半导体封装构造 200,即图 4A 与图 5 的基板单元 212 在两平行切割道 213 之间的宽度相当于图 3 半导体封装构造 200 的同一截面方向的宽度。并且,在相邻基板单元 212 之间与该矩阵 211 的周边形成有一宽度大于对应切割道 213 的预切槽孔 214,使这些基板单元 212 的侧边 212A 呈内凹地显露于这些预切槽孔 214 内。也就是说,在一完整且未切割的基板条 210 中,这些预切槽孔 214 的两侧作为相邻的基板单元 212 的侧边 212A。在较佳形态中,这些预切槽孔 214 的宽度为这些切割道 213 的宽度的 1.2 至 2 倍,可与这些中央槽孔 215 在同一成孔步骤中形成。较佳地,该基板条 210 在这些基板单元 212 的角隅可形成有十字连接条 218,以对角线方式连接这些基板单元 212,并使这些预切槽孔 214 不相互连通。所称的“对角线方式连接”是指每一十字连接条 218 的十字端部连接于这些基板单元 212 的角隅并对准这些基板单元 212 的对角线,使得这些十字连接条 218 能够以最小连接面积的方式连接相邻的基板单元。

[0036] 接着,请参阅图 4B 所示,在这些基板单元 212 上设置两个以上芯片 220,例如可以利用既有的粘晶操作完成。详细而言,这些芯片 220 可为形成有集成电路 (Integrated Circuit, IC) 的半导体元件,例如:内存芯片、逻辑芯片及特殊应用芯片等等,可由晶圆分割而成。这些芯片 220 的主动面 221 可具有两个以上电极 222,作为这些芯片 220 传输内部信号至外界的端点。通常这些电极 222 为铝或铜材质的焊垫,或可为突出于这些主动面 221 的导电凸块。这些电极 222 可设置于这些芯片 220 的主动面 221 的单一侧边、两对应侧边、四周侧边或是中央位置。通常这些芯片 220 设置于对应基板单元 212 内的中央位置。在本实施例中,每一基板单元 212 上均设有芯片 220,但不受限定地,也可应用至多芯片堆栈的封装,在每一基板单元 212 上可叠设两个以上芯片。在本实施例中,在设置这些芯片 220 的步骤中,这些芯片 220 的主动面 221 贴附至该基板条 210,并且这些芯片 220 的电极 222 显露在该中央槽孔 215 内。在较佳形态中,每一芯片 220 与对应的基板单元 212 之间可设有粘晶材料 223,用以接合这些芯片 220 与这些基板单元 212。一般而言,该粘晶材料 223 可预先涂布于该基板条 210 的上表面 216,或者是预先形成于这些芯片 220 的主动面 221,但不覆盖位于该主动面 221 中央的这些电极 222。该粘晶材料 223 可为双面 PI 胶带、液态环

氧胶、预型片、B 阶粘胶 (B-stage adhesive) 或是芯片贴附物质 (Die Attach Material, DAM), 以粘接这些芯片 220 至这些基板单元 212 上。

[0037] 请参阅图 4C 所示, 将这些芯片 220 电性连接至对应的这些基板单元 212。在本实施例中, 所述的电性连接这些芯片 220 与这些基板单元 212 的步骤可包含以打线方式形成两个以上焊线 240, 这些焊线 240 经由这些中央槽孔 215 连接这些芯片 220 与这些基板单元 212 内部线路的接指。其中, 由于这些焊线 240 的一部分可隐藏于这些中央槽孔 215 之内, 使得这些焊线 240 的打线线弧突出于该基板条 210 的下表面 217 的高度降低, 进而减少了整体封装厚度。这些焊线 240 可利用打线工艺所形成的金属细线, 其材质可为金、或是采用类似的高导电性的金属材料 (例如铜或铝), 可利用这些焊线 240 作为这些芯片 220 至这些基板单元 212 之间的信号传递与接地 / 电源的连接。然而不受限地, 这些芯片 220 除了可以打线电性连接之外, 也可以覆晶接合 (Flip Chip Bonding)、引脚接合 (Lead Bond) 或是其它已知电性连接方式完成这些芯片 220 与这些基板单元 212 的电性互连。

[0038] 之后, 请参阅图 4D 所示, 在该基板条 210 上模封形成封胶体 230, 以连续地覆盖在该矩阵 211 内的这些基板单元 212 以及这些切割道 213, 使该封胶体 230 填入至这些预切槽孔 214 内, 以覆盖这些基板单元 212 的侧边 212A。请配合参考图 5 所示, 位于该基板条 210 内的斜线部位即为模封区域, 相当或大于该矩阵 211, 在模封过程中呈现流动态的封胶体 230 会主动地填满于这些预切槽孔 214 内, 直到完全包覆这些基板单元 212 的侧边 212A。此外, 该封胶体 230 可更填入至这些中央槽孔 215 内, 而经由这些中央槽孔 215 突出于该基板条 210 的下表面 217 且包覆这些焊线 240, 进而保护这些焊线 240 不会受到外界的干扰与损害。但不受限地, 这些芯片 220 也可为裸晶形态而显露出这些芯片 220 的背面以利于散热。具体而言, 该封胶体 230 可为环氧模封化合物 (Epoxy Molding Compound, EMC), 通常具有绝缘性与热固性。该封胶体 230 能以转移成型 (Transfer Molding) 或称压模的技术加以形成, 或者该封胶体 230 也可使用其它已知的模封工艺形成, 例如压缩模封、使用一模具的印刷或喷涂等等。

[0039] 请参阅图 4E 所示, 在所述的模封形成步骤之后与在所述的单体化分离步骤之前, 在这些基板单元 212 的下表面 217 可另形成两个以上焊球 250, 以作为半导体封装构造对外电性连接的通道。在较佳实施例中, 这些焊球 250 的材质可为锡膏或其它适当的无铅材料。这些焊球 250 可呈栅状阵列排列, 使相同单位面积的基板单元 212 可以容纳更多输入 / 输出连接端 (I/O Connection) 以符合高度集成化 (Integration) 的半导体芯片所需。然而不受限地, 在不同的实施例中, 这些焊球 250 也可替换为锡膏、接触垫或接触针。

[0040] 请参阅图 4F 所示, 以切割方式移除在这些切割道 213 处的该封胶体 230, 以单体化分离这些基板单元 212 为可单独分离的半导体封装构造 200, 由于这些预切槽孔 214 的宽度大于这些切割道 213, 故可避免在单体化分离过程中直接切割到这些基板单元 212, 并且在切割后这些基板单元 212 的侧边 212A 仍被该封胶体 230 所包覆。在已完成封装的这些基板单元 212 由该基板条 210 单体化分离之后, 即可得到单独的半导体封装构造 200 (如图 3 所示)。请配合参阅图 4E 与图 4F 所示, 该封胶体 230 所切割移除的间隙宽度 S 可相当于这些切割道 213 的宽度 W, 所以在该封胶体 230 切割之后, 仍可使该封胶体 230 包覆于这些基板单元 212 的侧边 212A。在模封阵列处理的单体化分离步骤中不会切到基板结构, 避免单体化分离步骤的厚切割应力作用于该基板条 210 而造成内部线路变形或位移。

[0041] 在本发明中,可借由在相邻的这些基板单元 212 之间与该矩阵 211 的周边形成宽度大于对应这些切割道 213 的预切槽孔 214 作为其中的一技术手段,由于该封胶体 230 填入这些预切槽孔 214 内,而更覆盖这些基板单元 212 的侧边 212A,并且这些预切槽孔 214 的宽度大于这些切割道 213 的宽度,故当切割刀具依据这些切割道 213 切穿该封胶体 230 时,可避免切割刀具直接切割到这些基板单元 212 内部的线路。此外,由于在切割后这些基板单元 212 的侧边 212A 仍被该封胶体 230 所包覆,因此解决公知模封阵列处理工艺中基板侧边外露的问题,能防止这些基板单元 212 内部的电镀线路与核心层外露,进而提升半导体封装构造的耐湿性。

[0042] 依据本发明的第二具体实施例,另一种包覆基板侧边的模封阵列处理方法举例说明于图 6A 至图 6H 各步骤中元件的截面示意图,用以说明本发明可适用于不同封装类型,其中主要元件与第一实施例相同者以相同符号标示并不再详细赘述。

[0043] 请参阅图 6A 所示,提供一基板条 210,其具有四个以上排列成 N 乘以 M 矩阵 211 的基板单元 212。在本实施例中,除了内部线路结构,该基板条 210 可另具有两个以上内引线 319,并显露于这些基板单元 212 的中央槽孔 215 内。这些内引线 319 可为该基板条 210 内部金属线路层的延伸部分或由外附加的悬空内引线 (lead),通常为表面有电镀层的铜线,可利用蚀刻铜箔等的金属箔或导电箔再经电镀而形成,故具有可挠曲性。在未电性连接之前,这些内引线 319 可通过上述的这些中央槽孔 215 而为腾空。

[0044] 请参阅图 6B 所示,在这些基板单元 212 上设置两个以上芯片 220,并使这些芯片 220 的主动面 221 朝向该基板条 210 的上表面 216,其中这些芯片 220 的两个以上电极 222 对准于对应的基板单元 212 的中央槽孔 215。

[0045] 请参阅图 6C 所示,借由该基板条 210 的这些内引线 319 通过这些中央槽孔 215 接合至这些芯片 220 的电极 222,所以不会有打线线弧突出于该基板条 210 的下表面 217,更加降低了整体的封装厚度。可利用内引脚压合治具 (ILBbonding head) 打断这些内引线 319 的预断点并使这些内引线 319 压合接触至这些芯片 220 的电极 222,而与这些芯片 220 达到信号沟通的电性连接。

[0046] 请参阅图 6D 所示,较佳地可在该基板条 210 的下表面 217 贴附保护胶带 360,并紧密地封住这些中央槽孔 215 与这些预切槽孔 214 的下方开口,以避免在后续模封形成步骤中发生封胶体由这些中央槽孔 215 与这些预切槽孔 214 溢流至基板条 210 的下表面 217 的情况。

[0047] 请参阅图 6E 所示,在该基板条 210 上模封形成封胶体 230,以密封这些芯片 220。该封胶体 230 填入至这些中央槽孔 215 与这些预切槽孔 214 内,并包覆这些基板单元 212 的侧边 212A。在模封形成步骤之后,如图 6F 所示,由该基板条 210 的下表面 217 移除该保护胶带 360。

[0048] 请参阅图 6G 所示,在这些基板单元 212 的下表面 217 形成两个以上焊球 250。之后,如图 6H 所示,单体化分离该基板条 210 的这些基板单元 212,进而形成为独立的半导体封装构造 300。

[0049] 依据本发明的第三具体实施例,另一种包覆基板侧边的模封阵列处理方法举例说明于图 7A 至图 7G 各步骤中的元件截面示意图,用以说明预切槽孔不必形成于基板条提供步骤,其中主要元件与第一实施例相同者以相同符号标示并不再详细赘述。

[0050] 请参阅图 7A 所示, 提供一基板条 210, 其具有四个以上排列成 N 乘以 M 矩阵 211 的基板单元 212。请参阅图 7B 所示, 在这些基板单元 212 上设置两个以上芯片 220, 并使这些芯片 220 电性连接至这些基板单元 212。请参阅图 7C 所示, 在该基板条 210 的下表面 217 可贴附切割胶带 470, 用以承载该基板条 210, 并作为后续切割承载之用。

[0051] 请参阅图 7D 所示, 在该基板条 210 上形成这些预切槽孔 214。在本实施例中, 可借由切割刀具沿着这些切割道 213 在这些基板单元 212 的周边切割形成这些预切槽孔 214, 并且由于该基板条 210 的下表面 217 设置有该切割胶带 470, 在形成这些预切槽孔 214 而切穿该基板条 210 之后, 仍可保持这些基板单元 212 在该切割胶带 470 上的固定位置而不散离, 故使得这些预切槽孔 214 可相互连通。

[0052] 请参阅图 7E 所示, 在基板条 210 上模封形成封胶体 230, 以连续地覆盖在该矩阵 211 内的这些基板单元 212 与在这些基板单元 212 之间的预切槽孔 214, 以密封这些芯片 220。在模封形成步骤中, 该封胶体 230 填入至这些预切槽孔 214 内, 以覆盖这些基板单元 212 的侧边 212A。

[0053] 请参阅图 7F 所示, 以切割方式移除在这些切割道 213 处的该封胶体 230, 以单体化分离这些基板单元 212 为可单独分离的半导体封装构造 400, 并且在切割后这些基板单元 212 的侧边 212A 仍被该封胶体 230 所包覆。在单体化分离过程中, 所使用的刀具并不会切穿该切割胶带 470, 以确保该切割胶带 470 在切割后能发挥承载这些基板单元 212 的作用。之后, 如图 7F 与图 7G 所示, 移除该切割胶带 470 之后, 即可得到单独的半导体封装构造 400。由于每一半导体封装构造 400 均分别独立地粘贴于该切割胶带 470 上, 故可轻易地由该切割胶带 470 上剥离该半导体封装构造 400。

[0054] 以上所述, 仅是本发明的较佳实施例而已, 并非对本发明作任何形式上的限制, 虽然本发明已以较佳实施例揭露如上, 然而并非用以限定本发明, 任何熟悉本项技术的人, 在不脱离本发明的技术范围内, 所作的任何简单修改、等效性变化与修饰, 均仍涵盖于本发明的保护范围内。

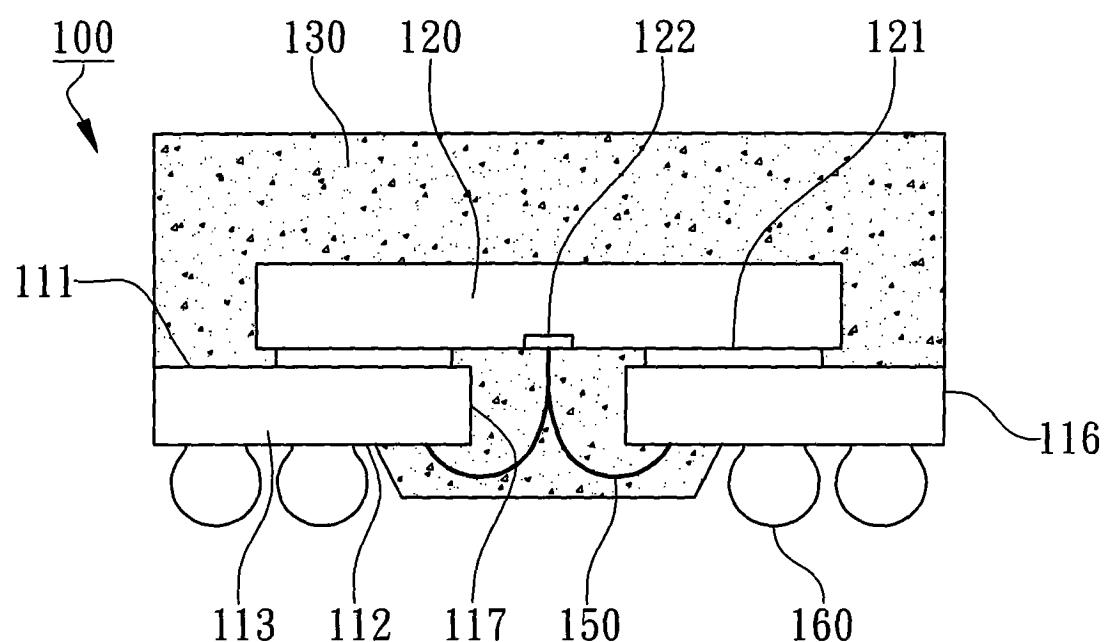


图 1

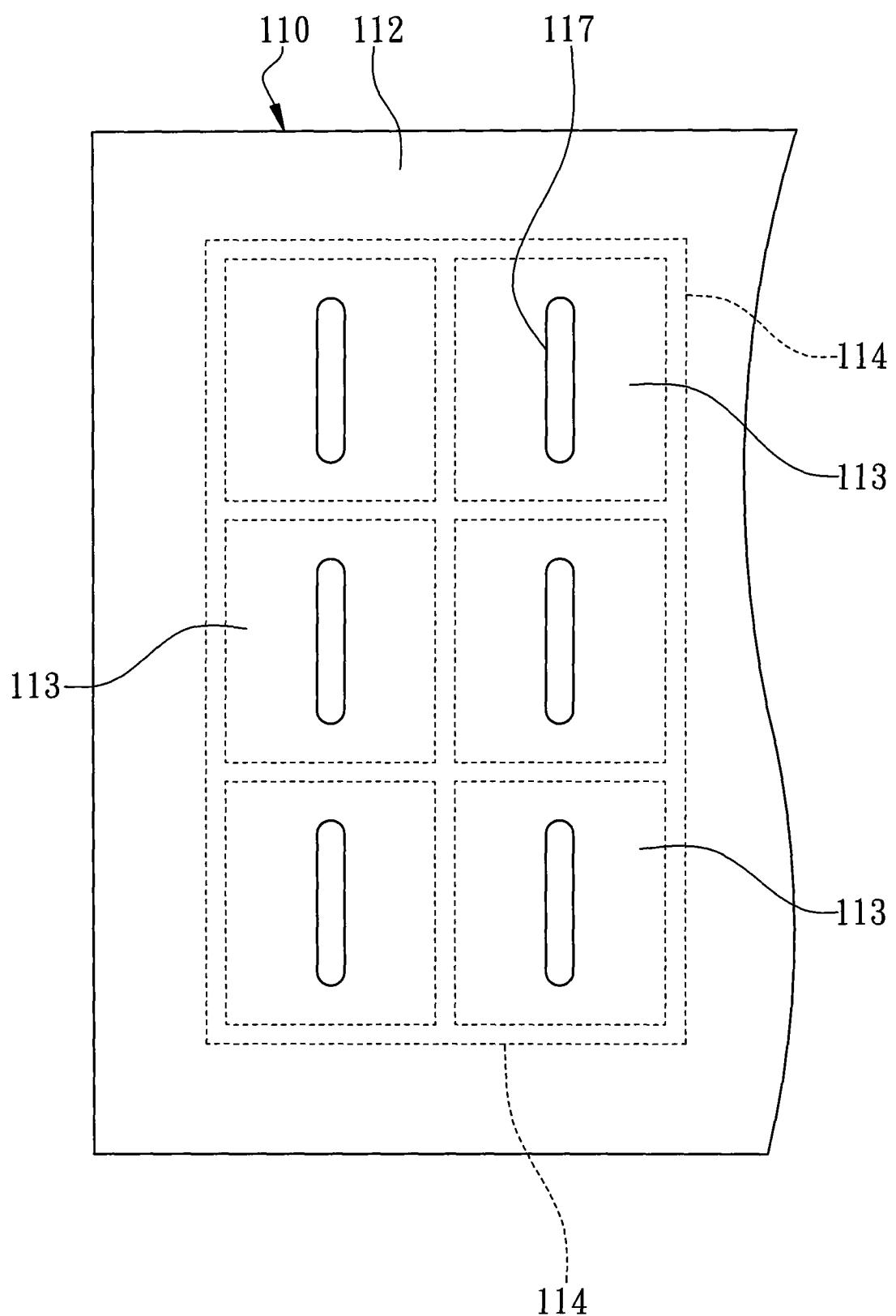


图 2

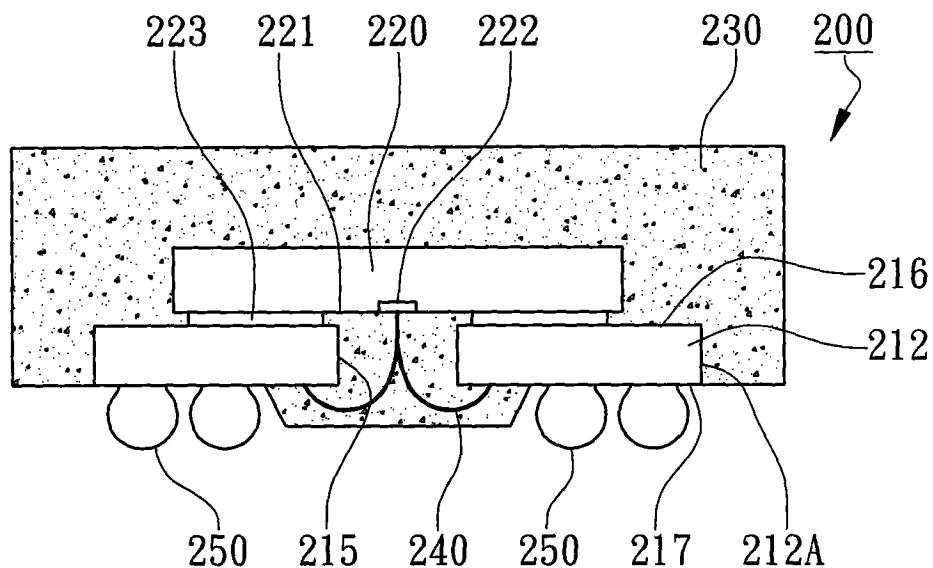


图 3

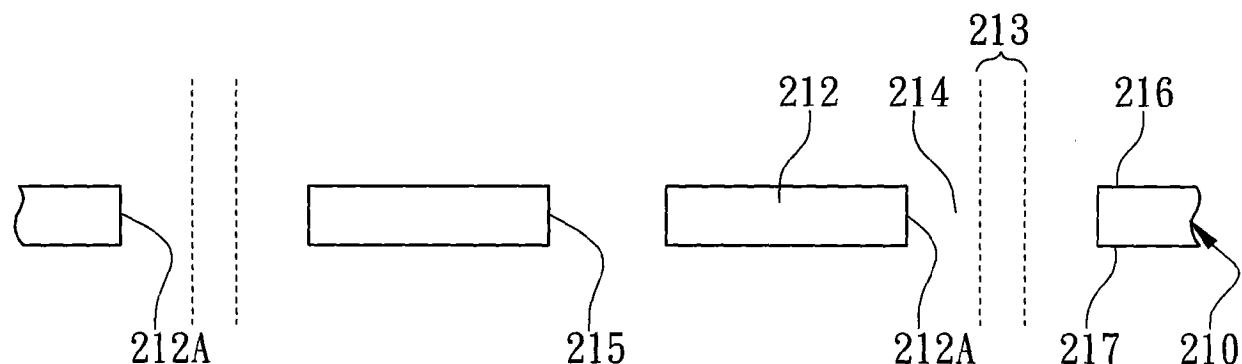


图 4A

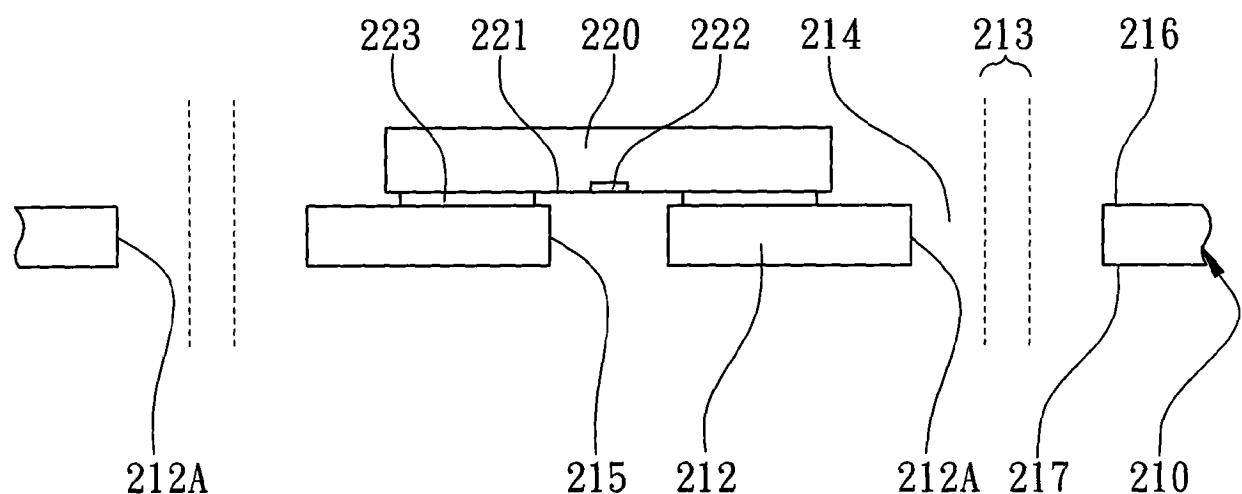


图 4B

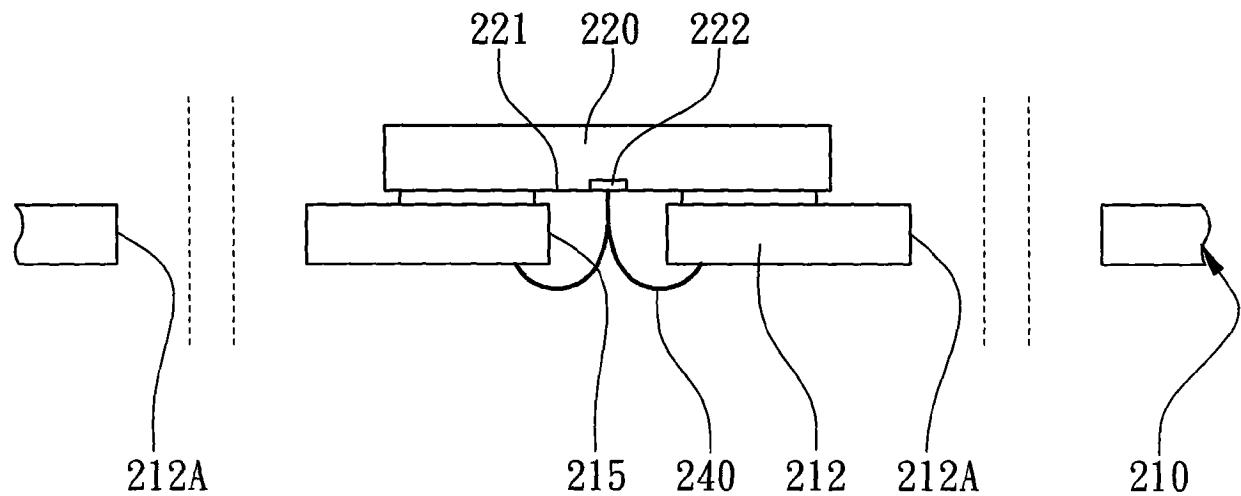


图 4C

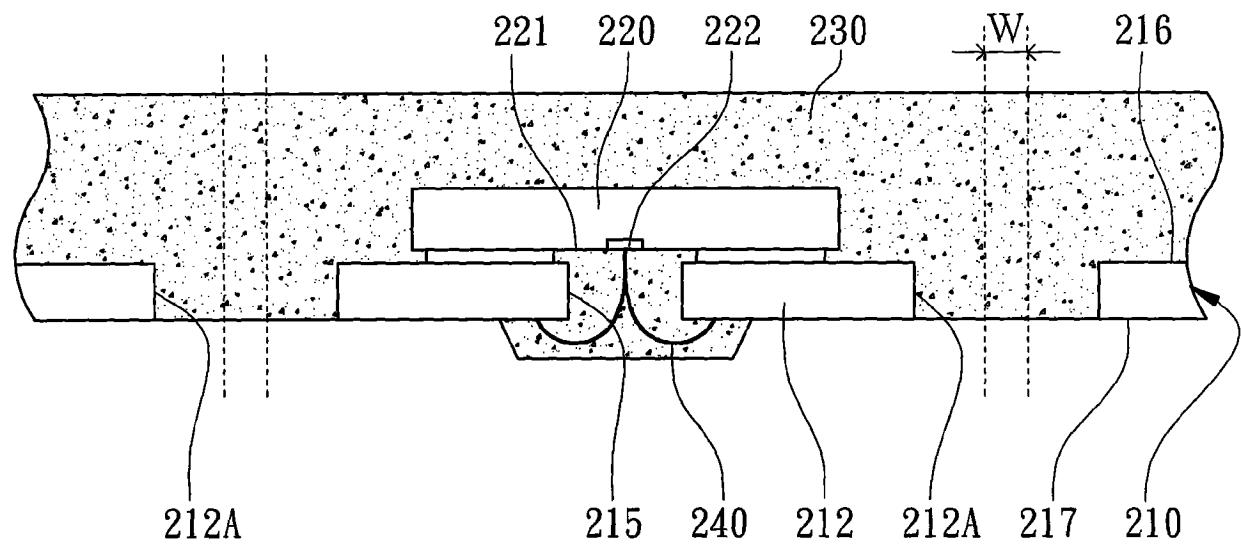


图 4D

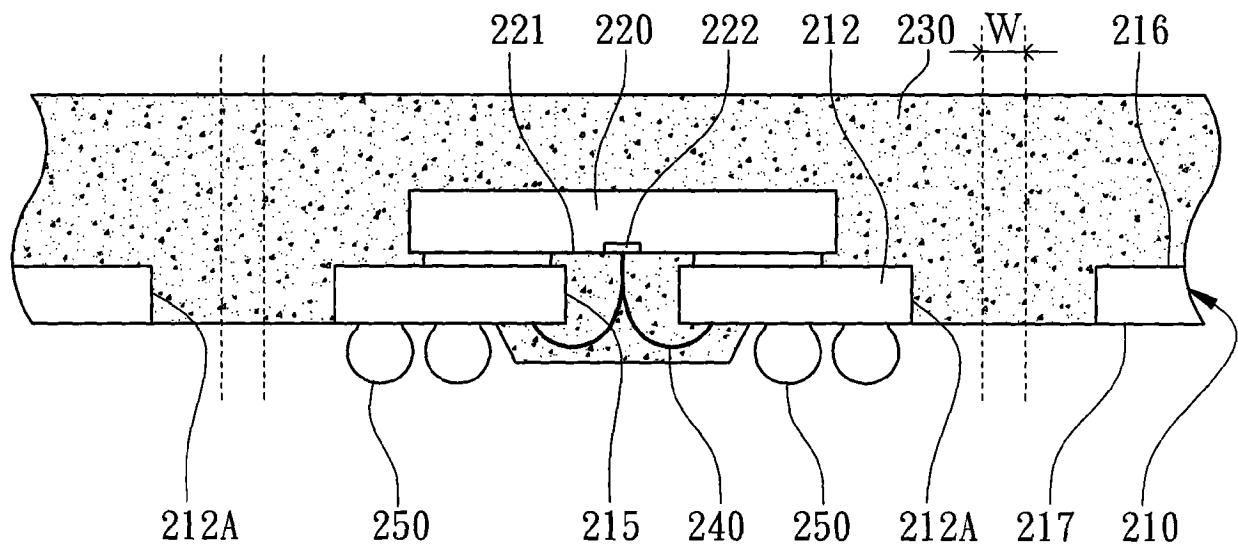


图 4E

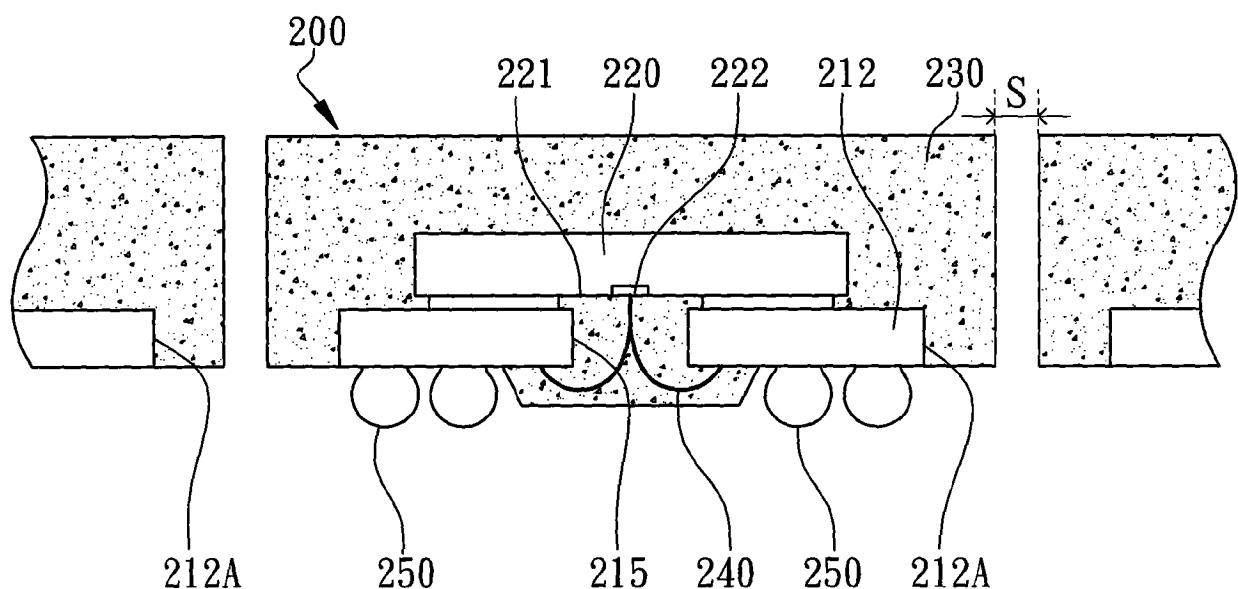


图 4F

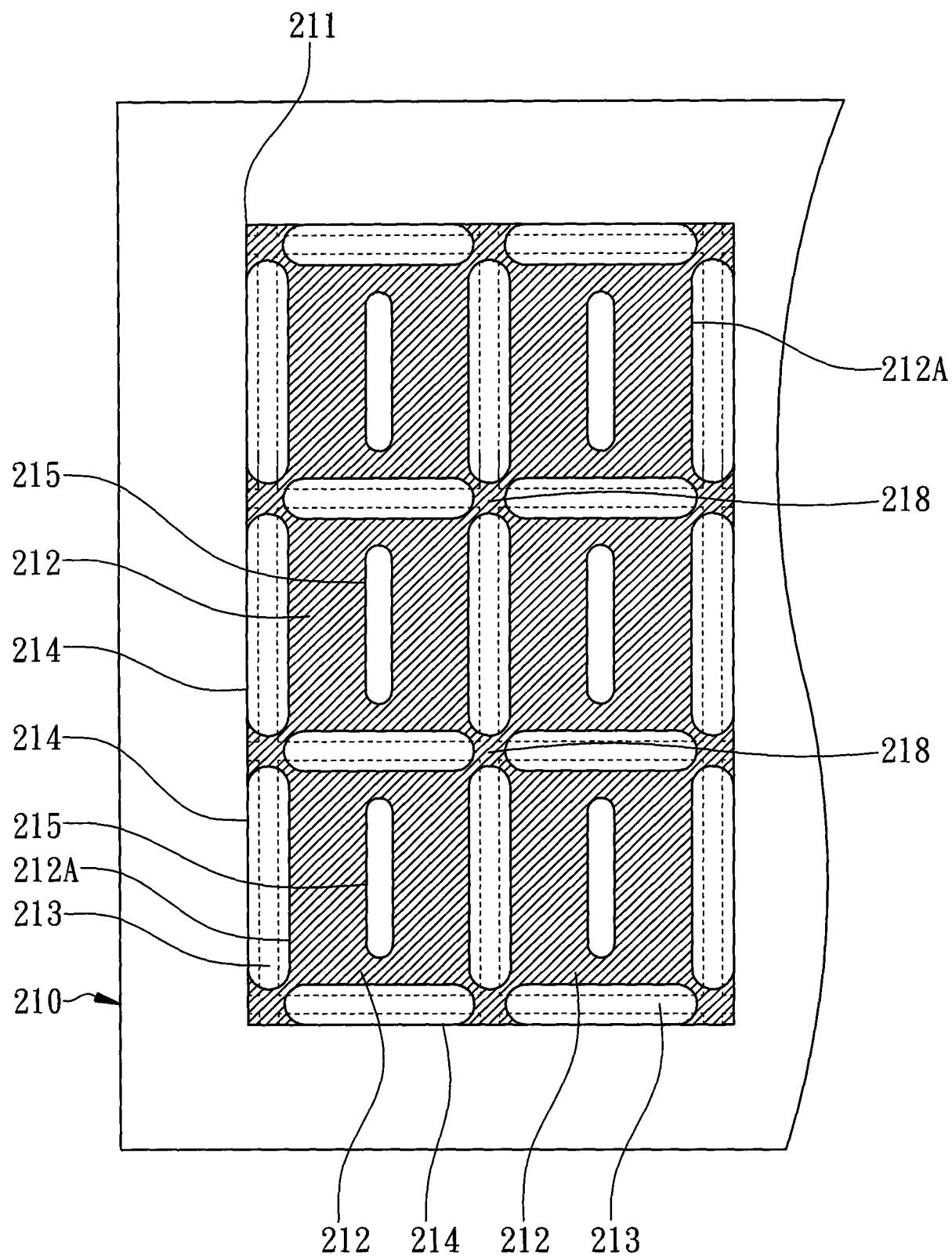


图 5

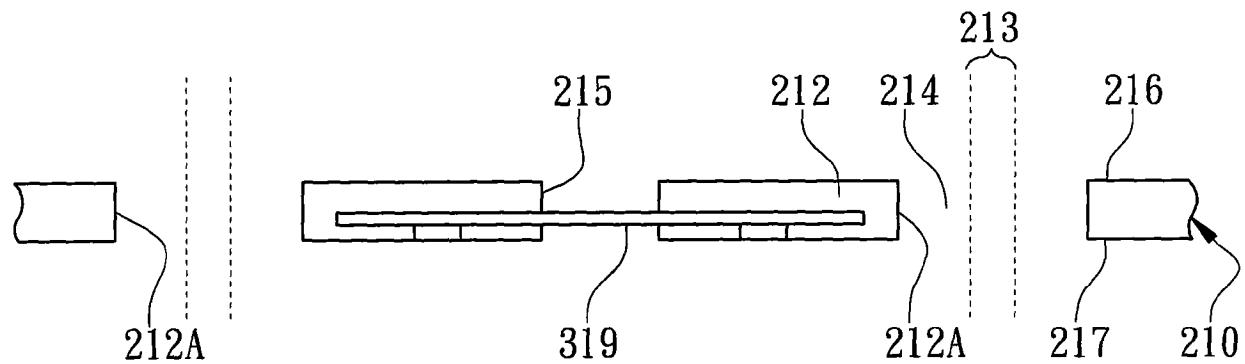


图 6A

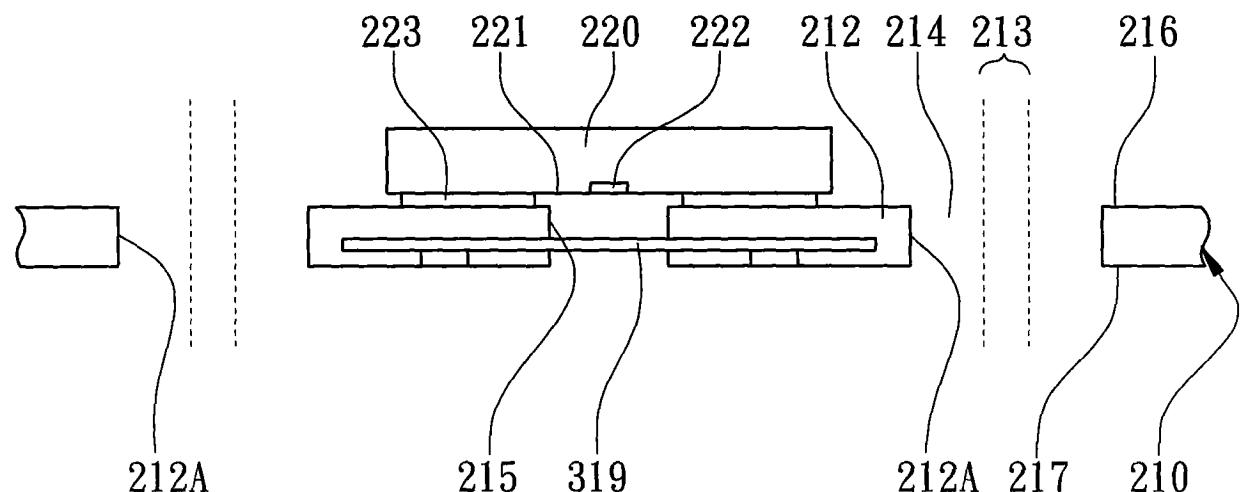


图 6B

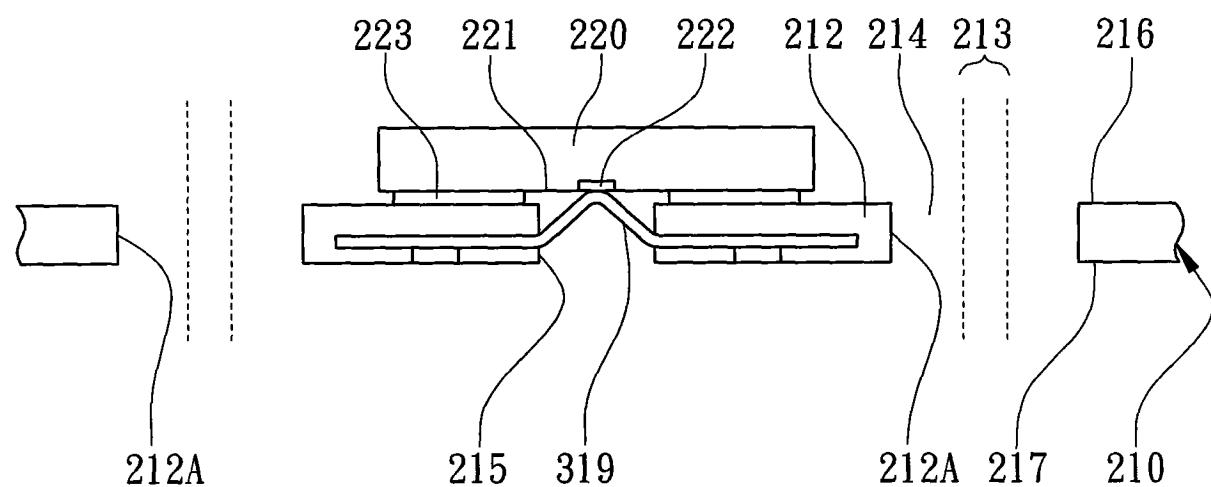


图 6C

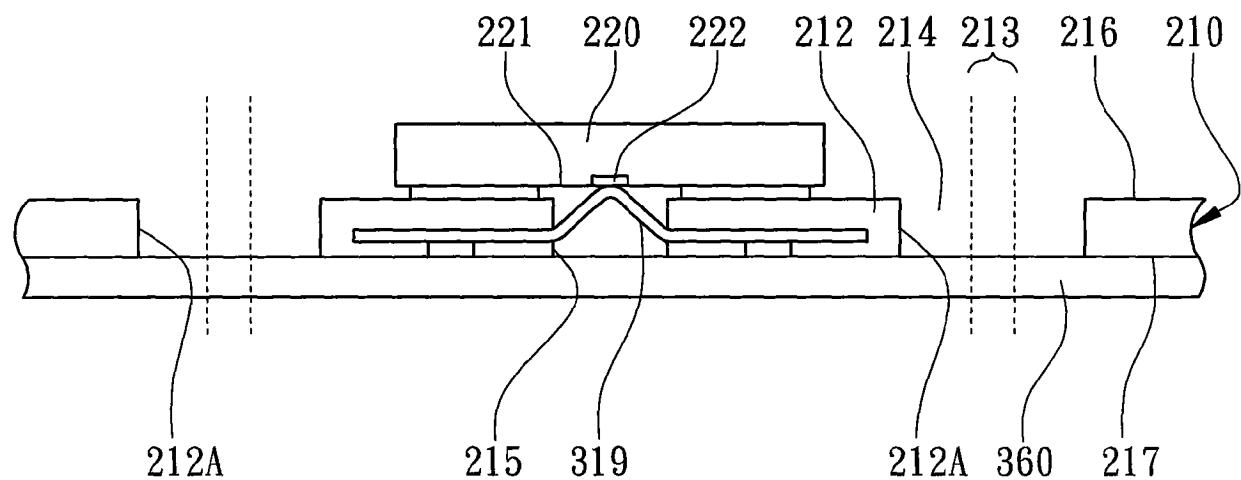


图 6D

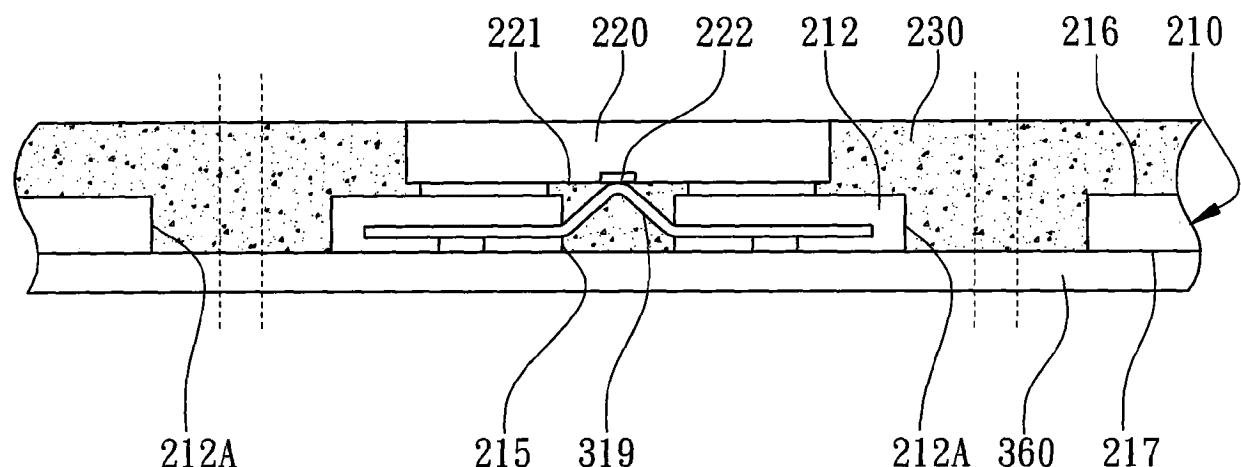


图 6E

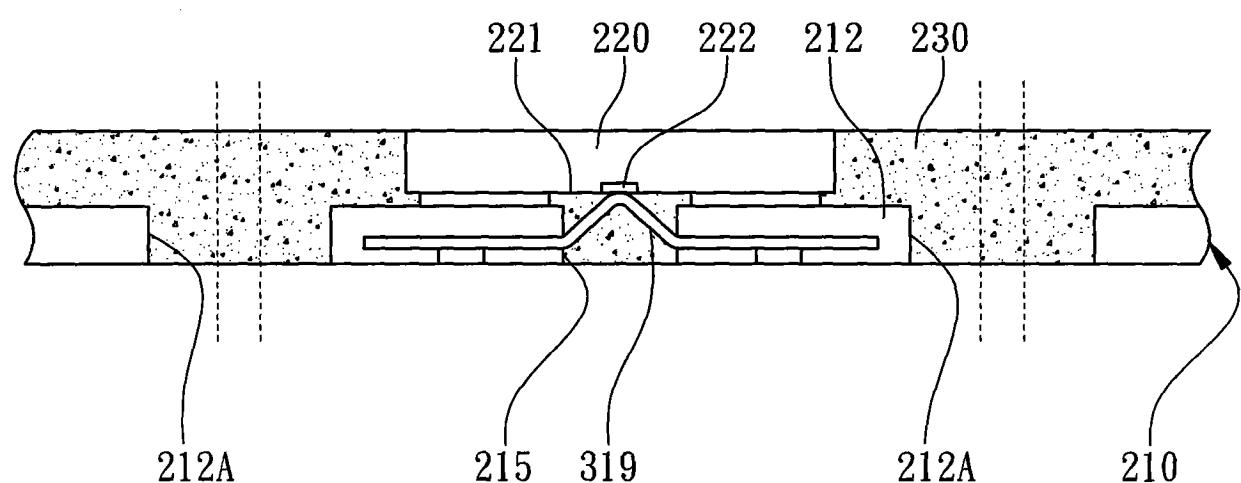


图 6F

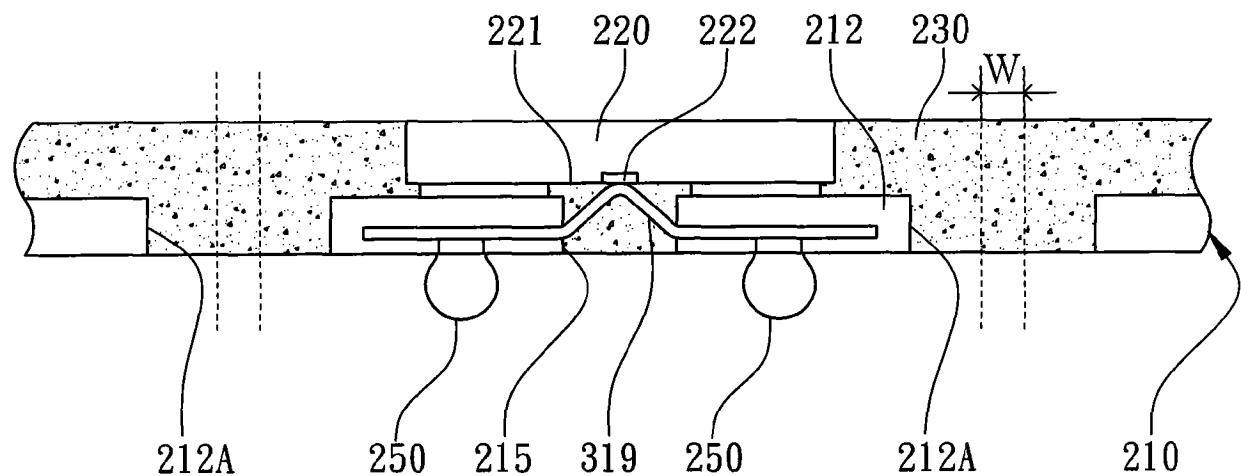


图 6G

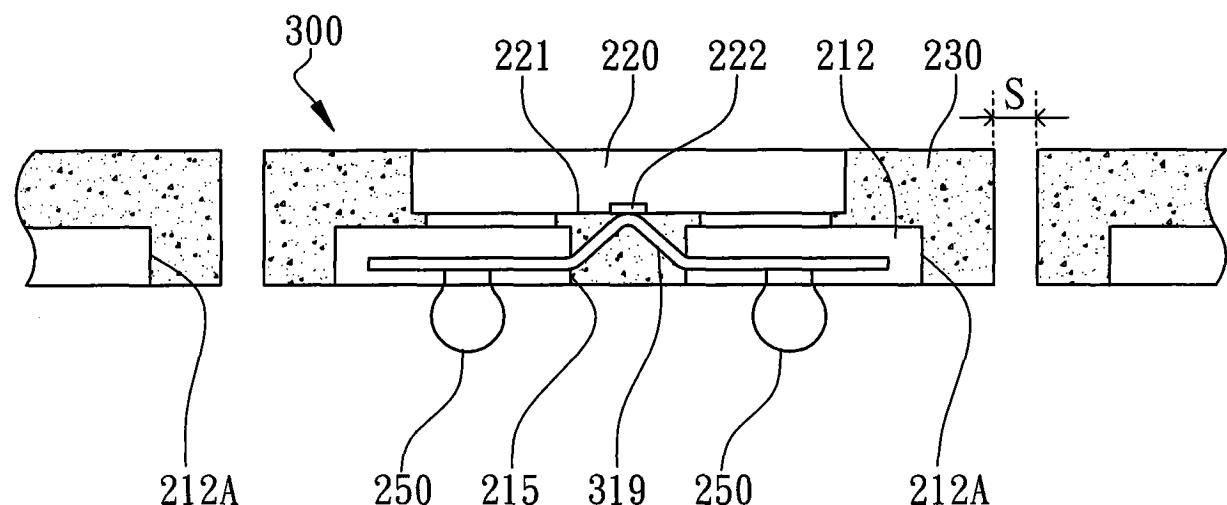


图 6H

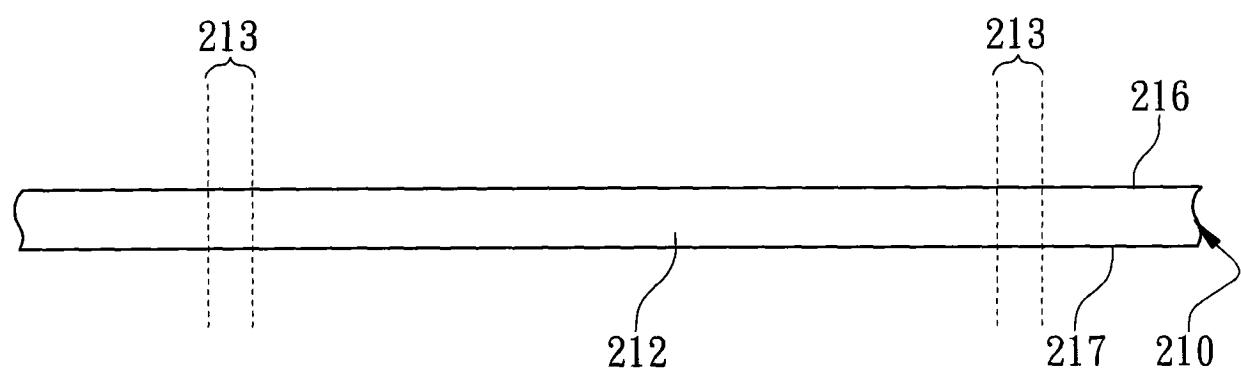


图 7A

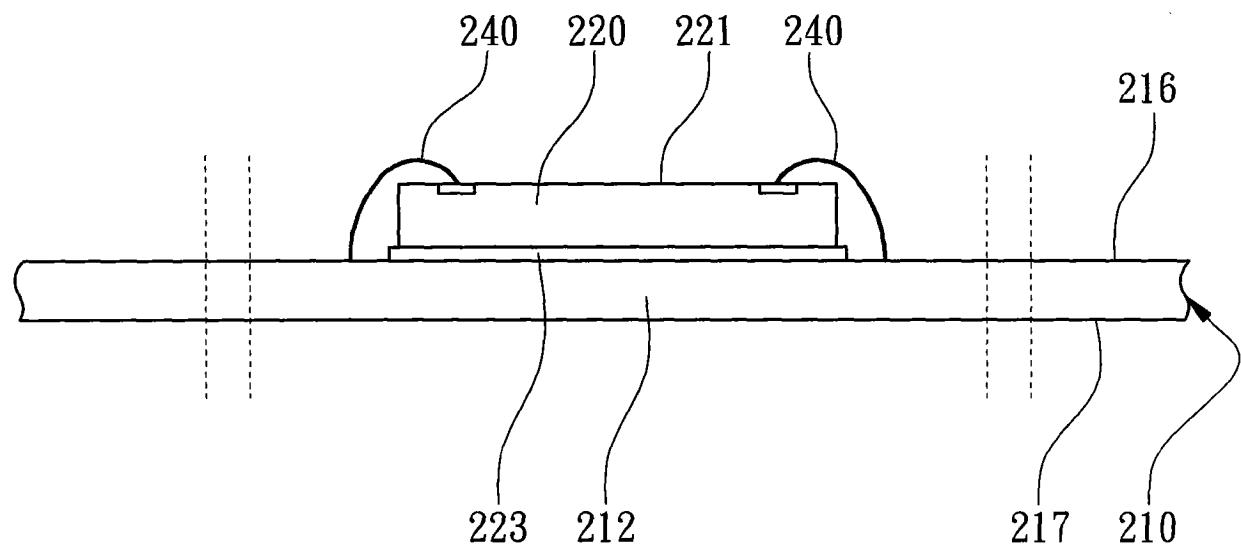


图 7B

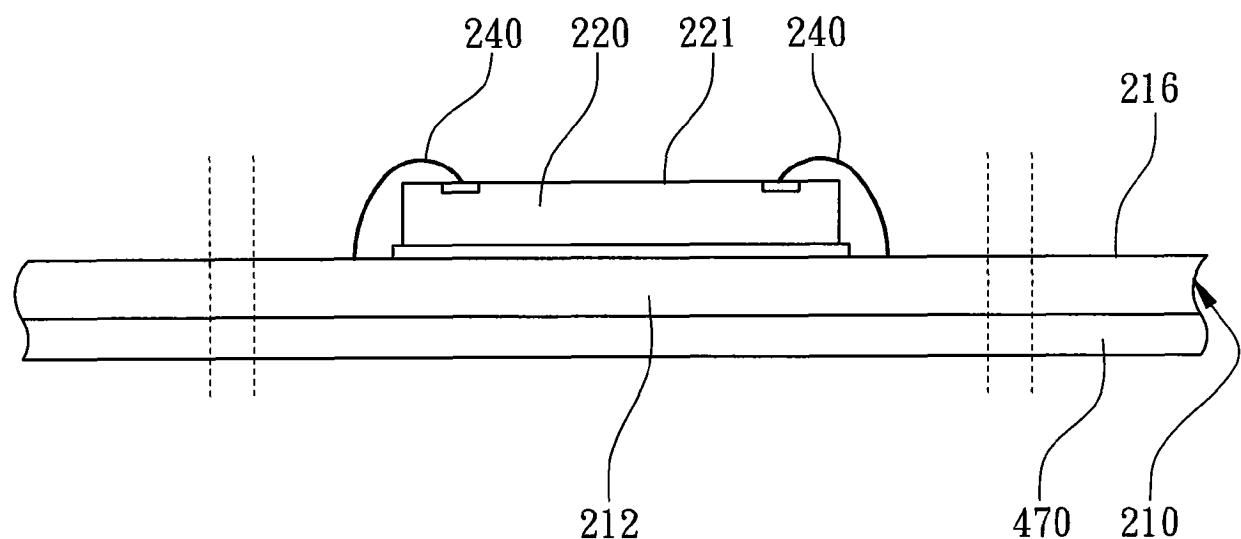


图 7C

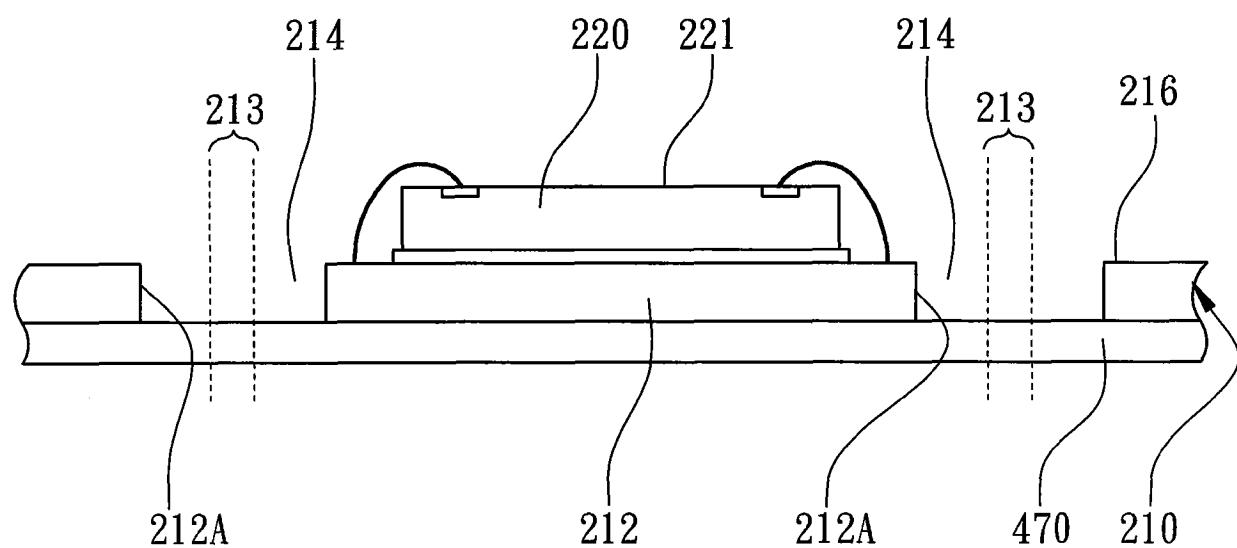


图 7D

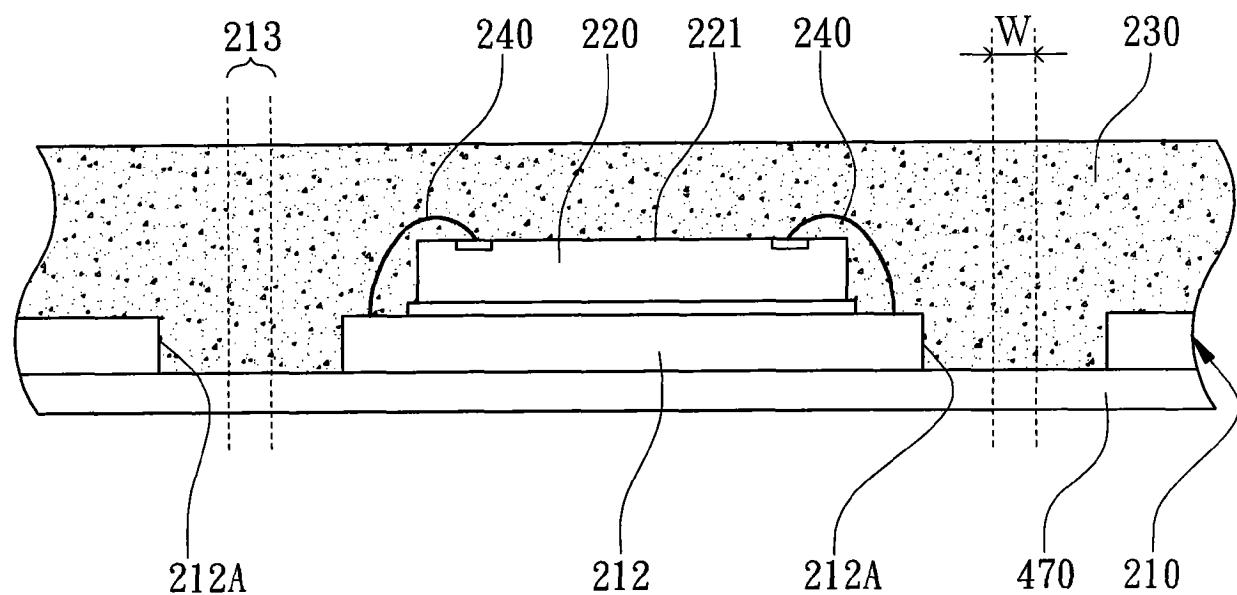


图 7E

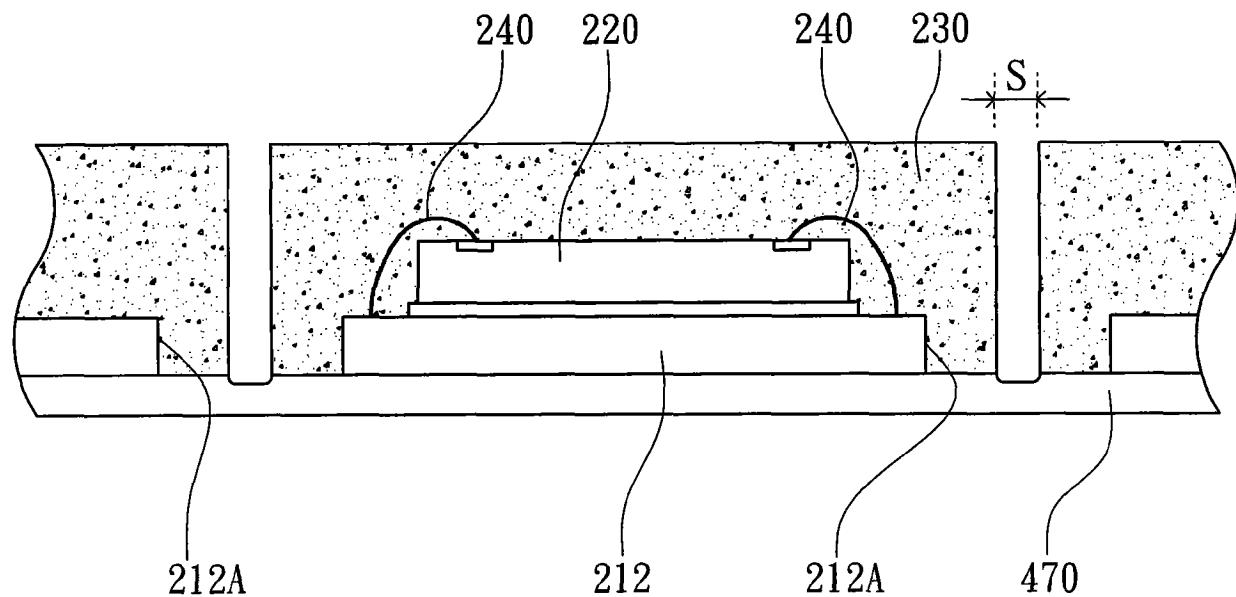


图 7F

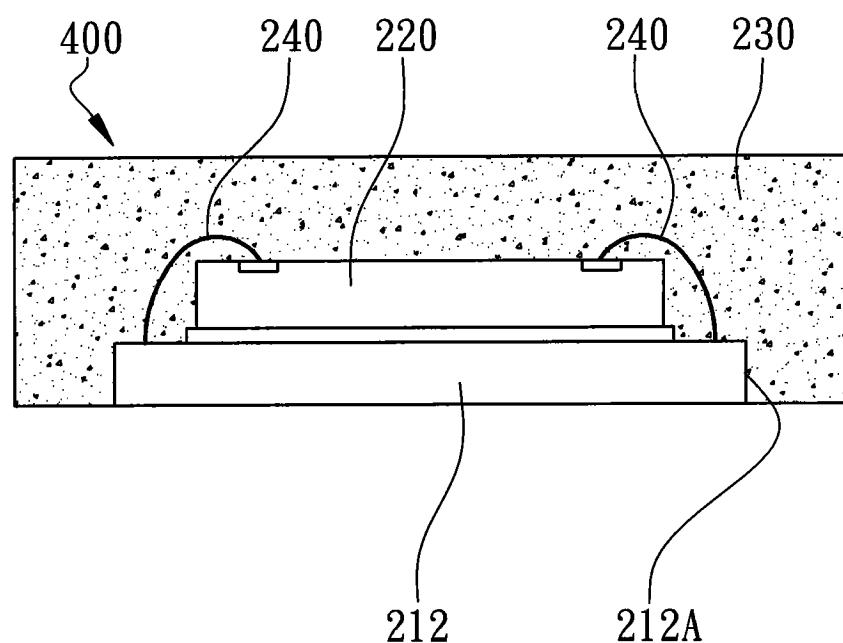


图 7G