



(12) 发明专利

(10) 授权公告号 CN 101097928 B

(45) 授权公告日 2012. 10. 10

(21) 申请号 200710126331. X

(22) 申请日 2007. 06. 29

(30) 优先权数据

60246/06 2006. 06. 30 KR

(73) 专利权人 三星电子株式会社

地址 韩国京畿道

(72) 发明人 秦洪基 金湘甲 吴旻锡 金周汉

(74) 专利代理机构 北京市柳沈律师事务所

11105

代理人 张波 陶凤波

[0098]—[0106] 段, 附图 16A-19B.

US 6051485 A, 2000. 04. 18, 全文.

US 2006/0046365 A1, 2006. 05. 02, 全文.

CN 1514468 A, 2004. 07. 21, 说明书第 7 页 15 行—第 8 页 24 行, 附图 5.

US 2006/0138428 A1, 2006. 06. 29, 全文.

US 4575402, 1986. 03. 11, 全文.

CN 1623235 A, 2005. 06. 01, 说明书第 6 页 10 行—第 9 页 20 行, 第 11 页 2-15 行, 附图 9, 14-15.

US 4732871, 1988. 03. 22, 全文.

审查员 王亮

(51) Int. Cl.

H01L 27/12 (2006. 01)

H01L 23/522 (2006. 01)

H01L 21/84 (2006. 01)

H01L 21/768 (2006. 01)

G02F 1/1362 (2006. 01)

(56) 对比文件

US 2004/0099864 A1, 2004. 05. 27, 说明书

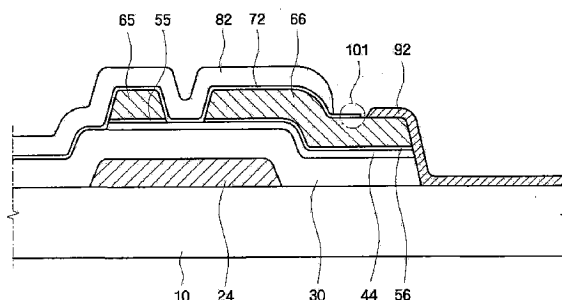
权利要求书 3 页 说明书 13 页 附图 31 页

(54) 发明名称

薄膜晶体管阵列基板及其制造方法

(57) 摘要

提供了一种薄膜晶体管 (TFT) 阵列基板以及该 TFT 阵列基板的制造方法, 在所述 TFT 阵列基板中, 在接触部分中提供了导电材料之间足够大的接触面积。所述 TFT 阵列基板包括设置在绝缘基板上的栅极互连线、覆盖所述栅极互连线的栅极绝缘层、设置在所述栅极绝缘层上的半导体层、包括设置在所述半导体层上的数据线、源电极和漏电极的数据互连线、设置在所述数据互连线上并暴露所述漏电极的第一钝化膜、设置在所述第一钝化膜上的第二钝化膜、以及与所述漏电极电连接的像素电极。所述第二钝化膜的外侧壁位于所述第一钝化膜的外侧壁之内。半导体层除了位于所述源电极和所述漏电极之间的部分之外, 基本与数据线、源电极和漏电极具有相同的平面形状。



1. 一种薄膜晶体管阵列基板,包括:
栅极互连线,所述栅极互连线包括设置在绝缘基板上的栅极线和栅电极;
设置在所述栅极互连线上的栅极绝缘层;
设置在所述栅极绝缘层上的半导体层;
数据互连线,所述数据互连线包括设置在所述半导体层上的漏电极、源电极和数据线;
第一钝化膜,所述第一钝化膜设置在所述数据互连线上并暴露所述漏电极的一部分;
设置在所述第一钝化膜上的第二钝化膜,其中所述第二钝化膜的外侧壁位于所述第一钝化膜的外侧壁之内;以及
连接到所述漏电极的像素电极,
其中所述第一钝化膜和所述第二钝化膜在漏电极-像素电极接触部分不与所述像素电极交叠。
2. 根据权利要求1所述的薄膜晶体管阵列基板,其中所述第一钝化膜包括氧化硅或氮氧化硅,并且所述第二钝化膜包括氮化硅。
3. 根据权利要求2所述的薄膜晶体管阵列基板,其中所述栅极绝缘层被图案化以暴露像素区域中的绝缘基板,像素电极直接设置在所述像素区域中暴露的绝缘基板上。
4. 根据权利要求3所述的薄膜晶体管阵列基板,其中所述第二钝化膜的外侧壁位于所述栅极绝缘层的外侧壁之内。
5. 根据权利要求4所述的薄膜晶体管阵列基板,其中所述栅极绝缘层包括氮化硅。
6. 根据权利要求3所述的薄膜晶体管阵列基板,还包括:
设置在所述绝缘基板上的存储电极,其中所述存储电极与所述像素电极交叠并且所述栅极绝缘层设置在其间。
7. 根据权利要求2所述的薄膜晶体管阵列基板,还包括:
设置在所述栅极线端部的栅极焊盘,
其中所述栅极绝缘层还包括暴露所述栅极焊盘的栅极接触部分,所述栅极绝缘层覆盖除了所述栅极线的周边区域、所述数据线的周边区域和所述栅极接触部分之外的所述绝缘基板的整个表面,并且所述像素电极直接设置在设置于所述栅极绝缘层上的第二钝化膜上。
8. 根据权利要求7所述的薄膜晶体管阵列基板,还包括:
设置在所述绝缘基板上的存储电极,其中所述存储电极与所述像素电极交叠,并且所述栅极绝缘层、所述第一钝化膜和所述第二钝化膜设置在其间。
9. 根据权利要求2所述的薄膜晶体管阵列基板,还包括:
设置在所述数据线端部的数据焊盘;以及
辅助数据焊盘,
其中所述第一钝化膜和所述第二钝化膜还包括数据接触部分以暴露所述数据焊盘,并且所述辅助数据焊盘与暴露的数据焊盘完全接触。
10. 一种薄膜晶体管阵列基板的制造方法,该方法包括:
在绝缘基板上形成栅极互连线,所述栅极互连线包括栅极线和栅电极;
在所述栅极互连线上形成栅极绝缘层;

形成半导体层和所述半导体层上的数据互连线,所述数据互连线包括数据线、源电极和漏电极;

在所述数据互连线上顺序形成第一钝化膜和第二钝化膜;

蚀刻所述第二钝化膜和所述第一钝化膜,并暴露漏电极-像素电极接触部分的漏电极;以及

形成连接到所述漏电极的像素电极,

其中蚀刻所述第二钝化膜和所述第一钝化膜包括将所述第二钝化膜的外侧壁形成在所述第一钝化膜的外侧壁之内,且

其中所述第一钝化膜和所述第二钝化膜在所述漏电极-像素电极接触部分不与所述像素电极交叠。

11. 根据权利要求 10 所述的方法,其中蚀刻所述第二钝化膜和所述第一钝化膜包括利用蚀刻气体,所述蚀刻气体提供相对于所述第二钝化膜比相对于所述第一钝化膜更高的蚀刻速率。

12. 根据权利要求 11 所述的方法,其中蚀刻所述第二钝化膜和所述第一钝化膜还包括各向同性蚀刻。

13. 根据权利要求 11 所述的方法,其中所述第一钝化膜包括氧化硅或氮氧化硅,所述第二钝化膜包括氮化硅。

14. 根据权利要求 13 所述的方法,其中形成所述栅极互连线包括形成栅极互连线和存储电极,

其中蚀刻所述第一钝化膜和所述第二钝化膜包括利用光致抗蚀剂图案作为蚀刻掩模蚀刻所述第二钝化膜、所述第一钝化膜和所述栅极绝缘层,所述光致抗蚀剂图案包括覆盖所述栅极线的形成区域、所述数据线的形成区域、所述源电极的形成区域和所述漏电极-像素电极接触部分的第一区域,以及厚度小于所述第一区域并覆盖所述存储电极的形成区域的第二区域,并且

其中所述光致抗蚀剂图案暴露设置在所述存储电极的形成区域之外的像素区域。

15. 根据权利要求 14 所述的方法,其中所述栅极绝缘层包括氮化硅,并且蚀刻所述第二钝化膜和所述第一钝化膜包括使所述栅极绝缘层的外侧壁位于所述第二钝化膜的外侧壁之外。

16. 根据权利要求 15 所述的方法,其中形成所述像素电极包括:

在所述光致抗蚀剂图案上沉积像素电极导电材料;以及执行剥离工艺。

17. 根据权利要求 13 所述的方法,其中形成所述栅极互连线包括形成栅极互连线和存储电极,并且

其中蚀刻所述第二钝化膜和所述第一钝化膜包括:

利用光致抗蚀剂图案作为蚀刻掩模,首次蚀刻所述第二钝化膜、所述第一钝化膜和所述栅极绝缘层,所述光致抗蚀剂图案包括覆盖所述栅极线的形成区域、所述数据线的形成区域、所述源电极的形成区域和所述漏电极-像素电极接触部分的第一区域,以及厚度小于所述第一区域并覆盖所述存储电极的形成区域的第二区域,所述光致抗蚀剂图案暴露像素电极形成在所述存储电极的形成区域之外的像素区域;

去除所述第二区域;以及

利用所述光致抗蚀剂图案的第一区域作为蚀刻掩模二次蚀刻所述第二钝化膜和所述第一钝化膜。

18. 根据权利要求 17 所述的方法,其中所述栅极绝缘层包括氮化硅,并且蚀刻所述第二钝化膜和所述第一钝化膜包括使所述栅极绝缘层的外侧壁位于所述第二钝化膜的外侧壁之外。

19. 根据权利要求 18 所述的方法,其中形成所述像素电极包括:

在所述光致抗蚀剂图案上沉积像素电极导电材料;以及
执行剥离工艺。

20. 根据权利要求 17 所述的方法,其中所述首次蚀刻包括全表面蚀刻并且所述二次蚀刻包括局部表面蚀刻。

21. 根据权利要求 13 所述的方法,其中形成所述栅极互连线包括形成栅极互连线和存储电极,并且

其中蚀刻所述第二钝化膜和所述第一钝化膜包括利用光致抗蚀剂图案作为蚀刻掩模,蚀刻所述第二钝化膜、所述第一钝化膜和所述栅极绝缘层,所述光致抗蚀剂图案包括覆盖所述栅极线的形成区域、所述数据线的形成区域、所述源电极的形成区域和所述漏电极-像素电极接触部分的第一区域,以及厚度小于所述第一区域并覆盖所述像素电极的形成区域的第二区域,并且

其中所述光致抗蚀剂图案暴露所述栅极线的周边区域、所述数据线的周边区域和所述漏电极-像素电极接触部分。

22. 根据权利要求 21 所述的方法,其中所述栅极绝缘层包括氮化硅,并且蚀刻所述第二钝化膜、所述第一钝化膜和所述栅极绝缘层包括使所述栅极绝缘层的外侧壁位于所述第二钝化膜的外侧壁之外。

23. 根据权利要求 22 所述的方法,其中形成所述像素电极包括:

在所述光致抗蚀剂图案的第一区域上沉积像素电极导电材料;以及执行剥离工艺。

24. 根据权利要求 13 所述的方法,其中形成所述数据互连线包括在所述数据线的端部形成数据焊盘,

其中在所述漏电极的暴露期间暴露所述数据焊盘。

薄膜晶体管阵列基板及其制造方法

技术领域

[0001] 本发明涉及一种薄膜晶体管 (“TFT”) 阵列基板及其制造方法, 更具体而言, 涉及一种其中可以增大驱动容限 (driving margin) 并可在接触部分中提供导电材料之间足够大的接触面积的 TFT 阵列基板以及该 TFT 阵列基板的制造方法。

背景技术

[0002] 液晶显示器 (“LCD”) 包括两个相对的显示面板以及插入其间的液晶层。每个显示面板可以利用透明绝缘基板作为支撑基板。可以在绝缘基板上形成多个薄膜图案。薄膜图案的形成包括材料沉积和掩模工艺。然而, 光刻工艺可能包括多个步骤, 例如光致抗蚀剂涂敷、掩模设置、曝光、烘烤、显影和清洗, 由此增大了整个工艺时间和制造成本。

[0003] 为了减少掩模工艺的数目, 已经研究了剥离方法 (lift-off method)。更具体而言, 当在 TFT 阵列基板上形成钝化膜和像素电极时, 利用光致抗蚀剂图案构图钝化膜, 在 TFT 阵列基板的整个表面上沉积导电材料, 并利用光致抗蚀剂剥离剂 (stripper) 同时去除光致抗蚀剂图案和其上的导电材料。基板上剩余的导电材料形成了像素电极。

[0004] 光致抗蚀剂剥离剂可以接触光致抗蚀剂图案的侧面或底部, 以去除覆盖有导电材料的光致抗蚀剂图案。为了防止由于基板上剩余的光致抗蚀剂图案的残余部分所致的图案缺陷, 光致抗蚀剂图案与光致抗蚀剂剥离剂的接触面积应足够大。特别是, 在光致抗蚀剂图案之下的钝化膜应在光致抗蚀剂图案的内侧之下形成足够大的底切 (undercut)。然而, 如果钝化膜被过度蚀刻以形成这样的底切, 则存储电极上的绝缘膜可能被过度蚀刻并且其厚度可能变得不均匀, 由此造成驱动容限的降低。而且, 数据互连线可能被过度蚀刻损坏, 接触区域中数据互连线的蚀刻可能导致接触故障。

[0005] 发明内容

[0006] 本发明提供了一种 TFT 阵列基板, 其增大了驱动容限并提供了接触部分中导电材料之间足够大的接触面积。

[0007] 本发明还提供了一种 TFT 阵列基板, 其能够使剥离容易并防止了栅极绝缘层的过度蚀刻和对于数据互连线的损坏。本发明还提供了一种 TFT 阵列基板, 其能够使剥离容易并防止了栅极绝缘层的过度蚀刻和对于数据互连线的损坏。

[0008] 本发明的附加特征将在以下的描述中得到阐述, 并从描述中部分地变得明了, 或者可以通过对于本发明的实践而被认知。

[0009] 本发明公开了一种薄膜晶体管 (TFT) 阵列基板, 包括: 栅极互连线, 所述栅极互连线包括栅极线和设置在绝缘基板上的栅电极; 覆盖所述栅极互连线的栅极绝缘层; 设置在所述栅极绝缘层上的半导体层; 数据互连线, 所述数据互连线包括设置在所述半导体层上的数据线、源电极和漏电极; 第一钝化膜, 所述第一钝化膜设置在所述数据互连线上并暴露所述漏电极的一部分; 设置在所述第一钝化膜上的第二钝化膜, 其中所述第二钝化膜的外侧壁位于所述第一钝化膜的外侧壁之内; 以及连接到所述漏电极的像素电极。

[0010] 本发明还公开了一种薄膜晶体管 (TFT) 阵列基板的制造方法, 该方法包括: 在绝

缘基板上形成栅极互连线,所述栅极互连线包括栅极线和栅电极;在所述栅极互连线上形成栅极绝缘层;形成半导体层和所述半导体层上的数据互连线,所述数据互连线包括数据线、源电极和漏电极;在所述数据互连线上顺序形成第一钝化膜和第二钝化膜;蚀刻所述第二钝化膜和所述第一钝化膜,并暴露漏电极-像素电极接触部分的漏电极;以及形成连接到所述漏电极的像素电极。此外,蚀刻所述第二钝化膜和所述第一钝化膜包括将所述第二钝化膜的外侧壁形成在所述第一钝化膜的外侧壁之内。

[0011] 应理解的是,以上的概括描述和以下的详细描述都是示例性和解释性的,并意于提供对于本发明的进一步的解释。

[0012] 附图说明

[0013] 被包含进来以提供对于本发明的更进一步理解的附图包括在本说明书中并构成了本说明书的一部分,附图示出了本发明的实施例,并与说明一起用于解释本发明的原理。

[0014] 图 1 是根据本发明第一示例性实施例的 TFT 阵列基板的布局图;

[0015] 图 2A 是沿图 1 的线 A-A' 得到的剖面图;

[0016] 图 2B 是沿图 1 的线 B-B' 得到的剖面图;

[0017] 图 2C 是沿图 1 的线 C-C' 得到的剖面图;

[0018] 图 3A、4A、5A、6A、7A、8A、9A、10A 和 11A 是剖面图,示出了根据本发明第二示例性实施例的图 2A 中所示剖面图中 TFT 阵列基板的制造方法的工艺步骤;

[0019] 图 3B、4B、5B、6B、7B、8B、9B、10B 和 11B 是剖面图,示出了根据本发明第二示例性实施例的图 2B 中所示剖面图中 TFT 阵列基板的制造方法的工艺步骤;

[0020] 图 3C、4C、5C、6C、7C、8C、9C、10C 和 11C 是剖面图,示出了根据本发明第二示例性实施例的图 2C 中所示剖面图中 TFT 阵列基板的制造方法的工艺步骤;

[0021] 图 12A、13A、14A 和 15A 是剖面图,示出了根据本发明第三示例性实施例的图 2A 中所示剖面图中 TFT 阵列基板的制造方法的工艺步骤;

[0022] 图 12B、13B、14B 和 15B 是剖面图,示出了根据本发明第三示例性实施例的图 2B 中所示剖面图中 TFT 阵列基板的制造方法的工艺步骤;

[0023] 图 12C、13C、14C 和 15C 是剖面图,示出了根据本发明第三示例性实施例的图 2C 中所示剖面图中 TFT 阵列基板的制造方法的工艺步骤;

[0024] 图 16 是根据本发明第四示例性实施例的 TFT 阵列基板的布局图;

[0025] 图 17A 是沿图 16 的线 A-A' 得到的剖面图;

[0026] 图 17B 是沿图 16 的线 B-B' 得到的剖面图;

[0027] 图 17C 是沿图 16 的线 C-C' 得到的剖面图;

[0028] 图 18A、19A、20A 和 21A 是剖面图,示出了根据本发明第五示例性实施例的图 17A 中所示剖面图中 TFT 阵列基板的制造方法的工艺步骤;

[0029] 图 18B、19B、20B 和 21B 是剖面图,示出了根据本发明第五示例性实施例的图 17B 中所示剖面图中 TFT 阵列基板的制造方法的工艺步骤;

[0030] 图 18C、19C、20C 和 21C 是剖面图,示出了根据本发明第五示例性实施例的图 17C 中所示剖面图中 TFT 阵列基板的制造方法的工艺步骤;

[0031] 图 22A 和 23A 是剖面图,示出了根据本发明第六示例性实施例的图 17A 中所示剖面图中 TFT 阵列基板的制造方法的工艺步骤;

[0032] 图 22B 和 23B 是剖面图,示出了根据本发明第六示例性实施例的图 17B 中所示剖面图中 TFT 阵列基板的制造方法的工艺步骤;

[0033] 图 22C 和 23C 是剖面图,示出了根据本发明第六示例性实施例的图 17C 中所示剖面图中 TFT 阵列基板的制造方法的工艺步骤。

具体实施方式

[0034] 通过参考以下对于优选实施例的详细说明以及附图,本发明的优点和特征及其实现方法将变得显而易见。然而,本发明可以以多种不同的形式实施,而不应被解释为仅限于此处所述的实施例。并且,提供这些实施例是为了使本公开透彻和完整,并且将本发明的理念充分传达给本领域技术人员,本发明仅由所附权利要求限定。附图中,为清晰起见,夸大或减小了层和区域的厚度。

[0035] 在以下描述中,应当理解,当称一个元件或一层在另一元件或层“上”、“连接到”另一元件或层时,它可以直接在或直接连接到另一元件或层上,或者还可以存在插入的元件或层。相反,当称一个元件“直接在”或“直接连接到”另一元件时,不存在插入元件。整个说明书中相同的附图标记指代相同的元件。术语“和 / 或”包括相关项目的每个及至少一种组合。

[0036] 为便于描述此处可以使用诸如“在...之下”、“在...下面”、“下(lower)”、“在...之上”、“上(upper)”等等空间相对性术语以描述如图所示的一个元件或部件与另一个(些)元件或部件之间的关系。应当理解,空间相对性术语是用来包括除附图所示取向之外的使用或操作中的器件的不同取向的。

[0037] 将参照透视图、剖面图和 / 或平面图来描述本发明,在图中示出了本发明的优选实施例。因而,根据制造技术和 / 或公差可能改变示例图的轮廓。也就是说,本发明的实施例并非要限制本发明的范围而是包括了可能由于制造工艺中的变化引起的所有变化和变型。因此,图中所示的区域以示意性的方式示出,并且仅通过示意而非限制的方式来表示区域的形状。

[0038] 以下,将参照附图详细描述根据本发明示例性实施例的 TFT 阵列基板。

[0039] 图 1 是根据本发明第一实施例的 TFT 阵列基板的布局图,图 2A、2B 和 2C 是分别沿图 1 的线 A-A'、B-B' 和 C-C' 得到的剖面图。

[0040] 根据本发明第一示例性实施例的 TFT 阵列基板包括设置在绝缘基板上的 TFT,覆盖 TFT 的第一钝化膜以及设置在第一钝化膜上的第二钝化膜。TFT 是包括控制端、输入端和输出端的三端器件并且可以包括栅电极、源电极、漏电极和半导体层。在 TFT 中,除非另行描述,否则栅电极可以为控制端,源电极可以为输入端,漏电极可以为输出端。半导体层可以形成 TFT 的沟道区域。

[0041] 参照图 1、2A、2B 和 2C,绝缘基板 10 支撑 TFT 并且可以由例如透明玻璃或塑料形成。在绝缘基板 10 上设置栅极线 22、栅极焊盘 27 和栅电极 24。

[0042] 用于栅极信号传输的多条栅极线 22 设置在绝缘基板 10 上。栅极线 22 彼此隔开并在例如图 1 所示的横向方向的第一方向上彼此平行延伸。具有扩大的宽度的栅极焊盘 27 连接到每条栅极线 22 的端部。尽管没有示出,但在本发明的变型实施例中,栅极焊盘 27 可以设置在栅极线 22 的两相对端,或者可以不形成栅极焊盘 27。

[0043] 栅电极 24 连接到栅极线 22。多个栅电极 24 可以连接到栅极线 22。每个栅电极 24 可以从栅极线 22 延伸出去。

[0044] 栅电极 24、栅极线 22 和栅极焊盘 27 可以直接设置在绝缘基板 10 上。在本说明书通篇,为了说明的方便起见,栅电极 24、栅极线 22 和栅极焊盘 27 可以一起称为栅极互连线。

[0045] 可以在绝缘基板 10 上直接设置存储电极 28,存储电极 28 可以由域栅极互连线相同的材料形成。存储电极 28 靠近栅极线 22 设置并在平行于栅极线 22 的第一方向上延伸。可以在存储电极 28 的至少一端上设置可与栅极焊盘 27 类似的存储电极焊盘(未示出)。存储电极 28 的形状可以变化,本发明不限于图 1 所示的形状。

[0046] 栅极互连线和存储电极 28 可以形成为单层并且可以由例如铝(Al)、铜(Cu)、银(Ag)、钼(Mo)、铬(Cr)、钛(Ti)、钽(Ta)或其合金形成,或者可以形成为包括这些材料的组合的多层结构,但本发明不限于此。

[0047] 栅极绝缘层 30 可以由氮化硅(SiN_x)形成并且可以设置在栅极互连线和存储电极 28 上。然而,栅极绝缘层 30 可以不设置在栅极焊盘 27 与辅助栅极焊盘 96 接触的栅极接触部分 76 中的栅极互连线上。栅极绝缘层 30 与栅极互连线和在以下要描述的数据互连线设置的区域中的绝缘基板 10 交叠。在设置有像素电极 92 的像素区域中,栅极绝缘层 30 可以暴露绝缘基板 10。

[0048] 在栅极绝缘层 30 上设置半导体层 44 以及欧姆接触层 52、55 和 56,半导体层 44 以及欧姆接触层 52、55 和 56 可以由硅化物或者以高浓度掺杂 n 型杂质的 n+ 氢化非晶硅形成。除了沟道区域之外,半导体层 44 以与以下将详细描述的数据互连线基本相同的图案设置。薄膜晶体管的沟道区域对应于半导体层 44 与栅电极 24 交叠之处。欧姆接触层 52、55 和 56 以与以下将详细描述的上覆数据互连线基本相同的图案设置。欧姆接触层 52、55 和 56 在对应于沟道区域的区域中不彼此接触。

[0049] 在半导体层 44 上以及欧姆接触层 52、55 和 56 上设置数据线 62、数据焊盘 67、源电极 65 和漏电极 66。

[0050] 在欧姆接触层 52 上设置多条数据线 62。数据线 62 彼此隔开并在例如图 1 所示的纵向方向的第二方向上彼此平行延伸。数据线 62 与栅极线 22 交叉。具有扩大的宽度的数据焊盘 67 连接到每条数据线 62 的端部。尽管没有示出,但在本发明的变型实施例中,数据焊盘 67 可以设置在数据线 62 的两相对端,或者可以不形成数据焊盘 67。

[0051] 源电极 65 连接到数据线 62。多个源电极 65 可以连接到每条数据线 62。每个源电极 62 与漏电极 66 相对并面对漏电极 66。半导体层 44 可以暴露于源电极 65 与漏电极 66 之间。为了说明的方便起见,在说明书通篇,数据线 62、数据焊盘 67、源电极 62 和漏电极 66 可以一起被称为数据互连线。

[0052] 数据互连线可以形成为 Al、Cu、Ag、Mo、Cr、Ti、Ta 或其合金的单层,或者形成为包括这些材料的组合的多层结构,但本发明不限于此。

[0053] 第一钝化膜 72 设置在数据互连线上,除了在漏电极 66 与像素电极 92 接触的被称为漏电极-像素电极接触部分 101 的区域中,以及除了在数据焊盘 67 与辅助数据焊盘 97 接触的被称为数据接触部分 77 的区域中。第一钝化膜 72 还设置在暴露的半导体层 44 的沟道区域上。此外,第一钝化膜 72 设置在除了栅极接触部分 76 之外的栅极互连线上。特

别是,在栅极互连线不与数据互连线交叠的区域中,第一钝化膜 72 设置在对应于栅极互连线的区域中的栅极绝缘层 30 上。在栅极互连线与数据互连线交叠的区域中,第一钝化膜 72 设置在对应于的数据互连线上。栅极互连线与数据互连线交叠的区域可以包括栅极线 22 与数据线 62 彼此相交的区域,以及源电极 65 和漏电极 66 与栅电极 24 交叠的区域。在与栅电极 24 交叠的源电极 65 与漏电极 66 之间的空间中,第一钝化膜 72 设置在半导体层 44 上。参照图 2B, 第一钝化膜 72 不位于存储电极 28 上。然而,本发明不限于此,在本发明的另一示例性实施例中,第一钝化膜 72 可以位于存储电极 28 上。

[0054] 第一钝化膜 72 可以由氧化硅 (SiO_2) 或氮氧化硅 (SiO_xN_y) 形成。第一钝化膜 72 可以具有约 50 埃至约 500 埃范围内的厚度,或者在约 100 埃至约 300 埃范围内的厚度。

[0055] 第二钝化膜 82 设置在第一钝化膜 72 上。第二钝化膜 82 可以与第一钝化膜 72 交叠。更具体而言,在遍及 TFT 阵列基板的整个区域第二钝化膜 82 设置在第一钝化膜 72 上但不完全覆盖第一钝化膜 72。换言之,第二钝化膜 82 的外侧壁位于第一钝化膜 72 的外侧壁之内。第一钝化膜 72 的侧壁延伸超过第二钝化膜 82 的侧壁。在其中第一钝化膜 72 位于存储电极 28 上的本发明的另一示例性实施例中,第二钝化膜 82 可以位于或者可以不位于存储电极 28 上。

[0056] 在形成有栅极线 22 和数据线 62 的区域中,构图栅极绝缘层 30 以暴露像素区域的绝缘层 10。此处,栅极绝缘层 30 延伸超过第二钝化膜 82,并且第一钝化膜 72 的外侧壁可以通过第二钝化膜 82 暴露。供选的,第一钝化膜 72 的外侧壁可以与栅极绝缘层 30 的外侧壁对准。尽管没有示出,但在本发明的另一示例性实施例中,第一钝化膜 72 的外侧壁可以向外延伸以位于栅极绝缘层 30 的外侧壁之外。

[0057] 第二钝化膜 82 可以由氮化硅 (SiN) 形成。第二钝化膜 82 可以比第一钝化膜 72 更厚。第二钝化膜 82 可以具有约 1000 埃至约 3000 埃范围内的厚度,或者约 1500 埃至约 2500 埃范围内的厚度。

[0058] 第一钝化膜 72 和第二钝化膜 82 可以保护例如数据互连线、半导体层 44 和栅极互连线的下部结构。

[0059] 在栅极焊盘 27 的形成区域中,栅极接触部分 76 通过栅极绝缘层 30、第一钝化膜 72 和第二钝化膜 82 形成。在数据焊盘 67 的形成区域中,数据接触部分 77 通过第一钝化膜 72 和第二钝化膜 82 形成。

[0060] 像素电极 92 可以由例如氧化铟锡 (ITO) 或氧化铟锌 (IZO) 的透明导电材料制成,或者例如铜 (Cu) 或银 (Ag) 的具有较高反射率的材料可以设置在像素区域中的暴露的绝缘基板 10 上。像素电极 92 延伸到漏电极 - 像素电极接触部分 101 并在漏电极 - 像素电极接触部分 101 连接到漏电极 66。第一钝化膜 72 和第二钝化膜 82 不与像素电极 92 交叠。在存储电极 28 的形成区域中,像素电极 92 与栅极绝缘层 30 交叠。在本发明的另一示例性实施例中,当第一钝化膜 72 和 / 或第二钝化膜 82 设置在存储电极 28 上时,像素电极 92 可以与存储电极 28 的区域中的第一钝化膜 72 和 / 或第二钝化膜 82 交叠。插入在存储电极 28 与像素电极 92 之间的栅极绝缘层 30、第一钝化膜 72 和第二钝化膜 82 可以具有均匀的厚度以增大驱动容限。

[0061] 在栅极焊盘 27 的形成区域中设置连接到栅极焊盘 27 的辅助栅极焊盘 96,并且在数据焊盘 67 的形成区域中设置连接到数据焊盘 67 的辅助数据焊盘 97。辅助栅极焊盘 96

和辅助数据焊盘 97 可以由相同的材料形成, 该材料可以是用于形成像素电极 92 的相同的材料。

[0062] 以下, 将描述 TFT 阵列基板的制造方法。

[0063] 图 3A、4A、5A、6A、7A、8A、9A、10A 和 11A 是剖面图, 示出了根据本发明第二示例性实施例的图 2A 中所示剖面图中 TFT 阵列基板的制造方法的工艺步骤。图 3B、4B、5B、6B、7B、8B、9B、10B 和 11B 是剖面图, 示出了根据本发明第二示例性实施例的图 2B 中所示剖面图中 TFT 阵列基板的制造方法的工艺步骤。图 3C、4C、5C、6C、7C、8C、9C、10C 和 11C 是剖面图, 示出了根据本发明第二示例性实施例的图 2C 中所示剖面图中 TFT 阵列基板的制造方法的工艺步骤。

[0064] 参照图 3A、3B 和 3C, 在绝缘基板 10 上形成栅极互连线和存储电极 28。更具体而言, 利用例如溅射在绝缘基板 10 上沉积栅极导电层, 然后对其光蚀刻, 由此形成栅极线 22、栅极焊盘 27、栅电极 24 和存储电极 28。

[0065] 参照图 4A、图 4B 和图 4C, 在绝缘基板 10 上沉积栅极绝缘层 30、可以由氢化非晶硅制成的第一非晶硅层 40 以及可以由硅化物或者掺杂有高浓度 n 型杂质的 n+ 氢化非晶硅制成的第二非晶硅层 50。可以利用例如化学气相沉积 (CVD) 沉积栅极绝缘层 30、第一非晶硅层 40 和第二非晶硅层 50。

[0066] 接着, 利用例如溅射在第二非晶硅层 50 上沉积数据导电层 60。

[0067] 参照图 5A、5B 和 5C, 在数据导电层 60 上形成光致抗蚀剂图案 201 和 202。光致抗蚀剂图案包括第一区域 201 和厚度小于第一区域 201 的第二区域 202。第一区域 201 覆盖图 2A、2B 和 2C 所示的数据线 62、数据焊盘 67、源电极 65 和漏电极 66 的形成区域。第二区域 202 覆盖源电极 65 和漏电极 66 之间的空间。此处, 鉴于在后续蚀刻和灰化工艺中光致抗蚀剂图案在尺寸上可能减小来选择每一区域的光致抗蚀剂图案 201 和 202 的尺寸。可以利用狭缝掩模或半调掩模来形成对于不同区域具有不同厚度的光致抗蚀剂图案, 所述狭缝掩模或半调掩模也可以应用于以下将要描述的其他光致抗蚀剂图案。

[0068] 参照图 6A、6B 和 6C, 利用图 5A、5B 和 5C 所示的光致抗蚀剂图案 201 和 202 作为蚀刻掩模蚀刻暴露的数据导电层 60。依赖于数据导电层 60 的所需类型和厚度, 可以利用各种方法之一来蚀刻数据导电层 60, 但也可以利用湿法蚀刻来蚀刻数据导电层 60。因而, 形成了数据线 62 和数据焊盘 67 的图案。然而, 还未形成源电极 65 和漏电极 66 的图案, 并且数据导电层 64 在沟道区域中保持完整。

[0069] 一旦蚀刻了数据导电层 60, 就暴露了第二非晶硅层 50, 并蚀刻了暴露的第二非晶硅层 50 和其下的第一非晶硅层 40。可以利用例如干法蚀刻来蚀刻第二非晶硅层 50 和第一非晶硅层 40。因而, 形成了半导体层 44。在第一非晶硅层 40 被蚀刻的区域中, 可以暴露栅极绝缘层 30。在这一步骤中, 用作蚀刻掩模的光致抗蚀剂图案被部分地蚀刻并因此在尺寸上减小。蚀刻的第二非晶硅层的图案 52 和 54 以及完成的半导体层 44 与数据线 62、数据焊盘 67、在沟道区域中没有分开的数据导电层 64 的图案基本相同。

[0070] 参照图 7A、7B 和 7C, 通过去除光致抗蚀剂图案的第二区域 202 暴露数据导电层 64。可以通过利用 O_2 的灰化工艺来去除第二区域 202。此时, 第一区域 211 也在尺寸上减小。在上述蚀刻步骤中, 可以去除第二区域 211, 并且在这种情况下, 可以省略灰化工艺。

[0071] 参照图 8A、8B 和 8C, 利用尺寸减小的光致抗蚀剂图案的第一区域 211 作为蚀刻掩

模,蚀刻对应于沟道区域的暴露的数据导电层 64 的区域。因而,形成了源电极 65 和漏电极 66 的图案,并通过源电极 65 与漏电极 66 之间的空间暴露了第二非晶硅层 54。蚀刻暴露的第二非晶硅层 54 以使其分开。因而,形成了欧姆接触层 52、55 和 56。在第二非晶硅层 54 被蚀刻的区域中暴露半导体层 44。

[0072] 参照图 9A、9B 和 9C,利用例如 CVD 在通过执行图 8A、8B 和 8C 所示的工艺步骤得到的 TFT 阵列基板上顺序沉积第一绝缘层 70 和第二绝缘层 80。

[0073] 接着,在第二绝缘层 80 上形成光致抗蚀剂图案 301 和 302。光致抗蚀剂图案包括第一区域 301 和厚度小于第一区域 301 的第二区域 302。第一区域 301 覆盖栅极互连线的形成区域、数据互连线的形成区域和半导体层 44 的形成区域。然而,在漏电极-像素电极接触部分 101 的形成区域、栅极焊盘 27 的区域和数据焊盘 67 的区域中,第二绝缘层 80 保持暴露。第二区域 302 覆盖存储电极 28 的形成区域。

[0074] 参照图 10A、10B 和 10C,利用光致抗蚀剂图案 301 作为蚀刻掩模蚀刻暴露的第二绝缘层 80 和其下的第一绝缘层 70,以形成第二钝化膜 82 和第一钝化膜 72。可以利用例如干法蚀刻来蚀刻第二绝缘层 80 和第一绝缘层 70。此处,蚀刻可以是各向异性蚀刻或各向同性蚀刻。为了保障底切所致的剥离容限,可以使用各向同性蚀刻。

[0075] 可以选择用于蚀刻第二绝缘层 80 和第一绝缘层 70 的蚀刻气体,使得第二绝缘层 80 相对于第一绝缘层 70 具有大的蚀刻选择性。更具体而言,被选取的蚀刻气体对于第二绝缘层 80 比对于第一绝缘层 70 具有更高的蚀刻速率。例如,可以使用能提供对第一绝缘层 70 的蚀刻速率与对第二绝缘层 80 蚀刻速率的比率为 1 : 5 至 1 : 20 的蚀刻气体。可以使用 CF_4 、 O_2 、 CF_4 、 SF_6 、 CHF_3 、 O_2 或其组合作为蚀刻气体,并且可以通过调整蚀刻气体组分的组合或者组合的组分比率来控制蚀刻速率。蚀刻气体的非限制性的实例可以包括以 2 : 1 的比率混合的 SF_6 与 O_2 的蚀刻气体。

[0076] 通过利用这样的蚀刻气体,在蚀刻第二绝缘层 80 之后蚀刻第一绝缘层 70 所需的时间增长。因此,在蚀刻第一绝缘层 70 时,在光致抗蚀剂图案 301 的内侧之下,第二绝缘层 80 能够被充分地过度蚀刻,由此确保具有足够大的宽度的底切。在第二绝缘层 80 的过度蚀刻期间,例如数据焊盘 67 和漏电极 66 的结构可以通过被第一绝缘层 70 覆盖而被保护免于蚀刻。因此,即使在将例如钼的易受干法蚀刻影响的材料用于数据互连线时,也可以通过第一绝缘层 70 保护其免受蚀刻。由于数据焊盘 67 和漏电极 66 在蚀刻工艺期间不被过分地蚀刻,所以在漏电极-像素电极接触部分 101 中以及在数据接触部分 77 中能够实现导电材料之间的足够大的接触区域。此外,在第二钝化膜 82 的过度蚀刻期间,半导体层 44 被第一绝缘层 70 保护,由此防止了半导体层 44 的底切。

[0077] 由于第一绝缘层 70 具有低的蚀刻速率,所以其沿着光致抗蚀剂图案 301 和 302 的掩模被构图,仅产生了少量的底切。因此,在蚀刻第一绝缘层 70 以形成第一钝化膜 72 之后,第一钝化膜 72 的侧壁延伸超过第二钝化膜 82 的侧壁。

[0078] 在第一钝化膜 72 的蚀刻完成之后,蚀刻第一钝化膜 72 之下的栅极绝缘层 30。在该步骤中,第二钝化膜 82 被过度蚀刻至栅极绝缘层 30 的内部,并且底切的宽度增大。例如,通过第二钝化膜 82 形成的底切的宽度可以为约 4 微米至约 30 微米。

[0079] 当栅极绝缘层 30 由与第二钝化膜 82 相同的材料形成或具有与第二钝化膜 82 相同的蚀刻速率时,栅极绝缘层 30 的蚀刻速率可以大于第一钝化膜 72 的蚀刻速率。因此,由

于这种蚀刻速率差异,在第一钝化膜 72 之下可能形成形成于栅极绝缘层 30 中的底切。在这种情况下,由于栅极绝缘层 30 比第二钝化膜 82 暴露于蚀刻气体更少的时间,所以栅极绝缘层 30 被蚀刻的程度可以较小。因此,第一钝化膜 72 相对于第二钝化膜 82 的突出程度大于第一钝化膜 72 相对于栅极绝缘层 30 的突出程度。换言之,第二钝化膜 82 的外侧壁位于栅极绝缘层 30 的外侧壁之内。栅极绝缘层 30 和第一钝化膜 72 的位置之间的关系可以根据工艺条件变化。通过控制蚀刻气体的组分、蚀刻气体的浓度、每种结构的厚度和蚀刻处理时间,第一钝化膜 72 相对于栅极绝缘层 30 的突出程度可以最小化,或者第一钝化膜 72 和栅极绝缘层 30 的侧壁可以彼此对准。而且,通过控制蚀刻条件并将栅极绝缘层 30 的蚀刻改为各向异性蚀刻,第一钝化膜 72 的外侧壁可以位于栅极绝缘层 30 的外侧壁之内。

[0080] 作为蚀刻的结果,暴露了漏电极 66 并且还暴露了像素区域中的绝缘基板 10。还暴露了栅极焊盘 27 和数据焊盘 67,由此分别形成了栅极接触部分 76 和数据接触部分 77。

[0081] 在没有被光致抗蚀剂图案 301 和 302 覆盖的第二绝缘层 80、第一绝缘层 70 和栅极绝缘层 30 的蚀刻期间,光致抗蚀剂图案 301 和 302 在尺寸上会减小。通过减小光致抗蚀剂图案的第二区域 302 的厚度或者利用相对于光致抗蚀剂图案 301 和 302 提供了高蚀刻速率的蚀刻气体,在蚀刻步骤之后,能够去除光致抗蚀剂图案的第二区域 302,并能够仅留下尺寸减小的区域 311,如图 10A、10B 和 10C 所示。此处,能够根据光致抗蚀剂图案的第二区域 302 的厚度和 / 和相对于光致抗蚀剂图案 301 和 302 的蚀刻速率,来调整第二区域 302 之下的剩余绝缘层 30、70 和 80。

[0082] 例如,如果假设当光致抗蚀剂图案的第二区域 302 的厚度为第一厚度 且相对于光致抗蚀剂图案 301 和 302 的蚀刻速率为第一蚀刻速率时仅光致抗蚀剂图案的第二区域 302 被选择性的去除而绝缘层 30、70 和 80 均留下,则第二区域 302 的厚度可以为大于第一厚度的第二厚度,或者可以使用提供了高于第一蚀刻速率的相对于光致抗蚀剂图案 301 和 302 的第二蚀刻速率的蚀刻气体。因此,可以去除第二绝缘层 80 并可以留下在第一绝缘层 70 之下的层。第二区域 302 的厚度可以是大于第二厚度的第三厚度,或者可以使用提供了高于第二蚀刻速率的相对于光致抗蚀剂图案 301 和 302 的第三蚀刻速率的蚀刻气体。因此,可以去除第二绝缘层 80 和第一绝缘层 70,并仅留下栅极绝缘层 30。

[0083] 参照图 10B,为了增大存储电极 28 的存储容量,可以仅保留第二区域 302 之下的绝缘层中的栅极绝缘层 30。由于可以增大蚀刻工艺的持续时间,所以在栅极绝缘层 30 被第一绝缘层 70 保护的该时间内,能够防止栅极绝缘层 30 的非均匀蚀刻。因此,能够实现均匀的存储容量并可以增大驱动容限。类似地,当在存储电极 28 上留下栅极绝缘层 30 和第一绝缘层 70 时,能够通过防止非均匀蚀刻而实现均匀的存储容量。

[0084] 参照图 11A、11B 和 11C,利用例如溅射在绝缘基板 10 的整个表面上沉积像素电极导电材料 90。在光致抗蚀剂图案 311 上沉积一部分像素电极导电材料 90 并在暴露的结构上沉积其余的像素电极导电材料 90。

[0085] 再次参照图 2A、2B 和 2C,可以利用剥离工艺去除光致抗蚀剂图案 311 和其上的像素电极导电材料 90。更具体而言,如果包括胺基 (amine group) 和二醇基 (glycol group) 的光致抗蚀剂剥离剂通过喷射或浸渍接触光致抗蚀剂图案 311,其可以通过溶解光致抗蚀剂图案 311 而将光致抗蚀剂图案 311 从第二钝化膜 82 剥离,并可以去除光致抗蚀剂图案 311 上的像素电极导电材料 90。此处,光致抗蚀剂图案 311 及其上的像素电极导电材料 90

的去除速率依赖于光致抗蚀剂图案 311 上光致抗蚀剂剥离剂的接触时间和接触面积。在该步骤中,由于通过光致抗蚀剂图案的第一区域 311 之下的第一钝化膜 72 形成的底切的宽度较大,所以光致抗蚀剂图案的第一区域 311 和光致抗蚀剂剥离剂之间的接触面积增大。因此,易于理解的是,改善了相对于光致抗蚀剂图案 311 及其上的像素电极导电材料 90 的光致抗蚀剂剥离剂的去除速率。作为光致抗蚀剂图案 311 和像素电极导电材料 90 的去除结果,形成了像素电极 92、辅助栅极焊盘 96 和辅助数据焊盘 97 的图案。

[0086] 以下,将描述根据本发明第三示例性实施例的 TFT 阵列基板的制造方法。在以下描述中,将简要描述与参照图 3A 至 11C 以及图 2A 至 2C 描述的本发明第一实施例相同的结构和方法,描述将集中在本发明的第二示例性实施例与本发明的第三示例性实施例之间的差异。

[0087] 图 12A、13A、14A 和 15A 是剖面图,示出了根据本发明第三示例性实施例的图 2A 中所示剖面图中 TFT 阵列基板的制造方法的工艺步骤。图 12B、13B、14B 和 15B 是剖面图,示出了根据本发明第三示例性实施例的图 2B 中所示剖面图中 TFT 阵列基板的制造方法的工艺步骤。图 12C、13C、14C 和 15C 是剖面图,示出了根据本发明第三示例性实施例的图 2C 中所示剖面图中 TFT 阵列基板的制造方法的工艺步骤。

[0088] 根据本发明第三示例性实施例的方法包括与根据本发明第二示例性实施例的方法相同的步骤,即,形成源电极 65 和漏电极 66 以及欧姆接触层 52、55 和 56 的图案,并暴露半导体层 44。

[0089] 参照图 12A、12B 和 12C,在执行这些步骤所得的结构上顺序沉积第一绝缘层 70 和第二绝缘层 80。

[0090] 在第二绝缘层 80 上形成光致抗蚀剂图案 401 和 402。光致抗蚀剂图案包括第一区域 401 以及厚度小于第一区域 401 的第二区域 402。第一区域 401 覆盖栅极互连线、数据互连线的形成区域以及半导体层 44 的形成区域。如在本发明的第二示例性实施例中那样,暴露栅极焊盘 27 的形成区域中的第二绝缘层 80。然而,与在本发明的第二示例性实施例中不同的是,漏电极 - 像素电极接触部分 101 的形成区域和数据焊盘 67 的区域被第二区域 402 覆盖。由于在蚀刻第二绝缘层 80、第一绝缘层 70 和栅极绝缘层 30 期间不必去除第二区域 402,所以根据本发明第三示例性实施例的第二区域 402 的厚度可以大于根据本发明第二示例性实施例的第二区域 202 的厚度。

[0091] 参照图 13A、13B 和 13C,利用光致抗蚀剂图案作为蚀刻掩模,顺序地首次蚀刻暴露的第二绝缘层 80、其下的第一绝缘层 70 和栅极绝缘层 30。所述蚀刻可以与根据本发明第二示例性实施例的第二绝缘层 80、第一绝缘层 70 和栅极绝缘层 30 的蚀刻基本相似。由此,在完成蚀刻之后,第一钝化膜 72 和栅极绝缘层 30 可以延伸超过第二钝化膜 82,并且第一钝化膜 72 的外侧壁可以位于栅极绝缘层 30 的外侧壁之内,可以与栅极绝缘层 30 的外侧壁对准,或者可以位于栅极绝缘层 30 的外侧壁上。然而,由于漏电极 - 像素电极接触部分 101 的形成区域和数据焊盘 67 被光致抗蚀剂图案的第二区域 402 所保护,所以能够进一步防止对于漏电极 66 和数据焊盘 67 的损坏。而且,可以通过第二钝化膜 82 保护半导体层 44,由此避免半导体层 44 的底切。在该步骤中,用作蚀刻掩模的光致抗蚀剂图案 401 和 402 可以被部分地蚀刻并由此在尺寸上减小。

[0092] 参照图 14A、14B 和 14C,去除光致抗蚀剂图案的第二区域 402 以暴露漏电极 - 像素

电极接触部分 101、数据焊盘 67 和存储电极 28 上的第二钝化膜 82。可以通过利用 O_2 的灰化工艺去除第二区域 402。光致抗蚀剂图案 411 可以在尺寸上减小。光致抗蚀剂图案的第二区域 402 可以在首次蚀刻期间被去除,在这种情况下可以省略灰化工艺。

[0093] 参照图 14A、14B 和 14C,利用尺寸减小的光致抗蚀剂图案的第一区域 411,可二次蚀刻漏电极-像素电极接触部分 101、数据焊盘 67 的形成区域和存储电极 28 的形成区域中的第二钝化膜 82 和第一钝化膜 72。在二次蚀刻期间,漏电极-像素电极接触部分 101 上的漏电极 66、数据焊盘 67 和存储电极 28 上的栅极绝缘层 30 被暴露。由于第一绝缘层 70 的蚀刻速率小于第二绝缘层 80 的蚀刻速率,所以在二次蚀刻期间,第二钝化膜 82 的底切的宽度进一步增大。

[0094] 在二次蚀刻期间,与全表面蚀刻的首次蚀刻不同,栅极绝缘层 30 未被蚀刻,且仅漏电极-像素电极接触部分 101 和存储电极 28 形成区域中的第二绝缘层 80 和第一绝缘层 70 被蚀刻,这可以称为局部表面蚀刻。例如,首次蚀刻可以执行约 30 至约 200 秒,而二次蚀刻可以执行约 10 至约 20 秒。因此,由于防止了通过二次蚀刻暴露的漏电极 66 和数据焊盘 67 被蚀刻气体损坏,所以能够提供漏电极-像素电极接触部分 101 和数据接触部分 77 中导电材料之间足够大的接触面积。而且,可以防止存储电极 28 上的栅极绝缘层 30 被蚀刻气体损坏,由此提供了栅极绝缘层 30 的厚度均匀性并由此增大了驱动容限。此外,半导体层 44 暴露于蚀刻气体的时间可以较短,由此防止了底切。

[0095] 在第二蚀刻的步骤之后绝缘基板 10 上像素电极导电材料的沉积以及光致抗蚀剂图案的去除与本发明第一示例性实施例中的基本类似。因此,将不描述这些步骤。

[0096] 在如图 12A 至 15C 所示的本发明的第三示例性实施例中,暴露栅极焊盘 27 的形成区域而没有覆盖光致抗蚀剂图案 401 和 402。然而,在本发明的第三示例性实施例的变型实施例中,光致抗蚀剂图案可以覆盖栅极焊盘 27 形成的区域。在这种情况下,覆盖栅极焊盘 27 形成区域的光致抗蚀剂图案的部分可以是厚度小于第二区域 402 的第三区域(未示出)。第三区域的厚度可以为使其在首次蚀刻期间被完全去除并且在第三区域之下的第二绝缘层 80、第一绝缘层 70 和 / 或栅极绝缘层 30 被部分地去除。此外,在二次蚀刻期间可以完全去除覆盖栅极焊盘 27 的栅极绝缘层 30。

[0097] 在本发明第三示例性实施例的另一变型实施例中,覆盖漏电极-像素电极接触部分 101 的光致抗蚀剂图案的第二区域 402 和 / 或形成数据焊盘 67 的区域可以被部分或完全省去。

[0098] 根据本发明第二示例性实施例和第三示例性实施例的 TFT 阵列基板的制造方法的不同之处在于第一钝化膜的蚀刻和第二钝化膜的蚀刻是同时进行还是分开进行,但所述方法可以部分地彼此结合。

[0099] 例如,根据本发明的本实施例的漏电极-像素电极接触部分 101 和 / 或形成数据焊盘 67 的区域可以被光致抗蚀剂图案的第二区域 402 覆盖。在这种情况下,光致抗蚀剂图案的第二区域 402 以及在第二区域之下的第二钝化膜和第一钝化膜可以在暴露区域中的第二钝化膜、第一钝化膜和栅极绝缘层的蚀刻期间被完全去除。然而,这种组合仅仅是一个实例。

[0100] 以下,将描述根据本发明第四示例性实施例的 TFT 阵列基板。将简要描述与图 1、2A、2B 和 2C 的第一实施例相同的结构。

[0101] 图 16 是根据本发明第四示例性实施例的 TFT 阵列基板的布局图,图 17A、17B 和 17C 分别是沿图 16 的线 A-A'、B-B'、C-C' 得到的剖面图。

[0102] 参照图 16、17A、17B 和 17C,根据本发明第四示例性实施例的 TFT 阵列基板与根据本发明第一示例性实施例的 TFT 阵列基板的不同之处在于栅极绝缘层 30 设置在除了栅极线 22 的周边区域、数据线 62 的周边区域和栅极接触部分 76 之外的绝缘基板 10 的整个表面上。根据制造工艺,栅极线 22 的周边区域和数据线 62 的周边区域可以分开。在像素区域中,像素电极 92 与栅极绝缘层 30、第一钝化膜 72 和第二钝化膜 82 交叠并位于第二钝化膜 82 上。第一钝化膜 72 和第二钝化膜 82 以及栅极绝缘层 30 插入在像素电极 92 与存储电极 28 之间。

[0103] 第一钝化膜 72 和第二钝化膜 82 覆盖栅极绝缘层 30 的大部分形成区域,除了数据焊盘 67 接触辅助数据焊盘 97 的数据接触部分的形成区域以及漏电极-像素电极接触部分 101。然而,在栅极线 22 和数据线 62 的形成区域中,栅极线 22 和数据线 62 分开以将每个像素的像素电极 92 分开。漏电极-像素电极接触部分 101 被第一钝化膜 72 和第二钝化膜 82 包围。在本发明的本示例性实施例中,第一钝化膜 72 被第二钝化膜 82 完全交叠。

[0104] 根据本发明本示例性实施例的 TFT 阵列基板中由于像素电极 92 设置在栅极绝缘层 30、第一钝化膜 72 和第二钝化膜 82 上,所以减小了像素电极 92 的形成区域与 TFT 的形成区域之间的台阶。因此,通过将该 TFT 阵列基板应用于 LCD,能够改善单元间隙的均匀度。

[0105] 图 18A、19A、20A 和 21A 是剖面图,示出了根据本发明第五示例性实施例的图 17A 中所示剖面图中 TFT 阵列基板的制造方法的工艺步骤。图 18B、19B、20B 和 21B 是剖面图,示出了根据本发明第五示例性实施例的图 17B 中所示剖面图中 TFT 阵列基板的制造方法的工艺步骤。图 18C、19C、20C 和 21C 是剖面图,示出了根据本发明第五示例性实施例的图 17C 中所示剖面图中 TFT 阵列基板的制造方法的工艺步骤。

[0106] 根据本发明本示例性实施例的方法包括与本发明第二示例性实施例中基本相同的步骤,即,形成源电极 65 和漏电极 66 以及欧姆接触层 52、55 和 56 的图案的步骤以及暴露半导体层 44 的步骤。

[0107] 参照图 18A、18B 和 18C,在通过执行以上步骤所得的结构上顺序沉积第一绝缘层 70 和第二绝缘层 80。

[0108] 在第二绝缘层 80 上形成光致抗蚀剂图案 501 和 502。光致抗蚀剂图案包括第一区域 501 和厚度小于第一区域 501 的第二区域 502。这里,第一区域 501 覆盖栅极互连线的形成区域、数据互连线的形成区域以及半导体层 44 的形成区域。然而,栅极焊盘 27 的形成区域、数据焊盘 67 的形成区域和漏电极-像素电极接触部分 101 的第二绝缘层 80 暴露。第二区域 502 覆盖大部分像素区域以及存储电极 28 的形成区域,但栅极线 22 的周边区域和数据线 62 的周边区域暴露。

[0109] 参照图 19A、19B 和 19C,利用光致抗蚀剂图案 501 和 502 作为蚀刻掩模蚀刻暴露的第二绝缘层 80、第一绝缘层 70 和栅极绝缘层 30,以形成第二钝化膜 82 和第一钝化膜 72。因而,暴露了漏电极-像素电极接触部分 101 的漏电极 66 并暴露了栅极线 22 的周边区域和数据线 62 的周边区域中的绝缘基板 10。栅极焊盘 27 和数据焊盘 67 被暴露并由此形成了栅极接触部分 76 和数据接触部分 77。此处,如第二示例性实施例中,利用相对于第二绝缘层 80 比相对于第一绝缘层 70 具有更高蚀刻速率的蚀刻气体来进行第二绝缘层 80 和第

一绝缘层 70 的蚀刻。由此,光致抗蚀剂图案 501 和 502 之下的第二钝化膜 82 可以被蚀刻以包括具有足够大的宽度的底切。

[0110] 参照图 20A、20B 和 20C,去除光致抗蚀剂图案的第二区域 502。可以通过利用 O_2 的灰化工艺来去除第二区域 502。此处,光致抗蚀剂图案 511 可以在尺寸上减小。一旦光致抗蚀剂图案的第二区域 502 被去除,就暴露了像素区域的第二钝化膜 82。光致抗蚀剂图案的第二区域 502 可以在第二绝缘层 80 和其下的第一绝缘层 70 的蚀刻期间被去除,在这种情况下可以省略灰化工艺。

[0111] 参照图 21A、21B 和 21C,在绝缘基板 10 上沉积像素电极导电材料。

[0112] 去除光致抗蚀剂图案 511 和光致抗蚀剂图案 511 之上的像素电极导电材料 90。该步骤可以以与本发明的第二示例性实施例中描述的剥离工艺基本类似的方式来执行。因而,如图 17A、17B 和 17C 所示,形成了像素电极 92、辅助栅极焊盘 96 和辅助数据焊盘 97 的图案。

[0113] 图 22A 和 23A 是剖面图,示出了根据本发明第六示例性实施例的图 17A 中所示剖面图中 TFT 阵列基板的制造方法的工艺步骤。图 22B 和 23B 是剖面图,示出了根据本发明第六示例性实施例的图 17B 中所示剖面图中 TFT 阵列基板的制造方法的工艺步骤。图 22C 和 23C 是剖面图,示出了根据本发明第六示例性实施例的图 17C 中所示剖面图中 TFT 阵列基板的制造方法的工艺步骤。

[0114] 根据本发明第六示例性实施例的方法包括与本发明第二示例性实施例中基本相同的步骤,即,形成源电极 65 和漏电极 66 以及欧姆接触层 52、55 和 56 的图案的步骤以及暴露半导体层 44 的步骤。

[0115] 参照图 22A、22B 和 22C,在执行所述步骤所得的结构上顺序沉积第一绝缘层 70 和第二绝缘层 80。

[0116] 在第二绝缘层 80 上形成光致抗蚀剂图案 601。此处,光致抗蚀剂图案 601 与之前的示例性实施例中所示的光致抗蚀剂图案基本类似,除了光致抗蚀剂图案 601 具有均匀的厚度而没有分成第一区域和第二区域。

[0117] 参照图 23A、23B 和 23C,利用光致抗蚀剂图案 601 作为蚀刻掩模蚀刻 暴露的第二绝缘层 80、其下的第一绝缘层 70 和其下的栅极绝缘层 30,以形成第二钝化膜 82 和第一钝化膜 72。因而,暴露了漏电极-像素电极接触部分 101 的漏电极 66,并暴露了栅极线 22 的周边区域和数据线 62 的周边区域中的绝缘基板 10。还暴露了栅极焊盘 27 和数据焊盘 67 并由此形成了栅极接触部分 76 和数据接触部分 77。在该蚀刻步骤中,保护了第一绝缘层 70 之下的漏电极 66 和数据焊盘 67 免受蚀刻气体影响直至第一绝缘层 70 被蚀刻并去除。因此,减小了第一绝缘层 70 之下的漏电极 66 和数据焊盘 67 暴露于蚀刻气体的时间,由此防止了对第一绝缘层 70 之下的漏电极 66 和数据焊盘 67 的损坏。

[0118] 尽管图中没有示出,但去除了光致抗蚀剂图案 601,沉积像素电极导电材料并利用光刻工艺构图所述导电材料,由此完成了如图 17A、17B 和 17C 所示的像素电极 92、辅助栅极焊盘 96 和辅助数据焊盘 97。由于本发明的本示例性实施例包括了用于像素电极导电材料的光刻工艺,所以不必去除栅极线 22 和数据线 62 的周边区域中的栅极绝缘层 30、第一钝化膜 72 和第二钝化膜 82。

[0119] 尽管在此处描述的本发明的示例性实施例中,半导体层和欧姆接触层的图案与数

据互连线的图案基本相同,但本发明不限于此。换言之,在本发明的示例性实施例中,半导体层和欧姆接触层可以仅形成在沟道区域中。为了形成半导体层和欧姆接触层的图案,与本发明的实施例中不同,用于形成半导体层和欧姆接触层的光致抗蚀剂图案和用于形成数据互连线的光致抗蚀剂图案可以利用分开的掩模形成。由于这样的 TFT 阵列基板及其制造方法对于本领域技术人员而言是共知的,并且后续工艺的差异能够被本领域技术人员容易地理解,所以此处将不对其进一步描述。

[0120] 根据本发明,可以在光致抗蚀剂图案之下提供具有足够大的宽度的底切,由此提供极佳的剥离容限。而且,插入在存储电极与像素电极之间的绝缘层的均匀厚度可以增大驱动容限。此外,可以防止漏电极和数据焊盘被损坏,由此确保接触部分中导电材料之间的足够大的接触面积。

[0121] 对于本领域技术人员明显的是,在不偏离本发明的精神和范围的前提下可以对本发明进行各种修改和变化。因此,本发明旨在覆盖本发明的修改和变化,只要其落入所附权利要求及其等同物的范围内。

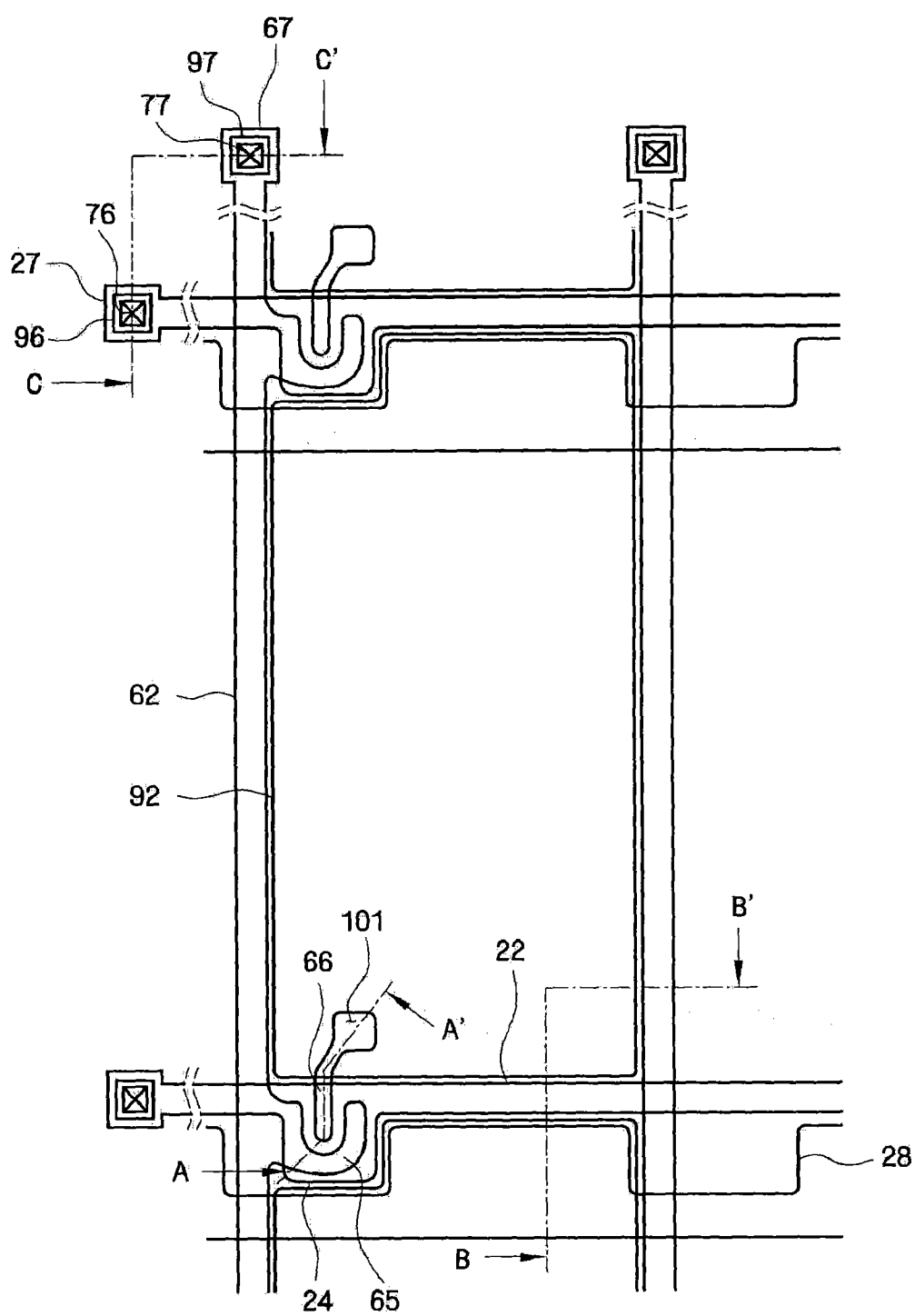


图 1

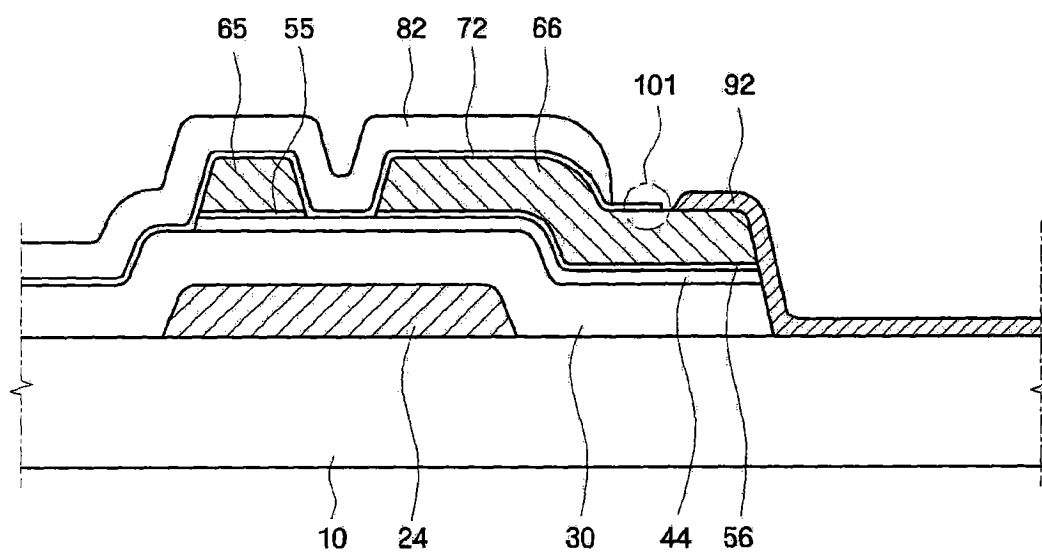


图 2A

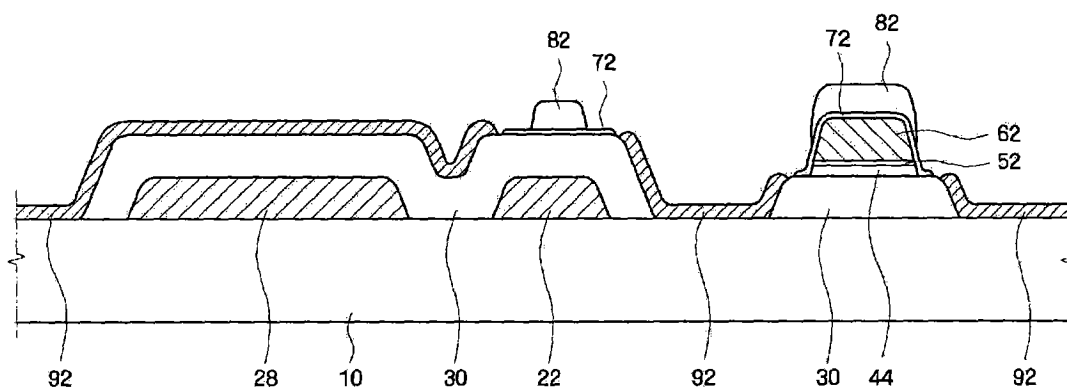


图 2B

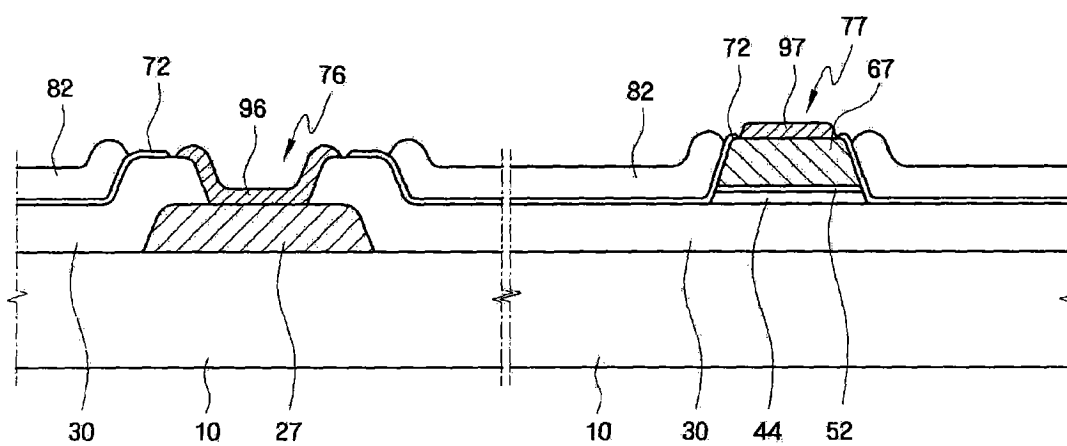


图 2C

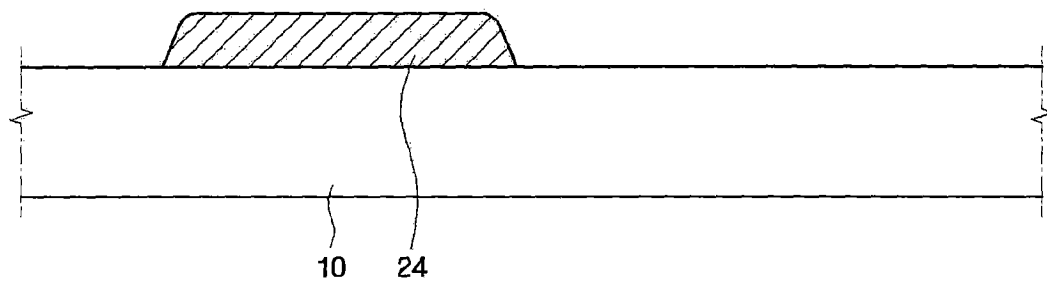


图 3A

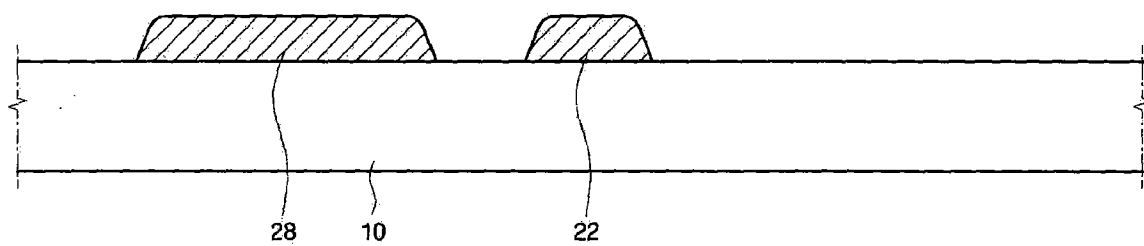


图 3B

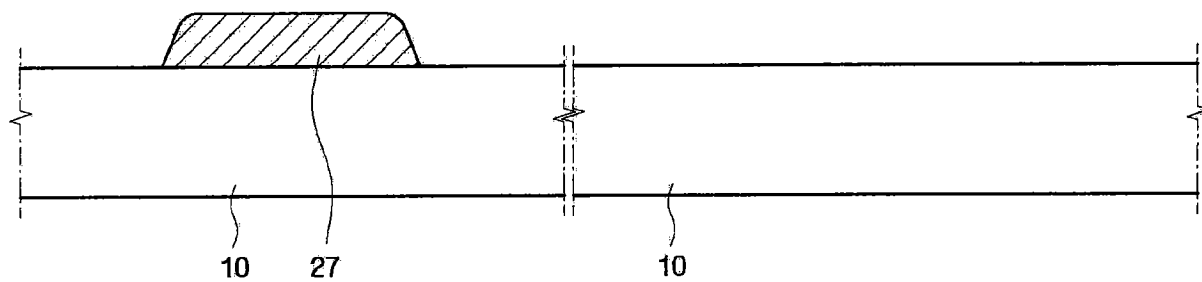


图 3C

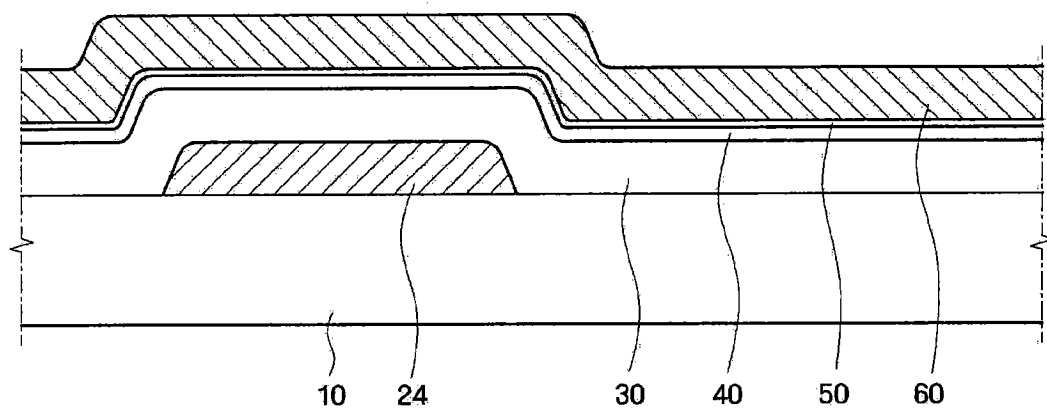


图 4A

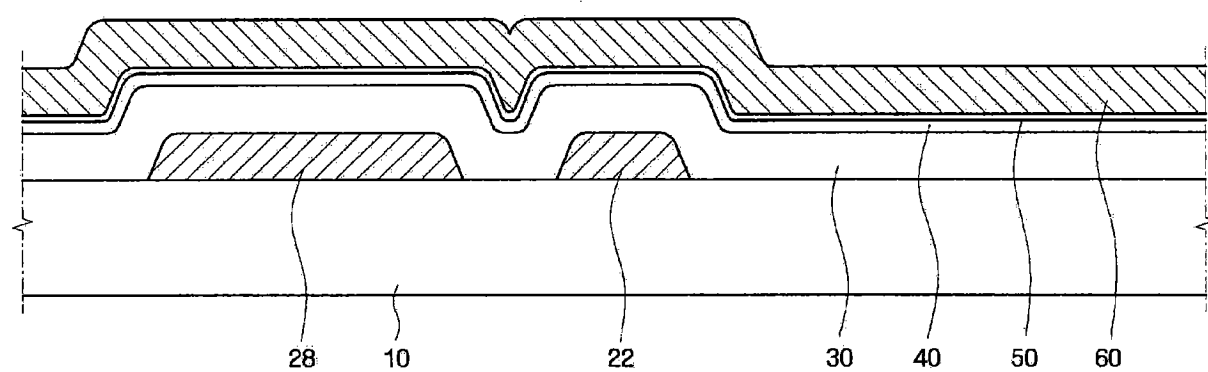


图 4B

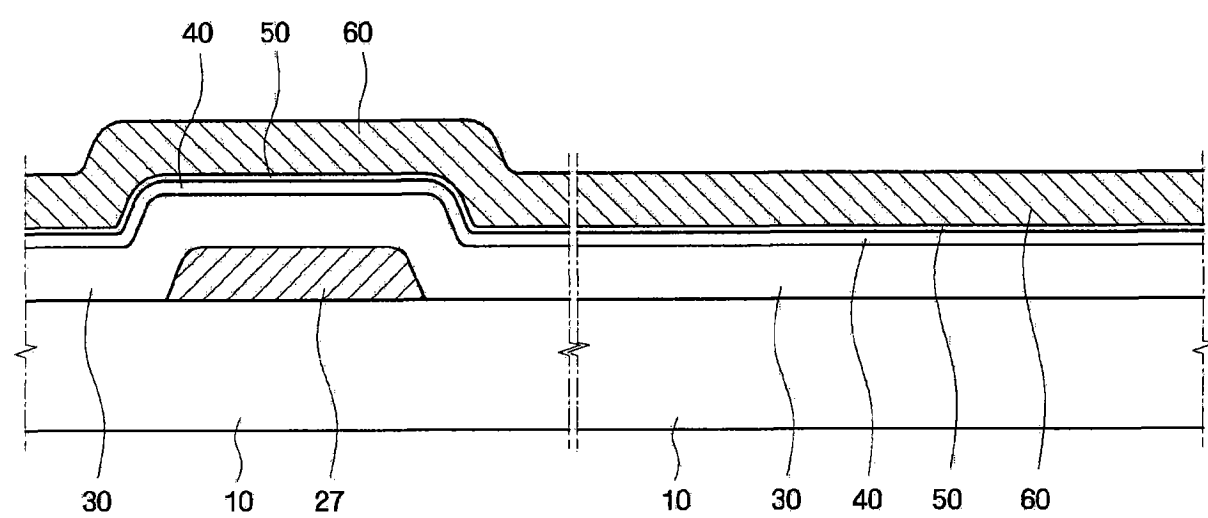


图 4C

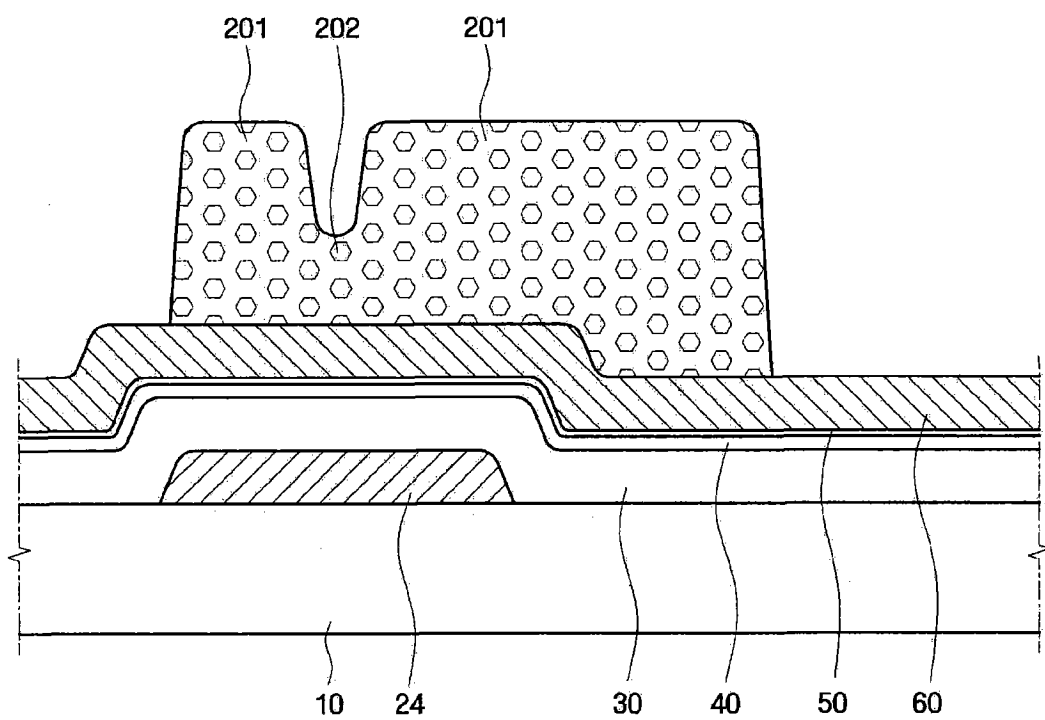


图 5A

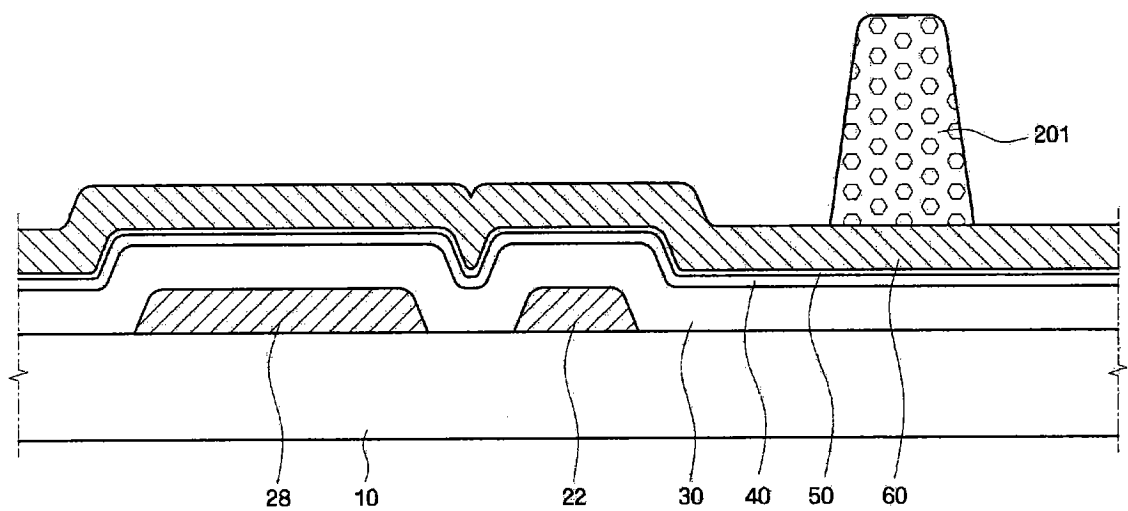


图 5B

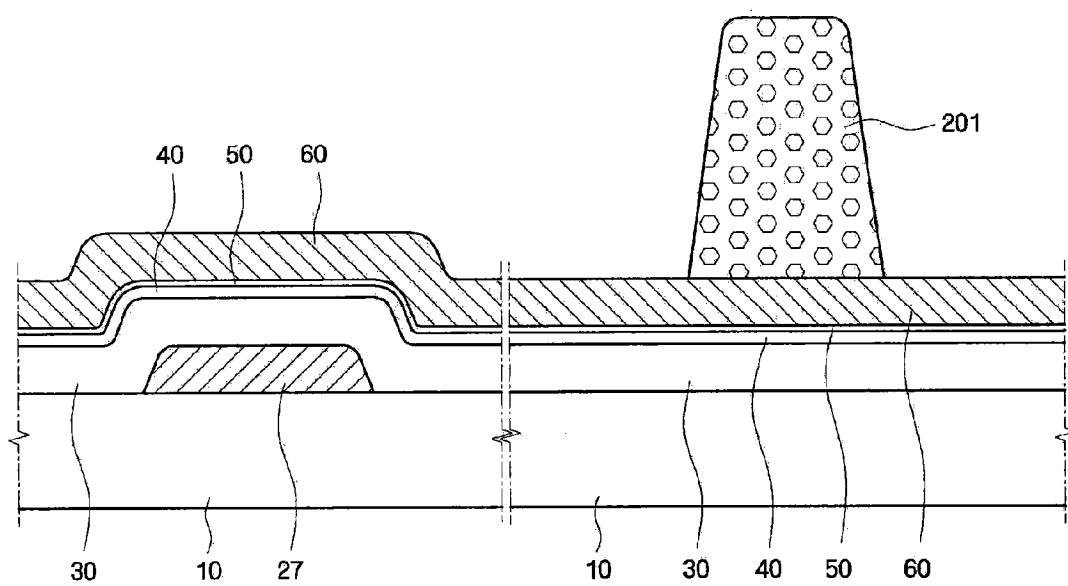


图 5C

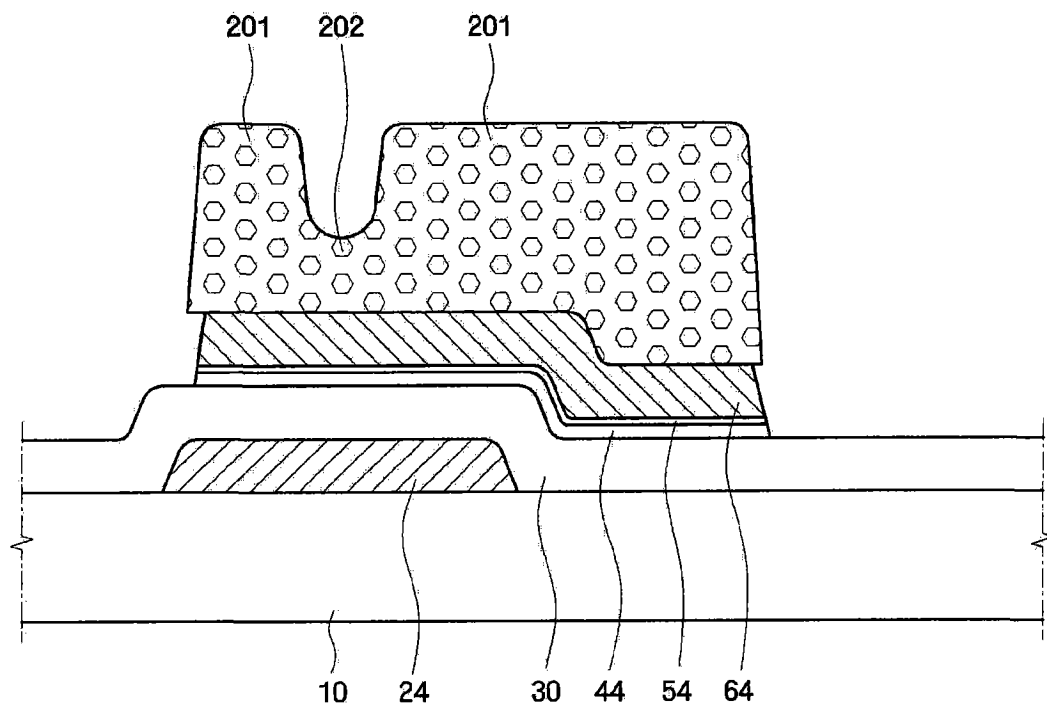


图 6A

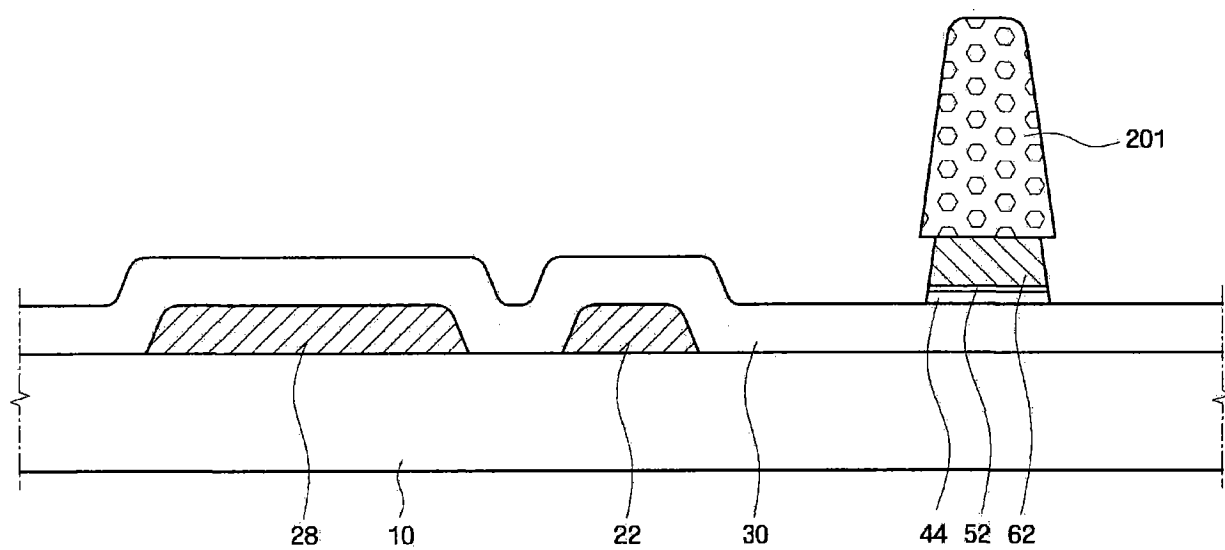


图 6B

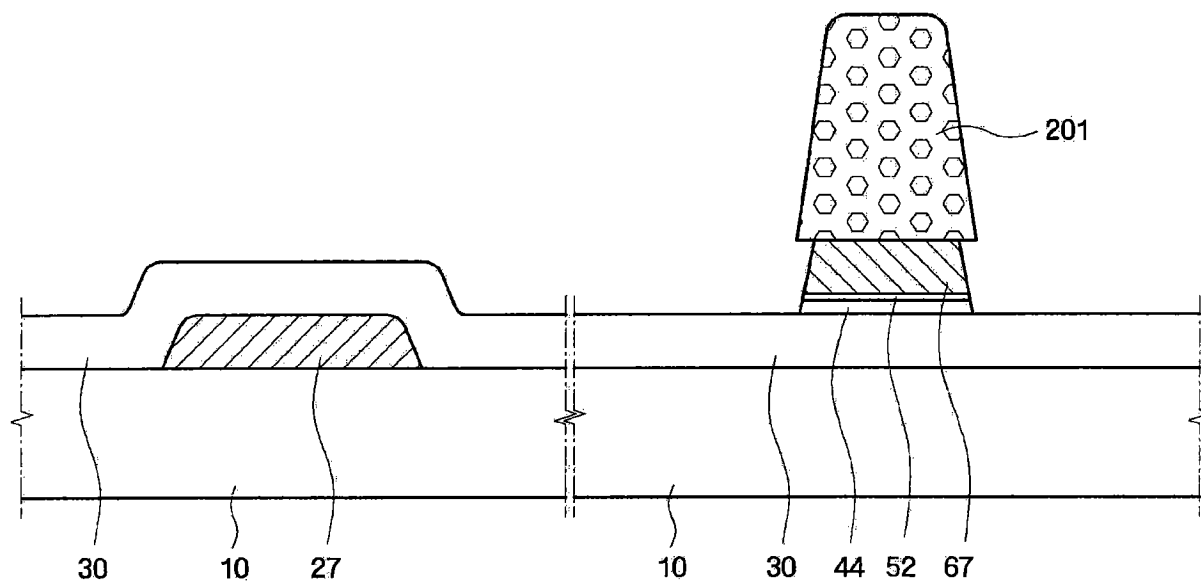


图 6C

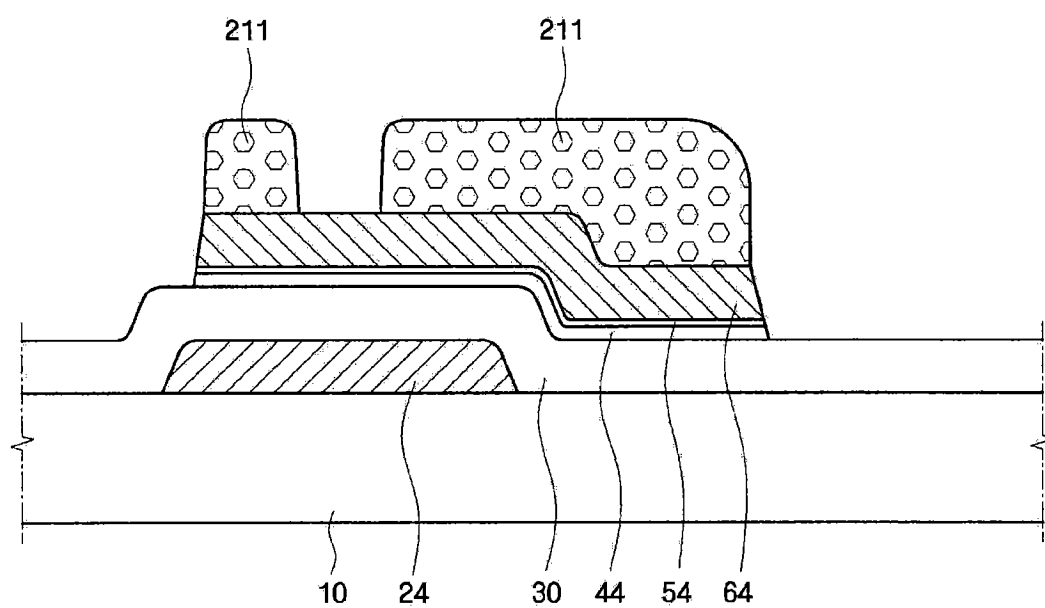


图 7A

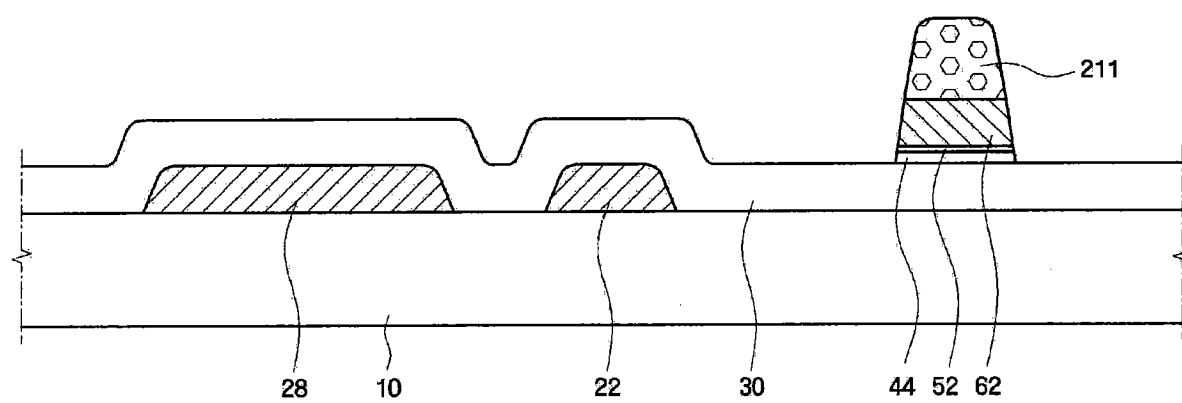


图 7B

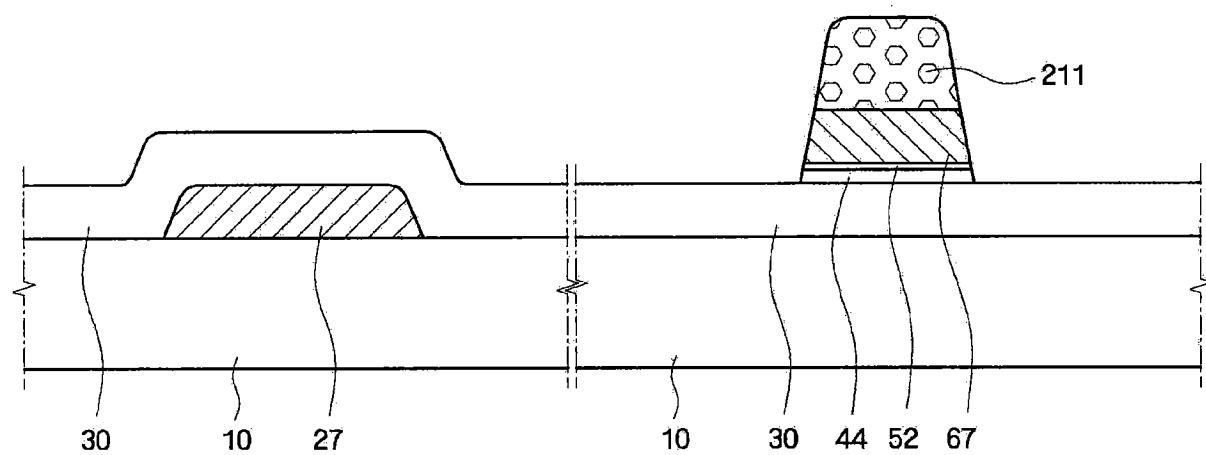


图 7C

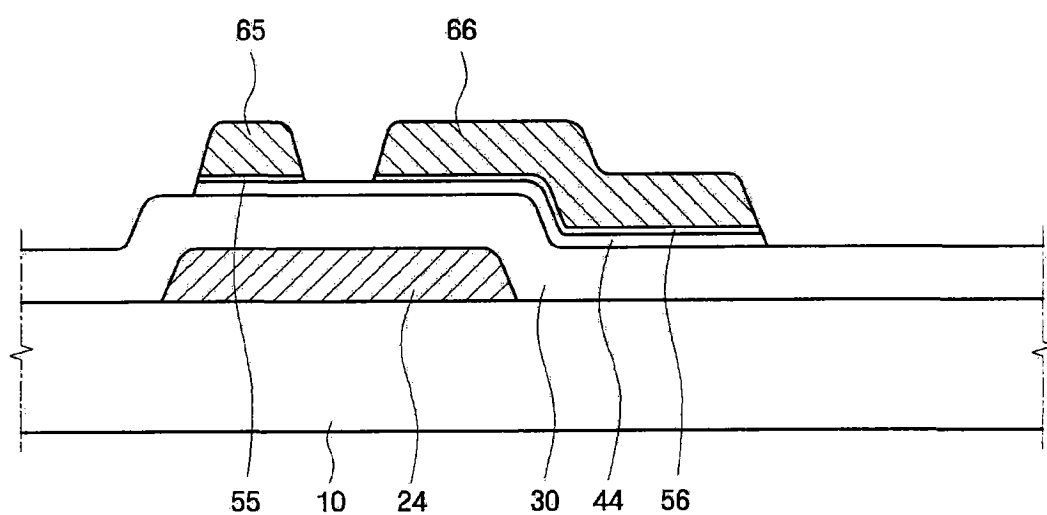


图 8A

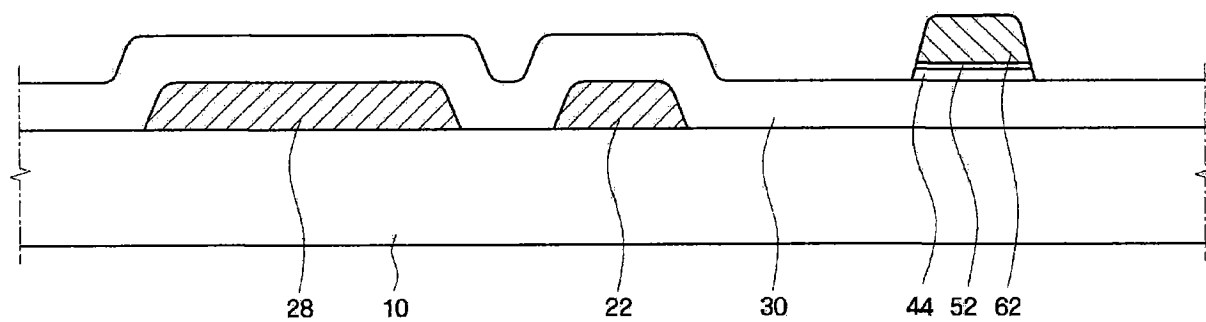


图 8B

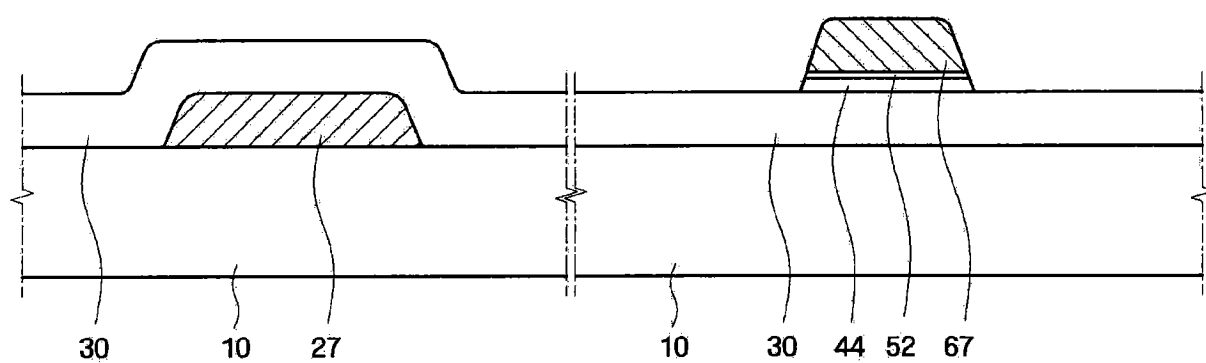


图 8C

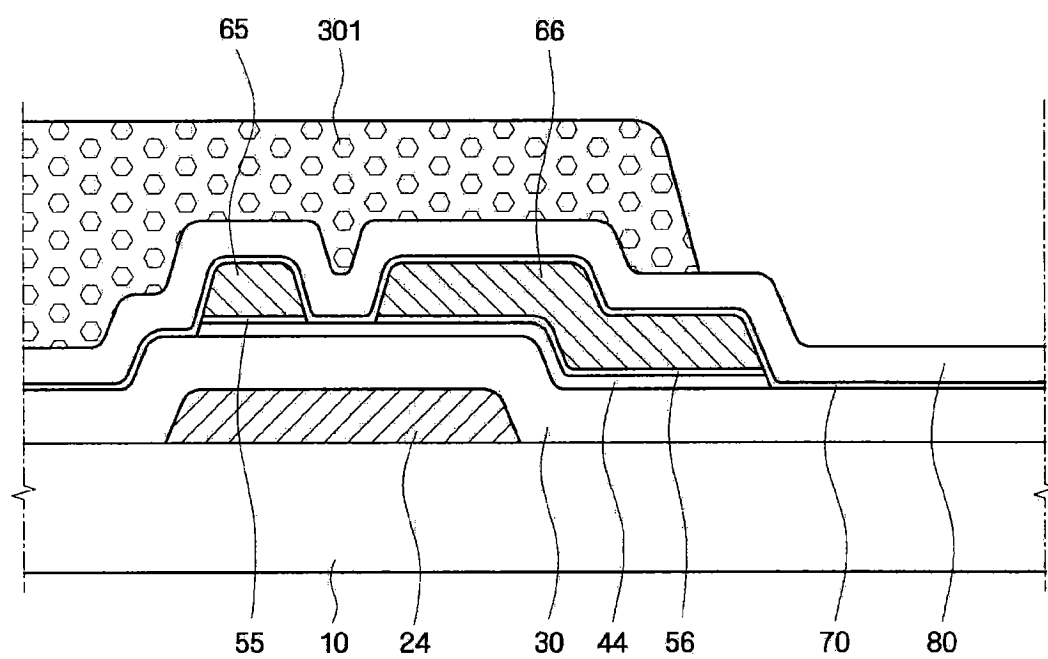


图 9A

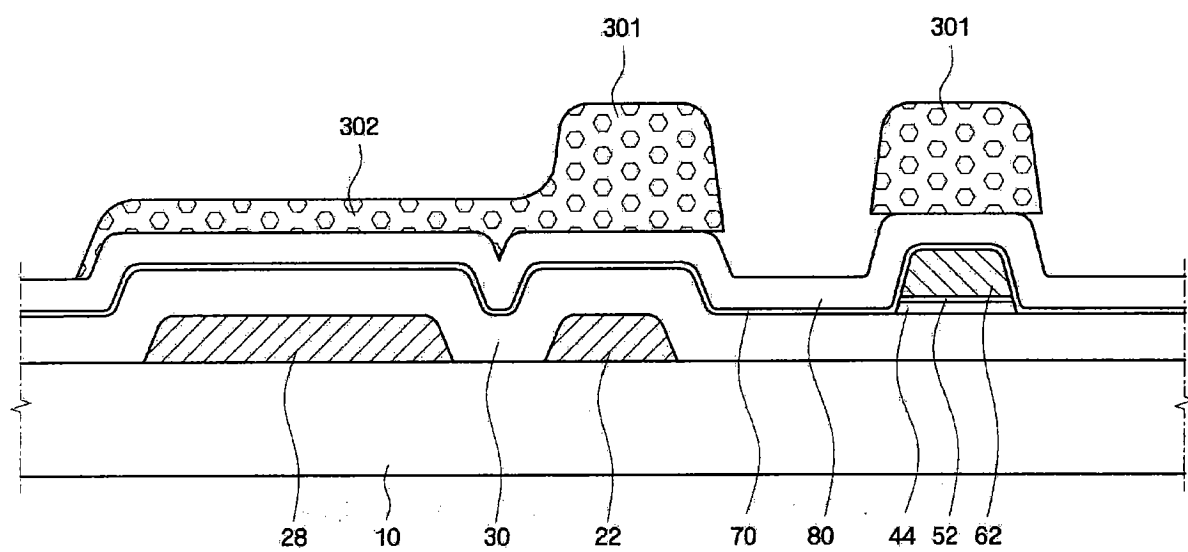


图 9B

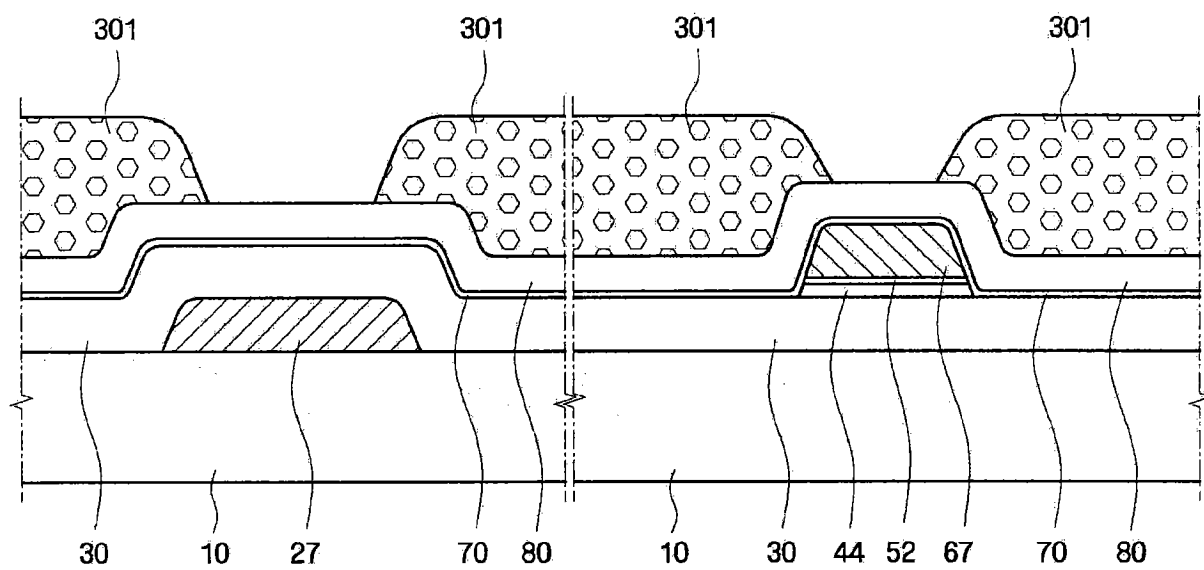


图 9C

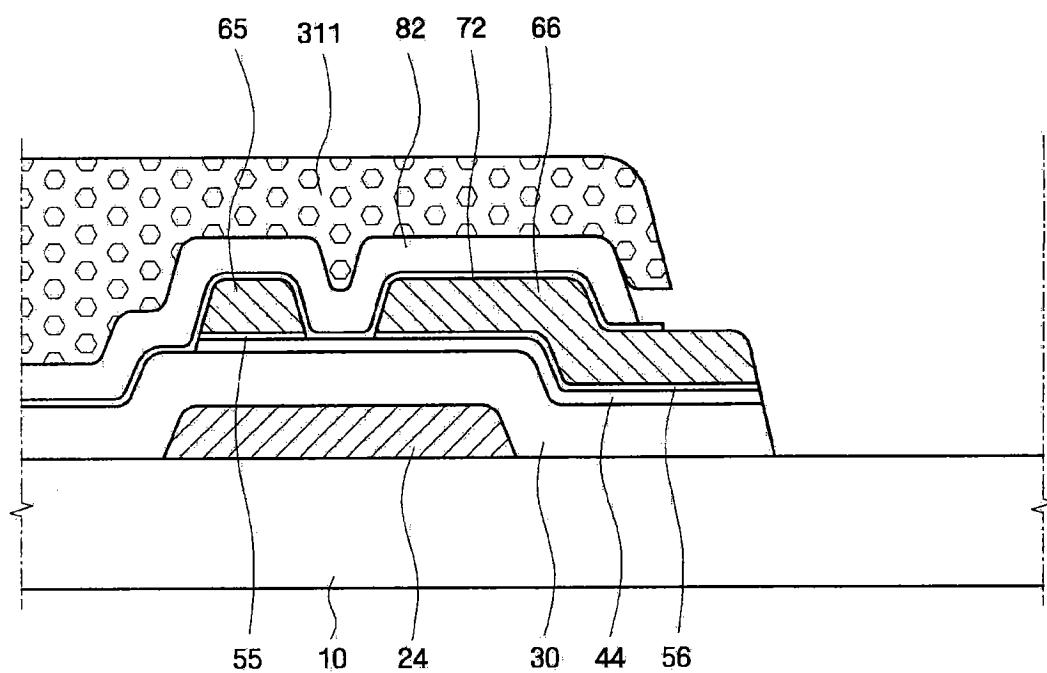


图 10A

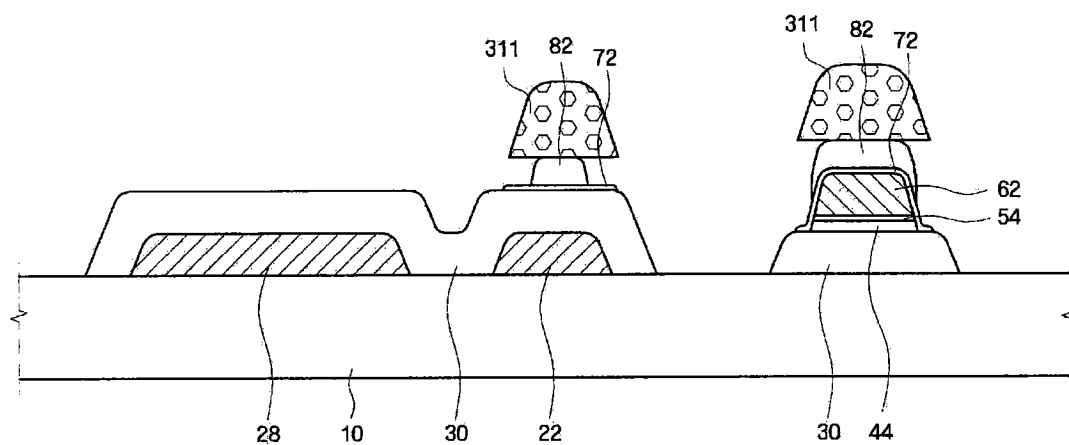


图 10B

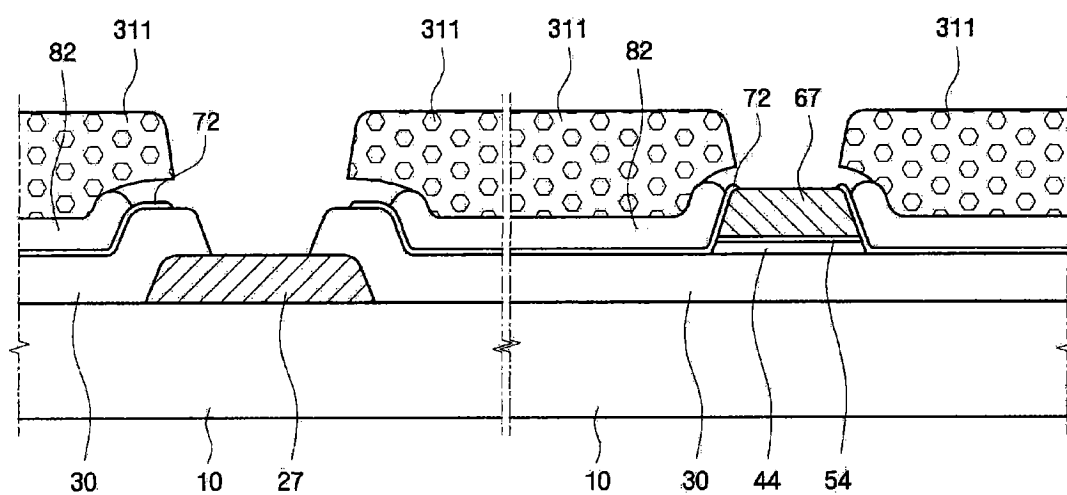


图 10C

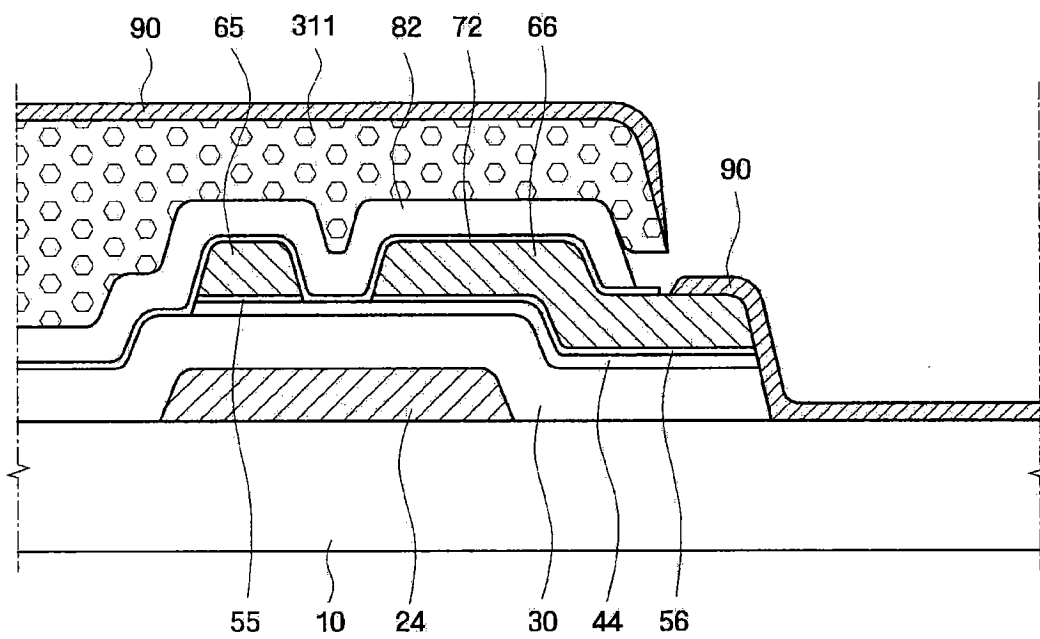


图 11A

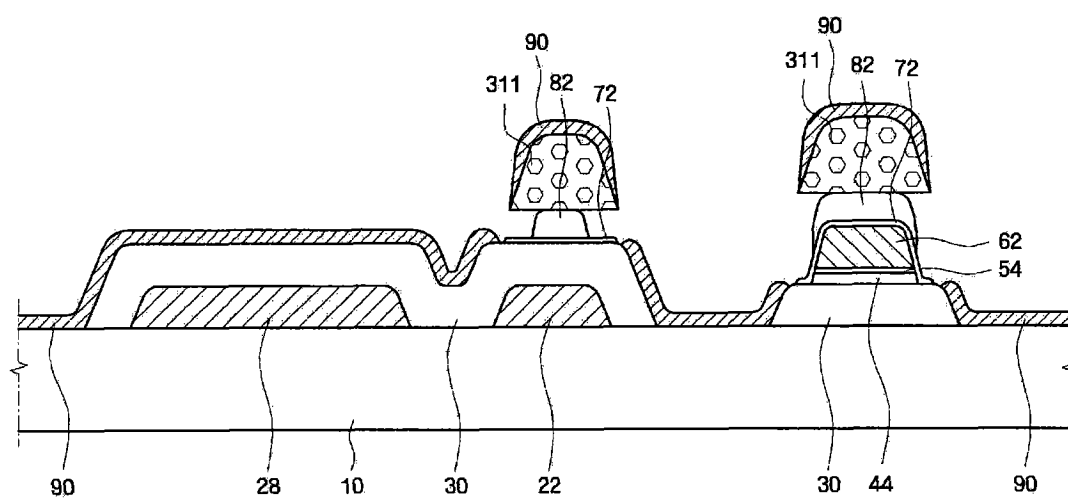


图 11B

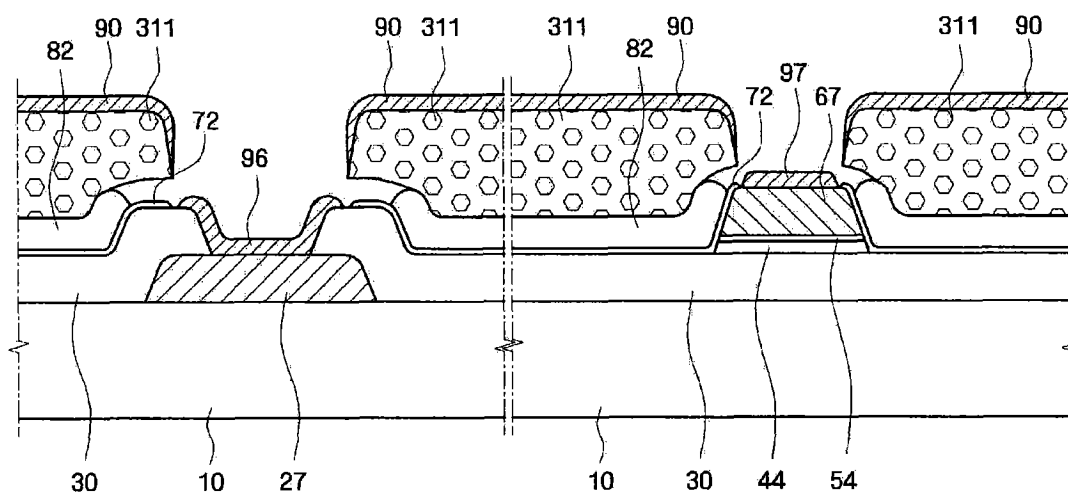


图 11C

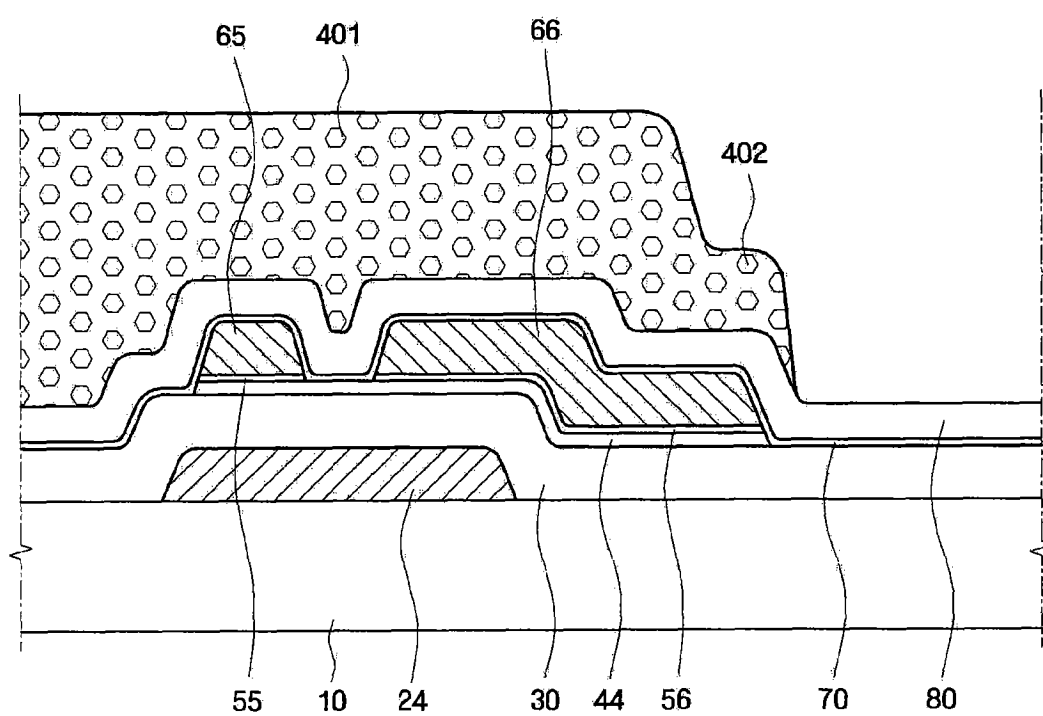


图 12A

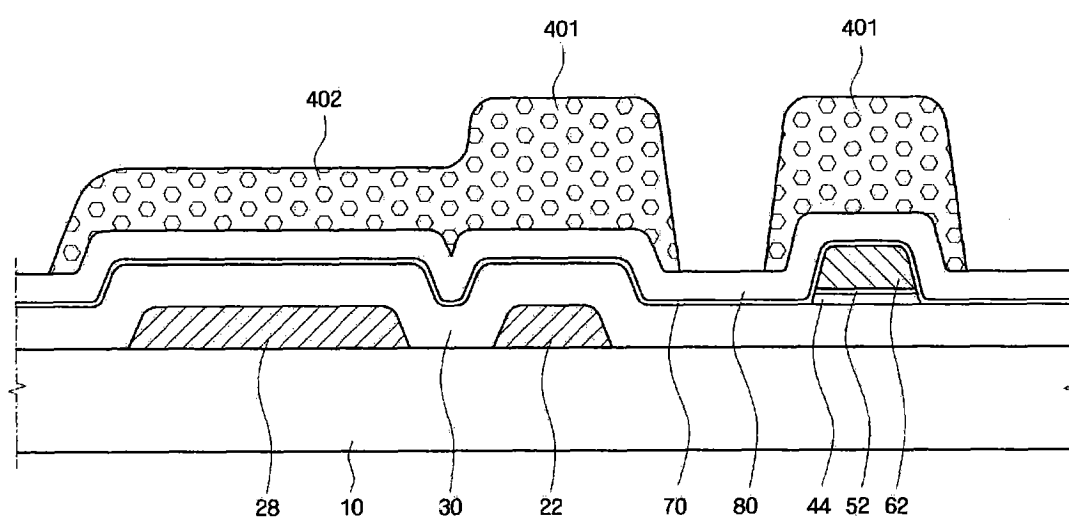


图 12B

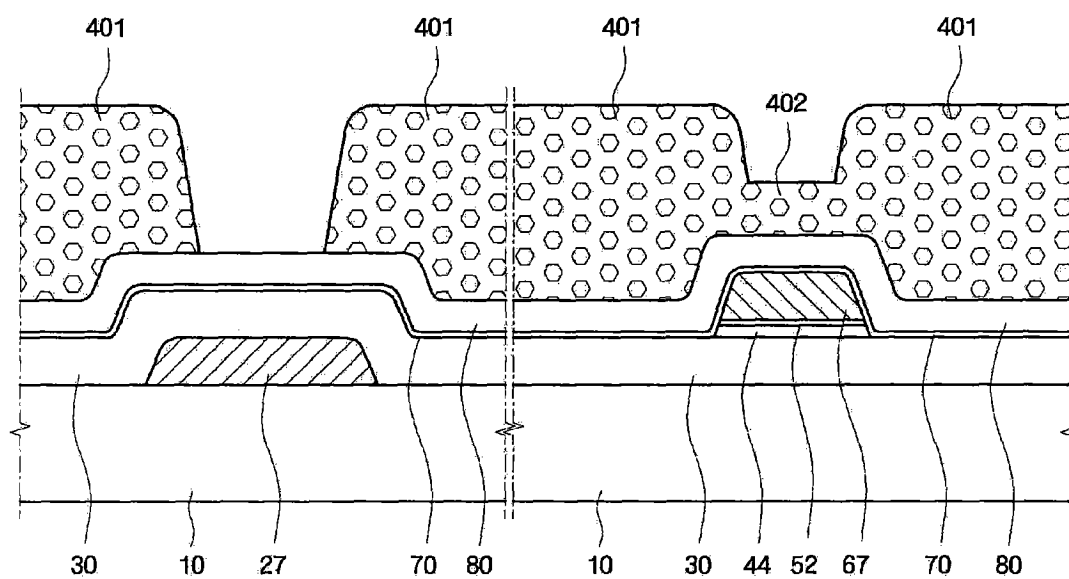


图 12C

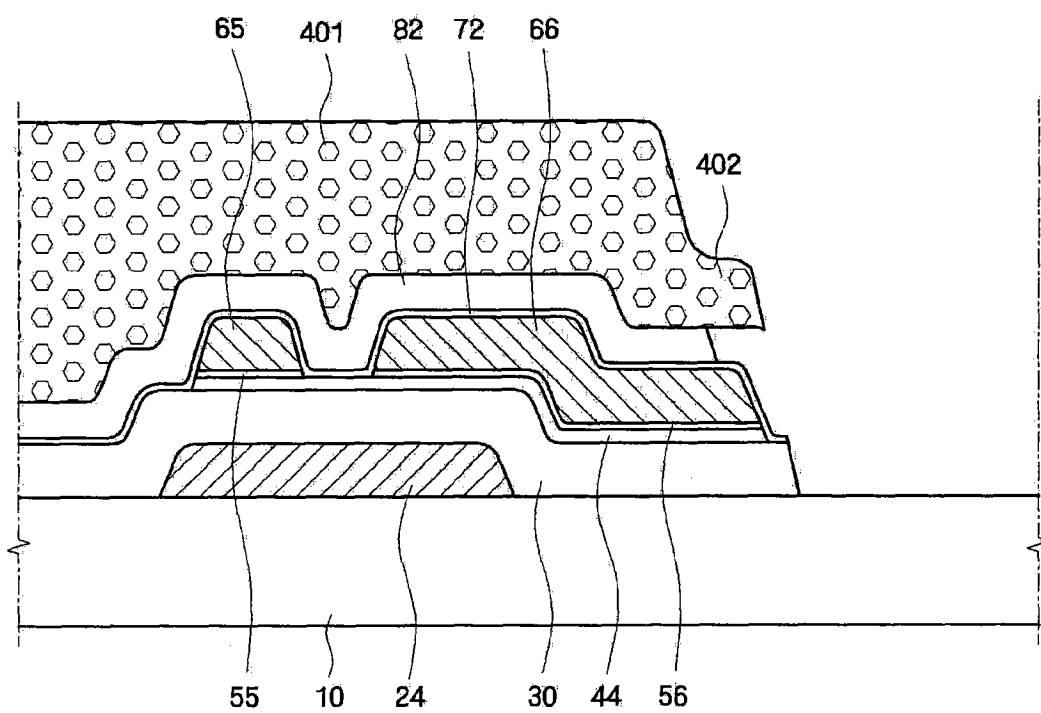


图 13A

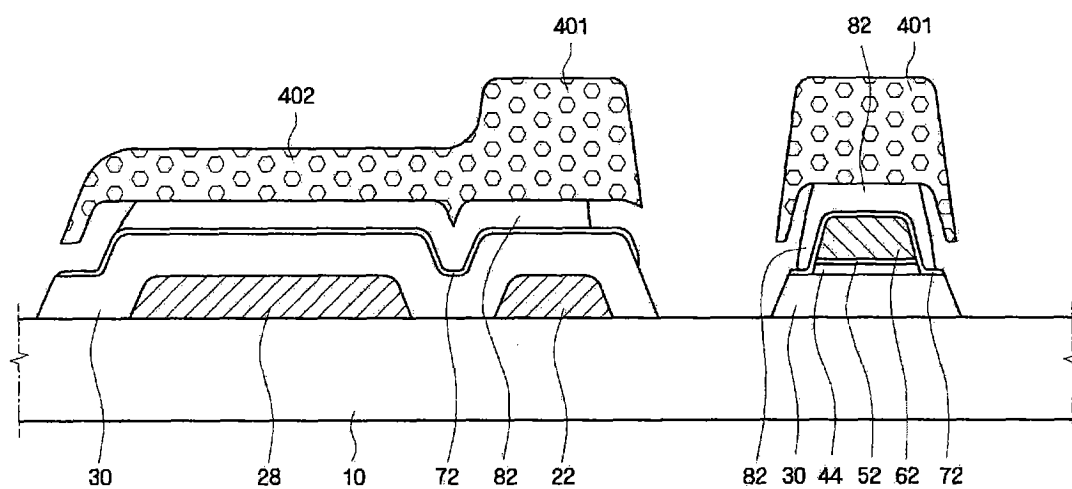


图 13B

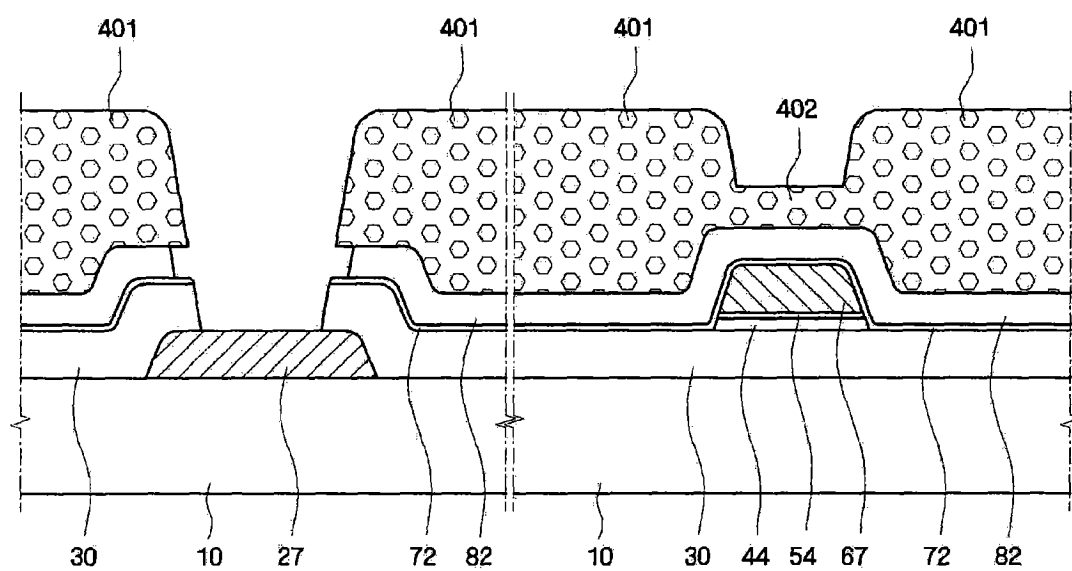


图 13C

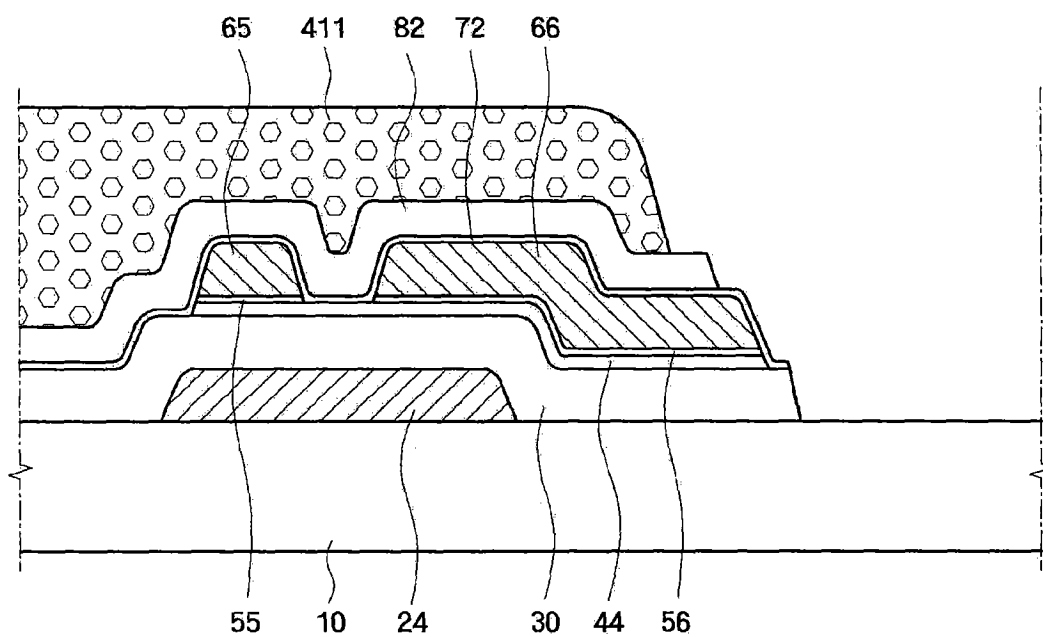


图 14A

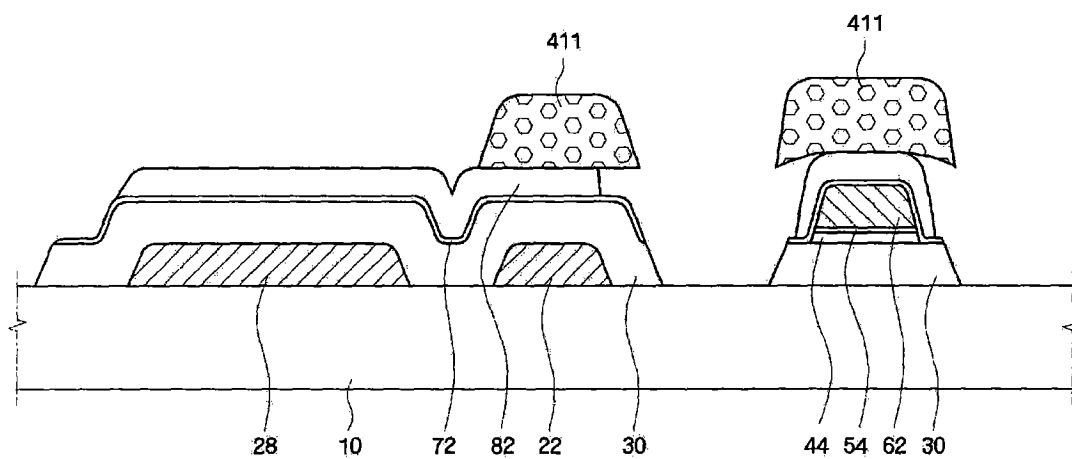


图 14B

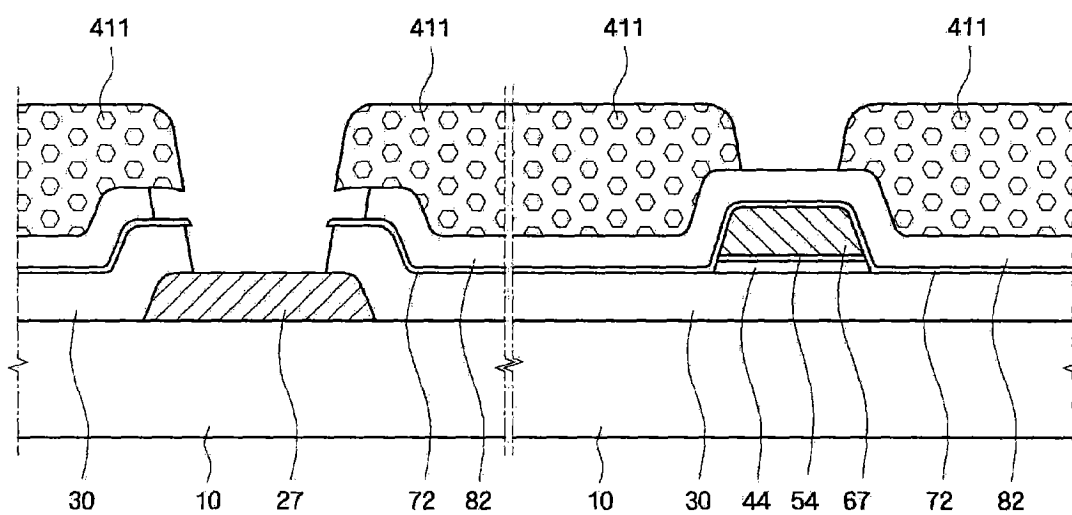


图 14C

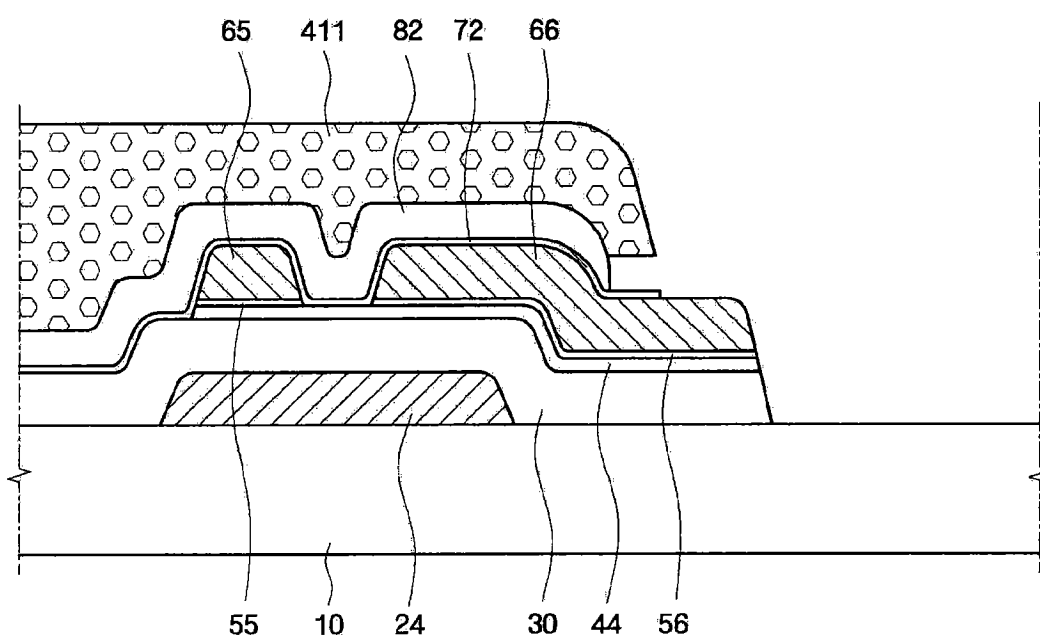


图 15A

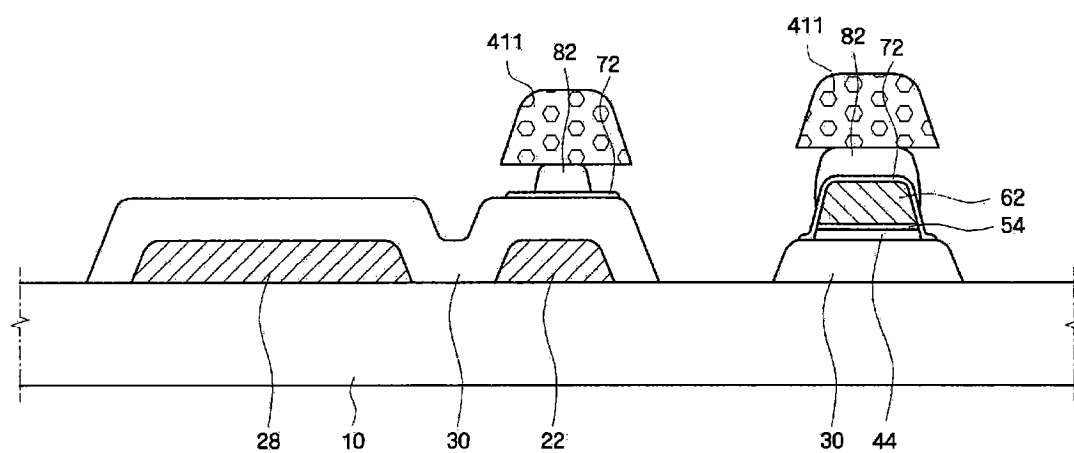


图 15B

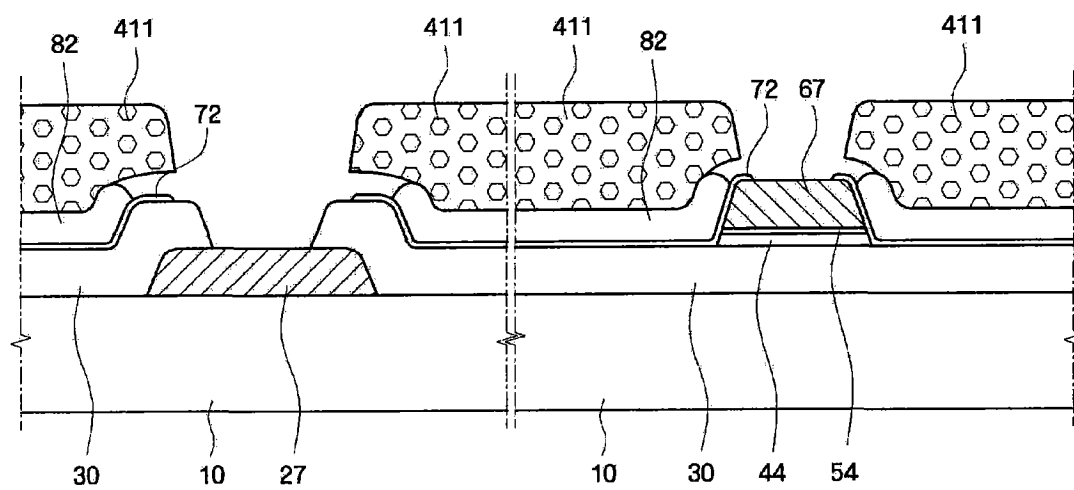


图 15C

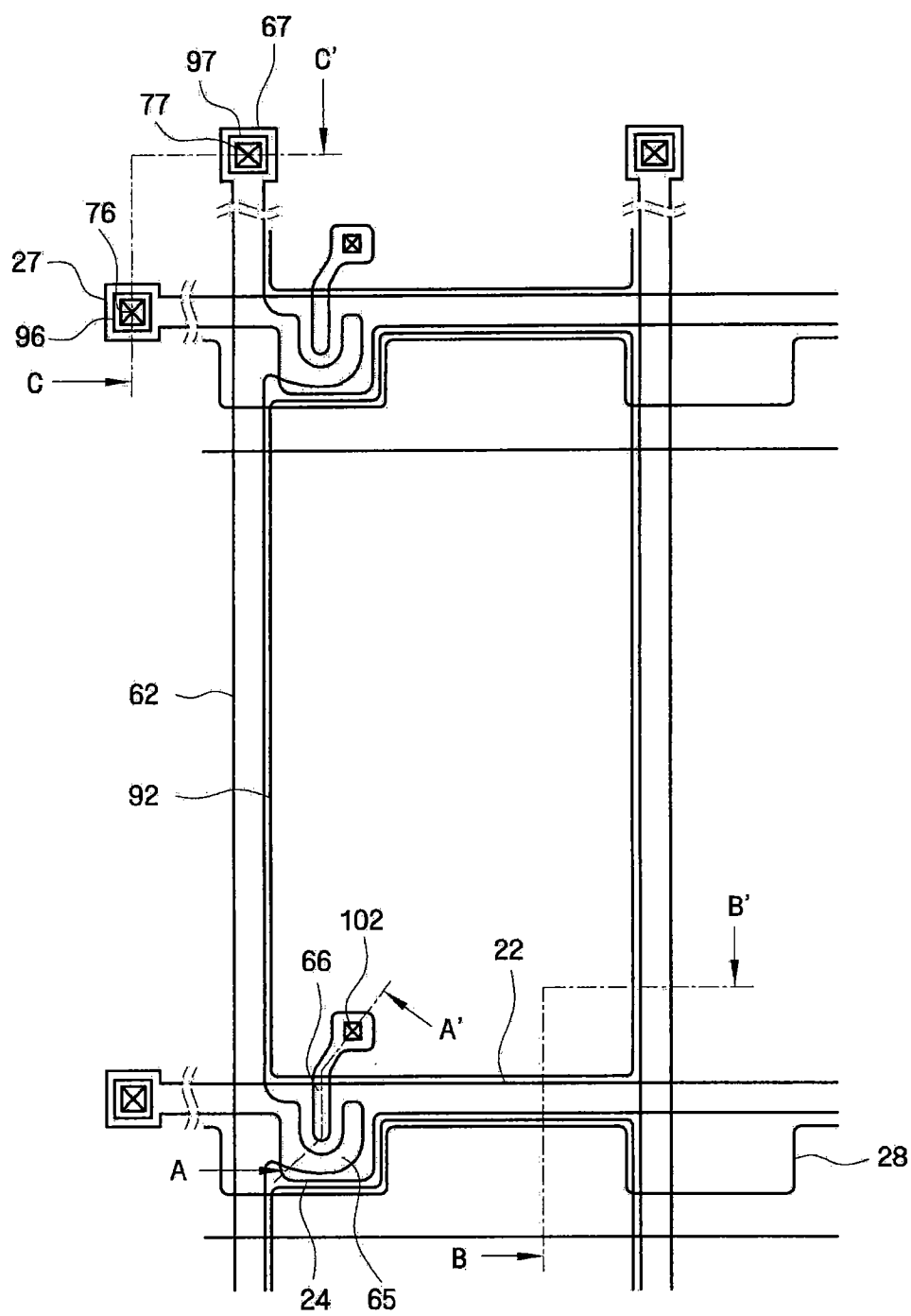


图 16

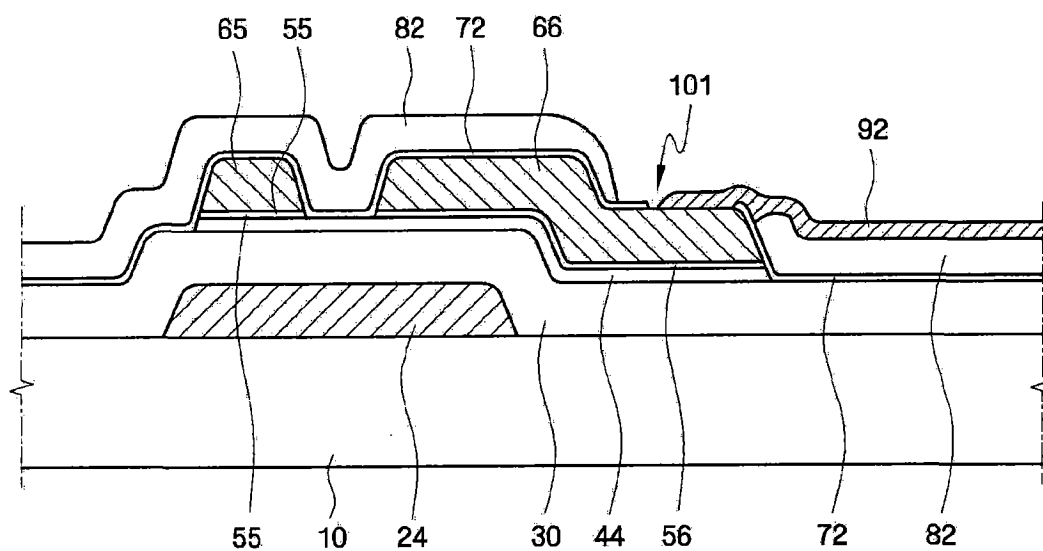


图 17A

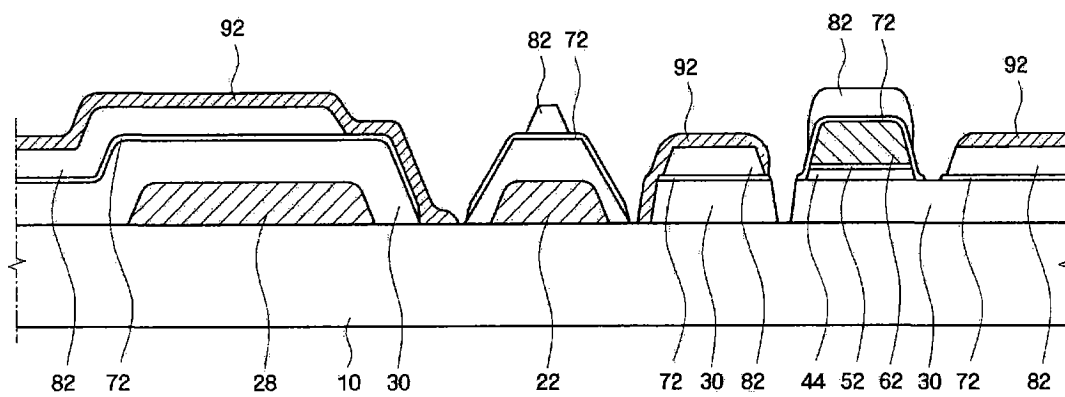


图 17B

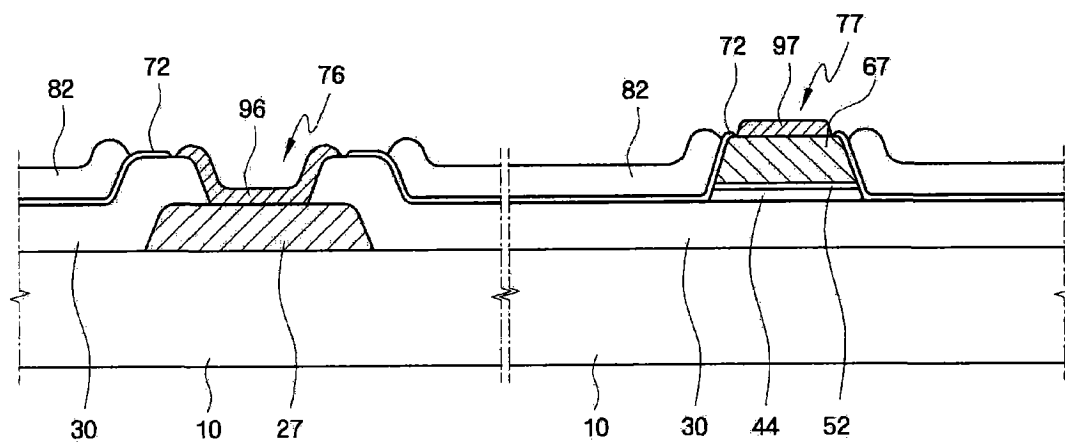


图 17C

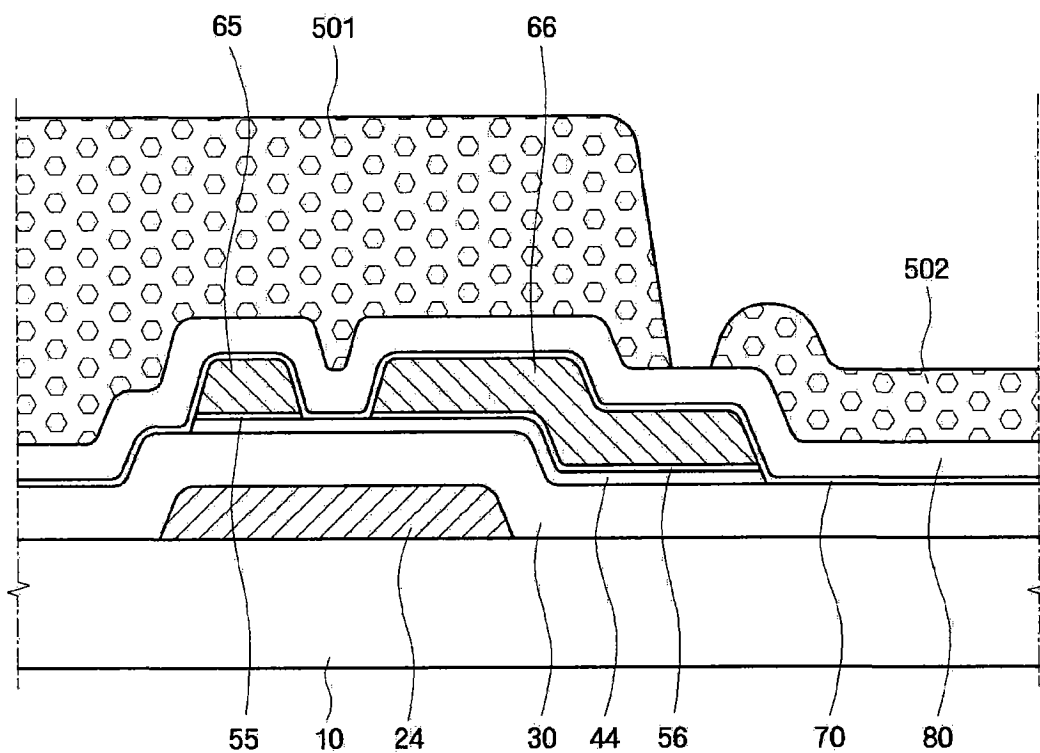


图 18A

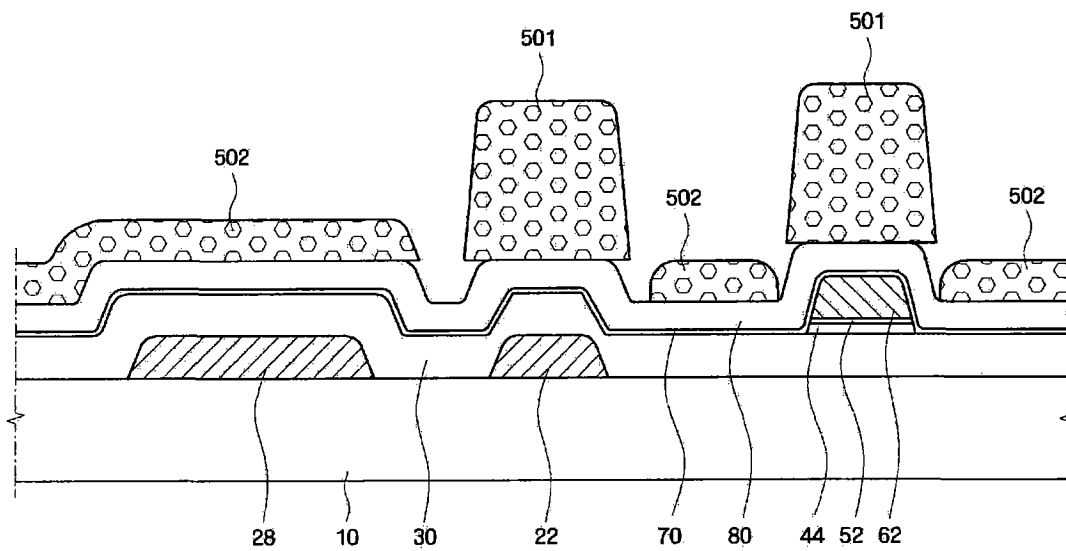


图 18B

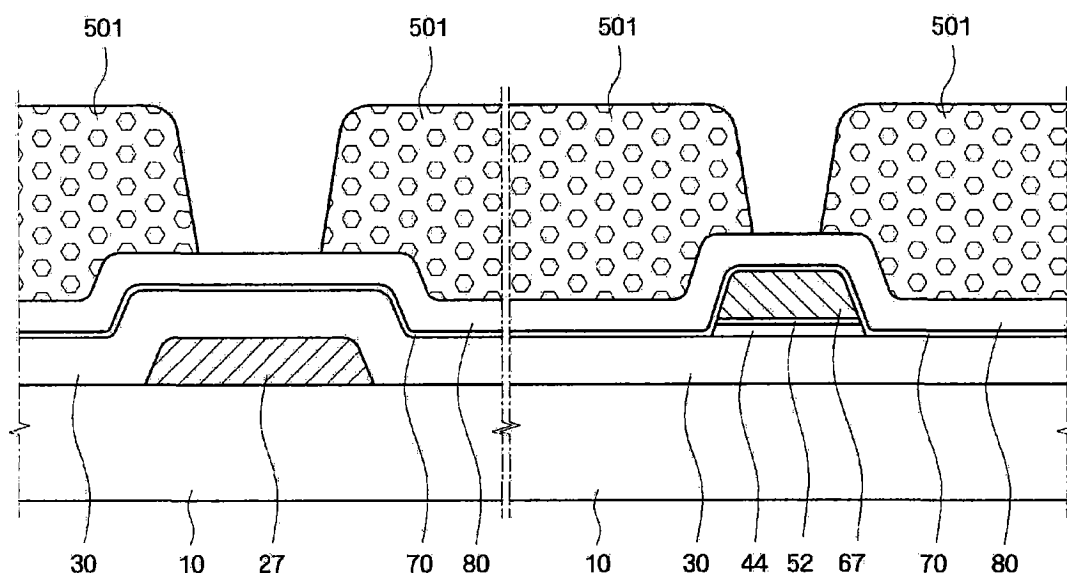


图 18C

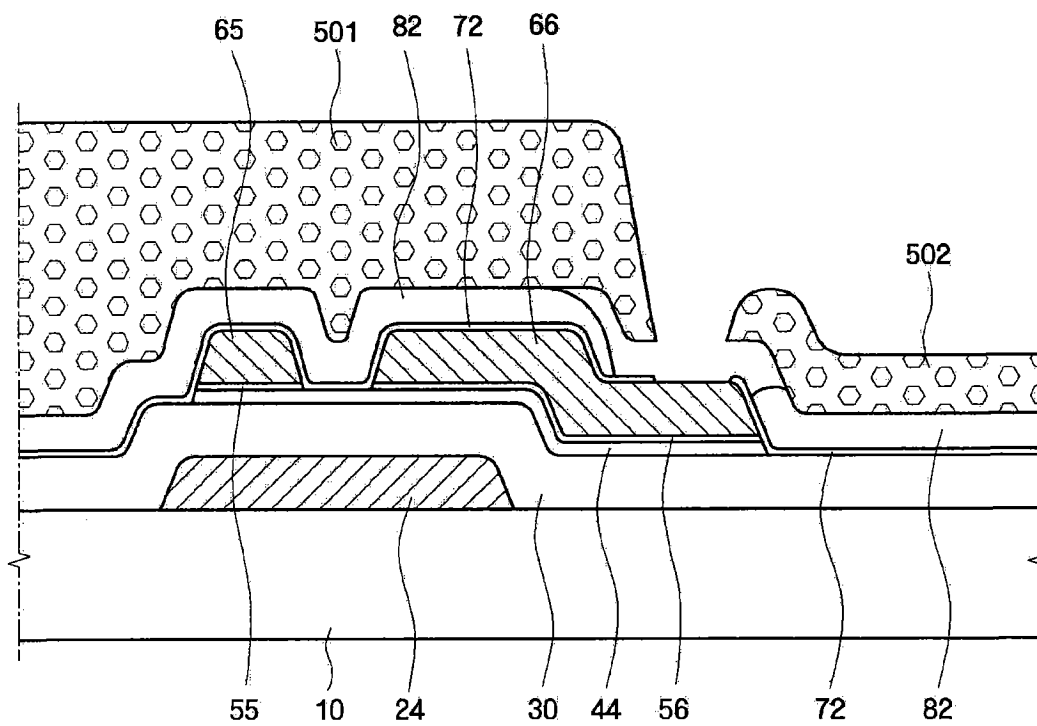


图 19A

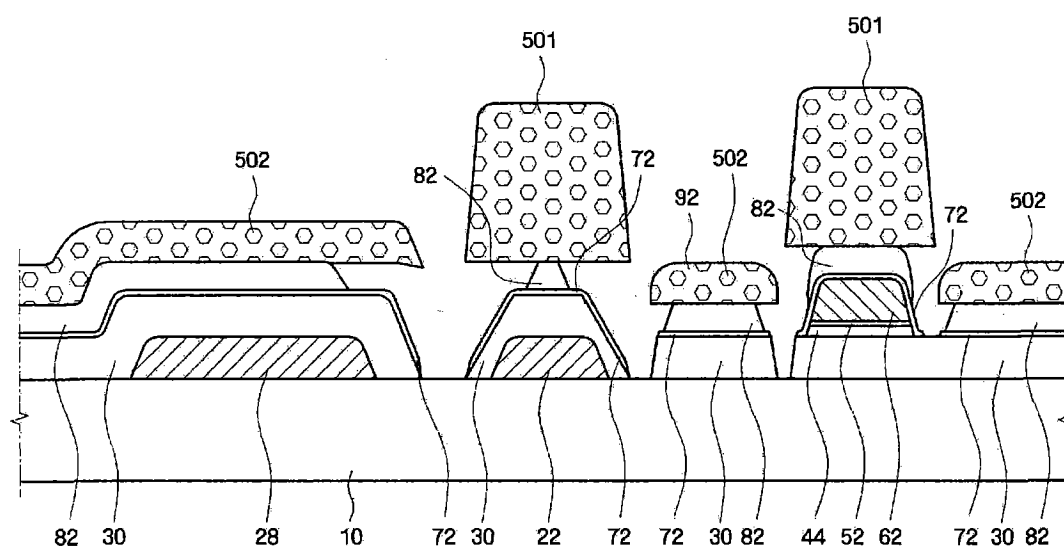


图 19B

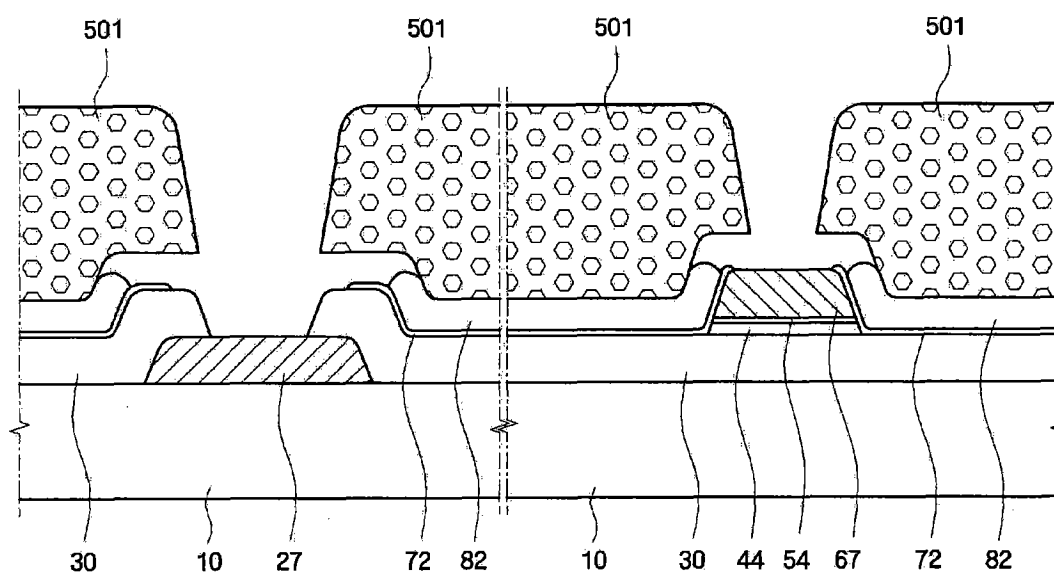


图 19C

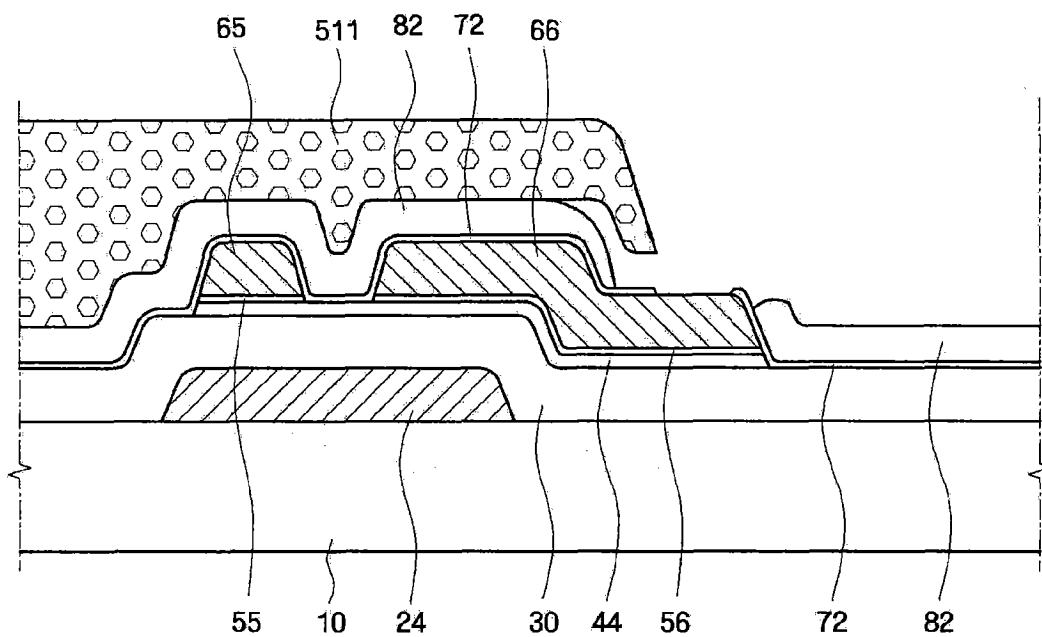


图 20A

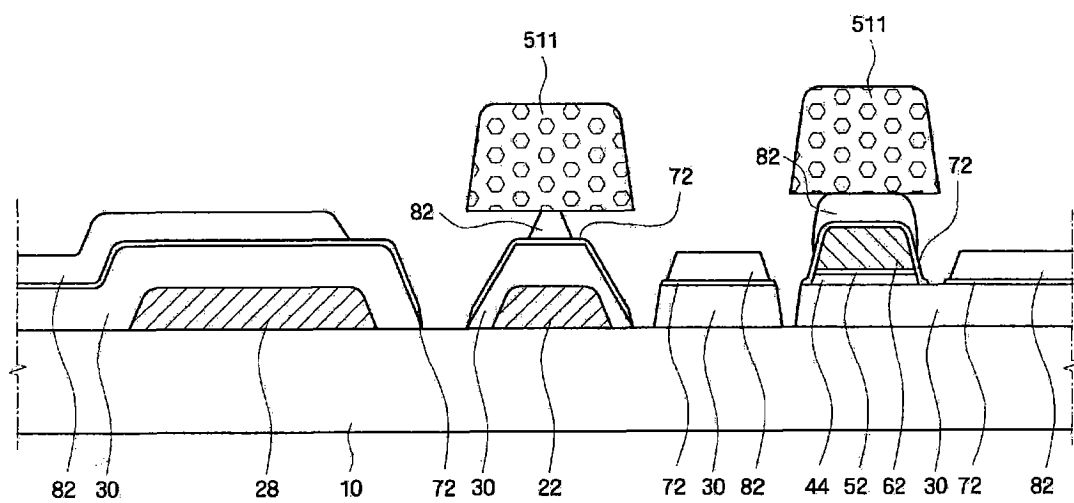


图 20B

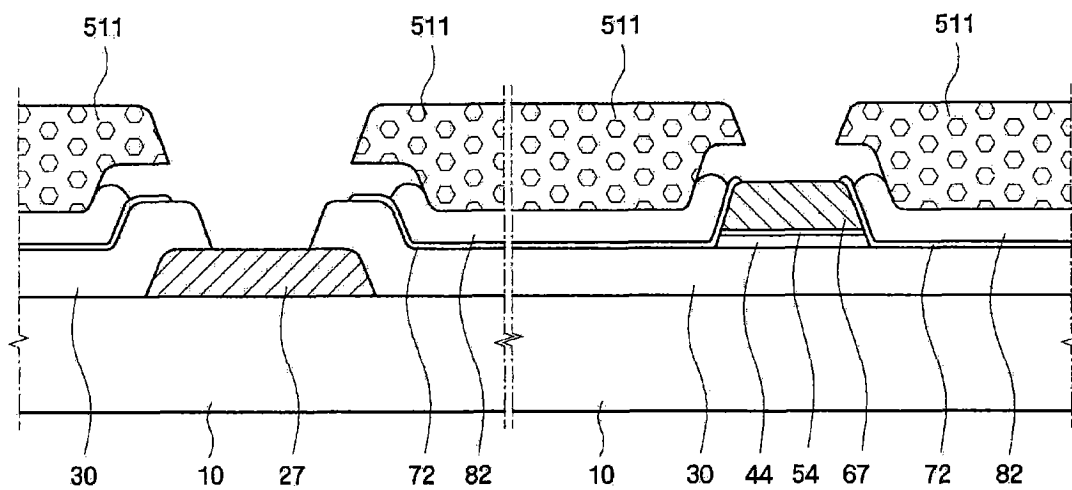


图 20C

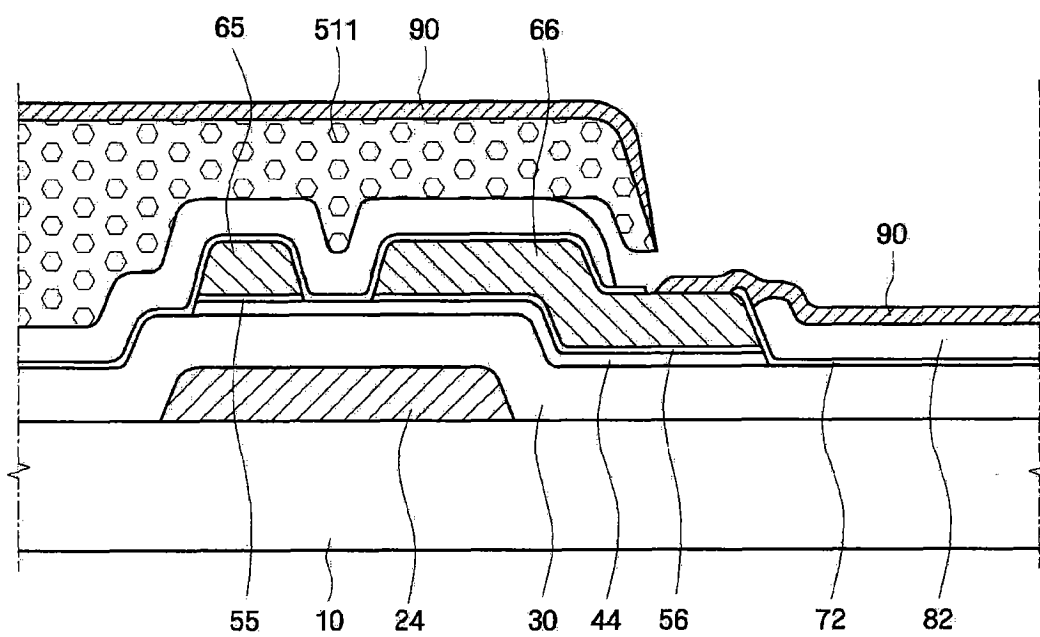


图 21A

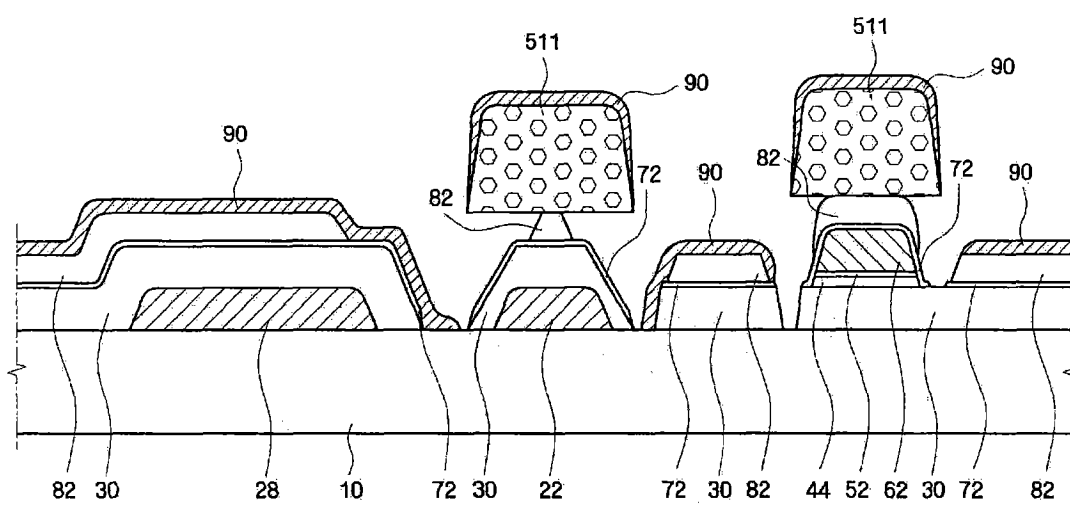


图 21B

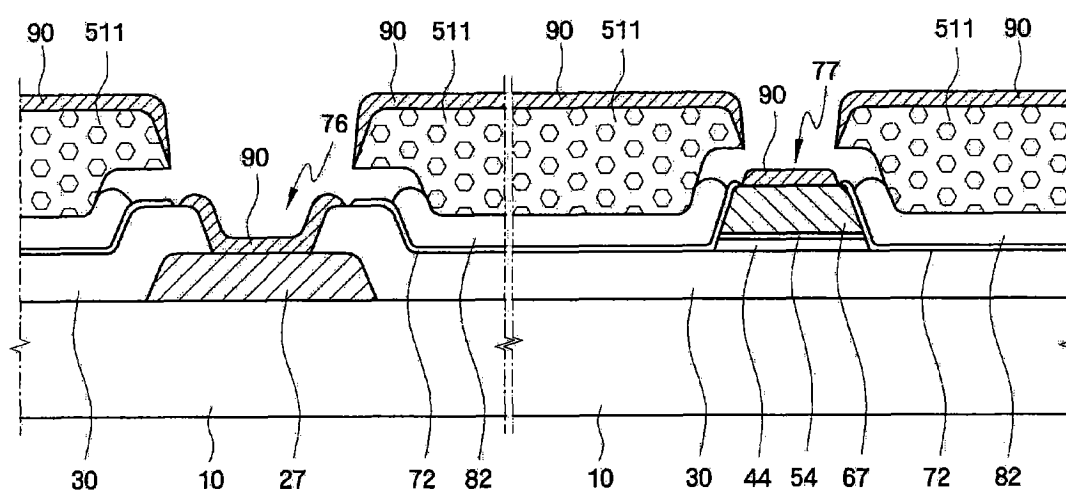


图 21C

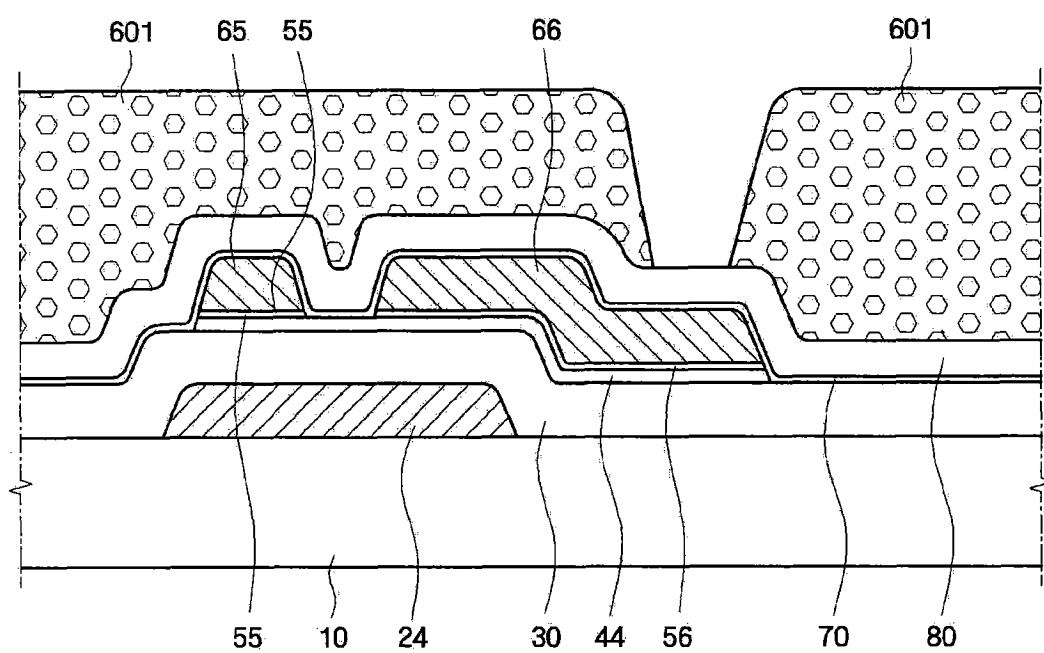


图 22A

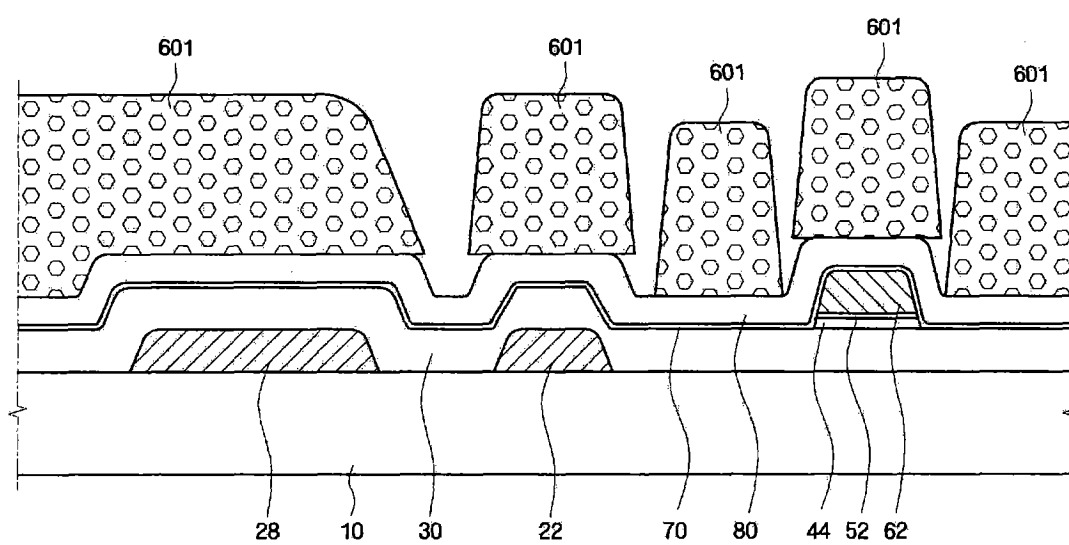


图 22B

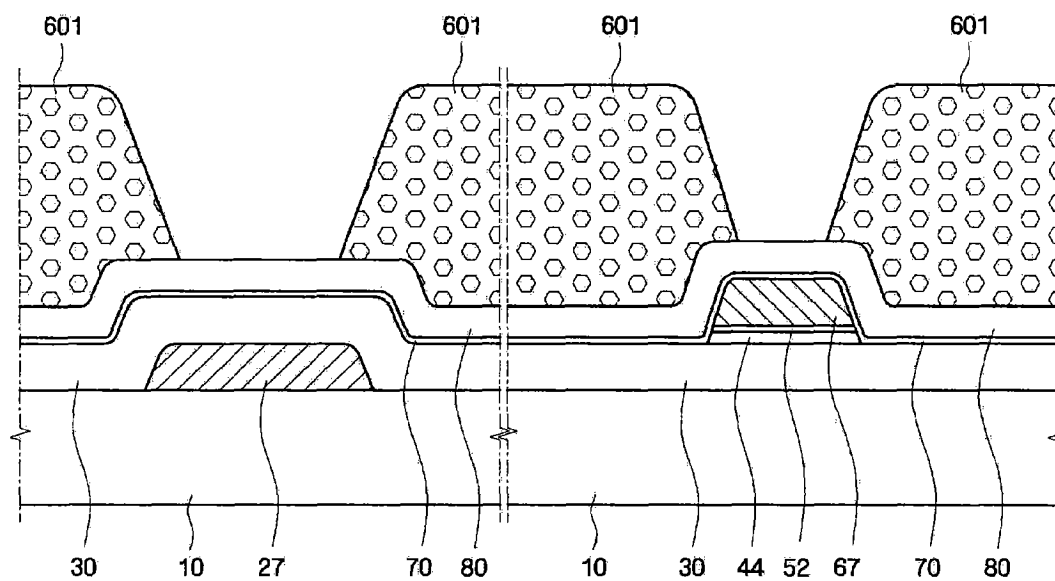


图 22C

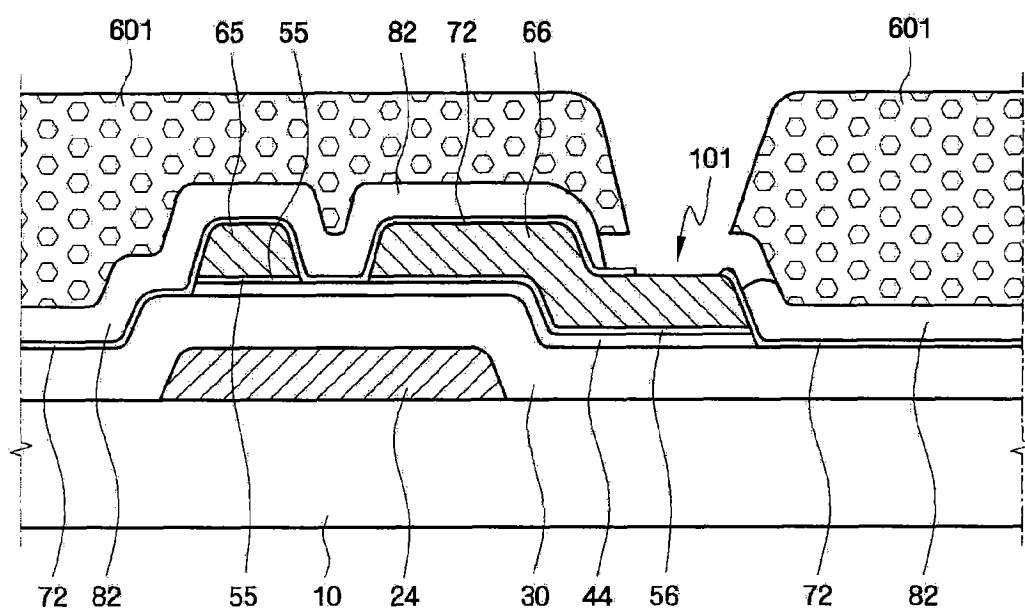


图 23A

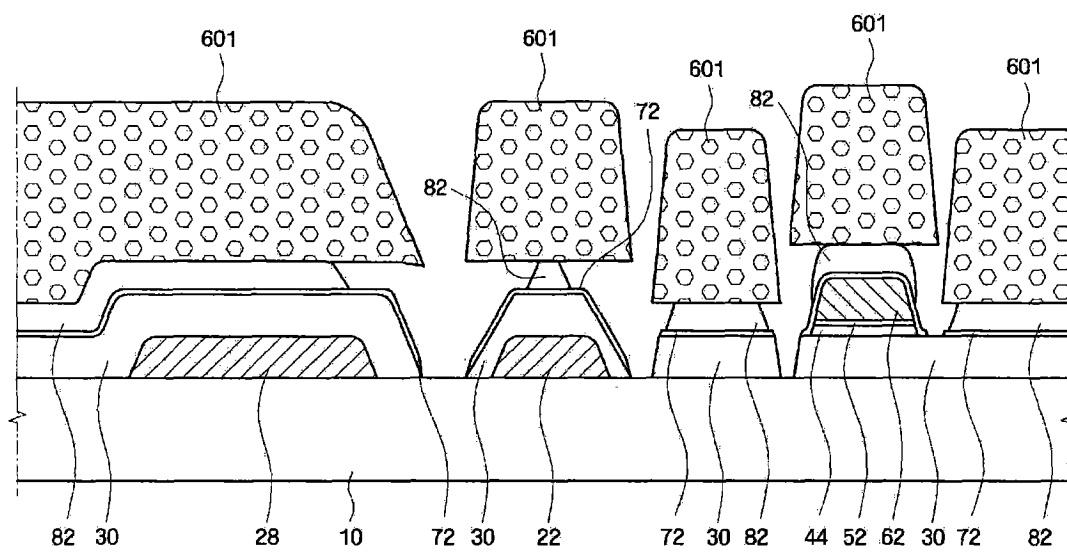


图 23B

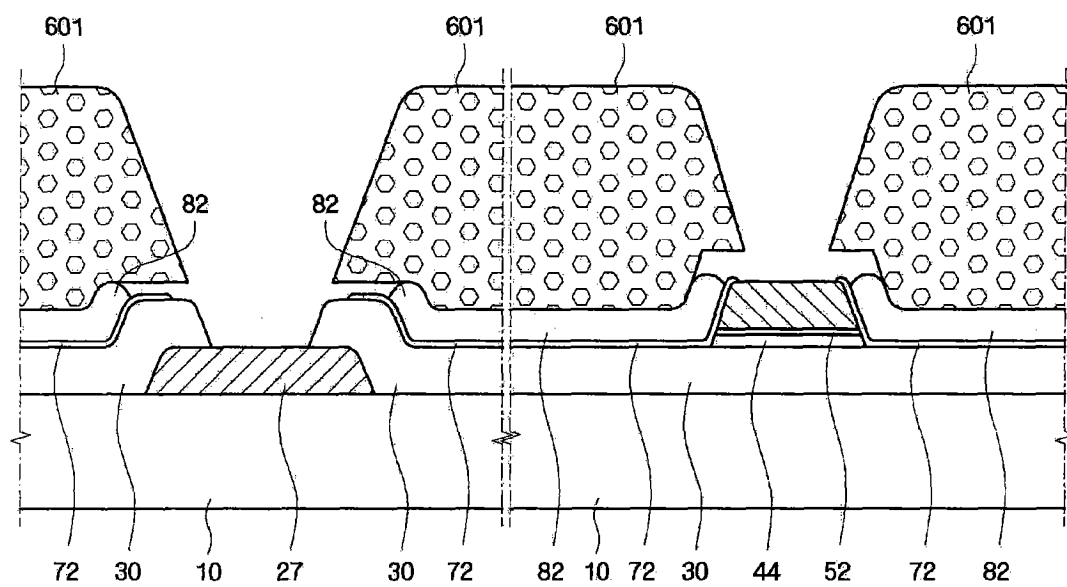


图 23C