

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2018-16013

(P2018-16013A)

(43) 公開日 平成30年2月1日(2018. 2. 1)

(51) Int.Cl.			F I			テーマコード (参考)	
B 4 1 J	2/447	(2006.01)	B 4 1 J	2/447	1 0 1 D	2 C 0 6 6	
G 0 9 G	3/32	(2016.01)	G 0 9 G	3/32	A	2 C 1 6 2	
G 0 9 G	3/3208	(2016.01)	G 0 9 G	3/3208		3 K 1 0 7	
G 0 9 G	3/3291	(2016.01)	G 0 9 G	3/3291		5 C 0 8 0	
G 0 9 G	3/20	(2006.01)	G 0 9 G	3/20	6 2 3 H	5 C 3 8 0	
			審査請求 未請求 請求項の数 16 O L			(全 65 頁)	最終頁に続く

(21) 出願番号 特願2016-149488 (P2016-149488)
(22) 出願日 平成28年7月29日 (2016. 7. 29)

(71) 出願人 591044164
株式会社沖データ
東京都港区芝浦四丁目11番22号
(74) 代理人 100083840
弁理士 前田 実
(74) 代理人 100116964
弁理士 山形 洋一
(74) 代理人 100135921
弁理士 篠原 昌彦
(72) 発明者 南雲 章
群馬県高崎市西横手町1番地1 株式会社
沖デジタルイメージング内
Fターム(参考) 2C066 AA18 AC13 AC17
2C162 AE21 AE28 AE40 AE47 AH74
FA04 FA17 FA23
最終頁に続く

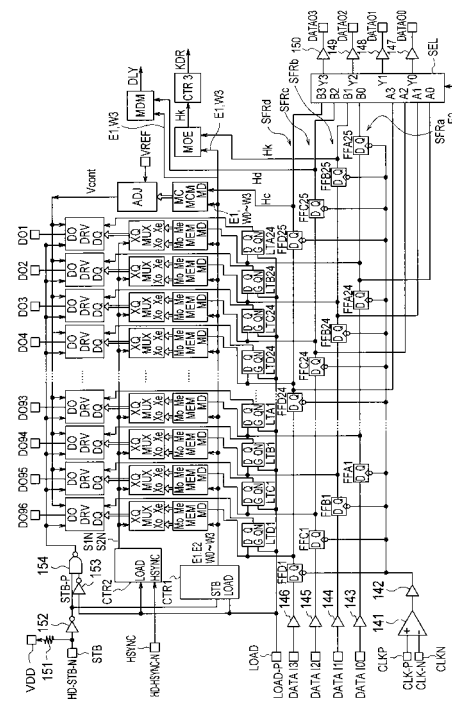
(54) 【発明の名称】 ドライバICチップ、駆動装置、プリントヘッド、及び画像形成装置

(57) 【要約】 (修正有)

【課題】 ドライバICチップのチップ面積を小さくすることができるドライバICチップ、駆動装置、プリントヘッド、及び画像形成装置を提供する。

【解決手段】 シフトレジスタSFRa～SFRdは、複数のフリップフロップをカスケード接続して成り、シフトレジスタの初段のフリップフロップのデータ入力端子は遅延回路143～146を介してデータ入力端子に接続され、遅延回路の遅延時間は、遅延時間データメモリ回路MDMに格納されている遅延時間データHdに応じて制御され、駆動データの転送に先立ち、遅延時間データがシフトレジスタにより転送されて、遅延時間データメモリ回路に書き込まれ、遅延時間データの転送に先立ち、固定値のデータが、シフトレジスタにより転送されて、遅延時間データメモリ回路に書き込まれる。

【選択図】 図4



【特許請求の範囲】

【請求項 1】

アレイを構成する被駆動素子を駆動する駆動回路と、
データ入力端子と、
前記被駆動素子を駆動するか否かを示す駆動データを転送するためのシフトレジスタと

、

遅延回路と、

遅延時間データメモリ回路と

を有するドライバ I C チップにおいて、

前記シフトレジスタは、複数のフリップフロップをカスケード接続して成り、

10

前記シフトレジスタの初段のフリップフロップのデータ入力端子は前記遅延回路を介してデータ入力端子に接続され、

前記遅延回路の遅延時間は、前記遅延時間データメモリ回路に格納されている遅延時間データに応じて制御され、

前記駆動データの転送に先立ち、前記遅延時間データが前記シフトレジスタにより転送されて、前記遅延時間データメモリ回路に書き込まれ、

前記遅延時間データの転送に先立ち、固定値のデータが、前記シフトレジスタにより転送されて、前記遅延時間データメモリ回路に書き込まれる

ことを特徴とするドライバ I C チップ。

【請求項 2】

20

前記遅延回路の各々が

互いに直列接続された P 個（P は 2 以上の整数）のバッファ回路と、

前記 P 個のバッファ回路のうちの第 P 番目のバッファ回路の出力と、第 Q 番目（Q は P よりも小さい整数）のバッファ回路の出力のいずれかを選択する選択回路とを有し、

前記選択回路が、前記遅延時間データメモリ回路に格納されているデータに基づいて上記の選択を行う

ことを特徴とする請求項 1 に記載のドライバ I C チップ。

【請求項 3】

Q が 1 に等しいことを特徴とする請求項 2 に記載のドライバ I C チップ。

【請求項 4】

30

前記遅延時間データが、第 1 の遅延時間と第 2 の遅延時間のいずれかを指定するものであることを特徴とする請求項 1 から 3 のいずれか 1 項に記載のドライバ I C チップ。

【請求項 5】

前記シフトレジスタがクロック信号に同期して転送を行うものであり、

前記遅延時間データの転送の際及び前記固定値のデータの転送の際に前記シフトレジスタに供給されるクロック信号の周波数は、前記駆動データの転送の際に前記シフトレジスタに供給されるクロック信号の周波数よりも低い

ことを特徴とする請求項 1 から 4 のいずれかに記載のドライバ I C チップ。

【請求項 6】

40

各被駆動素子の駆動の際に参照される、補正データを格納する補正データメモリ回路をさらに有し、

前記補正データが複数のビットから成り、

前記駆動データの転送に先立ち、前記補正データが前記シフトレジスタにより転送されて、前記補正データメモリ回路に書き込まれ、

前記遅延時間データは、前記補正データとともに前記シフトレジスタにより転送されて、前記遅延時間データメモリ回路に書き込まれる

ことを特徴とする請求項 1 から 5 のいずれか 1 項に記載のドライバ I C チップ。

【請求項 7】

前記補正データが R ビット（R は 2 以上の整数）から成り、

前記補正データメモリ回路が、前記 R ビットのための R 個のメモリセルを有し、

50

前記遅延時間データが 1 ビットから成り、
前記補正データを構成する R ビットの転送及び書き込みが、R サイクルで行われ、
前記遅延時間データの転送及び書き込みが前記 R サイクルのうちの 1 サイクルで行われ

、
前記固定値のデータの転送及び書き込みの際は、前記固定値のデータが前記シフトレジスタに保持された状態において、前記シフトレジスタに保持されている前記固定値のデータが、前記補正データメモリ回路の前記 R 個のメモリセルに順次書き込まれるとともに、前記遅延時間データメモリ回路に書き込まれる

ことを特徴とする請求項 6 に記載のドライバ I C チップ。

【請求項 8】

ストロブ信号に応じて前記補正データメモリ回路及び前記遅延時間データメモリ回路への書き込みを制御するメモリ制御回路をさらに有し、

前記メモリ制御回路は、前記補正データの書き込みの際には、前記ストロブ信号に応じて、前記補正データメモリ回路のうちの前記 R 個のメモリセルを順次選択して、選択したメモリセルへの書き込みを行わせ、

前記メモリ制御回路は、前記 R 個のメモリセルのうちのいずれかが選択されているときに、前記遅延時間データメモリ回路への書き込みを行わせる

ことを特徴とする請求項 7 に記載のドライバ I C チップ。

【請求項 9】

前記メモリ制御回路は、前記ストロブ信号が所定回数発生される度に、選択するメモリセルを切り替えることを特徴とする請求項 8 に記載のドライバ I C チップ。

【請求項 10】

前記メモリ制御回路は、前記補正データメモリ回路の前記 R 個のメモリセルのうちの、最初に選択されるメモリセルが選択されているときに、前記遅延時間データメモリ回路への書き込みを行わせる

ことを特徴とする請求項 9 に記載のドライバ I C チップ。

【請求項 11】

前記固定値のデータの書き込みの際は、前記ストロブ信号が前記所定回数だけ発生されて、前記固定値のデータの書き込みが行われ、その後遅延時間データの転送の前に前記メモリ制御回路がリセットされて、前記ストロブ信号が発生される前の状態に戻されることを特徴とする請求項 10 に記載のドライバ I C チップ。

【請求項 12】

請求項 1 から 11 のいずれか 1 項に記載のドライバ I C チップを複数個カスケード接続して成る駆動装置。

【請求項 13】

前記駆動データ、前記遅延時間データ、及び前記固定値のデータを出力するとともに、前記シフトレジスタにおける転送の制御に用いられるクロック信号を出力する制御部と、

前記制御部から出力された前記駆動データ、前記遅延時間データ、及び前記固定値のデータをパラレルーシリアル変換して、シリアル化されたデータ信号を出力するとともに、前記制御部から出力されたクロック信号をパラレルーシリアル変換して、シリアル化されたクロック信号を出力するシリアライザ回路と、

前記シリアライザ回路から出力された、シリアル化されたデータ信号をシリアルーパラレル変換して、パラレル化されたデータを生成するとともに、前記シリアライザ回路から出力された、シリアル化されたクロック信号をシリアルーパラレル変換して、パラレル化された、クロック信号を生成するデシリアライザ回路と、

前記デシリアライザ回路で生成されたクロック信号を減衰させるアッテネータ回路とを備え、

前記ドライバ I C チップのシフトレジスタは、前記アッテネータ回路から出力されたクロック信号に同期して、前記デシリアライザ回路で生成された、パラレル化された前記データ信号の転送を行う

10

20

30

40

50

ことを特徴とする請求項 1 2 に記載の駆動装置。

【請求項 1 4】

前記被駆動素子と、
請求項 1 2 又は 1 3 に記載の駆動装置とを備え、
前記被駆動素子が印刷用被駆動素子であることを特徴とするプリントヘッド。

【請求項 1 5】

前記印刷用被駆動素子が、発光素子又は発熱素子であることを特徴とする請求項 1 4 に記載のプリントヘッド。

【請求項 1 6】

前記印刷用被駆動素子が発光素子であり、
請求項 1 4 に記載のプリントヘッドと、
感光ドラムに静電潜像を形成する露光装置と、
前記感光ドラム上に前記静電潜像に対応したトナー像を形成する現像部と、
前記感光ドラム上のトナー像を印刷用紙に転写する転写部と
を備えた画像形成装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、列を成すように配置された複数の被駆動素子を選択的に、かつサイクル毎に駆動する駆動装置、及び該駆動装置を構成するドライバ IC チップに関する。複数の被駆動素子としては、例えば光源に LED（発光ダイオード）を用いた電子写真プリンタにおける LED の列、サーマルプリンタにおける発熱抵抗体の列、表示装置における表示素子の列がある。

本発明はさらに、上記の駆動装置を備えたプリントヘッド、及び該プリントヘッドを備えた画像形成装置に関する。

【背景技術】

【0002】

以下の説明において、発光ダイオードを LED、モノリシック集積回路を IC、N チャネル MOS トランジスタを NMOS、P チャネル MOS トランジスタを PMOS と略称することがある。さらにチャンネル型を意識せず MOS トランジスタを単に「MOS」と略称することもある。

また、信号レベルに関し、High レベル（High）を論理値 1 に、Low レベル（Low）を論理値 0 に対応させて記載することがある。

さらに、信号の論理を明確にする必要のある場合には、信号名末尾に -P を付して正論理信号であることを、信号名末尾に -N を付して負論理信号であることを示す。

さらに、信号を表す符号として、信号が入力または出力される端子、或いは信号が出力される素子乃至回路と同じ符号が用いられることがある。

【0003】

個々の発光素子の発光により感光ドラム上に形成される静電潜像、もしくは現像後のトナー像、あるいは印刷媒体上に転写されたトナー像の各画素をドットと称することがある。

それと同様に、上記のドットと対応する個々の発光素子それぞれをドットと呼ぶことがある。

本書で取り上げているプリントヘッドとは、発光素子およびその駆動素子等を配置してなるユニットの一般名称である。上記プリントヘッドを LED プリンタ装置に限定して適用される場合には LED プrintヘッドと称する。

以下、被駆動素子の群が電子写真プリンタに用いられる発光素子の列であるとして説明する。

【0004】

従来、電子写真方式を用いたプリンタなどの画像形成装置には、発光素子を多数配列さ

10

20

30

40

50

せて露光部を形成したものがある。発光素子としては、発光ダイオード（ＬＥＤ）のほか、有機ＥＬ、発光サイリスタなどが用いられる。

【０００５】

このうち、発光ダイオード、或いは発光サイリスタを用いたものでは、駆動回路と発光素子とが１対Ｎ（ $N > 1$ ）に対応するように設けられ、発光素子のアノード・カソード間に電流を流すか否かにより、発光／非発光の状態を切り替えている（特許文献１）。

【０００６】

一般に、発光状態におけるＬＥＤの光出力はその駆動電流により決まり、駆動電流を調整することで露光部への露光エネルギー量を調整することができる。

また、一般に発光素子は化合物半導体を用いて構成されており、その結晶欠陥に起因する光量ばらつきが不可避であって、これを用いる画像形成装置に印刷濃度ムラを生じてしまう。

【０００７】

そのため、前述した発光素子への駆動電流値を調整するため、発光素子に対応してメモリを設けて各素子の補正量を示すデータを格納しておき、格納したデータに基づいた駆動電流値により駆動することで光量ばらつきを補正する構成が公知である。

【０００８】

発光素子としてＬＥＤを用いる場合の構成が特許文献２において開示されている。

特許文献２に記載の発光素子はＬＥＤであるが、ＬＥＤに代えて発光サイリスタを用いる構成が本出願人により開示されている（特許文献３、４、５）。

【０００９】

従来のＬＥＤヘッドに用いられるドライバＩＣチップにおいては、フリップフロップをカスケード接続して成るシフトレジスタの出力側に選択回路と出力バッファを設けており、ドライバＩＣチップをカスケード接続する場合に、

$T_{CLK} > T_{FF} + T_{SEL} + T_{DO} + T_{DI}$
を満足する必要があった。

ここで、 T_{CLK} はクロック周期、 T_{FF} はフリップフロップの遅延時間、 T_{SEL} は選択回路の遅延時間、 T_{DO} はデータ出力バッファの遅延時間、 T_{DI} はカスケード接続される後段ドライバＩＣチップのデータ入力バッファの遅延時間である。

【００１０】

このように、従来のＬＥＤヘッドにおいては、

$T_{FF} + T_{SEL} + T_{DO} + T_{DI}$
の合計値よりも短いクロック周期のもとではデータ転送を行うことができなかった。

【００１１】

一方、ドライバＩＣチップを搭載するＬＥＤヘッドにおいては、ＬＥＤヘッドのコネクタ端子部（入力コネクタ部）における信号タイミングとして、クロック信号に対するデータ信号のタイミングを同期のとれたものとするのが望ましく、クロック信号に対するホールド時間として大きな値が要請されたりすると、データ転送用クロック信号の周期を短く、すなわちクロック信号の周波数を高くすることが困難となる。このようにクロック信号の周波数を高くすることができないために、データ転送レートが制約されている。

この結果、印刷データの転送に長時間を要することになり、プリンタでの印刷速度が制約されてしまうという課題があった。

【００１２】

この課題を解決する構成として、本発明者によって特許文献６に下記の構成が開示されている。

特許文献６の構成においては、ドライバＩＣチップのカスケード接続において、初段ＩＣと２段目以降ＩＣとで、前述した遅延時間のうち、 T_{DI} を変更可能とすることで、ＬＥＤヘッドとして所望のホールド時間を満たしつつ、印刷データの転送の際のクロック周波数の最大値を増加させることを可能とした構成となっている。

【００１３】

10

20

30

40

50

ところが、特許文献6の構成においては、印刷データの転送に先立って行われる補正データの転送においてセットアップ時間やホールド時間が未確定となってしまうことを防ぐ目的で、IC内に電源電圧投入を検知してリセットを行うパワーオンリセット回路を搭載する必要があった。

【0014】

上記したパワーオンリセットはIC内に集積されたコンデンサへの電圧充電特性を用いてリセット時間を作成しているため、コンデンサの静電容量として大きい値を必要とすることから必然的に大きな占有面積を要し、ドライバICチップのチップ面積を小さくする上での大きな制約となっており、その解決が望まれていた。

【先行技術文献】

【特許文献】

【0015】

【特許文献1】特開平3-194978号公報

【特許文献2】特開平9-109459号公報

【特許文献3】特開2010-40641号公報

【特許文献4】特開2010-118594号公報

【特許文献5】特開2011-222590号公報

【特許文献6】特開2008-235844号公報

【発明の概要】

【発明が解決しようとする課題】

【0016】

以上のように、従来の駆動装置では、ドライバICチップのチップ面積を小さくする上での制約があった。また、LED等の被駆動素子の増加に伴うヘッドの部品点数の増加を抑制することが困難であった。

【0017】

以上、印刷データに応じてLEDの列を駆動する駆動装置について説明したが、他の被駆動素子の列、例えば、LED以外の発光素子の列、サーマルプリンタで用いられる発熱抵抗体の列、表示装置における表示素子の列を、駆動データに応じて駆動する場合にも同様の駆動装置で駆動可能であり、同様の問題がある。

【課題を解決するための手段】

【0018】

本発明のドライバICチップは、

アレイを構成する被駆動素子を駆動する駆動回路と、

データ入力端子と、

前記被駆動素子を駆動するか否かを示す駆動データを転送するためのシフトレジスタと

、

遅延回路と、

遅延時間データメモリ回路と

を有するドライバICチップにおいて、

前記シフトレジスタは、複数のフリップフロップをカスケード接続して成り、

前記シフトレジスタの初段のフリップフロップのデータ入力端子は前記遅延回路を介してデータ入力端子に接続され、

前記遅延回路の遅延時間は、前記遅延時間データメモリ回路に格納されている遅延時間データに応じて制御され、

前記駆動データの転送に先立ち、前記遅延時間データが前記シフトレジスタにより転送されて、前記遅延時間データメモリ回路に書き込まれ、

前記遅延時間データの転送に先立ち、固定値のデータが、前記シフトレジスタにより転送されて、前記遅延時間データメモリ回路に書き込まれる

ことを特徴とする。

【発明の効果】

10

20

30

40

50

【0019】

本発明によれば、ドライバＩＣチップのチップ面積を小さくすることができる。

【図面の簡単な説明】

【0020】

【図１】本発明の実施の形態１の電子写真プリンタにおける制御系を示すブロック図である。

【図２】図１のＬＥＤヘッドにおけるＬＥＤアレイとドライバＩＣチップの配置の概要を示す図である。

【図３】図１のＬＥＤヘッドに含まれる複数のＬＥＤアレイと、ドライバＩＣチップの接続の概略を示す図である。

10

【図４】図３のドライバＩＣチップの構成を示すブロック図である。

【図５】図４の遅延回路１４３～１４６の各々の構成を示す図である。

【図６】図４のメモリ回路ＭＥＭの構成を示す図である。

【図７】図４のメモリ回路ＭＤＭの構成を示す図である。

【図８】図４のマルチプレクサ回路ＭＵＸの構成を示す図である。

【図９】図４のＬＥＤ駆動回路ＤＲＶの構成を示す図である。

【図１０】図４のメモリ制御回路ＣＴＲ１の構成を示す図である。

【図１１】実施の形態１における補正データの転送及び書き込みを示すタイムチャートである。

【図１２】図４のマルチプレクサ制御回路ＣＴＲ２の構成を示す図である。

20

【図１３】実施の形態１における印刷データの転送及びＬＥＤの駆動を示すタイムチャートである。

【図１４】図４の制御電圧発生回路ＡＤＪの構成を示す図である。

【図１５】図２のＬＥＤヘッド１９の構成を概略的に示す断面図である。

【図１６】図１３において、ドライバＩＣチップの数が１個であるものとして簡略化し、波形をより詳細に示すタイムチャートである。

【図１７】図１１において、ドライバＩＣチップの数が１個であるものとして簡略化し、図１１における期間Ｔａ及びＴｂの部分の詳細を示すタイムチャートである。

【図１８】図１１において、ドライバＩＣチップの数が１個であるものとして簡略化し、図１１における期間Ｔｃ及びＴｄの部分の詳細を示すタイムチャートである。

30

【図１９】図１１において、ドライバＩＣチップの数が１個であるものとして簡略化し、図１１における期間Ｔｅ及びＴｆの部分の詳細を示すタイムチャートである。

【図２０】図１１において、ドライバＩＣチップの数が１個であるものとして簡略化し、図１１における期間Ｔｇ及びＴｈの部分の詳細を示すタイムチャートである。

【図２１】図４に示したドライバＩＣチップをカスケード接続して成る回路において、印刷データの転送における動作の概要を分かりやすくするため、第１段のドライバＩＣチップと第２段のドライバＩＣチップの要部を抜き出して記載した回路図である。

【図２２】図２１の回路の動作を示すタイムチャートである。

【図２３】実施の形態１におけるリセット処理を示すタイムチャートである。

【図２４】従来のドライバＩＣチップＤＩＣにおけるパワーオンリセット回路を、メモリ回路ＭＤＭとともに示すブロック図である。

40

【図２５】図２４のパワーオンリセット回路４３１の構成を示す回路図である。

【図２６】（ａ）～（ｃ）は、図２５のパワーオンリセット回路の各部に現れる信号の波形を示す図である。

【図２７】実施の形態１の変形例におけるリセット処理を示すタイムチャートである。

【図２８】本発明の実施の形態２の電子写真プリンタにおける制御系を示すブロック図である。

【図２９】図２８の印刷制御部１、シリアライザ回路５２１及びＬＥＤヘッド５１９間の接続、並びにＬＥＤヘッド５１９の構成例を示すブロック図である。

【図３０】図２９の第１のＬＥＤアレイ列と、対応するドライバＩＣチップの接続の概略

50

を示す図である。

【図 3 1】図 2 9 の第 2 の L E D アレイ列と、対応するドライバ I C チップの接続の概略を示す図である。

【図 3 2】(a) は、図 2 9 のアッテネータ回路 5 2 5 の構成を示す回路図で、(b) は、該アッテネータ回路 5 2 5 の動作を示すタイムチャートである。

【図 3 3】実施の形態 2 における印刷データの転送及び L E D の駆動を示すタイムチャートである。

【図 3 4】実施の形態 2 における補正データの転送及び書込みを示すタイムチャートである。

【図 3 5】実施の形態 2 における、図 2 1 と同様の回路の動作を示すタイムチャートである。

【図 3 6】実施の形態 2 におけるリセット処理を示すタイムチャートである。

【図 3 7】従来の電子写真プリンタにおける制御系を示すブロック図である。

【図 3 8】本発明の実施の形態 2 の電子写真プリンタの変形例における制御系を示すブロック図である。

【図 3 9】タンデムカラープリンタの概略構成を示す図である。

【発明を実施するための形態】

【0 0 2 1】

実施の形態 1 .

以下、本発明を電子写真プリンタで用いられるドライバ I C チップに適用した場合について説明する。その場合、被駆動素子は発光素子であり、ドライバ I C チップでは、被駆動素子を駆動すべきか否かを表す駆動データとして印刷データが送信される。

【0 0 2 2】

[電子写真プリンタの構成]

図 1 は実施の形態 1 の電子写真プリンタの制御系を示す。

図 1 に示すように、電子写真プリンタは、印刷制御部 1 を有する。印刷制御部 1 は、マイクロプロセッサ、R O M、R A M、入出力ポート、タイマ等によって構成されており、プリンタの印刷部の内部に配設され、図示しない画像処理部を備えた上位コントローラからの制御信号 S G 1、ビデオ信号（ドットマップデータを一次元的に配列したもの）S G 2 等によってプリンタ全体をシーケンス制御し、印刷動作を行う。

【0 0 2 3】

上記の制御信号 S G 1 によって印刷指示を受信すると、印刷制御部 1 は、先ず定着器温度センサ 2 3 によってヒータ 2 2 a を内蔵した定着器 2 2 が使用可能な温度範囲にあるか否かを検出し、該温度範囲になればヒータ 2 2 a に通電し、使用可能な温度まで定着器 2 2 を加熱する。

次に、ドライバ 2 を介して現像・転写プロセス用モータ（P M）3 を回転させ、同時にチャージ信号 S G C によって帯電用高圧電源 2 5 をオンにし、現像部 2 7 の帯電を行う。

【0 0 2 4】

そして、図示しないプリント用紙の有無（図示しない給紙部に用紙がセットされているかどうか）および種類が、それぞれ用紙残量センサ 8 及び用紙サイズセンサ 9 によって検出され、該用紙に合った用紙送りが開始される。

用紙送りモータ（P M）5 はドライバ 4 を介して双方向に回転させることが可能であり、最初に逆転させて、用紙吸入口センサ 6 が検知するまで、セットされた用紙を予め設定された量だけ送る。続いて、正回転させて用紙をプリンタ内部の印刷機構内に搬送することができる。

【0 0 2 5】

印刷制御部 1 は、用紙が印刷可能な位置まで到達した時点において、上位コントローラに対してタイミング信号 S G 3（主走査同期信号、副走査同期信号を含む）を送信し、これに応じて上位コントローラから送信されたビデオ信号 S G 2 を受信する。

ビデオ信号 S G 2 は、上位コントローラにおいてページ毎に編集され、印刷制御部 1 に

送信される印刷データである。

印刷制御部 1 に受信されたビデオ信号 S G 2 は、印刷データ H D - D A T A 3 ~ 0 として L E D ヘッド 1 9 に送信される。

L E D ヘッド 1 9 は複数個の L E D を含む。これらの L E D は、それぞれ 1 ドット（ピクセル）の印刷のために設けられたものであり、直線に沿って配列されている。

【 0 0 2 6 】

印刷制御部 1 は 1 ライン分のビデオ信号 S G 2 を印刷データとして送出すると、L E D ヘッド 1 9 にラッチ信号 H D - L O A D を送出し（H D - L O A D を H i g h にし）、送出された印刷データ H D - D A T A 3 ~ 0 を L E D ヘッド 1 9 内に保持させる。

印刷制御部 1 は上位コントローラから次のビデオ信号 S G 2 を受信している最中においても、L E D ヘッド 1 9 に保持されている印刷データ H D - D A T A 3 ~ 0 に基づいて L E D を駆動させることができる。

【 0 0 2 7 】

クロック信号 H D - C L K - P、H D - C L K - N は、印刷データ H D - D A T A 3 ~ 0 を L E D ヘッド 1 9 に送信するためのものである。

クロック信号としては小振幅差動信号（L V D S : L o w V o l t a g e D i f f e r e n t i a l S i g n a l i n g）が用いられる。

なお、特に明示する必要のない場合、上記の差動信号 H D - C L K - P、H D - C L K - N を総称して、あるいはこれらのうちの一方を単に符号「H D - C L K」、もしくは「H D - C L K I」で表す場合がある。

【 0 0 2 8 】

また、主走査同期信号 H D - H S Y N C - N、ストロブ信号 H D - S T B - N も印刷制御部 1 から L E D ヘッド 1 9 に供給される。

さらにまた、印刷制御部 1 と L E D ヘッド 1 9 とは電源線 V D D 及びグランド線 G N D で接続されている。

【 0 0 2 9 】

ビデオ信号 S G 2 の送受信は、印刷ライン毎に行われる。L E D ヘッド 1 9 によって印刷される情報は、マイナス電位に帯電させられた図示しない感光ドラム上において電位の上昇したドットとして潜像化される。そして、現像部 2 7 において、マイナス電位に帯電させられた画像形成用のトナーが、電気的な吸引力によって感光ドラム上の各ドットに吸引され、トナー像（顕像）が形成される。

【 0 0 3 0 】

その後、該トナー像は転写部 2 8 に送られ、一方、転写信号 S G 4 に応じて転写用高圧電源 2 6 がオンとなり、プラスの高電圧を発生し、転写部 2 8 は感光ドラムと転写部 2 8 との間隔を通過する用紙上にトナー像を転写する。

【 0 0 3 1 】

トナー像が転写された用紙は、ヒータ 2 2 a を内蔵する定着器 2 2 に当接して搬送され、該定着器 2 2 の熱によって用紙に定着される。画像が定着された用紙は、更に搬送されてプリンタの印刷機構から用紙排出口センサ 7 を通過してプリンタの外部に排出される。

【 0 0 3 2 】

印刷制御部 1 は用紙サイズセンサ 9、用紙吸入口センサ 6 の検知に対応して、用紙が転写部 2 8 を通過している間だけ転写用高圧電源 2 6 からの電圧を転写部 2 8 に印加する。印刷が終了し、用紙が用紙排出口センサ 7 を通過すると、帯電用高圧電源 2 5 による現像部 2 7 への電圧の印加を終了し、同時に現像・転写プロセス用モータ 3 の回転を停止させる。

各用紙について上記の動作が繰り返される。

【 0 0 3 3 】

[L E D ヘッドの構成]

次に、L E D ヘッド 1 9 について説明する。

【 0 0 3 4 】

本実施の形態 1 の説明においては、一例として A 4 サイズの用紙に 1 インチ当たり 6 0 0 ドットの解像度で印刷可能な L E D ヘッドを想定する。この場合、L E D の総数は 4 9 9 2 であり、これを構成するために例えば図 2 に示すように、各々 1 9 2 個の L E D を備えた 2 6 個の L E D アレイが直線状に配列されている。2 6 個の L E D アレイに対応して 2 6 個のドライバ I C チップが設けられている。以下では、このドライバ I C チップを単に「ドライバチップ」と言う。

【0035】

図 3 は L E D ヘッドにおける L E D アレイとドライバチップとの接続の概略を示す。図 3 では図示の簡略化のため、2 6 個の L E D アレイのうちの 2 個、具体的には 1 番目及び 2 番目の L E D アレイ C H P 1、C H P 2 と、これらに対応して配置された 2 個のドライバチップ D I C 1、D I C 2 のみが示されている。言い換えると、第 3 番目乃至 2 6 番目の L E D アレイ C H P 3 ~ C H P 2 6、及び 3 番目乃至 2 6 番目のドライバチップ D I C 3 ~ D I C 2 6 は図示が省略されている。

L E D アレイ C H P 1 ~ C H P 2 6 は、互いに同一の回路により構成され、ドライバチップ D I C 1 ~ D I C 2 6 は、互いに同一の回路により構成され、互いにカスケード接続されている。

なお、以下の説明において、すべてのドライバチップ当てはまる説明においては、符号 D I C を用いることがある。同様に、すべての L E D アレイに当てはまる説明においては、符号 C H P を用いることがある。

【0036】

ドライバチップ D I C 1 ~ D I C 2 6 により、ドライバチップの列 3 1 が構成され、L E D アレイ C H P 1 ~ C H P 2 6 により L E D アレイの列 3 2 が構成されている（図 2）。

【0037】

各 L E D アレイ C H P 内のすべての奇数番目の L E D（1 0 1、1 0 3、1 0 5、1 0 7 など）のカソード同士が互いに接続され、すべての偶数番目の L E D（1 0 2、1 0 4、1 0 6、1 0 8 など）のカソード同士が互いに接続され、互いに隣接して配置された 2 個の L E D（例えば 1 0 1 と 1 0 2）のアノード端子同士が互いに接続されており、奇数番目の L E D と偶数番目の L E D とは時分割に駆動される。

【0038】

各 L E D アレイ C H P には上記のように、1 9 2 個の L E D が含まれている。図 3 には、L E D アレイ C H P 1 に設けられた 1 9 2 個の L E D のうちのアレイの両端に位置する 4 個の L E D が符号 1 0 1 ~ 1 0 4 で示されている。同様に、L E D アレイ C H P 2 に設けられた 1 9 2 個の L E D のうちのアレイの両端に位置する 4 個の L E D が符号 1 0 5 ~ 1 0 8 で示されている。

【0039】

2 6 個の L E D アレイ C H P 1 ~ C H P 2 6 に対して、2 個の M O S 1 0 9、1 1 0 が設けられている。これらの M O S 1 0 9、1 1 0 は大電流を流し得るパワー M O S で構成され、それぞれ第 1 及び第 2 の共通スイッチを構成する。

M O S 1 0 9 のドレインは 2 6 個の L E D アレイ C H P 1 ~ C H P 2 6 のすべての奇数番目の L E D（1 0 1、1 0 3、1 0 5、1 0 7 等）のカソードに、具体的にはこれらを互いに接続したコモンカソード端子に接続され、M O S 1 1 0 のドレインは 2 6 個の L E D アレイ C H P 1 ~ C H P 2 6 のすべての偶数番目の L E D（1 0 2、1 0 4、1 0 6、1 0 8 等）のカソード、具体的にはこれらを互いに接続したコモンカソード端子に接続されている。

M O S 1 0 9、1 1 0 のソースはグラウンドに接続される。

【0040】

M O S 1 0 9 のゲートは 1 番目のドライバチップ D I C 1 のスイッチ制御端子 K D R と接続され、M O S 1 1 0 のゲート端子は 2 番目のドライバチップ D I C 2 のスイッチ制御端子 K D R と接続されている。

ドライバチップ D I C 1 のスイッチ制御端子 K D R から M O S 1 0 9 のゲートに供給される信号（スイッチ制御信号）K D R は符号 O D D で示され、

ドライバチップ D I C 2 のスイッチ制御端子 K D R から M O S 1 1 0 のゲートに供給される信号（スイッチ制御信号）K D R は符号 E V E N で示されている。

【0041】

O D D 信号は、奇数番目の L E D を駆動するタイミングで出力され（H i g h となり）、E V E N 信号は、偶数番目の L E D を駆動するタイミングで出力され（H i g h となる）。

O D D 信号と、E V E N 信号とで、パワー M O S 1 0 9 とパワー M O S 1 1 0 を異なるタイミングでオンさせることにより、奇数番目の L E D と、偶数番目の L E D を時分割駆動することができる。

【0042】

図 3 に示す構成においては、印刷データ H D - D A T A 3 ~ 0 のデータ線を 4 本とし、互いに隣接する 8 個の L E D のうち、奇数番目の 4 個の L E D 及び偶数番目の 4 個の L E D のデータを 1 パルスのクロック信号毎に同時に（並行して）送出する構成としている。即ち、あるタイミングでは、上記の 8 個の L E D のうち、奇数番目の 4 個の L E D （画素）に対するデータを同時に（並行して）送出し、別のタイミングでは偶数番目の 4 個の L E D （画素）に対するデータを同時に（並行して）送出することとしている。奇数番目の L E D に対するデータの送出と、偶数番目の L E D の対するデータの送出とは交互に、時分割的に行われる。

【0043】

印刷制御部 1 から出力される印刷データ H D - D A T A 3 ~ 0 はクロック信号 H D - C L K と共に L E D ヘッド 1 9 に入力され、上記した 4 9 9 2 ドット分のビットデータがドライバチップ D I C 1、D I C 2 等の内部に設けられた、後述するシフトレジスタ中を順次転送される。

奇数番目の L E D のためのデータの転送と偶数番目の L E D のためのデータの転送とが時分割的に行われるため、2 度に分けて 2 4 9 6 ドット分ずつ転送される。

例えば、奇数番目の全ての（2 4 9 6 個の）ドット（L E D）のためのドットデータが先に転送され、その後偶数番目の全ての（2 4 9 6 個）のドット（L E D）のためのドットデータが転送される。

【0044】

具体的には、奇数番目のすべてのドットのドットデータ（印刷データ）の転送が終わり、シフトレジスタを構成する複数段のフリップフロップに保持された状態になると、ラッチ信号 H D - L O A D が L E D ヘッド 1 9 に入力され（H D - L O A D が H i g h にされ）、これらのドットデータは上記のフリップフロップにそれぞれ対応して設けられたラッチ回路にラッチされる。

奇数番目のすべてのドットのドットデータがラッチされた状態となると、ドットデータとストローク信号 H D - S T B - N とによって、それぞれの L E D が、対応する印刷データに応じて駆動される。

【0045】

偶数番目のすべてのドットのドットデータ（印刷データ）の転送が終わり、シフトレジスタを構成する複数段のフリップフロップに保持された状態になると、ラッチ信号 H D - L O A D が L E D ヘッド 1 9 に入力され（H D - L O A D が H i g h にされ）、これらのドットデータは上記のフリップフロップにそれぞれ対応して設けられたラッチ回路にラッチされる。

偶数番目のすべてのドットのドットデータがラッチされた状態となると、ドットデータとストローク信号 H D - S T B - N とによって、それぞれの L E D が、対応する印刷データに応じて駆動される。

【0046】

基準電圧 V r e f は L E D 駆動のための駆動電流値を指令するための電圧であって、L

10

20

30

40

50

LEDヘッド19内に設けられた図示しない基準電圧発生回路により発生され、各ドライバチップの基準電圧端子VREFに供給される。

この基準電圧発生回路はレギュレータ回路を備え、LEDの全点灯駆動時のように電源電圧が一瞬降下するような状況においても、基準電圧Vrefは所定値のままとでき、LED駆動電流の低下は発生しない。

【0047】

以上のような印刷の実行（印刷データの転送及び印刷データに基づくLEDの駆動）に先立って、印刷データの転送に用いられるのと同じシフトレジスタを用いて補正データが転送され、メモリに格納されており、印刷データに基づくLEDの駆動の際に、補正データに基づいて駆動電流値が補正される。

10

【0048】

シフトレジスタで転送される補正データを、印刷データと同じ符号「HD-DATA0～3」で表す。同様に、シフトレジスタで転送される後述の固定値のデータをも、同じ符号「HD-DATA0～3」で表す。即ち、符号「HD-DATA0～3」は、シフトレジスタで転送されるデータを表すのに用いられる。

【0049】

[ドライバチップ]

以下、ドライバチップについて詳細に説明する。

LEDヘッド19内のドライバチップDIC1～DIC26は、全て互いに同じ構成のものである。ドライバチップDIC1～DIC26として同じ回路構成を有し、同じ製造プロセスで製造されたものを用いることにより、特性のばらつきを最小限にすることができる。

20

【0050】

図4はドライバチップDIC1～DIC26のうちの一つの詳細な構成を示すブロック図である。

データ入力端子DATAI0～3には、データDATA0～3が入力される。

初段のドライバチップDIC1のデータ入力端子DATAI0～3には、LEDヘッド19への入力データHD-DATA0～3が入力される。

初段以外の各段のドライバチップDIC1のデータ入力端子DATAI0～3には、前段のドライバチップのデータ出力端子DATAO0～3から出力されるデータDATA0～3が入力される。

30

【0051】

各段のドライバチップ内において、カスケード接続されたフリップフロップFFA1～A25、FFB1～B25、FFC1～C25、FFD1～D25は、4つの互いに並列的なシフトレジスタSFRa～SFRdを構成する。

シフトレジスタSFRa～SFRdは、クロック信号CLKで駆動されて転送を行う。

【0052】

入力回路141は、小振幅差動信号CLK-P、CLK-Nを入力とし、小振幅差動信号CLK-P、CLK-Nをドライバチップ内部で用いられる論理振幅のクロック信号CLKに変換する。

40

【0053】

バッファ回路（以下「バッファ」と言う）142は、入力回路141の出力信号を受けて、シフトレジスタSFRa～SFRdを駆動するためのクロック信号CKを出力する。バッファ142は多数のフリップフロップを駆動するので、大きな駆動能力を有し、比較的大きな遅延時間を有する。

【0054】

遅延回路143～146は、小振幅差動入力回路141、バッファ142等によるクロック信号に対する遅延に略等しい遅延時間をデータ信号に与えることで、クロック信号経路とデータ信号経路との間で、信号遅延に著しい差を生じないように、即ち各フリップフロップへのクロック信号の供給とデータ信号（データ入力端子DATAI0～3を介して

50

入力されるデータ信号)の供給とが適切なタイミング(位相)関係を有することになるようにしている。

【0055】

シフトレジスタSFRa～SFRdの最後の段のフリップフロップFFA25、FFB25、FFC25、FFD25以外のフリップフロップ、即ちフリップフロップFFA1～A24、FFB1～B24、FFC1～C24、FFD1～D24にそれぞれ対応してラッチ回路LTA1～LTA24、LTB1～LTB24、LTC1～LTC24、LTD1～LTD24が設けられている。これらのラッチ回路の群の全体により印刷データ保持回路が構成されている。

ラッチ回路LTA1～LTD24へのラッチは、ラッチ端子LOADに入力されるラッチ信号LOAD-Pによって制御される。

10

【0056】

各ドライバチップ内に設けられた複数のメモリ回路(ドット補正データメモリ回路)MEMには、対応するLEDアレイ内のLEDの光量ばらつき補正の補正データ(ドット補正データ)が格納される。

各メモリ回路MEMは、隣り合う1対のLED、即ち奇数番目のLEDと偶数番目のLEDに対して設けられている。各メモリ回路MEMは、隣り合う1対のLED(ドット)のそれぞれのドット補正データを格納し、2組のデータ出力端子Mo、Meから読み出し可能になっている。

各々192個のLEDを持つLEDアレイに対応する各ドライバチップ内には、96個のメモリ回路MEMが設けられている。

20

ドット補正データはシフトレジスタSFRa～SFRdにより転送され、それぞれフリップフロップFFA1～A24、FFB1～B24、FFC1～C24、FFD1～D24に保持されているときに、対応するメモリ回路MEMに書き込まれる。

【0057】

メモリ回路MEMに格納されたドット補正データは、LEDの駆動の際に読み出されて、LEDの駆動電流の補正に利用される。

各メモリ回路MEMは、対応するフリップフロップのQ端子(データ出力端子)に接続された入力端子MDと、奇数番目のLEDのための補正データを出力する出力端子の組Moと、偶数番目のLEDの補正データを出力するための出力端子の組Meとを有する。

30

【0058】

各ドライバチップ内のメモリ回路(チップ補正データメモリ回路)MCMには、チップ補正データHcが格納されている。チップ補正データHcは、対応するLEDアレイのための光量補正データもしくは当該ドライバチップの固有データである。

チップ補正データはシフトレジスタSFRdにより転送され、該データがフリップフロップFFD25に保持されているときに、メモリ回路MCMに書き込まれる。

メモリ回路MCMに格納されたチップ補正データは、LEDの駆動の際に読み出されて、LEDの駆動電流の補正に利用される。

メモリ回路MCMは、フリップフロップFFD25のQ端子に接続された入力端子MDと、チップ補正データを出力する出力端子の組Mcとを有する。

40

【0059】

メモリ回路(遅延時間データメモリ回路)MDMには、同じドライバチップ内の遅延回路143～146の遅延時間を選択するための遅延時間データHdが記憶される。遅延時間データHdは、シフトレジスタSFRcを介して転送され、該データHdがフリップフロップFFC25に保持されているときに、メモリ回路MDMに書き込まれる。メモリ回路MDMに格納されている遅延時間データHdは、遅延時間選択信号DLとして、遅延回路143～146の遅延時間選択端子SXに供給される。

【0060】

メモリ回路(スイッチ制御データメモリ回路)MOEには、同じドライバチップのスイッチ制御端子KDRから出力されるスイッチ制御信号の値を決めるためのデータ(スイッ

50

チ制御データ) H k が格納される。メモリ回路 M O E に格納されたスイッチ制御データ H k は、印刷データに基づき L E D を駆動する際に読み出されて、スイッチ制御信号の生成に利用される。

メモリ回路 M O E のデータ入力端子は、フリップフロップ F F B 2 5 の Q 端子に接続されており、スイッチ制御データ H k は、シフトレジスタ S F R b を介して転送され、該データ H k がフリップフロップ F F B 2 5 に保持されているときに、メモリ回路 M O E に書き込まれる。

【0061】

96 個のメモリ回路 M E M に対応して、96 個のマルチプレクサ回路 M U X が設けられている。各マルチプレクサ回路 M U X は、L E D の駆動の際、対応するメモリ回路 M E M の 2 組の出力端子 M o、M e から読み出される 2 組の補正データ H o、H e を 2 組の入力端子 X o、X e で受けて、そのいずれかを選択して 1 組の出力端子 X Q から出力する。

【0062】

96 個のマルチプレクサ回路 M U X に対応し、かつ 96 個ラッチ回路 L T A 1 ~ L T D 2 4 に対応して、96 個の L E D 駆動回路 D R V が設けられている。

各 L E D 駆動回路 D R V は、対応するラッチ回路からの印刷データ (点滅データ) と、対応するマルチプレクサ回路 M U X から供給される補正データとに基づいて、L E D の駆動電流を出力する。

【0063】

抵抗 1 5 1 は、ストロブ端子 S T B と電源 V D D との間に接続されて、プルアップ素子を構成している。

【0064】

N A N D 回路 1 5 4 には、端子 S T B に入力されるストロブ信号 H D - S T B - N と、ラッチ端子 L O A D に入力されるラッチ信号 L O A D - P がそれぞれインバータ回路 (以下「インバータ」と言う) 1 5 2、1 5 3 を介して入力され、L E D 駆動回路 D R V による L E D の駆動のタイミングを定める信号 (駆動タイミング信号) D S T を生成する。

駆動タイミング信号 D S T は、ストロブ信号 H D - S T B - N とラッチ信号 L O A D - P がともに L o w のときに、L o w となり、このとき L E D 駆動回路 D R V により、L E D が駆動される。

【0065】

第 1 の制御回路 (メモリ制御回路) C T R 1 は、シフトレジスタで転送されたデータをメモリ回路 M E M、M C M、M D M、及び M O E に書き込む際に、書き込み指令信号 (メモリセル選択信号 W 0 ~ W 3、及びイネーブル信号 E 1、E 2) を発生する。

イネーブル信号 E 1 は、メモリ回路 M E M において、奇数番目のドットのための補正データの書き込みの許可に用いられる。イネーブル信号 E 2 は、メモリ回路 M E M において、偶数番目のドットのための補正データの書き込みの許可に用いられる。

イネーブル信号 E 1 は、メモリ回路 M C M において、補正データの書き込みの許可に用いられる。

イネーブル信号 E 2 は後述のように、選択回路 S E L の制御にも用いられる。

メモリセル選択信号 W 0 ~ W 3 は、メモリ回路 M E M 及び M C M において、メモリセルの選択に用いられる。

イネーブル信号 E 1 及びメモリセル選択信号 W 3 は、メモリ回路 M D M 及び M O E における書き込みの許可に用いられる。

【0066】

第 2 の制御回路 (マルチプレクサ制御回路) C T R 2 は、マルチプレクサ回路 M U X に対し奇数番目のドットのためのデータと偶数番目のドットのためのデータとのデータ選択信号 S 1 N、S 2 N を発生する。

【0067】

第 3 の制御回路 (共通スイッチ制御回路) C T R 3 は、メモリ回路 M O E に格納されているスイッチ制御データ H k に基づいてスイッチ制御信号 K D R を生成する。

10

20

30

40

50

第1段のドライバチップD I C 1では、共通スイッチ制御回路C T R 3により制御信号O D Dが生成され、スイッチ制御端子K D Rから出力される。

第2段のドライバチップD I C 2では、共通スイッチ制御回路C T R 3により、制御信号E V E Nが生成され、スイッチ制御端子K D Rから出力される。

ドライバチップD I C 3～D I C 26のスイッチ制御端子K D Rは開放とされている。

【0068】

制御電圧発生回路A D Jは、基準電圧端子V R E Fに入力された基準電圧V r e fを受けて、L E D駆動のための制御電圧V c o n tを発生する。

制御電圧V c o n tの値は、メモリ回路M C Mの端子M cを介して供給される補正データに基づいて調整される。

【0069】

ドライバチップのデータ入力端子D A T A I 0は遅延回路143を介して初段のフリップフロップF F A 1のD端子（データ入力端子）に接続されている。

第24段フリップフロップF F A 24のQ端子及び第25段のフリップフロップF F A 25のQ端子は選択回路S E Lの入力端子A 0及びB 0に接続され、これらの入力端子A 0及びB 0に対応する出力端子Y 0はバッファ回路（バッファ）147を介してドライバチップのデータ出力端子D A T A O 0に接続されている。

【0070】

同様に、ドライバチップのデータ入力端子D A T A I 1～13は遅延回路144～146を介してフリップフロップF F B 1～D 1のD端子にそれぞれ接続されている。

そして、フリップフロップF F B 24及びF F B 25のQ端子は、選択回路S E Lの入力端子A 1、B 1に接続され、フリップフロップF F C 24及びF F C 25のQ端子は、選択回路S E Lの入力端子A 2、B 2に接続され、フリップフロップF F D 24及びF F D 25のQ端子は、選択回路S E Lの入力端子A 3、B 3に接続されている。

さらに、入力端子A 1、B 1に対応する出力端子Y 1、入力端子A 2、B 2に対応する出力端子Y 2、及び入力端子A 3、B 3に対応する出力端子Y 3はそれぞれバッファ回路（バッファ）148～150を介してドライバチップのデータ出力端子D A T A O 1～3に接続されている。

【0071】

従って、フリップフロップF F A 1～A 25、F F B 1～B 25、F F C 1～C 25、F F D 1～D 25は、それぞれ25段のフリップフロップを備えたシフトレジスタS F R a～S F R dを構成しており、選択回路S E Lによりシフト段数を24段と25段のいずれかに切り替えることができる。

【0072】

選択回路S E Lは、イネーブル信号E 2によって制御されて上記の選択動作を行う。即ち、イネーブル信号E 2がH i g hのときは、入力端子B 0～B 3を出力端子Y 0～Y 3に接続して、シフトレジスタS F R a～S F R dを25段のシフトレジスタとして動作させ、イネーブル信号E 2がL o wのときは、入力端子A 0～A 3を出力端子Y 0～Y 3に接続して、シフトレジスタS F R a～S F R dを24段のシフトレジスタとして動作させる。

例えば、印刷データの転送の際は、24段のシフトレジスタとして動作させ、補正データの転送の際は、25段のシフトレジスタと動作させる。

【0073】

カスケード接続された26段のドライバチップのうちの最後の段以外の段のドライバチップD I C i（iは1から25のいずれか）のデータ出力端子D A T A O 0～3は、次段のドライバチップD I C（i+1）のデータ入力端子D A T A I 0～3にそれぞれ接続されている。

従って、ドライバチップD I C 1～D I C 26のフリップフロップF F A 1～A 25は、印刷制御部1から初段のドライバチップD I C 1に入力されるデータ信号H D－D A T A 0をクロック信号に同期してシフトさせる24×26段あるいは25×26段のシフト

10

20

30

40

50

レジスタを構成する。

【0074】

同様に、ドライバチップD I C 1～D I C 2 6のフリップフロップF F B 1～B 2 5、F F C 1～C 2 5、F F D 1～D 2 5は、印刷制御部1から初段のドライバチップD I C 1に入力されるデータ信号H D - D A T A 1～3をクロック信号に同期してシフトさせる2 4×2 6段あるいは2 5×2 6段のシフトレジスタをそれぞれ構成する。

【0075】

ここで各ドライバチップの入力部に遅延回路1 4 3～1 4 6を設ける必要性につき、より詳しく述べる。

遅延回路1 4 3～1 4 6を設けず、代わりに遅延時間を持たないバッファを設けた場合には、小振幅差動入力回路1 4 1とバッファ1 4 2等による信号遅延の合計値が上記のバッファ（遅延回路1 4 3～1 4 6の代わりに設けたもの）の遅延時間よりも大きくなる。

【0076】

このような構成においては、データ信号を、ドライバチップのデータ入力端子D A T A I 0～3に、クロック端子（C L K P、C L K N）の信号の有効な信号遷移（いまの場合ではクロックの立下りエッジ）に対して、所定のセットアップ時間とホールド時間とを与えて入力した場合、フリップフロップF F A 1～D 1においては、クロック信号よりもデータ信号の方が早めに到達することになる。

このような状況においては、フリップフロップのD端子から見ると、セットアップ時間が増加し、ホールド時間が減少する側にタイミングのずれが生じる。

【0077】

このようなタイミングのずれによる誤動作を防止するためには、印刷制御部1の側で予めクロック信号（C L K P、C L K N）に対してデータ入力端子（D A T A I 0～3）側に遅延時間を与えておく必要がある。しかし、上記の遅延時間はドライバチップの製造ばらつき等により異なるので、印刷制御部1の側で適切な値を予め設定することは困難である。

【0078】

そこで、ドライバチップの製造ばらつきに起因するタイミングのずれが発生しないように、クロック信号の遅延時間に応じた遅延時間をデータ信号の側にも与えることが行われる。

このようにすることで、クロック信号の遅延時間がドライバチップの製造ばらつきにより変動したとしても、データ信号側の遅延時間も同じ程度に変動することが期待できるので、ドライバチップのクロック端子とデータ入力端子に生じるタイミングのずれは相殺可能になる。

【0079】

[遅延回路1 4 3～1 4 6]

図4の遅延回路1 4 3～1 4 6は、互いに同じ構成を有する。図5は、図4で示した遅延回路1 4 3～1 4 6として用いられる遅延回路を示す。

図5に示される遅延回路は、インバータ回路（インバータ）1 7 1～1 7 9と、AND回路1 8 0、1 8 1と、OR回路1 8 2とを有する。

【0080】

インバータ1 7 1～1 7 7は直列に接続されている。

1段目のインバータ1 7 1の入力端子は遅延回路の入力端子D aに接続され、1段目～6段目のインバータ1 7 1～1 7 6の出力端子はそれぞれ次段のインバータ1 7 2～1 7 7の入力端子に接続されている。

インバータ1 7 9の入力端子は遅延時間選択端子S Xに接続されている。

AND回路1 8 0の第1の入力端子はインバータ1 7 7の出力端子に接続され、AND回路1 8 0の第2の入力端子は遅延時間選択端子S Xに接続されている。

AND回路1 8 1の第1の入力端子はインバータ1 7 1の出力端子に接続され、AND回路1 8 1の第2の入力端子はインバータ1 7 9の出力端子に接続されている。

OR回路182の第1の入力端子はAND回路180の出力端子に接続され、OR回路182の第2の入力端子はAND回路181の出力端子に接続され、OR回路182の出力端子はインバータ178を介して遅延回路の出力端子Dyと接続されている。

【0081】

遅延時間選択端子SXは、遅延時間選択信号DLYを受けるように接続されている。

遅延時間選択信号DLYがHighであると、AND回路180はインバータ177の出力を通過させ、AND回路181はインバータ171の出力を阻止する。従って、遅延回路143の遅延時間は、インバータ171～177における遅延時間の合計となり、比較的長い時間となる。

遅延時間選択信号DLYがLowであると、AND回路181はインバータ171の出力を通過させ、AND回路180はインバータ177の出力を阻止する。従って、遅延回路143の遅延時間は、インバータ171における遅延時間に相当するものとなり、比較的短い時間となる。

【0082】

インバータ179、AND回路180、181及びOR回路182により、遅延時間選択信号DLYに応じて、インバータ171の出力とインバータ177のいずれかを選択する選択回路が構成されている。

なお、直列接続されたインバータの数は図示の例のように7に限らず、2以上の整数であれば良い。また、図示の例では7番目のインバータ177の出力と、1番目のインバータ171の出力のいずれかを選択することとしているが、要するに、直列接続されたインバータの数がP個である場合に、P番目のインバータの出力と、Q番目（QはPよりも小さい整数）のインバータの出力のいずれかを選択することとすれば良い。

【0083】

なお、インバータ171～177の代わりに、バッファ回路を用いても良い。要するに、入力端子と出力端子との間に遅延時間を有する回路であれば良い。

【0084】

[メモリ回路MEM]

図6は図4のメモリ回路MEMの構成例を示す。

本実施の形態1の構成においては、ドット補正データは4ビットから成り、LED駆動電流をドット毎に16段階に調整することで光量補正を行うものとする。

【0085】

図6に示されるメモリ回路MEMは、第1のメモリセル回路211と、第2のメモリセル回路212と、バッファ回路（バッファ）221と、インバータ回路（インバータ）222と、補正データ入力端子MDと、イネーブル端子E1、E2と、メモリセル選択端子W0～W3と、補正データ出力端子の組Mo、Meとを備えている。

第1及び第2のメモリセル回路211及び212は、互いに隣接する2個のLED（2ドット）のための補正データを記憶する。即ち、第1のメモリセル回路211は、奇数番目のドットのための補正データを格納する。第2のメモリセル回路212は、偶数番目のドットのための補正データを格納する。

【0086】

補正データ入力端子MDは、対応するフリップフロップのQ端子に接続され、当該フリップフロップからドット補正データHo又はHeを受ける。イネーブル端子E1、E2には、メモリ制御回路CTR1からのイネーブル信号E1、E2がそれぞれ入力される。メモリセル選択端子W0～W3には、メモリ制御回路CTR1からのメモリセル選択信号W0～W3が、それぞれ入力される。

【0087】

補正データ出力端子の組Mo（端子Mo0～Mo3から成る）は、奇数番目ドットのための補正データHo（4ビットのデータHo3、Ho2、Ho1、Ho0から成る）を出力する。

補正データ出力端子の組Me（端子Me0～Me3から成る）は、偶数番目ドットのた

10

20

30

40

50

めの補正データH e (4ビットのデータH e 3、H e 2、H e 1、H e 0から成る)を出力する。

【0088】

バッファ221は、補正データ入力端子MDを介して入力される補正データを受け、インバータ222は、バッファ221の出力を受け、これと相補的なデータ信号を発生する。

バッファ221の出力端子は、インバータ222の入力端子に接続されているのみならず、NMOS231、235、239、243の第1の主端子(ソース、ドレインの一方)に接続されている。インバータ222の出力端子はNMOS234、238、242、246の第1の主端子に接続されている。

【0089】

NMOS231、235、239、243、234、238、242、246の第2の主端子(ソース、ドレインの他方)は、NMOS232、236、240、244、233、237、241、245の第1の主端子と接続されている。即ち、NMOS231とNMOS232、NMOS235とNMOS236、NMOS239とNMOS240、NMOS243とNMOS244、NMOS234とNMOS233、NMOS238とNMOS237、NMOS242とNMOS241、NMOS246とNMOS245が互いに直列に接続されている。

【0090】

そして、インバータ回路(インバータ)223の出力及びインバータ回路(インバータ)224の入力がNMOS232の第2の主端子に接続され、インバータ223の入力及びインバータ224の出力がNMOS233の第2の主端子に接続されている。

このようにして、インバータ223及び224は各々の出力が他方の入力に接続されて、メモリセルを構成している。

【0091】

同様に、インバータ回路(インバータ)225及び226、インバータ回路(インバータ)227及び228、インバータ回路(インバータ)229及び230も、それぞれNMOS236及び237、NMOS240及び241、NMOS244及び245の第2の主端子間に接続され、各々の出力が他方の入力に接続されて、メモリセルを構成している。

【0092】

NMOS232、233のゲート(制御端子)は、メモリセル選択端子W0に接続されている。NMOS236、237のゲートは、メモリセル選択端子W1に接続されている。NMOS240、241のゲートは、メモリセル選択端子W2に接続されている。NMOS244、245のゲートは、メモリセル選択端子W3に接続されている。

【0093】

イネーブル端子E1はNMOS231、234、235、238、239、242、243、246のゲートに接続されている。インバータ223、225、227、229の出力は、それぞれ補正データ出力端子Mo0、Mo1、Mo2及びMo3に接続されている。

【0094】

以上第1のメモリセル回路211について説明したが、第2のメモリセル回路212にも同様の構成されている。但し、イネーブル信号E1の代わりにイネーブル信号E2がMOSのゲートに供給され、補正データMo0~Mo3の代わりに補正データMe0~Me3が出力される。

【0095】

[メモリ回路MCM]

メモリ回路MCMは、例えば図6に示されるメモリ回路MEMのうちの第1のメモリセル回路211、バッファ221、及びインバータ222、及びこれらに接続された端子と同じもので構成することができる。但し、メモリ回路MEMの第1のメモリセル回路21

10

20

30

40

50

1 の出力端子が符号 M o (M o 3 ~ M o 0) で示されているのに対し、メモリ回路 M C M の出力端子は符号 M c (M c 3 ~ M c 0) で示されるものとなる。

メモリ回路 M C M におけるデータの書込み、読み出しはイネーブル信号 E 1 により制御される。

メモリ回路 M C M におけるメモリセルの選択は、メモリ回路 M E M の場合と同じく、メモリセル選択信号 W 3 ~ W 0 で行われる。メモリ回路 M C M に記憶されるチップ補正データ H c は 4 ビットのデータ H c 3 ~ H c 0 から成り、これらのデータはそれぞれ出力端子 M c 3 ~ M c 0 から出力される。

【 0 0 9 6 】

[メモリ回路 M D M]

メモリ回路 M D M は図 7 に示されるように、A N D 回路 2 6 1 とラッチ回路 2 6 2 とを有する。A N D 回路 2 6 1 の第 1 及び第 2 の入力端子は、メモリ制御回路 C T R 1 から出力されるイネーブル信号 E 1 及びメモリセル選択信号 W 3 と接続されている。ラッチ回路 2 6 2 の D 入力フリップフロップ F F C 2 5 の Q 端子と接続され、G 入力は A N D 回路 2 6 1 の出力と接続されている。

遅延時間データ H d は、シフトレジスタ S F R c を介して転送され、該データ H d がフリップフロップ F F C 2 5 に保持されているときに、ラッチ回路 2 6 2 にラッチされる。

ラッチ回路 2 6 2 の Q 端子から出力される信号は、遅延時間データ H d がラッチされた後は、遅延時間データ H d と同じ論理値を有するものであり、遅延時間選択信号 D L Y として、遅延回路 1 4 3 ~ 1 4 6 の遅延時間選択端子 S X に供給される。

【 0 0 9 7 】

[メモリ回路 M O E]

メモリ回路 M O E は例えば、メモリ回路 M D M と同様に構成される。その場合、例えば図 7 のラッチ回路 2 6 2 と同様のラッチ回路を備える。

【 0 0 9 8 】

なお、メモリ回路 M D M 及び M O E の各々を、図 6 に示されるメモリ回路 M E M の一つのメモリセル、例えば、イネーブル信号 E 1 で書き込みが許可され、メモリセル選択信号 W 3 で選択されるメモリセルと、バッファ 2 2 1 及びインバータ 2 2 2 との組合せと同様のもの構成することとしても良い。

【 0 0 9 9 】

[マルチプレクサ回路 M U X]

図 8 は図 4 のマルチプレクサ回路 M U X の構成例を示す。

マルチプレクサ回路 M U X は、対応するメモリ回路 M E M の 2 組の出力端子 M o 、 M e に接続された 2 組の入力端子 X o 、 X e を有し、これらの入力端子 X o 、 X e に供給される 2 組の補正データ H o 及び H e のいずれかを選択し、出力端子の組 X Q から出力する。

補正データ H o は 4 ビットのデータ H o 3 ~ H o 0 から成り、入力端子の組 X o を構成する 4 つの端子 X o 3 ~ X o 0 に入力される。

補正データ H e は 4 ビットのデータ H e 3 ~ H e 0 から成り、入力端子の組 X e を構成する 4 つの端子 X e 3 ~ X e 0 に入力される。

選択された補正データの 4 ビットのデータは、データ出力端子の組 X Q を構成する 4 つの端子 X Q 3 ~ X Q 0 から出力される。

【 0 1 0 0 】

図 8 に示されるマルチプレクサ回路 M U X はそれぞれ独立の 4 個のマルチプレクサ 2 8 1 、 2 8 2 、 2 8 3 、 2 8 4 を備える。マルチプレクサ 2 8 1 ~ 2 8 4 はそれぞれ b i t 0 ~ b i t 3 の選択のために用いられる。

マルチプレクサ 2 8 1 は、P M O S 2 9 1 及び P M O S 2 9 2 を有する。マルチプレクサ 2 8 2 は、P M O S 2 9 3 及び P M O S 2 9 4 を有する。マルチプレクサ 2 8 3 は、P M O S 2 9 5 及び P M O S 2 9 6 を有する。マルチプレクサ 2 8 4 は、P M O S 2 9 7 及び P M O S 2 9 8 を有する。

P M O S 2 9 1 、 2 9 3 、 2 9 5 、 2 9 7 のゲートはデータ選択信号端子 S 1 N と接続

10

20

30

40

50

され、PMOS 292、294、296、298のゲートはデータ選択信号端子S2Nと接続されている。

PMOS 291の第1の主端子はデータ入力端子Xo0と接続され、PMOS 292の第1の主端子はデータ入力端子Xe0と接続され、PMOS 291及び292の第2の主端子はともに、データ出力端子XQ0と接続されている。

【0101】

同様に、PMOS 293の第1の主端子はデータ入力端子Xo1と接続され、PMOS 294の第1の主端子はデータ入力端子Xe1と接続され、PMOS 293及びPMOS 294の第2の主端子はともにデータ出力端子XQ1と接続されている。

同様に、PMOS 295の第1の主端子はデータ入力端子Xo2と接続され、PMOS 296の第1の主端子はデータ入力端子Xe2と接続され、PMOS 295及び296の第2の主端子はともにデータ出力端子XQ2と接続されている。

同様に、PMOS 297の第1の主端子はデータ入力端子Xo3と接続され、PMOS 298の第1の主端子はデータ入力端子Xe3と接続され、PMOS 297と298の第2の主端子はともに、データ出力端子XQ3と接続されている。

【0102】

PMOS 291、293、295、297は、奇数番目のドットのためのドット補正データXo0～Xo3を選択する回路を形成しており、PMOS 292、294、296、298は、偶数番目のドットのためのドット補正データXe0～Xe3を選択する回路を形成している。

【0103】

[LED駆動回路DRV]

図9は図4のLED駆動回路DRVの構成例を示す。

LED駆動回路DRVは、PMOS 310～314、316と、NMOS 317と、NOR回路318と、NAND回路320～322と、印刷データ入力端子Eと、入力端子Sと、制御電圧入力端子Vと、補正データ入力端子DQ（DQ0～DQ3から成る）と、駆動端子DOとを備えている。

制御電圧入力端子Vには、図4の制御電圧発生回路ADJが出力する制御電圧Vcontが入力される。

入力端子Sには、図4のNAND回路154から出力される駆動タイミング信号DSTが入力される。

【0104】

印刷データ入力端子Eには、図4におけるラッチ回路（LTA1～LTD24のいずれか）のQN端子（反転データ出力端子）が接続されており、該QN端子から印刷データPDNが供給される。印刷データPDNは負論理のデータ（LEDを発光させるべきときにLowとなる）である。

【0105】

補正データ入力端子の組DQ（端子DQ3～DQ0から成る）は、図4に示すマルチプレクサ回路MUXの補正データ出力端子の組XQ（端子XQ3～XQ0から成る）に接続されている。

【0106】

駆動端子DOは、図示しない配線手段により対応するLEDのアノードと接続されている。

NOR回路318の2つの入力端子は、それぞれ端子Sおよび端子Eに接続されている。

NAND回路320～322の第1の入力端子は、NOR回路318の出力端子に接続されている。NAND回路320～322の第2の入力端子は、それぞれ補正データ入力端子DQ0～DQ3に接続されている。

【0107】

PMOS 310～313の制御端子（ゲート）は、それぞれNAND回路320～32

10

20

30

40

50

2 の出力端子に接続されている。

P M O S 3 1 0 ～ 3 1 4 の第 1 の主端子（ソース）は電源 V D D に接続され、P M O S 3 1 0 ～ 3 1 4 の第 2 の主端子（ドレーン）は、駆動端子 D O に接続されている。

【 0 1 0 8 】

N O R 回路 3 1 8 及び N A N D 回路 3 2 0 ～ 3 2 2 の電源端子は電源 V D D と接続され、これら回路のグランド端子は制御電圧端子 V と接続され、制御電位 V c o n t に保たれる。

【 0 1 0 9 】

後述するように電源電位 V D D と制御電位 V c o n t との電位差は P M O S 3 1 0 ～ 3 1 4 がオンするときのゲート・ソース間電圧に略等しく、この電圧を変化させることで P M O S 3 1 0 ～ 3 1 4 のドレーン電流を調整することが可能となる。

10

【 0 1 1 0 】

図 4 の制御電圧発生回路 A D J は基準電圧 V r e f を受けて、P M O S 3 1 0 ～ 3 1 4 等のドレーン電流が所定値となるように制御電圧 V c o n t を制御する。

【 0 1 1 1 】

図 9 に戻り、印刷データ H D - D A T A が H i g h であり（端子 E へ入力される印刷データ P D N が L o w であり）、ストローク信号 H D - S T B - N により駆動オンが指令され、駆動タイミング信号 D S T が L o w となっているとき、N O R 回路 3 1 8 の出力は H i g h となる。

このとき補正データ入力端子 D Q 3 ～ D Q 0 からの補正データに従い N A N D 回路 3 2 2 ～ 3 2 0 の出力信号レベルは、電源電位 V D D あるいは制御電位 V c o n t となる。このとき P M O S 3 1 6 と N M O S 3 1 7 とで構成されるインバータ回路の出力は制御電位 V c o n t となる。

20

【 0 1 1 2 】

P M O S 3 1 4 は、L E D に主たる駆動電流を供給する主駆動トランジスタであり、P M O S 3 1 0 ～ 3 1 3 は、L E D の駆動電流をドット毎に調整して光量補正するための補助駆動トランジスタである。

【 0 1 1 3 】

主駆動トランジスタ 3 1 4 は印刷データ P D N に従って駆動される。即ち、印刷データ P D N が L o w であり、かつ駆動タイミング信号 D S T が L o w のときに、N O R 回路 3 1 8 の出力が H i g h なったときに、オンとなる。

30

補助駆動トランジスタ 3 1 3 ～ 3 1 0 は、N O R 回路 3 1 8 の出力が H i g h レベルであるときに、マルチプレクサ回路 M U X の出力 X Q 3 ～ X Q 0 に従って駆動される。マルチプレクサ回路 M U X の出力 X Q 3 ～ X Q 0 としては、補正メモリ回路 M E M に格納された、各 L E D の発光ばらつきの補正するための補正データが出力される。

【 0 1 1 4 】

つまり、主駆動トランジスタ 3 1 4 とともに、補正データに従って補助駆動トランジスタ 3 1 0 ～ 3 1 3 が選択的に駆動され、主駆動トランジスタ 3 1 4 のドレーン電流に、選択された補助駆動トランジスタのドレーン電流が加算された駆動電流が、駆動端子 D O から L E D に供給される。

40

【 0 1 1 5 】

補助駆動トランジスタ 3 1 0 ～ 3 1 3 が駆動されているとき、N A N D 回路 3 2 0 ～ 3 2 2 の出力は、L o w レベル（すなわち、制御電位 V c o n t に略等しいレベル）にあるので、補助駆動トランジスタ 3 1 0 ～ 3 1 3 のゲート電位は、制御電位 V c o n t に略等しくなる。

【 0 1 1 6 】

このとき、P M O S 3 1 6 はオフ状態にあり、N M O S 3 1 7 はオン状態にあって、主駆動トランジスタ 3 1 4 のゲート電位もまた制御電位 V c o n t に略等しくなる。従って、主駆動トランジスタ 3 1 4 及び補助駆動トランジスタ 3 1 0 ～ 3 1 3 のドレーン電流値を、制御電圧 V c o n t により一括して調整することができる。

50

【0117】

なお、NAND回路320～322は、電源電位VDDと制御電位Vcontを、それぞれ電源、グランド電位として動作しているので、その入力信号の電位も電源電位VDDとグランド電位（Vcont）に即したものであって良く、そのLowレベルは0Vでなくとも良い。

【0118】

[第1の制御回路CTR1]

図10は図4のメモリ制御回路CTR1の構成例を示す。

図示のメモリ制御回路CTR1は、フリップフロップ341～345と、NOR回路346と、AND回路347、348、350～353とを備える。

フリップフロップ341～345の負論理のリセット端子RはドライバチップDICのラッチ端子LOADと接続されており、該負論理のリセット端子Rにはラッチ信号LOAD-Pが入力される。

フリップフロップ341、342のクロック端子はドライバチップDICのストロブ端子STBと接続されており、該クロック端子にはストロブ信号STB-Pが入力される。

フリップフロップ341、342のQ出力はNOR回路346の入力と接続され、NOR回路346の出力は、フリップフロップ341のD端子と接続されている。

【0119】

フリップフロップ343のクロック端子はフリップフロップ341のQ端子と接続され、フリップフロップ343のQN出力はフリップフロップ343のD端子と接続されている。

フリップフロップ343のQ出力はAND回路347の一方の入力端子と接続され、フリップフロップ343のQN端子はAND回路348の一方の入力端子と接続され、AND回路347及び348の他方の入力端子にはラッチ信号LOAD-Pが入力されている。

AND回路347及び348の出力はイネーブル信号E1、E2として出力される。

【0120】

フリップフロップ344、345のクロック端子はAND回路347の出力に接続されている。フリップフロップ344のD端子はフリップフロップ345のQ端子と接続されている。フリップフロップ345のD端子はフリップフロップ344のQN端子と接続されている。

【0121】

AND回路353の第1の入力端子はフリップフロップ345のQ端子と接続され、第2の入力端子はフリップフロップ344のQN端子と接続されている。AND回路352の第1の入力端子はフリップフロップ345のQ端子と接続され、第2の入力端子はフリップフロップ344のQ端子と接続されている。AND回路351の第1の入力端子はフリップフロップ345のQN端子と接続され、第2の入力端子はフリップフロップ344のQ端子と接続されている。AND回路350の第1の入力端子はフリップフロップ345のQN端子と接続され、第2の入力端子はフリップフロップ344のQN端子と接続されている。AND回路350～353の第3の入力端子はフリップフロップ342のQ出力と接続されている。AND回路350～353の出力はメモリセル選択信号W0～W3として出力される。

【0122】

フリップフロップ341及び342、並びにNOR回路346により、3進の第1のカウンタCNTaが構成されている。フリップフロップ344及び345により、4進の第2のカウンタCNTbが構成されている。またフリップフロップ343は、2進の第3のカウンタCNTcを構成している。

【0123】

第1、第2、第3のカウンタCNTa、CNTb、CNTcを構成するフリップフロッ

10

20

30

40

50

プのリセット端子Rに供給されるラッチ信号LOAD-Pは、シフトレジスタで補正データを転送する際は、Highに維持され、シフトレジスタで印刷データを転送する際には、概してLowであるが、ラッチ回路への印刷データの取込みの際にHighとなる。

【0124】

以下、メモリ制御回路CTR1の動作を、図11を参照して説明する。

フリップフロップ341のQ端子、フリップフロップ342のQ端子、NOR回路346の出力が第1のカウンタCNTaの出力CQ1、CQ2、CQ3を構成する。図11には、出力CQ1、CQ2の信号レベルが示されている。

【0125】

フリップフロップ341、342は、ラッチ信号LOAD-PがLowのときにリセットされ、その状態では出力CQ1、CQ2、CQ3がLow、Low、Highとなり（時刻taU）、ラッチ信号LOAD-PがHighの状態では、ストロブ信号STB-Pの立ち上がりエッジ（HD-STB-Nの立下りエッジ）をカウントする。即ち、ストロブ信号STB-Pが一度立ち上がると、出力CQ1、CQ2、CQ3がそれぞれHigh、Low、Lowとなり、ストロブ信号STB-Pがもう一度立ち上がると、出力CQ1、CQ2、CQ3がそれぞれLow、High、Lowとなり（時刻taV）、ストロブ信号STB-Pがもう一度立ち上がると、出力CQ1、CQ2、CQ3がそれぞれLow、Low、Highとなる。

【0126】

印刷制御部1は、一連の補正データ（LEDヘッドのすべての奇数番目のドットのためのそれぞれ1ビットの補正データ、またはすべての偶数番目のドットのためのそれぞれ1ビットの補正データ）の転送が終わる毎に、3個のストロブ信号HD-STB-Nを連続して3回Lowとする（Lowレベルのパルスを3回発生させる）ことで、第1のカウンタCNTaに上記のような一巡の動作を行わせ、信号CQ1、CQ2を発生させる。なお、メモリセル選択信号W3～W0は信号CQ2に同期して発生されるが、3進のカウンタCNTaを用いることで、メモリセル選択信号W3～W0の発生（従って、メモリセルへの書き込み）を、イネーブル信号E1、E2の切り替わりより少し遅らせ、イネーブル信号が安定してからメモリセル選択信号W3～W0を発生させる。これにより異なるメモリセルへの誤書き込みをより確実に防止することとしている。

【0127】

第1のカウンタCNTaの出力CQ1はフリップフロップ343のクロック端子に供給される。第1のカウンタCNTaの出力CQ2はAND回路350～353の各々の一つの入力となる。

【0128】

フリップフロップ343のQ端子出力が第3のカウンタCNTcの出力CQ6を構成する。フリップフロップ343は、ラッチ信号LOAD-PがLowのときにリセットされ、その状態では、Q端子出力（図11の出力CQ6）がLowであり、ラッチ信号LOAD-PがHighの状態では、カウンタCNTaの出力CQ1の立ち上がりエッジをカウントする。即ち、出力CQ1が一度立ち上がると、出力CQ6がHighとなり（時刻taW）、出力CQ1がもう一度立ち上がると、出力CQ6がLowとなる。以後同様の動作を繰り返す。

【0129】

このようにフリップフロップ343のQ端子の出力（出力CQ6）及びQN端子の出力は交互にHighとなるものであり、AND回路347及び348を介してイネーブル信号E1、E2として出力される。

【0130】

ドット補正データHo、He、チップ補正データHc、遅延時間データHd、及びスイッチ制御データHkの転送及びこれらのデータのメモリ回路MEM、MCM、MDM、MOEへの書き込みの際は、ラッチ信号LOAD-PがHighに維持され、従って、フリップフロップ343のQ、QN端子の出力がそのままイネーブル信号E1、E2として出力

10

20

30

40

50

される。

【0131】

ラッチ信号LOAD-PがLowからHighに変化した後最初に信号CQ1がHighとなるまでの期間Taにおいては、イネーブル信号E1がLow、イネーブル信号E2がHighであり、この期間Taに奇数番目のドットのための補正データHo、チップ補正データHc、遅延時間データHd、及びスイッチ制御データHkが転送される。このときイネーブル信号E2がHighであるので、シフトレジスタは25段となっている。

【0132】

信号CQ1が立ち上がり、イネーブル信号E1がHigh、イネーブル信号E2がLowになってから、次に信号CQ1が立ち上がり、イネーブル信号E1がLow、イネーブル信号E2がHighになるまでの期間Tbにおいては、メモリセル選択信号W3が比較的短い時間だけHighとなって（期間taY）、そのときドット補正データHo、チップ補正データHc、遅延時間データHd及びスイッチ制御データHkのメモリ回路MEM、MCM、MDM、MOEへの書込みが行なわれる。

さらにそれに続いてドット補正データHeが転送される。このときイネーブル信号E2がLowであるので、シフトレジスタは24段となっている。

【0133】

期間Tbに続く、イネーブル信号E1がLow、イネーブル信号E2がHighの期間Tcにおいては、メモリセル選択信号W3が比較的短い時間だけHighとなって（期間taZ）、そのときドット補正データHoのメモリ回路MEMへの書込みが行なわれ、さらにそれに続いてドット補正データHo、及びチップ補正データHcが転送される。このときイネーブル信号E2がHighであるので、シフトレジスタは25段となっている。

以下、同様の動作が繰り返され、期間Tjにおいては、ドット補正データHeのメモリ回路MEMへの書込みが行なわれる。

【0134】

印刷データの転送が行われる期間Tkにおいては、ラッチ信号LOAD-PがLowに維持されるので、イネーブル信号E1、E2ともにLowに維持され、シフトレジスタは24段となっている。

【0135】

フリップフロップ345及び344のQ端子出力がカウンタCNTbの出力CQ4、CQ5を構成する。フリップフロップ345及び344は、ラッチ信号LOAD-PがLowのときにリセットされ、その状態では図11に示すように、出力CQ4、CQ5がLow、Lowとなる。フリップフロップ345及び344は、ラッチ信号LOAD-PがHighの状態では、イネーブル信号E1の立ち上がりエッジをカウントする。即ちストローブ信号STB-Pが一度立ち上がると、出力CQ4、CQ5がそれぞれHigh、Lowとなり（時刻taX）、イネーブル信号E1がもう一度立ち上がると、出力CQ4、CQ5がそれぞれHigh、Highとなり、イネーブル信号E1がもう一度立ち上がると、出力CQ4、CQ5がそれぞれLow、Highとなり、イネーブル信号E1がもう一度立ち上がると、出力CQ4、CQ5がそれぞれLow、Lowとなる。以後同様の動作を繰り返す。

【0136】

そして、出力CQ4、CQ5がそれぞれHigh、Lowである期間中にイネーブル信号E1、E2が交互に一度ずつHighとなり、出力CQ4、CQ5がそれぞれHigh、Highである期間中にイネーブル信号E1、E2が交互に一度ずつHighとなり、出力CQ4、CQ5がそれぞれLow、Highである期間中にイネーブル信号E1、E2が交互に一度ずつHighとなり、出力CQ4、CQ5がそれぞれLow、Lowである期間中にイネーブル信号E1、E2が交互に一度ずつHighとなる。

【0137】

AND回路350～353は、フリップフロップ345、344の出力Q、QNをデコードして、メモリセル選択信号W3～W0を順にHighとする。即ち、カウンタCNT

10

20

30

40

50

aの出力CQ2がHighであることを条件として、カウンタCNTbの出力CQ4、CQ5がそれぞれHigh、Lowであれば、信号W3のみがHighとなり、出力CQ4、CQ5がそれぞれHigh、Highであれば、信号W2のみがHighとなり、出力CQ4、CQ5がそれぞれLow、Highであれば、信号W1のみがHighとなり、出力CQ4、CQ5がそれぞれLow、Lowであれば、信号W0のみがHighとなる。

【0138】

この結果、イネーブル信号E1がHighである期間に信号CQ2に同期してメモリセル選択信号W3がHighになり、次にイネーブル信号E2がHighである期間に信号CQ2に同期してメモリセル選択信号W3がHighになる。即ち、メモリセル選択信号W3は2度続けて発生する。そして1回目の発生の際、奇数番目のドットのための補正データが書き込まれ、2回目の発生の際、偶数番目のドットのための補正データが書き込まれる。メモリセル選択信号W2、W1、W0も同様に2回ずつ発生される。

【0139】

[第2の制御回路CTR2]

図12は図4のマルチプレクサ制御回路CTR2の構成例を示す。

図示の制御回路CTR2は、マルチプレクサ回路MUXの選択動作を制御するためのものであり、フリップフロップ371と、バッファ回路(バッファ)372、373とを備えている。

フリップフロップ371のクロック端子はドライバチップDICのラッチ端子LOADと接続されており、該クロック端子にはラッチ信号LOAD-Pが入力される。

フリップフロップ371の負論理のリセット端子RはドライバチップDICのHSYNC端子と接続されており、該端子には主走査同期信号HSYNC-Nが入力される。

フリップフロップ371のD端子はそのQN端子と接続され、バッファ372の入力端子はフリップフロップ371のQ端子と接続され、バッファ373の入力端子はフリップフロップ371のQN端子と接続されている。バッファ372、373の出力は、それぞれ、データ選択信号S2N、S1Nとして出力される。

【0140】

以下、マルチプレクサ制御回路CTR2の動作を、図13を参照して説明する。

図13で図11と同じ時刻及び期間を、図11と同じ符号で示す。他の同様のタイムチャートについても同様である。

図示の回路においては、図13に示されるように、主走査同期信号HSYNC-NがLowになると(時刻t a N)、フリップフロップ371がリセットされて、そのQ、QN端子の出力はそれぞれLow、Highとなり、データ選択信号S1N、S2NがそれぞれHigh、Lowとなる。

【0141】

奇数番目のドットのための印刷データPD oの転送が終わり、ラッチ信号HD-LOAD-Pが立ち上がって(時刻t a P)、シフトレジスタSFR a~SFR dのデータがラッチ回路群LTA1~LTD24にラッチされると、フリップフロップ371が反転して、そのQ、QN端子の出力はそれぞれHigh、Lowとなり、データ選択信号S1N、S2NがそれぞれLow、Highとなる。

【0142】

その結果、図8に示されるマルチプレクサ回路MUX内の、データ選択信号S1Nで制御されるPMOS(信号S1NがLowのときオンとなる)291、293、295、297がオンとなり、データ選択信号S2Nで制御されるPMOS(信号S2NがLowのときオンとなる)292、294、296、298がオフとなる。この結果、端子X o 3、X o 2、X o 1、X o 0から供給される補正データH o 3、H o 2、H o 1、H o 0が、選択されたデータXQ3、XQ2、XQ1、XQ0として出力される。

【0143】

次に、偶数番目のドットのための印刷データPD eの転送が行なわれた後、ラッチ信号

H D - L O A D が立ち上がると（時刻 t_{as} ）、フリップフロップ 371 の状態が反転し、その Q 端子、及び QN 端子の出力はそれぞれ L o w、H i g h となり、データ選択信号 S 1 N が H i g h、データ選択信号 S 2 N が L o w となる。その結果、図 8 に示されるマルチプレクサ回路 M U X 内の、データ選択信号 S 2 N で制御される P M O S 292、294、296、298 がオンとなり、データ選択信号 S 1 N で制御される P M O S 291、293、295、297 がオフとなる。この結果、端子 X e 3、X e 2、X e 1、X e 0 から供給される補正データ H e 3、H e 2、H e 1、H e 2 が、選択されたデータ X Q 3、X Q 2、X Q 1、X Q 0 として出力される。

以下同様の処理が繰り返される。

【0144】

10

[制御電圧発生回路 A D J]

図 14 は図 4 の制御電圧発生回路 A D J の構成例を示す。

図 14 に示される制御電圧発生回路 A D J は、演算増幅器 391 と、P M O S 392 と、アナログマルチプレクサ回路 393 とを有する。

【0145】

一方、演算増幅器 391 の反転入力端子には基準電圧 V r e f が印加され、非反転入力端子はアナログマルチプレクサ回路 393 の出力端子 Y と接続されている。

演算増幅器 391 の出力端子は、P M O S 392 にゲート及び出力端子 V に接続されている。端子 V の電位は V c o n t として図 4 の L E D 駆動回路 D R V に供給される。

【0146】

20

P M O S 392 のソースは電源 V D D に接続され、ドレーンが、抵抗 R 00 ~ R 15 の直列接続の一端に接続されている。上記の直列接続の他端は、グラウンドに接続されている。P M O S 392 は図 9 の P M O S 310 ~ 314 とはゲート長が等しく構成されている。P M O S 392 のドレーン電流 I r e f は、抵抗 R 01 ~ R 15 の直列接続を介してグラウンドに流れる。

【0147】

アナログマルチプレクサ回路 393 は、16 個のアナログ電圧入力端子 P 0 ~ P 15 と出力端子 Y と、制御信号入力端子 S 0 ~ S 4 とを有する。

アナログ電圧入力端子 P 0 ~ P 15 は、直列接続の上記一端、或いは直列接続された抵抗 R 01 ~ R 15 の相互接続点に接続されている。

30

制御信号入力端子 S 0 ~ S 3 は、メモリ回路 M C M の出力端子 M c 0 ~ M c 3 に接続されており、4 ビットのチップ補正データが、論理信号として入力される。

アナログマルチプレクサ回路 393 は、上記論理信号（チップ補正データ）で表される値（16 値のうちの一つ）に応じて、端子 P 0 ~ P 15 のうちのいずれかを選択し、選択した端子の電位を出力端子 Y から出力する。

【0148】

演算増幅器 391、抵抗列 R 00 ~ R 15、及び P M O S 392 とで構成される回路でフィードバック制御回路を構成しており、演算増幅器 391 の非反転入力端子の電位は略 V r e f と等しくなるように制御される。

このため、図 14 の P M O S 392 のドレーン電流 I r e f は、抵抗 R 00 ~ R 15 のうち、アナログマルチプレクサ回路 393 により選択される部位とグラウンドとの間の合成抵抗値と、演算増幅器 391 に入力される基準電圧 V r e f とから決定されることになる。

40

【0149】

例えば、入力端子 S 3 ~ S 0 の論理値（チップ補正データ）が“1111”となっていて、補正の程度が最大と指令されているとき、アナログマルチプレクサ回路 393 の端子 P 15 と端子 Y とが導通状態とされ、端子 P 15 の電位が基準電圧 V r e f と略等しくなるように制御される。この結果、P M O S 392 のドレーン電流 I r e f は

$$I_{ref} = V_{ref} / R_{00}$$

となる。

50

【0150】

一方、入力端子S3～S0の論理値（チップ補正データ）が“0111”となっていて、中程度の補正が指令されているとき、アナログマルチプレクサ回路393の端子P7と端子Yとが導通状態とされ、端子P7の電位が基準電圧Vrefと略等しくなるように制御される。この結果、PMOS392のドレーン電流Irefは

$$I_{ref} = V_{ref} / (R_{00} + R_{01} + \dots + R_{07} + R_{08})$$

となる。

【0151】

さらに、入力端子S3～S0の論理値（チップ補正データ）が“0000”となっていて、最小の補正が指令されているとき、アナログマルチプレクサ回路393の端子P0と端子Yとが導通状態とされ、端子P0の電位が基準電圧Vrefと略等しくなるように制御される。この結果、PMOS392のドレーン電流Irefは、

$$I_{ref} = V_{ref} / (R_{00} + R_{01} + \dots + R_{14} + R_{15})$$

となる。

【0152】

上記のように、図9のPMOS310～314と図14のPMOS392とはゲート長が互いに等しく構成され、これらのトランジスタは飽和領域で動作するように制御されており、カレントミラーを構成している。このため、PMOS310～314がオンとなるとき上記の電流Irefに比例するドレーン電流を生じる。

【0153】

この結果、アナログマルチプレクサ回路393の入力端子S3～S0に与える信号の論理値の組合せ（チップ補正データ）により電流Irefの値を16段階に調整することができ、図9のPMOS310～314のドレーン電流もまた16段階に調整可能となる。

【0154】

[ヘッド断面図]

図15はLEDヘッド19の構成を概略的に示す断面図である。

図15に示されるように、LEDヘッド19は、ベース部材411と、ベース部材411にて固定されたプリント配線板412と、円柱状の光学素子を多数配列してなるロッドレンズアレイ413と、ロッドレンズアレイ413を保持するホルダ414と、ホルダ414とベース部材411とを固定するクランプ部材415、415とで構成される。

ドライバチップ416には前述した駆動回路等が集積されている。LEDアレイ417は、ドライバチップ416上に配置されている。

【0155】

[印刷データの転送及びLEDの駆動]

以下、印刷データの転送及び印刷データに基づくLEDの駆動の際のドライバチップの動作を図13及び図16を参照して説明する。

図13は図4の構成のドライバチップを用いて成るLEDヘッドを用いて印刷動作を行う場合の駆動装置の動作を示す。

図16は図13におけるタイムチャートにおいて、ドライバチップの数が1個であるものとして簡略化し、波形をより詳細に示すタイムチャートである。

なお、図16においては、クロック信号（図13ではHD-CLK）は符号CLKIで示され、転送されるデータ（図13ではHD-DATA3～0）は符号DATA3～0で示されている。

【0156】

LEDの時分割駆動の開始に先立ち、時刻taNにおいて、主走査同期信号HD-HSYNC-N（図16では、HSYNC）が入力される。

主走査同期信号HD-HSYNC-Nは時分割駆動において奇数番目のLEDを駆動するか、偶数番目のLEDを駆動するかに関し初期状態を設定するための同期信号として作用する。

【0157】

次いで、期間 t_{aO} において奇数番目の LED のための印刷データ PD_o (図 16 では、 DOT_1 、 DOT_3 、 $\dots$ DOT_{191}) を転送するため、クロック信号 $HD-CLK$ (図 16 では CLK_I) に同期してデータ信号 $HD-DATA_3 \sim 0$ (図 16 では $DATAI_3 \sim 0$) が入力され、転送される。

【0158】

なお、本 LED ヘッドにおいては、上記のように 26 個のドライバチップがカスケードに接続され、各ドライバチップ DIC に 96 個の駆動端子 $DO_1 \sim DO_{96}$ を備えており、1 パルスのクロック信号により 4 個の LED のための印刷データが一度に転送される。また、印刷データの転送中は、図 10 を参照して説明したように、イネーブル信号 E_2 が Low となり、24 段のシフトレジスタが構成される。このため一度 (1 サイクル) のデータ転送に必要なクロックパルスの数は

$$(96 / 4) \times 26 = 24 \times 26 = 624$$

である。

【0159】

図 13 には期間 t_{aO} において、 24×26 個のクロックパルスが供給されることを示している。一方、図 16 では、ドライバチップの数が 1 個であるものとして簡略化しているので、期間 t_{aO} において、24 個のクロックパルスが供給されることを示している。

【0160】

期間 t_{aO} の処理で印刷データ PD_o の転送が完了すると、時刻 t_{aP} において、ラッチ信号 $HD-LOAD$ (図 16 では、 $LOAD$) が入力され、シフトレジスタ $SFR_a \sim SFR_d$ により転送されたデータはラッチ回路群 $LTA_1 \sim LTD_{24}$ にラッチされる。

次いで、時刻 t_{aQ} において、ストロブ信号 $HD-STB-N$ (図 16 では STB) が入力される (ストロブ信号 $HT-STB-N$ のレベルが Low とされる)。

【0161】

また、時刻 t_{aP} において、制御信号 ODD 、 $EVEN$ の状態が切り替えられて、奇数番目の LED の駆動が行われる状態になっている。即ち、制御信号 ODD 、 $EVEN$ がそれぞれ Low 、 $High$ となっている。そのため、 MOS_{109} 、 110 がそれぞれオン、オフとなっており、奇数番目の LED のカソード端子からグランド GND への流路が形成され、偶数番目の LED のカソード端子からグランドへの流路は形成されない。

【0162】

このため、ドライバチップ DIC_1 の例えば駆動端子 DO_1 から LED 駆動電流が流し出された場合、 LED_{103} のアノード、カソード端子を経て MOS_{109} のドレーン、ソースを介してグランドへと至る電流経路が形成される。その結果、 LED_{103} が発光して (図 1 においては図示していないが) 感光ドラム上に静電潜像の画素 (印刷ドット) が形成される。

このとき、 LED_{104} には電流流路が形成されないため、 LED_{103} の発光状態に支障を与えることはない。

【0163】

図 13 (及び図 16) に戻り、期間 t_{aR} において偶数番目の LED のための印刷データ PD_e (図 16 では、 DOT_2 、 DOT_4 、 $\dots$ DOT_{192}) を転送するため、クロック信号 $HD-CLK$ (図 16 では CLK_I) に同期してデータ信号 $HD-DATA_3 \sim 0$ (図 16 では、 $DATAI_3 \sim 0$) が入力され、転送される。

【0164】

期間 t_{aR} の処理で印刷データ PD_e の転送が完了すると、時刻 t_{aS} において、ラッチ信号 $HD-LOAD$ (図 16 では、 $LOAD$) が入力され、シフトレジスタ $SFR_a \sim SFR_d$ により転送されたデータはラッチ回路群 $LTA_1 \sim LTD_{24}$ にラッチされる。

次いで、時刻 t_{aT} において、ストロブ信号 $HD-STB-N$ (図 16 では STB) が入力される。

【0165】

また、時刻 t_{aS} において、制御信号 ODD 、 $EVEN$ の状態が切り替えられて、偶数

10

20

30

40

50

番目のLEDの駆動が行われる状態になっている。即ち、制御信号ODD、EVENがそれぞれHigh、Lowとなっている。そのため、MOS109、110はそれぞれオフ、オンとなっており、偶数番目のLEDのカソード端子からグランドGNDへの流路が形成され、奇数番目のLEDのカソード端子からグランドへの流路は形成されない。

【0166】

このため、ドライバチップDIC1の例えば駆動端子DO1からLED駆動電流が流し出された場合、LED104のアノード、カソード端子を経てMOS110のドレイン、ソースを介してグランドへと至る電流経路が形成される。その結果、LED104が発光して（図1においては図示していないが）感光ドラム上に静電潜像の画素（印刷ドット）が形成される。

10

このとき、LED103には電流経路が形成されないため、LED104の発光状態に支障を与えることはない。

【0167】

このように、LEDアレイのうち、奇数番目のLEDと偶数番目のLEDとを交互に、時分割的に駆動することで、1ラインのLEDの数の半分の数の駆動素子により、1ライン分のLEDの駆動を行うことができる。

【0168】

〔補正データの転送及び書き込み〕

上記の印刷データの転送に先立って、例えばプリンタの電源投入直後に補正データ転送及び書き込みが行われる。以下では、この際のドライバチップの動作を、図11及び図17～図20を参照して説明する。

20

ここで言う「補正データ」には、ドット補正データとチップ補正データとが含まれる。さらに、補正データの転送及び書き込みに合わせて、遅延時間データHd及びスイッチ制御データHkも転送され、書き込まれるが、これらのデータを転送をも含めて単に「補正データの転送」と言うことがある。

この補正データの転送の際に、第1段のドライバチップのメモリ回路MDMには、比較的長い遅延時間を指定する遅延時間データHdが書き込まれ、第2段～第26段のドライバチップのメモリ回路MDMには、比較的短い遅延時間を指定する遅延時間データHdが書き込まれる。

【0169】

30

図17～図20は、図11において、ドライバチップ数が1個であるものとして簡略化し、波形をより詳細に示すタイムチャートである。

図17は図11における期間Ta及びTbの詳細を示し、図18は図11における期間Tc及びTdの詳細を示し、図19は図11における期間Te及びTfの詳細を示し、図20は図11における期間Tg及びThの詳細である。

なお、図17～図20においては、差動クロックペア信号（図11ではHD-CLK-P）は符号CLKIで示され、転送されるデータ（図11ではHD-DATA3～0）は符号DATA3～0で示されている。

【0170】

印刷制御部1は、補正データの転送及び書き込み動作の開始時に、ラッチ信号HD-LOAD（図17～図20ではLOAD）をHighレベルとして、ラッチ信号HD-LOADがHighレベルである期間中に転送されるデータが印刷データ以外のデータ、ここでは補正データであることを示す。

40

補正データは、データ信号HD-DATA3～0（図17～図20ではDATAI3～0）として、印刷制御部1からLEDヘッド19に供給される。

【0171】

上記のように、各ドットのためのドット補正データHo又はHeは4ビットから成り、各ドライバチップのためのチップ補正データHcは、4ビットから成り、遅延時間データHdは1ビットから成り、スイッチ制御データHkは1ビットから成る。

【0172】

50

補正データの転送は、以下に説明する 8 サイクル乃至ステップ（第 1 乃至第 8 ステップ）で行われる。各ステップにおいては、ドット補正データのうちの 1 ビットが転送される。

奇数番目のドットのためのドット補正データの 1 ビットと、偶数番目のドットのためのドット補正データの 1 ビットとは交互に（相前後する転送ステップで）転送される。

例えば上記の 8 ステップのうちの奇数番目のステップで、奇数番目ドットのためのドット補正データが転送され、偶数番目のステップで、偶数番目ドットのためのドット補正データが転送される。

チップ補正データ H_c 、遅延時間データ H_d 及びスイッチ制御データ H_k は、奇数番目のドットのためのドット補正データと同じステップで転送される。

ただし、遅延時間データ H_d 及びスイッチ制御データ H_k は、8 ステップのうちの一つ、例えば最初のステップのみで転送され、それ以外の奇数番目のステップでは、代わりに無効データ $D_M Y$ が転送される。

【0173】

図 4 に示される例では、チップ補正データ H_c が格納されるメモリ回路 $M_C M$ はシフトレジスタ $S_F R_d$ の最終段に接続され、遅延時間データ H_d が格納されるメモリ回路 $M_D M$ は、シフトレジスタ $S_F R_c$ の最終段のフリップフロップ $F_F C_2 5$ に接続され、スイッチ制御データ H_k が格納されるメモリ回路 $M_O E$ は、シフトレジスタ $S_F R_b$ の最終段のフリップフロップ $F_F B_2 5$ に接続されているので、各ドライバチップ内のすべての奇数番目のドットのための補正データ H_o の列の前にチップ補正データ H_c 、遅延時間データ H_d 、及びスイッチ制御データ H_k 又はこれらに代わる無効データ $D_M Y$ を位置させて順に転送する。

そのため、奇数番目のドットのための補正データ H_o の転送時には、シフトレジスタを 2 5 段に切り替えて、各ドライバチップ $D_I C$ に対して各々 2 5 のデータビットから成る、4 個のビット列を構成し、2 6 個のドライバチップ分を順に転送する。即ち、2 6 個のドライバチップに対して、各々 $2 5 \times 2 6$ 個のデータビットから成る、4 個のビット列を転送する。

一方、偶数番目のドットのための補正データ H_e の列を転送する際は、シフトレジスタが 2 4 段に切り替えられ、各ドライバチップに対して各々 2 4 個の補正データビットから成る、4 個のビット列を構成し、2 6 個のドライバチップ分を順に転送する。即ち、2 6 個のドライバチップに対して、各々 $2 4 \times 2 6$ 個のデータビットから成る、4 個のビット列を転送する。

【0174】

シフトレジスタの段数の切り替えは上記のように、イネーブル信号 E_2 により選択回路 $S_E L$ を制御することにより行なわれる。奇数番目のドットのための補正データ H_o の転送の際は、図 1 0 及び図 1 1 を参照して説明したように、イネーブル信号 E_2 が $H_i g h$ であり、これによりシフトレジスタは 2 5 段に切り替えられている。一方、偶数番目のドットのための補正データ H_e の転送の際は、図 1 0 及び図 1 1 を参照して説明したように、イネーブル信号 E_2 が $L o w$ であり、これによりシフトレジスタは 2 4 段に切り替えられている。

【0175】

図 1 7 ～図 2 0 において、 $D O T x - b y$ ($x = 1 \sim 1 9 2$ 、 $y = 0, 1, 2, 3$) は各ドライバチップにより駆動される x 番目のドットのための第 y ビットの補正データを意味する。

【0176】

[第 1 ステップ]

期間 T_c において、チップ補正データ H_c のうちの $b i t 3$ のデータ $H_c 3$ 、遅延時間データ H_d 、スイッチ制御データ H_k 、無効データ $D_M Y$ 及び奇数番目のドットのための補正データ H_o のうちの $b i t 3$ のデータ $H_o 3$ を送出する。

なお、上記のように、図 1 7 ～図 2 0 は、図 1 1 において、ドライバチップ数が 1 個で

あるものとして簡略化したものであり、図 17～図 20 には、第 1 段のドライバチップ D I C 1 のためのデータ列のみが示されている。以下に説明する第 2～7 ステップについても同様である。

【0177】

より詳しく言えば、データ D A T A I 3（図 17）として、各ドライバチップのための補正データ H c 3 とそれに続く 24 個の補正データ H o 3 の列を、26 個連結したものを送出する。

データ D A T A I 2 として、各ドライバチップのための遅延時間データ H d と、それに続く 24 個のドット補正データ H o 3 の列を、26 個連結したものを送出する。

データ D A T A I 1 として、第 1 段及び第 2 段のドライバチップの各々のためのスイッチ制御データ H k と、それに続く 24 個のドット補正データ H o 3 の列を、2 個連結したものを送出し、それに続いて、第 3 段乃至第 26 段のドライバチップの各々のための、無効データ D M Y と、それに続く 24 個のドット補正データ H o 3 の列を、24 個連結したものを送出する。

データ D A T A I 0 として、無効データ D M Y と、それに続く 24 個のドット補正データ H o 3 の列を、26 個連結したものを送出する。

【0178】

以上のデータ転送が行われる間、イネーブル信号 E 2 が H i g h であり、シフトレジスタは 25 段に切り替えられている。

これらのデータのシフトレジスタによる転送が完了すると期間 t a E において、3 個のストロブ信号 H D - S T B - N（図 17 では S T B）のパルスが発生して（ストロブ信号 H D - S T B - N が 3 回 L o w となり）、イネーブル信号 E 1 が H i g h に、イネーブル信号 E 2 が L o w に切り替えられ、メモリセル選択信号 W 3 が発生されて、補正データ H c 3、遅延時間データ H d、スイッチ制御データ H k、及び補正データ H o 3 の書き込みが行われる。この際、補正データ H c 3、H o 3 はそれぞれ、メモリセル選択信号 W 3 で選択されるメモリセルに書き込まれる。

【0179】

[第 2 ステップ]

期間 T b において、偶数番目のドットのための補正データ H e のうちの b i t 3 のデータ H e 3 を送出する。より詳しく言えば、データ D A T A I 3～0 の各々として、24 個のドット補正データ H e 3 の列を、26 個連結したものを送出する。

【0180】

以上のデータ転送が行われる間、イネーブル信号 E 2 が L o w であり、シフトレジスタは 24 段に切り替えられている。

これらのデータの転送が完了すると 3 個のストロブ信号 H D - S T B - N（図 17 では S T B）のパルスが発生して、イネーブル信号 E 1 が L o w に、イネーブル信号 E 2 が H i g h に切り替えられ、メモリセル選択信号 W 3 が発生されて、補正データ H e 3 の書き込みが行われる。この際、補正データ H e 3 は、メモリセル選択信号 W 3 で選択されるメモリセルに書き込まれる。

【0181】

[第 3 ステップ]

期間 T c において、チップ補正データ H c のうちの b i t 2 のデータ H c 2 及び無効データ D M Y 及び奇数番目のドットのための補正データ H o のうちの b i t 2 のデータ H o 2 を送出する。

より詳しく言えば、データ D A T A I 3 として、各ドライバチップのための補正データ H c 2 と、それに続く 24 個の補正データ H o 2 の列を、26 個連結したものを送出する。

データ D A T A I 2～0 の各々としては、各ドライバチップのための無効データ D M Y と、それに続く 24 個のドット補正データ H o 2 の列を、26 個連結したものを送出する。

10

20

30

40

50

【0182】

以上のデータ転送が行われる間、イネーブル信号E2がHighであり、シフトレジスタは25段に切り替えられている。

これらのデータの転送が完了すると3個のストロブ信号HD-STB-N（図18ではSTB）のパルスが発生して、イネーブル信号E1がHighに、イネーブル信号E2がLowに切り替えられ、メモリセル選択信号W2が発生されて、補正データHc2及びHo2の書き込みが行われる。この際、補正データHc2、Ho2はそれぞれ、メモリセル選択信号W2で選択されるメモリセルに書き込まれる。

【0183】

[第4ステップ]

期間Tdにおいて、偶数番目のドットのための補正データHeのうちのbit2のデータHe2を送出する。より詳しく言えば、データDATAI3~0の各々として、24個のドット補正データHe2の列を、26個連結したものを送出的る。

【0184】

以上のデータ転送が行われる間、イネーブル信号E2がLowであり、シフトレジスタは24段に切り替えられている。

これらのデータの転送が完了すると3個のストロブ信号HD-STB-N（図18ではSTB）のパルスが発生して、イネーブル信号E1がLowに、イネーブル信号E2がHighに切り替えられ、メモリセル選択信号W2が発生されて、補正データHe2の書き込みが行われる。この際、補正データHe2はメモリセル選択信号W2で選択されるメモリセルに書き込まれる。

【0185】

[第5ステップ]

期間Teにおいて、チップ補正データHcのうちのbit1のデータHc1及び無効データDMY及び奇数番目のドットのための補正データHoのうちのbit1のデータHo1を送出する。

より詳しく言えば、データDATAI3として、各ドライバチップのためのチップ補正データHc1と、それに続く24個のドット補正データHo1の列を、26個連結したものを送出的る。

データDATAI2~0の各々としては、各ドライバチップのための無効データDMYと、それに続く24個のドット補正データHo1の列を、26個連結したものを送出的る。

【0186】

以上のデータ転送が行われる間、イネーブル信号E2がHighであり、シフトレジスタは25段に切り替えられている。

これらのデータの転送が完了すると3個のストロブ信号HD-STB-N（図19ではSTB）のパルスが発生して、イネーブル信号E1がHighに、イネーブル信号E2がLowに切り替えられ、メモリセル選択信号W1が発生されて、補正データHc1及びHo1の書き込みが行われる。この際、補正データHc1、Ho1はそれぞれ、メモリセル選択信号W1で選択されるメモリセルに書き込まれる。

【0187】

[第6ステップ]

期間Tfにおいて、偶数番目のドットのための補正データHeのうちのbit1のデータHe1を送出する。より詳しく言えば、データDATAI3~0の各々として、24個のドット補正データHe1の列を、26個連結したものを送出的る。

【0188】

以上のデータ転送が行われる間、イネーブル信号E2がLowであり、シフトレジスタは24段に切り替えられている。

これらのデータの転送が完了すると3個のストロブ信号HD-STB-N（図19ではSTB）のパルスが発生して、イネーブル信号E1がLowに、イネーブル信号E2が

10

20

30

40

50

H i g hに切り替えられ、メモリセル選択信号W 1が発生されて、補正データH e 1の書き込みが行われる。この際、補正データH e 1はメモリセル選択信号W 1で選択されるメモリセルに書き込まれる。

【0189】

[第7ステップ]

期間T gにおいて、チップ補正データH cのうちのb i t 0のデータH c 0及び無効データD M Y及び奇数番目のドットのための補正データH oのうちのb i t 0のデータH o 0を送出する。

より詳しく言えば、データD A T A I 3として、各ドライバチップのためのチップ補正データH c 0と、それに続く24個のドット補正データH o 0の列を、26個連結したものを送出的る。

データD A T A I 2～0の各々としては、各ドライバチップのための無効データD M Yと、それに続く24個のドット補正データH o 0の列を、26個連結したものを送出的る。

【0190】

以上のデータ転送が行われる間、イネーブル信号E 2がH i g hであり、シフトレジスタは25段に切り替えられている。

これらのデータの転送が完了すると3個のストロブ信号H D－S T B－N（図20ではS T B）のパルスが発生して、イネーブル信号E 1がH i g hに、イネーブル信号E 2がL o wに切り替えられ、メモリセル選択信号W 0が発生されて、補正データH c 0及びH o 0の書き込みが行われる。この際、補正データH c 0、H o 0はそれぞれ、メモリセル選択信号W 0で選択されるメモリセルに書き込まれる。

【0191】

[第8ステップ]

期間T hにおいて、偶数番目のドットのための補正データH eのうちのb i t 0のデータH e 0を送出する。より詳しく言えば、データD A T A I 3～0の各々として、24個のドット補正データH e 0の列を、26個連結したものを送出的る。

【0192】

以上のデータ転送が行われる間、イネーブル信号E 2がL o wであり、シフトレジスタは24段に切り替えられている。

これらのデータの転送が完了すると3個のストロブ信号H D－S T B－N（図20ではS T B）のパルスが発生して、イネーブル信号E 1がL o wに、イネーブル信号E 2がH i g hに切り替えられ、メモリセル選択信号W 0が発生されて、補正データH e 0の書き込みが行われる。この際、補正データH o 0はメモリセル選択信号W 0で選択されるメモリセルに書き込まれる。

【0193】

以上のようにして、8ステップの動作により、補正データH o、H e、H c、遅延時間データH d及びスイッチ制御データH kの転送とメモリ回路への書き込みが完了すると印刷制御部1はラッチ信号H D－L O A DをL o wに戻し、一連のシーケンスが完了する。

【0194】

クロックH D－C L K Iの周波数は、補正データ転送時（図11の時刻t a Mまで）と、印刷データの転送時（図11の時刻t a N以降）では、異なり、補正データの転送時は、印刷データの転送時に比べて1／2程度とされる。これは、補正データが誤りなく転送され、メモリ回路に書き込まれるようにするためである。即ち、各ドライバチップの遅延回路の遅延時間は、補正データをメモリ回路に書き込むことで適切に定められるが、補正データの転送の際には、後述のリセット処理で一律に定められた遅延時間が用いられ、従って、初段のドライバチップ及び2段目以降のドライバチップのいずれかでは、遅延時間が最適ではなく、印刷データの転送の際と同じ周期のクロック信号H D－C L Kを用いた場合には、誤動作する可能性があることを考慮したためである。なお、補正データの転送は、繰り返し行われる印刷データの転送の前に、例えば電源投入時に一度だけ行われるの

10

20

30

40

50

で、クロック信号H D - C L Kの周期を長くしてもプリンタの動作速度という点であまり問題とならない。

【0195】

[セットアップ時間及びホールド時間]

図21は図4のドライバチップD I Cをカスケード接続して成る回路において、印刷データの転送における動作の概要を分かりやすくするため、第1段のドライバチップD I C 1と第2段のドライバチップD I C 2の要部を抜き出して記載した回路図である。第1段のドライバチップD I C 1と第2段のドライバチップD I C 2の関係を分かりやすくするため、符号を変えてある。また、各ドライバチップ内の、4つのシフトレジスタS F R a ~ S F R dのうちの1つに相当するもののみが示されている。

10

【0196】

第1段のドライバチップD I C 1のデータ入力端子がD A T A Iで示されている。

第1段及び第2段のドライバチップD I C 1、D I C 2は各々2つのクロック信号端子C L K P及びC L K Nに、相補的な差動信号C L K - P、C L K - Nを受けるが、図21には、その一方のみ、即ち正論理の信号C L K - Pのみを示している。

【0197】

遅延回路D T I 1は、ドライバチップD I C 1のデータ入力端子に接続されており、図4の遅延回路143~146のいずれかに相当する。同様に、遅延回路D T I 2は、ドライバチップD I C 2のデータ入力端子に接続されており、図4の遅延回路143~146のいずれかに相当する。

20

実施の形態1における構成においては、ドライバチップのカスケード接続の1段目ドライバチップと2段目以降のドライバチップとで遅延回路の遅延時間を異なる値に設定することが可能であり、1段目の遅延回路D T I 1の遅延時間に対して、2段目以降の遅延回路(D T I 2等)の遅延時間は小さく設定される。

【0198】

バッファ回路(バッファ)C K 1は、ドライバチップD I C 1のクロック入力回路141とバッファ142(図4)の組合せに相当する。同様に、バッファ回路(バッファ)C K 2は、ドライバチップD I C 2のクロック入力回路141とバッファ142(図4)の組合せに相当する。

【0199】

フリップフロップF F 1~24は、図4におけるF F A 1~A 24、F F B 1~B 24、F F C 1~C 24、又はF F D 1~D 24に相当する。

30

図4には、フリップフロップF F A 25、F F B 25、F F C 25、及びF F D 25が示されているが、印刷データの転送の際には、フリップフロップF F A 24、F F B 24、F F C 24、F F D 24の出力が選択回路S E Lで選択されて出力されるので、フリップフロップF F A 25、F F B 25、F F C 25、F F D 25は、図21には図示されていない。

【0200】

図21においては、バッファC K 1により一つのシフトレジスタの24個のフリップフロップF F 1~24のクロック端子を駆動するように簡略化して描かれているが、4つのシフトレジスタのそれぞれ25個のフリップフロップ、即ち全部で100個のフリップフロップのクロック端子が、バッファC K 1の出力により同時に駆動される。

40

【0201】

同様に、フリップフロップF F 25~48は、ドライバチップD I C 2に備えられたフリップフロップであって、図4におけるF F A 1~A 24、F F B 1~B 24、F F C 1~C 24、又はF F D 1~D 24に相当する。

【0202】

出力バッファ回路(出力バッファ)D T O 1はドライバチップD I C 1に設けられたものであり、図4における出力バッファ147~150のいずれかに相当する。同様に、出力バッファ回路(出力バッファ)D T O 2は、ドライバチップD I C 2に設けられたもの

50

であり、図 4 における出力バッファ 147～150 のいずれかに相当する。

図 21 においては、図 4 における選択回路 SEL を省略している。以後の説明で、出力バッファ DTO1 における遅延時間には、選択回路 SEL における遅延時間をも含むものとする。出力バッファ DTO2 についても同様である。

【0203】

次に図 21 に示すカスケード接続の動作を、図 22 を参照して説明する。

図 22 において、ドライバチップ DIC1 のデータ入力信号端子 DATAI に、時刻 t_{cA} に、データ列中のデータ d48 の入力開始され、それに引き続きデータ d49、d50 等が入力される。

上記のデータ列は、クロック信号 CLK-P に同期して入力される。例えば、時刻 t_{cB} におけるクロック立ち下がりエッジを基準として、所定のセットアップ時間とホールド時間をもってデータ信号が入力される。

【0204】

ドライバチップ DIC1 へ入力されたデータ信号は遅延回路 DTI1 により時間 T_{DI1} 遅延し（遅延後のデータ信号を符号 DTI1 で示す）、フリップフロップ FF1 へ入力される。一方、クロック信号 CLK-P はバッファ CK1 によって、時間 T_{CK} だけ遅延し（遅延後のクロック信号を符号 CK1 で示す）、フリップフロップ FF1～24 へ入力される。

このように、フリップフロップ FF1 には、データ信号及びクロック信号として、それぞれ T_{DI1} 及び T_{CK} 遅延したものが入力されることになり、フリップフロップ FF1 におけるクロック信号に対するデータ信号のセットアップ時間及びホールド時間はそれぞれ T_{s1} 、 T_{h1} となる。

【0205】

LED ヘッド 19 の入力部におけるクロック信号に対するデータ信号のセットアップ時間 T_{s0} 、ホールド時間 T_{h0} との関係を求めるため、時刻 t_{cA} を起点として考えると、次式を得る。

$$T_{s0} + T_{CK} - T_{s1} - T_{DI1} = 0$$

また、時刻 t_{cB} を起点として次式を得る。

$$T_{h0} + T_{DI1} - T_{h1} - T_{CK} = 0$$

【0206】

これらを整理して次式を得る。

$$T_{s1} = T_{s0} + T_{CK} - T_{DI1}$$

$$T_{h1} = T_{h0} + T_{DI1} - T_{CK}$$

【0207】

一方、ドライバチップ DIC1 内のバッファ CK1 の出力（CK1）の立下り（時刻 t_{cC} ）より T_{FF} 遅延してフリップフロップ FF1～24 の各々の出力信号が変化する。

図 22 においては、フリップフロップ FF1 の出力データが符号 d47、d48、d49、d50 で示され、フリップフロップ FF24 の出力データが符号 d24、d25、d26、d27 で示されている。

【0208】

上記のデータ信号はドライバチップ DIC1 の出力バッファ DTO1 により更に T_{DO} 遅延して出力される。出力バッファ DTO1 の出力の波形は DTO1 として示されている。

なお、フリップフロップ FF24 の出力信号は選択回路 SEL により遅延して出力されるが、上記のように、これによる遅延時間は出力バッファの遅延時間 T_{DO} に含めている。

【0209】

データ信号は次段のドライバチップ DIC2 に入力され、ドライバチップ DIC2 内の遅延回路 DTI2 により時間 T_{DI2} 遅延される。

【0210】

一方、ドライバチップ D I C 2 に入力されたクロック信号は、バッファ C K 2 により T_{CK} 遅延して、フリップフロップ F F 2 5 ~ 4 8 へ入力される。

【0211】

ドライバチップ D I C 2 のフリップフロップ F F 2 5 の入力部におけるデータのセットアップ時間 T_{S2} を求めると、時刻 t_{CB} を起点として次式を得る。

$$T_{CK} + T_{FF} + T_{DO} + T_{DI2} + T_{S2} - T_{CLK} - T_{CK} = 0$$

整理すると、

$$T_{S2} = T_{CLK} - (T_{FF} + T_{DO} + T_{DI2})$$

となる。

【0212】

10

なお、図 2 2 におけるドライバチップ D I C 1、D I C 2 は同一の回路構成から成る素子であり、個々の素子毎に多少の特性ばらつきを持っているものの、同一の L E D ヘッドユニット内ではその特性差は小さい。そのため、図 2 2 において、簡略化のため、バッファ C K 1、C K 2 の遅延時間はともに T_{CK} であるとして記載している。

【0213】

フリップフロップを正常動作させるためには、その入力部において所望のセットアップ時間とホールド時間を確保する必要がある。

【0214】

ドライバチップ D I C 1 からドライバチップ D I C 2 へのデータ転送においても、ドライバチップ D I C 2 のシフトレジスタ入力段のフリップフロップに所望のセットアップ時間を与える必要がある。

20

いま仮に $T_{S2} > 0$ とすると、

$$T_{CLK} > T_{FF} + T_{DO} + T_{DI2}$$

となり、

$$T_{FF} + T_{DO} + T_{DI2}$$

の合計値よりもクロック周期が短いと正常なデータ転送が行えないことが判る。

【0215】

このとき、シフトレジスタの前段に接続される遅延回路の遅延時間を、カスケード接続されたドライバチップのうちの 1 段目のドライバチップと 2 段目以降のドライバチップとで異なる値に設定できるようにしたので、1 段目のドライバチップの遅延回路の遅延時間 T_{DI1} に対し、2 段目以降のドライバチップの遅延回路の遅延時間 T_{DI2} を小さく設定することができる。

30

【0216】

先に計算したように、シフトレジスタのクロック周期は

$$T_{CLK} > T_{FF} + T_{DO} + T_{DI2}$$

を満たすように定められるので、上記の遅延時間 T_{DI2} を小さく設定することで、ドライバチップのカスケード接続時のクロック周期の下限値をより小さくすることができ、最大動作クロック周波数が更に増加できることになる。

【0217】

各段のドライバチップの遅延時間は遅延時間選択信号 D L Y が H i g h であるか L o w であるかによって決定され、遅延時間選択信号 D L Y の状態を決定する処理、例えば、メモリ回路 M D M への遅延時間データ H d の書き込みは、印刷データ転送の開始に先立つ補正データ転送時に行われる。

40

【0218】

このため、何らかの格別の処理をしなければ、補正データ転送の開始時点（例えば図 1 1 の時刻 t_{aD} ）においては、上記の遅延時間選択信号 D L Y は、その H i g h / L o w 状態が確定していないことになる。このような事態となるのを避けるため、本実施の形態 1 では、補正データの転送に先立って、遅延時間選択信号 D L Y を確定させる処理を行う。この処理をリセット処理と言う。

【0219】

50

〔リセット処理〕

図 2 3 は前述した補正データ転送に先立って行われるリセット処理の動作を説明するタイムチャートである。

リセット処理は、図 1 1、図 1 7～図 2 0 を参照して説明した補正データの転送の開始（図 2 3 における時刻 t_{aD} ）に先立って、時刻 t_{aA} から期間 t_{aC} に行われる。

【0 2 2 0】

まず、ラッチ信号 $HD-LOAD$ が $High$ とされる（時刻 t_{aA} ）。これにより、印刷データ以外のデータ、ここでは固定値のデータが転送されることが示される。

【0 2 2 1】

ついで、データ信号 $HD-DATA 3 \sim 0$ を固定値（ $High$ レベル）とした状態を維持したままクロック $HD-CLK$ を所定数入力して、図 4 のシフトレジスタ $SFRa \sim SFRd$ にヘシフト入力する（期間 t_{aB} ）。

【0 2 2 2】

期間 t_{aB} においては、ストローク信号 $HD-STB-N$ は発生せず、従って、イネーブル信号 $E2$ が $High$ の状態が維持される。そのため、各ドライバチップのシフトレジスタ $SFRa \sim SFRd$ は 2 5 段の状態に維持される。この状態で、クロック信号 $HD-CLK-P$ のパルスを 25×26 回発生させる（ $High$ とする）ことで、2 6 個のドライバチップのシフトレジスタのすべてのフリップフロップに固定値（ $High$ レベル）のデータが書き込まれる。

【0 2 2 3】

このとき、各ドライバチップ内のメモリ回路 MDM のデータ、従って、メモリ回路 MDM から遅延回路 1 4 3～1 4 6 に供給される遅延時間選択信号 DLY の値が確定していないので、各ドライバチップの遅延回路の遅延時間は確定していない。しかし、この点は問題とならない。フリップフロップ間でのデータの転送に際し、データ信号 $HD-DATA 3 \sim 0$ が $High$ レベルに固定されているため、フリップフロップの D 入力に関するセットアップ時間やホールド時間の制約を受けないからである。

【0 2 2 4】

シフト入力が完了すると、ストローク信号 $HD-STB-N$ が $3 \times 2 \times 4 = 24$ パルス入力され（期間 t_{aC} ）、図 1 1、図 1 7～図 2 0 に示したのと同様にメモリ回路 MEM 、メモリ回路 MCM 、メモリ回路 MDM 及びメモリ回路 MOE へのデータ書き込みが行われる。

即ち、図 1 1 を参照して説明したのと同様に、ストローク信号 $HD-STB-N$ が 3 パルス発生する毎に、イネーブル信号 $E1$ 、 $E2$ が反転し、これらの反転の際に、メモリセル選択信号 $W3 \sim W0$ が 2 回ずつ $High$ となる。その結果、シフトレジスタのフリップフロップに保持されている固定値（ $High$ レベル）のデータが、メモリ回路 MEM 、 MCM 、 MDM 、及び MOE に書き込まれる。

【0 2 2 5】

即ちイネーブル信号 $E1$ が $High$ で、メモリセル選択信号 $W3$ が $High$ のときは、メモリ回路 MEM のメモリセル回路 2 1 1 内のメモリセル選択信号 $W3$ で選択されるメモリセル、メモリ回路 MCM のメモリセル選択信号 $W3$ で選択されるメモリセル、 MDM 、 MOE に書き込まれる。

イネーブル信号 $E2$ が $High$ で、メモリセル選択信号 $W3$ が $High$ のときは、メモリ回路 MEM のメモリセル回路 2 1 2 内のメモリセル選択信号 $W3$ で選択されるメモリセルに書き込まれる。

【0 2 2 6】

イネーブル信号 $E1$ が $High$ で、メモリセル選択信号 $W2$ が $High$ のときは、メモリ回路 MEM のメモリセル回路 2 1 1 内のメモリセル選択信号 $W2$ で選択されるメモリセル、メモリ回路 MCM のメモリセル選択信号 $W2$ で選択されるメモリセルに書き込まれる。

イネーブル信号 $E2$ が $High$ で、メモリセル選択信号 $W2$ が $High$ のときは、メモ

10

20

30

40

50

り回路MEMのメモリセル回路212内のメモリセル選択信号W2で選択されるメモリセルに書き込まれる。

【0227】

イネーブル信号E1がHighで、メモリセル選択信号W1がHighのときは、メモリ回路MEMのメモリセル回路211内のメモリセル選択信号W1で選択されるメモリセル、メモリ回路MCMのメモリセル選択信号W1で選択されるメモリセルに書き込まれる。

イネーブル信号E2がHighで、メモリセル選択信号W1がHighのときは、メモリ回路MEMのメモリセル回路212内のメモリセル選択信号W1で選択されるメモリセルに書き込まれる。

【0228】

イネーブル信号E1がHighで、メモリセル選択信号W0がHighのときは、メモリ回路MEMのメモリセル回路211内のメモリセル選択信号W0で選択されるメモリセル、メモリ回路MCMのメモリセル選択信号W0で選択されるメモリセルに書き込まれる。

イネーブル信号E2がHighで、メモリセル選択信号W0がHighのときは、メモリ回路MEMのメモリセル回路212内のメモリセル選択信号W0で選択されるメモリセルに書き込まれる。

【0229】

時刻taAから期間taCにかけてのリセット処理が完了すると、ラッチ信号HD—LOADを一旦Lowレベルに戻してリセット処理が完了する。

【0230】

次いで、図11に示したのと同様に時刻taDから期間taLにかけて、補正データの転送と、メモリ回路MEM、MCM、MDM、MOEへの補正データ、遅延時間データHd、及びスイッチ制御データHkの転送及び書込みが行われる。

この転送に際しては、リセット処理でメモリ回路MDMに書き込まれた遅延時間設定データにより設定された遅延時間が用いられる。上記の例のように、固定値としてHighレベルが書き込まれた状態では、長い遅延時間が用いられる。

【0231】

〔従来の構成との比較〕

以下、上記のようにしてリセット処理を行うことの利点を説明する。

図24は従来例のドライバチップDICに設けられたパワーオンリセット回路431を、メモリ回路MDMとともに示す。

メモリ回路MDMは、実施の形態1で用いられる図7のメモリ回路MDMと概して同じである。但し、図7のラッチ回路262の代わりに、セット入力端子付きのラッチ回路263が用いられている。

【0232】

パワーオンリセット回路431は、電源オン時にパワーオンリセット信号RSTを出力するものであり、このパワーオンリセット信号により、ラッチ回路263がセットされ、そのQ端子の信号（Q出力）がHighとなる。

【0233】

ラッチ回路263は、セット入力端子SがHighレベルとなると、D端子入力やG端子入力の設定に優先してQ出力をHighにすることができ、セット入力端子SがLowレベルに戻ったあとも、D端子入力やG端子入力により新たな状態値の設定が指示されるまでQ出力を保持し続ける。

【0234】

図25は図24のパワーオンリセット回路431の構成を示し、図26(a)～(c)はその各部に現れる信号の波形を示す図である。

【0235】

図25に示されるパワーオンリセット回路431は、抵抗432と、コンデンサ433

10

20

30

40

50

と、インバータ回路（インバータ）４３４とを有する。

抵抗４３２の一端は電源ＶＤＤと接続され、抵抗４３２の他端はコンデンサ４３３の一方の電極及びインバータ４３４の入力端子と接続されている。また、コンデンサ４３３の他方の電極はグランドと接続されている。

インバータ４３４の出力端子からパワーオンリセット信号ＲＳＴが出力される。

パワーオンリセット信号ＲＳＴは、図２４のラッチ回路２６３のセット入力端子Ｓに与えられる。

【０２３６】

図２６（ａ）に示すように、画像形成装置の電源投入に伴い、電源電圧ＶＤＤが立ち上がると、コンデンサ４３３は抵抗４３２を介して充電されていき、図２６（ｂ）に示すようにその電位は略グランド電位から上昇していくことになる。

10

図２６（ｃ）に示されるパワーオンリセット信号ＲＳＴはインバータ４３４の出力端子における波形であり、コンデンサ４３３の端子電圧Ｖ４３３がインバータ４３４の入力端子閾値電圧Ｖ４３４ｔｈ未満のときはＨｉｇｈレベルを出力し、上記の閾値電圧Ｖ４３４ｔｈに達するとＬｏｗレベルに遷移する。

【０２３７】

電源投入直後には、コンデンサ４３３は充電されていないため、その端子電圧Ｖ４３３は閾値電圧Ｖ４３４ｔｈよりも低く、従って、パワーオンリセット信号ＲＳＴは、Ｈｉｇｈレベルである。

コンデンサ４３３の充電に伴いその端子電圧Ｖ４３３が上昇して、インバータ４３４の閾値電圧Ｖ４３４ｔｈに達すると、パワーオンリセット信号ＲＳＴ端子はＬｏｗレベルに戻る。

20

【０２３８】

上記のように、電源オンの直後に、パワーオンリセット信号ＲＳＴが発生することにより、図２４に示したラッチ回路２６３のセット端子Ｓにセット信号として入力され、該ラッチ回路２６３のＱ出力はＨｉｇｈレベルへと遷移する。

ラッチ回路２６３のＱ出力は、メモリ回路ＭＤＭの出力であり、遅延時間選択信号ＤＬＹとして同じドライバチップ内の遅延回路１４３～１４６に供給される。

上記の処理がすべてのドライバチップＤＩＣ１～ＤＩＣ２６で行われる。

その結果、初段のドライバチップＤＩＣ１においても、２段目以降のドライバチップＤＩＣ２～ＤＩＣ２６のいずれにおいても、遅延回路１４３～１４６の遅延時間が比較的長い値に設定される。

30

【０２３９】

このように、パワーオンリセット信号ＲＳＴがラッチ回路２６３に入力されることで電源投入時における不定状態が解消されることになる。

【０２４０】

以上の図２４及び図２５を参照した説明から明らかなように、従来の構成においては、パワーオンリセット回路４３１を設ける必要があった。

【０２４１】

ところが、パワーオンリセットはドライバチップ内に形成されたコンデンサへの電圧充電特性を用いてリセット信号ＲＳＴ（図２６（ｃ））を作成しているため、コンデンサの静電容量として大きい値を必要とすることから必然的に大きな占有面積を要し、ドライバチップのチップ面積を小さくする上での大きな制約となっており、その解決が望まれていた。

40

【０２４２】

それに対して、実施の形態１における図４の構成では図２３の時刻ｔ_aＡから期間ｔ_aＣにおいて、遅延時間データＨ_dとして固定値のデータの転送及び転送した遅延時間データＨ_dのメモリ回路ＭＤＭへの書き込みを行うことで、パワーオンリセット回路を不要とすることができる。

【０２４３】

50

〔実施の形態 1 の効果〕

上記のように、従来のドライバチップでは、パワーオンリセット回路としてドライバチップ内に集積されたコンデンサへの電圧充電特性を用いてリセット時間を作成しており、コンデンサの静電容量として大きい値を必要とすることから必然的に大きな占有面積を要し、ドライバチップのチップ面積を小さくする上での大きな制約となっていた。これに対し、本実施の形態 1 の構成では補正データ転送に先立って、遅延時間データ H d として固定値のデータを、シフトレジスタにより転送し、メモリ回路 M D M に書き込むこととしているので、前述したリセット回路を不要とできる。

【0244】

なお、上記の例では、リセット処理において L E D ヘッドに入力されるデータ H D - D A T A が、H i g h レベルとされるが、要するに固定値であれば良い。特に、遅延回路 1 4 3 ~ 1 4 6 の遅延時間が長くなるようにすればよい。別の見方をすれば、L E D ヘッドの入力信号端子部において、データ信号のクロック信号に対するホールド時間が短くなるようにすればよい。

【0245】

実施の形態 1 の変形例。

実施の形態 1 では、図 2 3 を参照して説明したように、リセット処理に際し、メモリ回路 M D M のみならず、メモリ回路 M E M、M C M、M O E に同じ固定値のデータを書き込んでいる。

このようにすることで、メモリ回路への固定値の書き込みの処理を、メモリ回路への補正データ、遅延時間データ H d、スイッチ制御データ H k の書き込みの処理と同じように行うことができる。一方、リセット処理に要する時間が長いという問題がある。

この問題の解決のため、リセット処理に当たっては、メモリ回路 M D M への固定値の書き込みが終わったら、他のメモリ回路への書き込みも終了することとしても良い。

以下、この変形例における動作を、図 2 7 を参照して説明する。

【0246】

図 2 7 においては時刻 t a A 及び期間 t a B における処理は、図 2 3 で説明したのと同じである。

図 2 7 では、期間 t a C において、ストロブ信号 H D - S T B - N を 3 パルスだけ発生する。

【0247】

補正データの転送及び書き込みに関し説明したのと同様に、この 3 パルスにより、イネーブル信号 E 1 が H i g h となり、メモリセル選択信号 W 3 が H i g h となる。イネーブル信号 E 1 が H i g h で、メモリセル選択信号 W 3 が H i g h のとき、メモリ回路 M E M のメモリセル回路 2 1 1 内のメモリセル選択信号 W 3 で選択されるメモリセル、メモリ回路 M C M のメモリセル選択信号 W 3 で選択されるメモリセル、並びにメモリ回路 M D M、M O E に固定値が書き込まれる。

【0248】

時刻 t a A から期間 t a C にかけてのリセット処理が完了すると、ラッチ信号 H D - L O A D を一旦 L o w レベルに戻してリセット処理が完了する。

ラッチ信号 H D - L O A D を L o w レベルに戻すことで、制御回路 C T R 1 も初期状態、即ち、ストロブ信号 H D - S T B - N が 3 パルス入力される前の状態に戻る。

【0249】

それ以降の処理は、図 1 1 を参照して説明したのと同様である。即ち、時刻 t a D から期間 t a T にかけて、補正データ等の転送と、メモリ回路 (M E M、M C M、M D M、M O E) へのデータの書き込みが行われる。

【0250】

図 2 3 では、期間 t a C において発生されるストロブ信号 H D - S T D - N のパルスの数が 2 4 であったが、図 2 7 では、期間 t a C において発生されるストロブ信号 H D - S T D - N のパルスの数が 3 である。これにより、図 4 におけるメモリ回路 M D M への

固定値の書き込みを行うとともに、それ以降の書き込みを省略し、リセット処理に要する時間を短くしている。

【0251】

上記の実施の形態では、ドット補正データ及びチップ補正データが4ビットから成り、ドット補正データメモリ回路MEMが各ドット(LED)について4つのメモリセルを有し、チップ補正データ回路CCMが4つのメモリセルを有するが、本発明はこれに限定されない。例えば、ドット補正データとチップ補正データとはビット数が異なっても良い。要するに、ドット補正データ及びチップ補正データのうちのビット数が多い方がRビット(Rは2以上の整数)から成り、当該補正データを格納するメモリ回路が、各ドットについてR個のメモリセルを有すれば良い。そして、上記R個のメモリセルを有する補正データメモリ回路への書き込みがRサイクルで行われ、遅延時間データメモリ回路への書き込みが上記Rサイクルのうちの1サイクルで行われるものであれば良い。

10

【0252】

実施の形態2.

[電子写真プリンタの構成]

図28は、本発明の実施の形態2の電子写真プリンタの制御系を示す。

図示のように、実施の形態2の電子写真プリンタの制御系は、実施の形態1の電子写真プリンタ(図1)と概して同じである。但し、LEDヘッド19の代わりに、LEDヘッド519を備え、シリアルライザ回路521が付加されている。

【0253】

LEDヘッド519は、図29に示されるように、デシリアルライザ回路523とアッテネータ回路525と抵抗526とを有する。LEDヘッド519はさらに、ドライバチップの列31とLEDアレイの列32とを有する。

20

【0254】

印刷制御部1とシリアルライザ回路521とは配線の群527で接続され、シリアルライザ回路521と、LEDヘッド519のデシリアルライザ回路523とは、接続ケーブル528で接続され、デシリアルライザ回路523の出力とドライバチップ列31又はアッテネータ回路525とは配線の群529で接続されている。

【0255】

シリアルライザ回路521及びデシリアルライザ回路523としては、LSI化され市販されたもの、例えばザインエレクトロニクス社製のTHC63LVDシリーズの製品が使用可能である。

30

シリアルライザ回路521は、印刷制御部1から出力されたデータをパラレルーシリアル変換して、シリアル化されたデータ信号を出力するとともに、印刷制御部1から出力されたクロック信号をパラレルーシリアル変換して、シリアル化されたクロック信号を出力する。

【0256】

デシリアルライザ回路523は、シリアルライザ回路521から出力され、接続ケーブル528を介して伝送された、シリアル化されたデータ信号をシリアルーパラレル変換して、パラレル化されたデータを生成するとともに、シリアルライザ回路521から出力され、接続ケーブル528を介して伝送された、シリアル化されたクロック信号をシリアルーパラレル変換して、パラレル化された、相補的なクロック信号を生成する。

40

【0257】

ドライバチップの列31は、実施の形態1と同様に、26個のドライバチップDIC1～DIC26で構成され、LEDアレイの列32は、実施の形態1と同様に、26個のLEDアレイCHP1～26で構成されている。

各ドライバチップDIC及び各LEDアレイCHPの構成は、概して実施の形態1に関して説明したのと同じである。

【0258】

ドライバチップの列31を構成する26個のドライバチップDIC1～26は、2つの

50

群に分けられている。

第1の群31Aは、互いに連続して配置されたドライバチップD I C 1～D I C 13から成り、第2の群31Bは、互いに連続して配置されたドライバチップD I C 14～D I C 26から成る。第1の群31Aと第1のドライバチップ列とも言い、第2の群31Bを第2のドライバチップ列とも言う。

【0259】

L E Dアレイの列32のうち、第1のドライバチップ列31Aに対応する部分で、第1のL E Dアレイ列32Aが構成され、第2のドライバチップ列31Bに対応する部分で、第1のL E Dアレイ列32Bが構成されている。

【0260】

ドライバチップの列が2つ群に分けられていることに対応して、印刷制御部1からL E Dヘッド519に供給される印刷データや補正データが、2つの群に分けられる。即ち、図1におけるデータH D－D A T A 3～0の代わりに、第1の群のデータH D－D A T A 03～00と第2の群のデータH D－D A T A 13～10がL E Dヘッド519に供給される。

第1の群のデータH D－D A T A 03～00は、第1のドライバチップ列に供給され、第2の群のデータH D－D A T A 13～10は、第2のドライバチップ列31Bに供給される。

【0261】

一方、同期信号H D－H S Y N C－N、ラッチ信号H D－L O A D、クロック信号H D－C L K－P、H D－C L K－N、ストロブ信号H D－S T B－Nとしては、互いに同じものが第1のドライバチップ列31A及び第2のドライバチップ列31Bの双方に供給される。

【0262】

ただし、上記のデータ及び信号はいずれも、シリアライザ回路521でシリアル化され、デシリアライザ回路523でパラレル化された後に、ドライバチップ列31A及び31Bに供給される。

【0263】

接続ケーブル528は、4対の信号を伝えるための4対の信号線c h 1～c h 4と、クロック信号を伝えるための1対の信号線c h C L Kとを有する。信号線対c h 1～c h 4は、データ信号（印刷データ信号、補正データ信号）、及び制御信号（同期信号、ラッチ信号、ストロブ信号）の伝送に用いられ、信号線対c h C L Kは、クロック信号の伝送に用いられる。

抵抗526は、差動クロック信号の終端に用いられる。

【0264】

図30は第1の群31Aに含まれるドライバチップD I C 1及びD I C 2、及びこれらに対応するL E DアレイC H P 1及びC H P 2、並びにM O S 109A、110Aを示す。

3番目以降のドライバチップD I C 3～D I C 13及び対応するL E DアレイC H P 3～C H P 13は記載が省略されている。

【0265】

M O S 109Aのドレーン13個のL E DアレイC H P 1～C H P 13のすべての奇数番目のL E D（101A、103A、105A、107A等）のカソードと接続され、M O S 110Aのドレーン13個のL E DアレイC H P 1～C H P 13のすべての偶数番目のL E D（102A、104A、106A、108A等）のカソードと接続されている。M O S 109A、110Aのソースはグランドに接続されている。

また、M O S 109AのゲートはドライバチップD I C 1のスイッチ制御端子K D Rと接続され、M O S 110AのゲートはドライバチップD I C 2のスイッチ制御端子K D Rと接続されている。

ドライバチップD I C 1のスイッチ制御端子K D RからM O S 109Aのゲートに供給

10

20

30

40

50

される信号は符号ODDAで示され、ドライバチップDIC2のスイッチ制御端子KDRからMOS110Aのゲートに供給される信号は符号EVENAで示されている。

【0266】

ODDA信号は、ドライバチップDIC1内の制御回路CTR3（実施の形態1で説明したのと同様のもの）で生成され、そのスイッチ制御端子KDRから出力される。

EVENA信号は、ドライバチップDIC2内の制御回路CTR3で生成され、そのスイッチ制御端子KDRから出力される。

ドライバチップDIC3～DIC13のスイッチ制御端子KDRは開放とされている。

【0267】

図31は第2の群31Bに含まれるドライバチップDIC14及びDIC15及びこれらに対応するLEDアレイCHP14及びCHP15、並びにMOS109B、110Bを示す。

3番目以降のLEDアレイCHP16～CHP26及び対応するLEDアレイCHP16～CHP26は記載を省略している。

【0268】

MOS109Bのドレインは13個のLEDアレイCHP14～CHP26のすべての奇数番目のLED（101B、103B、105B、107B等）のカソードと接続され、MOS110Bのドレインは13個のLEDアレイCHP14～CHP26のすべての偶数番目のLED（102B、104B、106B、108B等）のカソードと接続されている。MOS109B、110Bのソースはグランドに接続されている。

また、MOS109BのゲートはドライバチップDIC14のスイッチ制御端子KDRと接続され、MOS110BのゲートはドライバチップDIC15のスイッチ制御端子KDRと接続されている。

ドライバチップDIC14のスイッチ制御端子KDRからMOS109Bのゲートに供給される信号は符号ODDBで示され、ドライバチップDIC15のスイッチ制御端子KDRからMOS110Bのゲートに供給される信号は符号EVENBで示されている。

【0269】

ODDB信号は、ドライバチップDIC14内の制御回路CTR3で生成され、そのスイッチ制御端子KDRから出力される。EVENB信号は、ドライバチップDIC15内の制御回路CTR3で生成され、そのスイッチ制御端子KDRから出力される。

ドライバチップDIC16～DIC26のスイッチ制御端子KDRは開放とされている。

【0270】

[アッテネータ回路]

次に図28のLEDヘッド519内に設けられたアッテネータ回路525について図32(a)、(b)を参照して説明する。図32(a)はアッテネータ回路525の内部回路を、終端抵抗526とともに示す。図32(b)は、アッテネータ回路525の動作を示すタイムチャートである。

【0271】

アッテネータ回路525は抵抗531～533と、2個の入力端子I1、I2と2個の出力端子O1、O2を備えている。

入力端子I1、I2はそれぞれデシリアライザ回路523の端子HD-CLK-P、HD-CLK-Nと接続されており、出力端子O1、O2はそれぞれ、配線535、536の一端に接続されている。

配線535は、ドライバチップ列31に沿って延び、26個のドライバチップDIC1～26の端子CLKPに順次接続されている。配線535の他端は終端抵抗526の一端に接続されている。

配線536は、ドライバチップ列31に沿って延び、26個のドライバチップDIC1～26の端子CLKNに順次接続されている。配線536の他端は終端抵抗526の他端に接続されている。

10

20

30

40

50

【0272】

抵抗531の一端は端子I1と接続され、他端は端子O1と接続される。また、抵抗532の一端は端子I2と接続され、他端は端子O2と接続される。

抵抗533の一端及び他端は出力端子O1とO2とにそれぞれ接続されている。

【0273】

図32(b)は図32(a)の動作を示すタイムチャートである。クロック信号HD-CLOCK-P、HD-CLOCK-Nは例えば電源電圧2.5Vで動作するCMOS回路によって生成されるものであって、そのHighレベルは略2.5V、Lowレベルは略0Vであって、2.5Vの信号振幅を有する。図32(a)において、抵抗531～533の抵抗値をR1、R2、RL1で表し、抵抗526の抵抗値をRL2で表す。

10

【0274】

一例として、

$$RL1 = RL2 = 100\Omega$$

$$R1 = R2 = 182\Omega$$

とすると、図32(b)に示す端子O1、O2の信号CLK-PとCLK-Nの差動信号振幅Vdiffとコモンモード電圧Vcmは下記のように設定することができる。

$$Vdiff = 0.3V$$

$$Vcm = 1.25V$$

【0275】

クロック信号CLK-P、CLK-NはドライバチップDIC1～DIC26の端子CLKP、CLKNにそれぞれ入力されることになる。

20

【0276】

[ドライバチップ]

図29に示されるドライバチップ列31を構成するドライバチップDIC1～DIC26の各々は、実施の形態1に関し、図4を参照して説明したのと同じである。但し、シフトレジスタSFRa～SFRdを構成するフリップフロップとして、クロック信号の立ち上がりエッジと立下りエッジの両方でデータの取り込みを行うものが用いられる。

また、第1の群31Aを構成するドライバチップDIC1～DIC13の各々では、そのデータ入力端子DATAI0～3にデータDATA00～03が入力され、第2の群31Bを構成するドライバチップDIC14～DIC26の各々では、そのデータ入力端子DATAI0～3にデータDATA10～13が入力される。

30

【0277】

第1の群31Aを構成する13個のドライバチップDIC1～DIC13の全てのフリップフロップで構成されるシフトレジスタは、印刷制御部1から第1のドライバチップDIC1に入力されるデータ信号HD-DATA03～00をクロック信号に同期してシフトさせる24×13段あるいは25×13段のシフトレジスタ回路として動作する。

同様に、第2の群31Bを構成する13個のドライバチップDIC14～DIC26の全てのフリップフロップで構成されるシフトレジスタは、印刷制御部1から第14のドライバチップDIC14に入力されるデータ信号HD-DATA13～10をクロック信号に同期してシフトさせる24×13段あるいは25×13段のシフトレジスタ回路として動作する。

40

【0278】

[印刷データの転送及びLEDの駆動]

次に、図29のLEDヘッド519を用いて印刷を行う場合の各ドライバチップにおける処理を、図33を参照して説明する。

図33に示される動作は、実施の形態1に関し、図13及び図16を参照して説明したのと概して同じである。但し、以下の点が異なる。

【0279】

即ち、データ信号が2つに分けて入力され、転送される。

第1のドライバチップ列31Aでは、印刷データがデータ信号HD-DATA03～0

50

0として入力され、第2のドライバチップ列31Bでは、印刷データがデータ信号HD-DATA13～10として入力される。

【0280】

実施の形態1と同様に、奇数番目のLEDのための印刷データPD_oの転送及び転送した印刷データに基づくLEDの駆動と、偶数番目のLEDのための印刷データPD_eの転送及び転送したデータに基づくLEDの駆動とは交互に行われる。

【0281】

具体的には、期間t_{aO}において、奇数番目のLEDの印刷データPD_oが、データ信号HD-DATA03～00、HD-DATA13～10としてクロック信号HD-CLKに同期して入力され、転送され、

10

期間t_{aR}において、偶数番目のLEDの印刷データPD_eが、データ信号HD-DATA03～00、HD-DATA13～10としてクロック信号HD-CLKに同期して入力され、転送される。

【0282】

第1のドライバチップ列31A及び第2のドライバチップ列31Bの各々は、13個のドライバチップから構成されており、各ドライバチップに96個の駆動端子を備えており、1パルスのクロック信号により4個のLEDのための印刷データが一度に転送される。

このため一度(1サイクル)のデータ転送に必要なクロックエッジの数(期間t_{aO}及び期間t_{aR}の各々において発生されるクロックエッジの数)は

$$96 / 4 \times 13 = 24 \times 26 = 312$$

20

である。

【0283】

期間t_{aO}における奇数番目のドットのデータの転送が完了し、転送されたデータがシフトレジスタに保持された状態になると、ラッチ信号HD-LOADが入力され(時刻t_{aP})、シフトレジスタに保持されているデータはラッチ回路にラッチされる。次いでストロブ信号HD-STB_Nが入力されて(期間t_{aQ})、LED駆動が指示される。

【0284】

これに先立ち、制御信号ODDA、ODDB、EVENA、EVENBのレベルが定められている。

【0285】

30

第1の群31Aにおいては、ドライバチップDIC1のスイッチ制御端子KDRからODDA信号が出力されており(Highとなっており)、ドライバチップDIC2のスイッチ制御端子KDRからEVENA信号が出力されていない。

同様に、第2の群31Bにおいては、ドライバチップDIC14のスイッチ制御端子KDRからODDB信号が出力されており(Highとなっており)、ドライバチップDIC15のスイッチ制御端子KDRからはEVENB信号が出力されていない。

【0286】

ODDA信号がHigh、EVENA信号がLowであるとき図30のMOS109Aはオン状態となり、MOS110Aはオフ状態となり、奇数番目のLED(101A、103A、105A、107A等)のカソード端子からグランドへの流路が形成される。

40

このとき、MOS110Aはオフ状態であって偶数番目のLED(102A、104A、106A、108A等)のカソード端子からグランドへの流路は形成されない。

【0287】

このため、ドライバチップDIC1の駆動端子DO1端子からLED駆動電流が流し出された場合、LED103Aのアノード、カソード端子を経てMOS109Aのドレーン、ソースを介してグランドへと至る電流経路が形成されることになる。このときLED103Aが発光して(図28においては図示していないが)感光ドラム上に静電潜像の画素(印刷ドット)が形成される。

このとき、LED104Aには電流流路が形成されないため、LED103Aの発光状態には何らの支障も与えることはない。

50

【0288】

同様に、ODDB信号がHigh、EVENB信号がLowであるとき図31のMOS109Bはオン状態となり、MOS110Bはオフ状態となり、奇数番目のLED(101B、103B、105B、107B等)のカソード端子からグランドへの流路が形成される。

このとき、MOS110Bはオフ状態であって偶数番目のLED(102B、104B、106B、108B等)のカソード端子からグランドへの流路は形成されない。

このため、ドライバチップDIC14の駆動端子DO1からLED駆動電流が流し出された場合、LED103Bのアノード、カソード端子を経てMOS109Bのドレイン、ソースを介してグランドへと至る電流経路が形成されることになる。このときLED103Bが発光して(図29においては図示していないが)感光ドラム上に静電潜像の画素(印刷ドット)が形成される。

このとき、LED104Bには電流流路が形成されないため、LED103Bの発光状態には何らの支障も与えることはない。

【0289】

期間t_{aR}における偶数番目のドットのデータの転送が完了し、転送されたデータがシフトレジスタに保持された状態になると、ラッチ信号HD-LOADが入力され(時刻t_{aS})、シフトレジスタに保持されているデータはラッチ回路にラッチされる。次いでストロブ信号HD-STB-Nが入力されて(期間t_{aT})、LED駆動が指示される。

【0290】

これに先立ち、制御信号ODDA、ODDB、EVENA、EVENBのレベルが定められている。

【0291】

第1の群31Aにおいては、ドライバチップDIC1のスイッチ制御端子KDRからODDA信号が出力されておらず、ドライバチップDIC2のスイッチ制御端子KDRからEVENA信号が出力されている(Highとなっている)。

同様に、第2の群31Bにおいては、ドライバチップDIC14のスイッチ制御端子KDRから、ODDB信号が出力されておらず、ドライバチップDIC15のスイッチ制御端子KDRからEVENB信号が出力されている(Highとなっている)。

【0292】

EVENA信号がHigh、ODDA信号がLowであるとき図30のMOS110Aはオン状態となり、MOS109Aはオフ状態となり、偶数番目のLED(102A、104A、106A、108A等)のカソード端子からグランドへの流路が形成される。

このとき、MOS109Aはオフ状態であって、奇数番目のLED(101A、103A、105A、107A等)のカソード端子からグランドへの流路は形成されない。

【0293】

このため、ドライバチップDIC1の駆動端子DO1からLED駆動電流が流し出された場合、LED104Aのアノード、カソードを経てMOS110Aのドレイン、ソースを介してグランドへと至る電流経路が形成されることになる。このときLED104Aが発光して(図28においては図示していないが)感光ドラム上に静電潜像の画素(印刷ドット)が形成される。

このとき、LED103Aには電流流路が形成されないため、LED104Aの発光状態には何らの支障も与えることはない。

【0294】

同様に、EVENB信号がHigh、ODDB信号がLowであるとき図31のMOS110Bはオン状態となり、MOS109Bはオフ状態となり、偶数番目のLED(102B、104B、106B、108B等)のカソード端子からグランドへの流路が形成される。

このとき、MOS109Bはオフ状態であって奇数番目のLED(101B、103B、105B、107B等)のカソード端子からグランドへの流路は形成されない。

このため、ドライバチップ D I C 1 4 の駆動端子 D O 1 から L E D 駆動電流が流し出された場合、L E D 1 0 4 B のアノード、カソード端子を経て M O S 1 1 0 B のドレイン、ソースを介してグランドへと至る電流経路が形成されることになる。このとき L E D 1 0 4 B が発光して（図 2 9 においては図示していないが）感光ドラム上に静電潜像の画素（印刷ドット）が形成される。

このとき、L E D 1 0 3 B には電流流路が形成されないため、L E D 1 0 4 B の発光状態には何らの支障も与えることはない。

【0295】

図 3 3 のタイムチャートにおいて、ドライバチップを 1 チップのみに簡略化した場合における詳細波形は、実施の形態 1 に関し、図 1 6 を参照して説明したのと同じである。ただし、クロックパルス数が異なる。立ち上がりエッジ及び立下りエッジの双方が利用されるためである。

10

【0296】

次に、図 2 9 の L E D ヘッド 5 1 9 を用いて補正データの転送及び書き込みを行う場合の各ドライバチップにおける処理を、図 3 4 を参照して説明する。

図 3 4 に示される補正データの転送は、図 1 1 及び図 1 7 ～図 2 0 を参照して説明したのと同様である。

ただし、印刷データの転送（図 3 3）で述べたのと同様に、補正データも、第 1 のドライバチップ列 3 1 A と、第 2 のドライバチップ列 3 1 B とでは別々に供給される。

即ち、第 1 のドライバチップ列 3 1 A では、補正データがデータ信号 H D - D A T A 0 3 ～ 0 1 として供給され、第 2 のドライバチップ列 3 1 B では、補正データがデータ信号 H D - D A T A 1 3 ～ 1 1 として供給される。

20

【0297】

印刷データと同様に、奇数番目の L E D のための補正データの転送及び書き込みと、偶数番目の L E D のための補正データの転送及び書き込みとは異なるタイミングで行われる。

また、図 3 3 に関して述べたのと同様、1 サイクル中のクロックエッジの数は、 24×13 エッジである。

【0298】

[セットアップ時間及びホールド時間]

30

実施の形態 2 の L E D ヘッドを構成する複数のドライバチップをカスケード接続してなる回路において、印刷データ転送における動作に着目して要部を抜き出して記載すると、実施の形態 1 に関しての図 2 1 と同様となる。

ただし、フリップフロップ F F 1 ～ 4 8 は、クロック信号の立ち上がりエッジ及び立下りエッジの双方でデータの取り込みを行う。

【0299】

実施の形態 2 におけるカスケード接続の動作は、実施の形態 1 に関し、図 2 2 を参照して説明したのと同様であるが、供給されるクロックの周波数が異なり、上記のようにフリップフロップがクロックの立ち上がり、立下りの双方でデータの取り込みを行う点で異なる。

40

以下本実施の形態 2 におけるカスケード接続の動作を、図 3 5 を参照して説明する。

【0300】

図 3 5 において、ドライバチップ D I C 1 のデータ入力信号端子 D A T A I に、時刻 t_{dA} に、データ列中のデータ d 4 8 の入力開始され、それに引き続きデータ d 4 9、d 5 0 等が入力される。

上記のデータ列は、クロック信号 C L K - P に同期して入力される。例えば、時刻 t_{dA} においてはデータ信号 d 4 8 への切り替わりと同時にクロック信号 C L K - P も遷移させている。

このように、入力されるデータ信号 D A T A I はクロック信号 C L K - P の遷移（立ち上がりエッジ及び立下りエッジ）と略同時に切り替わっている。

50

【0301】

ドライバチップD I C 1へ入力されたデータ信号は遅延回路D T I 1により時間 $T_{D I 1}$ 遅延し（遅延後のデータ信号を符号D T I 1で示す）、フリップフロップF F 1へ入力される。一方、クロック信号C L K - PはバッファC K 1によって、時間 $T_{C K}$ だけ遅延し（遅延後のクロック信号を符号C K 1で示す）、フリップフロップF F 1～24へ入力される。

このように、フリップフロップF F 1には、データ信号及びクロック信号として、それぞれ $T_{D I 1}$ 及び $T_{C K}$ 遅延したものが入力されることになり、フリップフロップF F 1におけるクロック信号に対するデータ信号のセットアップ時間とホールド時間は $T_{S 1}$ 、 $T_{H 1}$ となる。

10

【0302】

ここで、時刻 $t_{d B}$ を起点として上記の時間 $T_{S 1}$ 、 $T_{H 1}$ を求めると下記の通りとなる。

$$T_{S 1} = T_{C K} - T_{D I 1}$$

$$T_{H 1} = T_{C L K 2} + T_{D I 1} - T_{C K}$$

【0303】

なお、 $T_{C L K}$ はクロック信号C L K - Pの周期であり、該信号はデューティ比50%の波形を有し、 $T_{C L K 2}$ は上記の周期 $T_{C L K}$ の $1/2$ の値を有し、信号C L K - PのH i g hパルス幅、もしくはL o wパルス幅に等しい。

【0304】

20

一方、時刻 $t_{d B}$ にてドライバチップD I C 1内のバッファC K 1の出力（C K 1）が遷移して、これより $T_{F F}$ 遅延してフリップフロップF F 1～24の各々の出力信号が変化する。

図35においては、フリップフロップF F 1の出力データが符号d 47、d 48、d 49、d 50で示され、フリップフロップF F 24の出力データが符号d 24、d 25、d 26、d 27で示されている。

【0305】

上記のデータ信号はドライバチップD I C 1の出力バッファD T O 1により更に $T_{D O}$ 遅延して出力される。出力バッファD T O 1の出力の波形はD T O 1として示されている。

30

なお、フリップフロップF F 24の出力信号は選択回路S E Lにより遅延して出力されるが、上記のように、選択回路S E Lによる遅延時間は出力バッファの遅延時間 $T_{D O}$ に含めている。

【0306】

データ信号は次段のドライバチップD I C 2に入力され、ドライバチップD I C 2内の遅延回路D T I 2により $T_{D I 2}$ 遅延される。

【0307】

一方、ドライバチップD I C 2に入力されたクロック信号は、バッファC K 2により $T_{C K}$ 遅延して、フリップフロップF F 25～48へ入力される。

【0308】

40

ドライバチップD I C 2のフリップフロップF F 25の入力部におけるデータのセットアップ時間 $T_{S 2}$ を求めると、時刻 $t_{d F}$ を起点として次式を得る。

$$T_{S 2} = T_{C L K 2} - (T_{F F} + T_{D O} + T_{D I 2})$$

【0309】

なお、図35におけるドライバチップD I C 1、D I C 2は同一の回路構成から成る素子であり、個々の素子毎に多少の特性ばらつきを持っているものの、同一のL E Dヘッドユニット内ではその特性差は小さい。そのため、図35において、簡略化のため、バッファC K 1、C K 2の遅延時間はともに $T_{C K}$ であるとして記載している。

【0310】

このため、図35において時刻 $t_{d B}$ と時刻 $t_{d C}$ は略同時刻であり、同様に時刻 t_{d

50

Eと時刻 t d Fは略同時刻であるものとして示してある。

【0311】

フリップフロップを正常動作させるためには、その入力部において所望のセットアップ時間とホールド時間を確保する必要がある。

【0312】

ドライバチップ D I C 1 からドライバチップ D I C 2 へのデータ転送においても、ドライバチップ D I C 2 のシフトレジスタ入力段のフリップフロップに所望のセットアップ時間を与える必要がある。

いま仮に $T_{S2} > 0$ とすると、

$$T_{CLK2} > T_{FF} + T_{DO} + T_{DI2}$$

となる。

ここで

$$T_{CLK2} = T_{CLK} / 2$$

であることに注意すると、

$$T_{FF} + T_{DO} + T_{DI2}$$

の合計値よりも T_{CLK2} のが短いと、正常なデータ転送が行えない。

【0313】

このとき、各ドライバチップ内において、シフトレジスタの前段に接続される遅延回路の遅延時間を、任意に設定できるようにしたので、その遅延回路の遅延時間 T_{DI2} を小さく設定することができる。

【0314】

先に計算したように、シフトレジスタのクロック周期は

$$T_{CLK} > T_{FF} + T_{DO} + T_{DI2}$$

を満たすように定められるので、上記の遅延時間 T_{DI2} を小さく設定することで、ドライバチップのカスケード接続時のクロック周期の下限値をより小さくすることができ、最大動作クロック周波数が更に増加できることになる。

【0315】

これと併せて、1段目のドライバチップ D I C 1、D I C 1 4 のカスケード接続の1段目においても遅延時間を小さく設定することで、1段目のドライバチップ D I C 1、D I C 1 4 のフリップフロップ F F 1 におけるセットアップ時間 T_{S1} もまた十分な値に設定することができる。

【0316】

各段のドライバチップの遅延時間は遅延時間選択信号 D L Y が H i g h であるか L o w であるかによって決定され、遅延時間選択信号 D L Y の状態を決定する処理、例えば、メモリ回路 M D M への遅延時間データ H d の書き込みは、印刷データ転送の開始に先立つ補正データ転送時に行われる。

【0317】

このため、何等かの格別の処理をしなければ、補正データ転送の開始時点（例えば図34の時刻 t a D）においては、上記の遅延時間選択信号 D L Y は、その H i g h / L o w 状態が確定していないことになる。このような事態となるのを避けるため、本実施の形態2では、補正データの転送に先立って、遅延時間選択信号 D L Y を確定させる処理を行う。この処理をリセット処理と言う。

【0318】

[リセット処理]

以下、リセット処理について、図36を参照して説明する。

図36において、図34を参照して説明した補正データの転送（図36における t a D）に先立って、時刻 t a A から期間 t a C におけるリセット処理が行われる。

【0319】

まず、ラッチ信号 H D - L O A D が H i g h とされる（時刻 t a A）。これにより、印刷データ以外のデータ、ここでは固定値のデータが転送されることが示される。

【0320】

ついで、データ信号HD-DATA03～00及びHD-DATA13～10を固定値（Lowレベル）とした状態を維持したままクロックHD-CLKを所定数入力して、ドライバチップ内のシフトレジスタSFRa～SFRd中へシフト入力する（期間taB）。

【0321】

期間taBにおいては、ストロブ信号HD-STB-Nは発生せず、従って、イネーブル信号E2がHighの状態が維持される。そのため、各ドライバチップのシフトレジスタSFRa～SFRdは25段の状態に維持される。この状態で、クロック信号HD-CLK-Pのエッジを25×13回発生させることで、26個のドライバチップのシフトレジスタのすべてのフリップフロップに固定値（Lowレベル）のデータが書き込まれる。

10

【0322】

このとき、各ドライバチップ内のメモリ回路MDMのデータ、従って、メモリ回路MDMから遅延回路143～146に供給される遅延時間選択信号DLYの値が確定していないので、各ドライバチップの遅延回路の遅延時間は確定していない。しかし、この点は問題とならない。フリップフロップ間でのデータの転送に際し、データ信号HD-DATA03～00、HD-DATA13～10がLowレベルに固定されているため、フリップフロップのD入力に関するセットアップ時間やホールド時間の制約を受けないからである。

20

【0323】

シフト入力完了すると、ストロブ信号HD-STB-Nが3×2×4=24パルス入力され（期間taC）、図34に示したのと同様にメモリ回路MEM、メモリ回路MCM、メモリ回路MDM、及びメモリ回路MOEへのデータ書き込みが行われる。

即ち、図34を参照して説明したのと同様に、ストロブ信号HD-STB-Nが3パルス発生する毎に、イネーブル信号E1、E2が反転し、これらの反転の際に、メモリセル選択信号W3～W0が2回ずつHighとなる。その結果、シフトレジスタのフリップフロップに保持されている固定値（Lowレベル）のデータが、メモリ回路MEM、MCM、MDM、及びMOEに書き込まれる。

30

【0324】

時刻taAから期間taCにかけてのリセット処理が完了すると、ラッチ信号HD-LOADを一旦Lowレベルに戻してリセット処理が完了する。

【0325】

次いで、図34に示したのと同様に時刻taDから期間taLにかけて、補正データの転送と、メモリ回路MEM、MCM、MDM、MOEへの補正データ、遅延時間データHd、及びスイッチ制御データHkの転送及び書き込みが行われる。

この転送に際しては、リセット処理でメモリ回路MDMに書き込まれた遅延時間設定データにより設定された遅延時間が用いられる。上記の例のように、固定値としてLowレベルが書き込まれた状態では、短い遅延時間が用いられる。

40

【0326】

〔従来の構成との比較〕

以下、上記のように、アッテネータ回路を用いることの利点を説明する。

図37は従来例の構成のうち、実施の形態2の図29の構成に対応する部分を示す。

【0327】

図37に示す従来例では、本実施の形態2におけるアッテネータ回路の代わりに、信号レベルの変換回路541が用いられている。変換回路541は、デシリアライザ回路523から出力されるCMOSバッファ出力信号を小振幅差動信号に変換する。

【0328】

変換回路541においては、その入出力端子間には信号伝達に伴う遅延時間が発生する。

50

これによる遅延時間によって、ドライバチップ列 3 1 A、3 1 B のデータ信号 H D - D A T A 0 3 ~ 0 0、H D - D A T A 1 3 ~ 1 0 とクロック信号 H D - C L K - P、H D - C L K - N との間に時間差を発生させることができ、フリップフロップのセットアップ時間とホールド時間を満足させるのに利用されていた。

【0329】

[実施の形態 2 の効果]

本実施の形態 2 の構成とすることで、従来のドライバチップにおける次のような課題を解決することができる。

即ち、高速プリンタにおいては、L E D ヘッドの接続ケーブルで伝送される信号のクロック周波数の制約から、L E D ヘッドを構成する複数の L E D アレイを複数の群に分け、複数の群に別個にデータを供給し、それぞれの群で別個にデータ転送を行うことで、クロック周波数を低減させることが行われていた。

10

【0330】

また、一般によく用いられる A 4 版、A 3 版よりも大きい、A 2 版、A 1 版、A 0 版といったサイズの用紙に対応する大判プリンタ用の L E D ヘッドを構成するため L E D ヘッドの長さを長くする必要から、L E D ヘッドを構成する複数の L E D アレイを複数の群に分け、複数の群に別個にデータを供給し、それぞれの群で別個にデータ転送を行うこととしていた。

【0331】

このようにする場合、接続ケーブルの信号線の本数が増加してしまい、必然的に接続ケーブルが太くなってその取り回しが困難となる。これを打開するために接続ケーブルの送信端にシリアライザ回路を設けるとともに、受信端にはデシリアライザ回路を設け、接続ケーブルの伝送周波数を増加させるとともに、接続ケーブルの芯数を減らす構成がとられていた。

20

【0332】

この場合、シリアライザ回路の出力側においては L E D ヘッドのデータ信号とともにクロック信号もまたシリアル化されて接続ケーブルで伝送され、伝送されたデータ信号及びクロック信号は、デシリアライザ回路によってもとの形態に復元される。

【0333】

このとき、L E D ヘッドのデータ信号とクロック信号は同期したタイミングとなってしまう。そこで、クロック信号に対するデータ信号のセットアップ時間やホールド時間といったタイミングを満足させるためにデシリアライザ回路に加えて遅延回路を更に設ける必要があった。

30

【0334】

このため、L E D ヘッドの部品点数が著しく増加してしまうことによるコストアップや、それら部品を搭載するプリント基板が大型化してしまうといった課題を生じ、その解決が望まれていた。

【0335】

それに対して、本実施の形態 2 の構成においては、ドライバチップのデータ入力部に遅延回路を設け、その遅延時間を比較的小さな値に設定可能としたので、外付け部品を用いることなく所望のセットアップ時間やホールド時間を満たすことが可能となる。

40

【0336】

それに加えて、本実施の形態 2 の構成では補正データ転送に先立って、リセット制御を設けることで前述した遅延時間の設定を行うことが可能となり、別途リセット回路等の搭載を不要とすることができる。

【0337】

なお、上記の例では、リセット処理においてドライバチップに入力されるデータ信号 H D - D A T A が、L o w レベルとされるが、要するに固定値であれば良い。特に、遅延回路の遅延時間が短くなるようにすればよい。

或いは、L E D ヘッドの入力信号端子部において、データ信号のクロック信号に対する

50

ホールド時間が長くなるようにすればよい。

【0338】

実施の形態2の変形例1.

実施の形態1について、図27を参照して説明したのと同様の変形を実施の形態2に加えることができる。

即ち、図36の期間t a Cにおいて、ストロブ信号H D - S T B - Nを3パルスだけ発生することとしても良い。

このようにすることの利点は、実施の形態1に関する図27の変形例について述べたのと同じである。

【0339】

実施の形態2の変形例2.

上記の実施の形態2では、シリアライザ回路とデシリアライザ回路との間の伝送を、5対の信号線で行っているが、シリアライザ回路とデシリアライザ回路との間の伝送に用いられる信号線の対の数は5に限らない。以下では、信号線の対の数が1である場合の構成を変形例2として説明する。

【0340】

図38は実施の形態2の変形例2であって、図29に対応する部分を示す。図29と同じ番号は同一又は対応する回路要素を示す。

【0341】

図38の変形例では、図28のシリアライザ回路521、デシリアライザ回路523の代わりにシリアライザ回路551、デシリアライザ回路553が用いられている。これらの回路としては、L S I化され市販されたものが利用可能であって、たとえばザインエレクトロニクス社製のT H C V 2 1 3、2 1 4等が使用可能である。

【0342】

また、接続ケーブル528の代わりに接続ケーブル558が用いられている。接続ケーブル528は、1対の信号線c h 1のみから成る。

【0343】

図28の構成においては、4対の信号（データ信号及び制御信号）を伝えるための4対の信号線c h 1～c h 4と、1対のクロック信号を伝えるための1対の信号線c h C L Kを用いているが、図38の構成における接続ケーブル558は1対の信号線c h 1のみを有し、符号化されシリアライズされたデータ信号及び制御信号と、データ信号及び制御信号中に埋め込まれたクロック信号とを伝送するようにしている。

【0344】

図29と図38を比較して明らかなように、図29では全部で5対の信号線を要していたのに比べ、図38では用いられる信号線の対の数が1となっており、接続ケーブルがより可とう性に富むものとなり、接続ケーブルの取り回しも良くL E Dヘッドに適用するうえで好ましい物理特性のものとすることができる。

【0345】

[利用形態]

実施の形態1及び2において説明したL E Dアレイは、電子写真プリンタの露光工程で光源として利用することができる。以下その一例としてタンデムカラープリンタを取り上げ、図39を用いて説明する。

【0346】

図39は、本発明のL E Dヘッドを搭載した画像形成装置を説明する概略断面図である。

図39において、画像形成装置600は、ブラック（K）、イエロー（Y）、マゼンタ（M）およびシアン（C）の各色の画像を各々に形成する4つのプロセスユニット601～604を有し、これらが記録媒体605の搬送経路の上流側から順に配置されている。これらプロセスユニット601～604の内部構成は共通しているため、例えばマゼンタのプロセスユニット603を例に取り、これらの内部構成を説明する。

10

20

30

40

50

【0347】

プロセスユニット603には、像担持体としての感光ドラム603aが矢印方向に回転可能に配置され、この感光ドラム603aの周囲には、その回転方向上流側から順に、感光ドラム603aの表面に電荷を供給して帯電させる帯電装置603b、及び帯電された感光ドラム603aの表面に選択的に光を照射して静電潜像を形成する露光装置603cが配設される。露光装置603cとしては、前述のLEDヘッド(19)が用いられる。

【0348】

更に、静電潜像が形成された感光ドラム603aの表面に、マゼンタ(所定色)のトナーを付着させて顕像を発生させる現像装置603d、及び感光ドラム603a上のトナーの顕像を転写した際に残留したトナーを除去するクリーニング装置603eが配設される。なお、これら各装置に用いられているドラム又はローラは、図示しない駆動源からギアなどを經由して動力が伝達され回転する。

【0349】

また、画像形成装置600は、その下部に、紙などの記録媒体605を堆積した状態で収納する用紙カセット606を装着し、その上方には記録媒体605を1枚ずつ分離させて搬送するためのホッピングローラ607が配設されている。更に、記録媒体605の搬送方向における、ホッピングローラ607の下流側にはピンチローラ608、609と共に記録媒体605を挟持することによって、記録媒体を搬送する搬送ローラ610及び、記録媒体605の斜行を修正し、プロセスユニット601に搬送するレジストローラ611を配設している。これらのホッピングローラ607、搬送ローラ610及びレジストローラ611は図示されない駆動源からギア等を經由して動力が伝達され回転する。

【0350】

プロセスユニット601~604の各感光ドラムに対向する位置には、それぞれ半導電性のゴム等によって形成された転写ローラ612が配設されている。これら転写ローラ612には感光ドラム603a上に付着されたトナーによる顕像を記録媒体605に転写する転写時に、感光ドラム601a~604aの表面電位とこれら各転写ローラ612の表面電位に電位差を持たせるための電位が印加されている。

【0351】

定着装置613は、加熱ローラとバックアップローラとを有し、記録媒体605上に転写されたトナーを加圧・加熱することによって定着する。この下流の排出ローラ614、615は、定着装置613から排出された記録媒体605を、排出部のピンチローラ616、617と共に挟持し、記録媒体スタッカ部618に搬送する。これら定着装置613、排出ローラ614等は図示しない駆動源からギアなどを經由して動力が伝達され回転される。

【0352】

つぎに上記構成の画像形成装置の動作を説明する。

まず、用紙カセット606に堆積した状態で収納されている記録媒体605がホッピングローラ607によって、上から1枚ずつ分離されて搬送される。続いて、この記録媒体605は、搬送ローラ610、レジストローラ611及びピンチローラ608、609に挟持されて、プロセスユニット601の感光ドラム601aと転写ローラ612の間に搬送される。その後、記録媒体605は、感光ドラム601a及び転写ローラ612に挟持され、その記録面にトナー像が転写されると同時に感光ドラム601aの回転によって搬送される。

【0353】

同様にして、記録媒体605は、順次プロセスユニット602~604を通過し、その通過過程で、各露光装置601c~604cにより形成された静電潜像を、現像装置601d~604dによって現像した各色のトナー像がその記録面に順次転写され、重ね合わせられる。

【0354】

そして、その記録面上に各色のトナー像が重ね合わせられた後、定着装置613によ

てトナー像が定着された記録媒体 605 は、排出ローラ 614、615 及びピンチローラ 616、617 に挟持されて、画像形成装置 600 の外部の記録媒体スタッカ部 618 に排出される。以上の過程を経て、カラー画像が記録媒体 605 上に形成される。

【0355】

以上の様に、本実施の形態の画像形成装置によれば、前述した LED ヘッドを採用するためスペース効率及び光取り出し効率に優れた高品質の画像形成装置（プリンタ、コピー機など）を提供することができる。即ち、実施の形態の LED ヘッドを用いることにより、上記説明したフルカラーの画像形成装置に限らずモノクロ、マルチカラーの画像形成装置においても効果が得られるが、特に露光装置を数多く必要とするフルカラーの画像形成装置において一層大きな効果が得られる。

10

【0356】

以上、本発明を光源として用いられる LED に適用した場合について説明したが、本発明は、発光サイリスタをスイッチング素子として用いる構成、あるいはスイッチング素子に直列に被駆動素子、例えば有機 EL 素子や発熱抵抗体への電圧印加制御を行う場合にも適用可能である。

【0357】

たとえば有機 EL 素子のアレイで構成される有機 EL ヘッドを備えたプリンタや発熱抵抗体の列で構成されるサーマルプリンタにおいて利用することができる。

さらに表示素子、例えば列状或いはマトリクス状に配列された表示素子の駆動（電圧印加の制御）にも適用可能である。

20

本発明はまた、3 端子構造を備えたサイリスタのほか、第 1 と第 2 の 2 つのゲートを備えた 4 端子サイリスタ SCS (Silicon Semiconductor Controlled Switch) の場合にも適用可能であり、その形態は種々の変形が可能である。

【符号の説明】

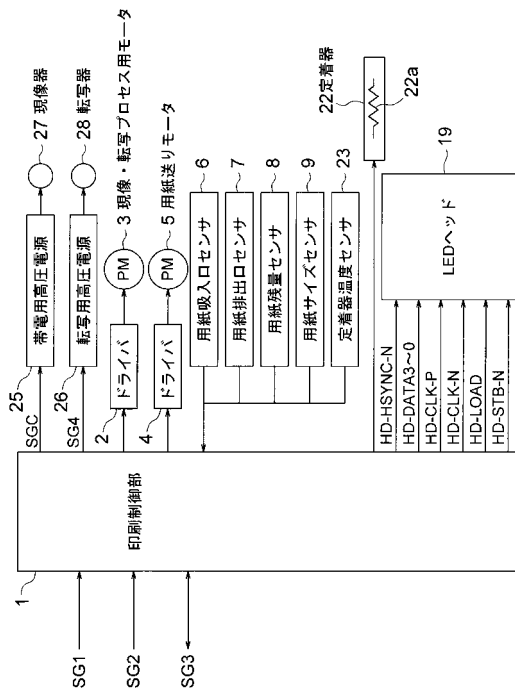
【0358】

1 印刷制御部、 19 LED ヘッド、 31、31A、31B ドライバ IC チップ列、 32、32A、32B LED アレイ列、 101~108、101A~108A、101B~108B LED、 109、109A、109B、110、110A、110B 共通スイッチ、 141 入力回路、 142 バッファ回路、 143~146 遅延回路、 147~150 バッファ回路、 171~179 インバータ回路、 180、181 AND 回路、 182 OR 回路、 331~334 遅延回路、 519 LED ヘッド、 521、551 シリアライザ回路、 523、553 デシリアライザ回路、 525 アッテネータ回路、 ADJ 制御電圧発生回路、 CHP1~CHP26 LED アレイ、 CTR1 メモリ制御回路、 CTR2 マルチプレクサ制御回路、 CTR3 共通スイッチ制御回路、 DIC1~DIC26 ドライバ IC チップ、 DRV LED 駆動回路、 FFA1~A25、FFB1~B25、FFC1~C25、FFD1~D25 フリップフロップ、 LTA1~LTA25、LTB1~LTB25、LTC1~LTC25、LTD1~LTD25 ラッチ回路、 MCM チップ補正データメモリ回路、 MDM 遅延時間データメモリ回路、 MEM ドット補正データメモリ回路、 MOE スイッチ制御データメモリ回路、 MUX マルチプレクサ回路、 SEL 選択回路、 SFRA~SFRd シフトレジスタ。

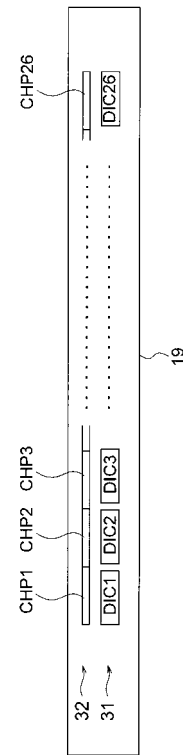
30

40

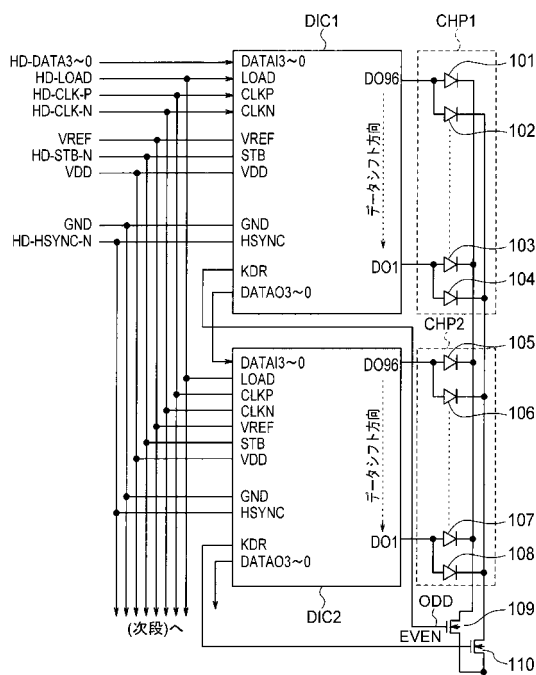
【図 1】



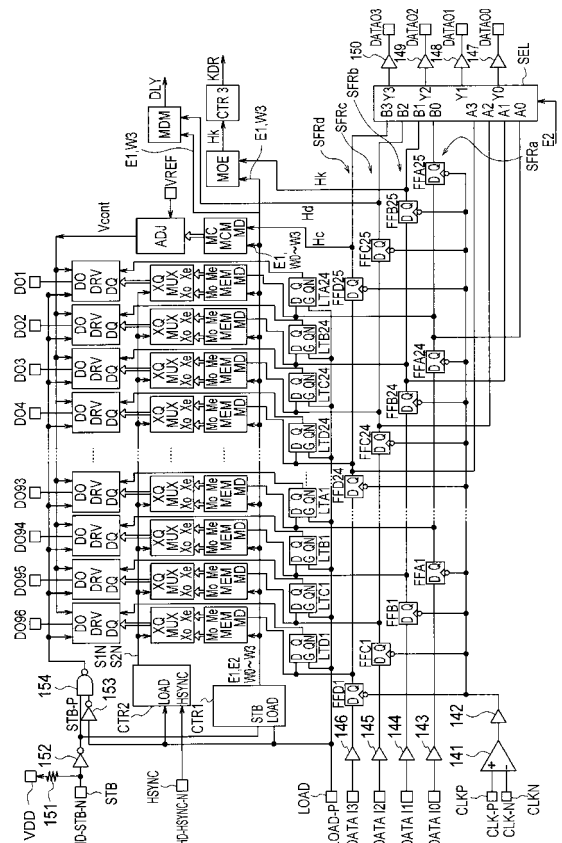
【図 2】



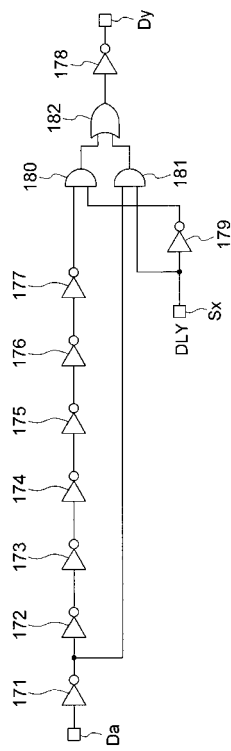
【図 3】



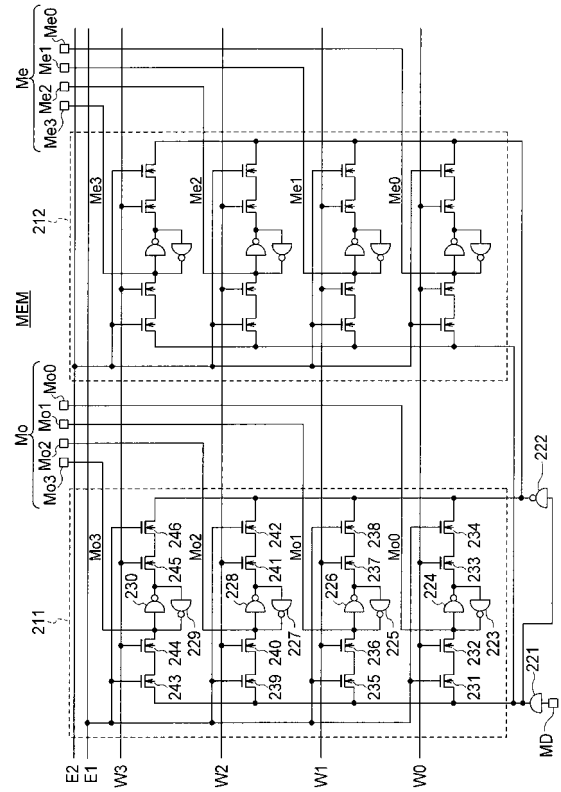
【図 4】



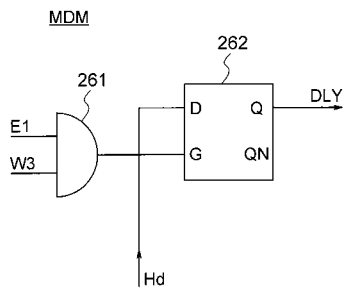
【図 5】



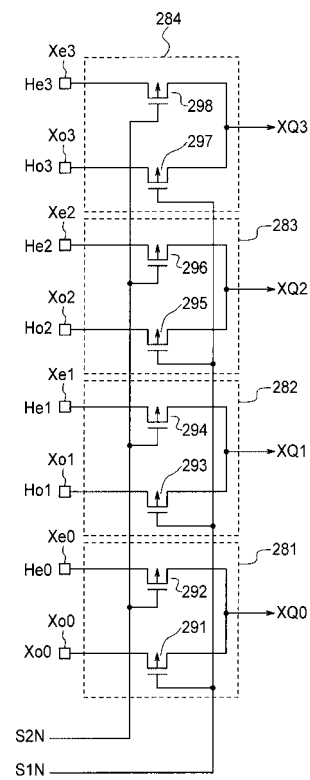
【図 6】



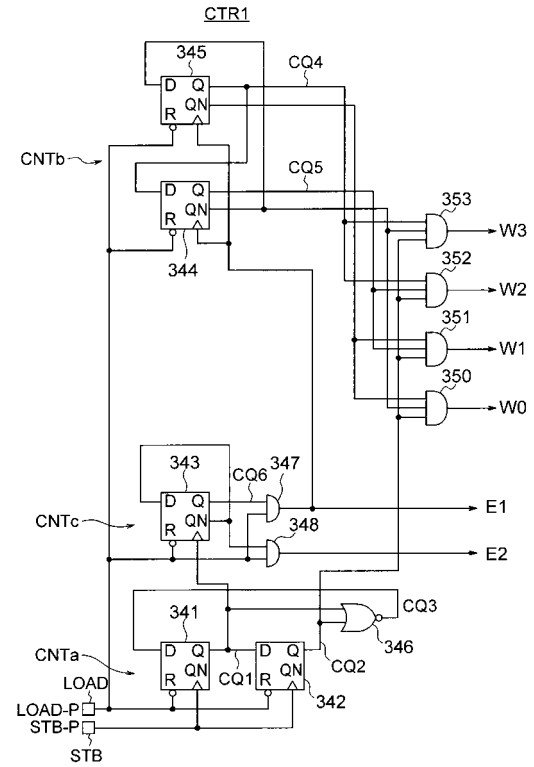
【図 7】



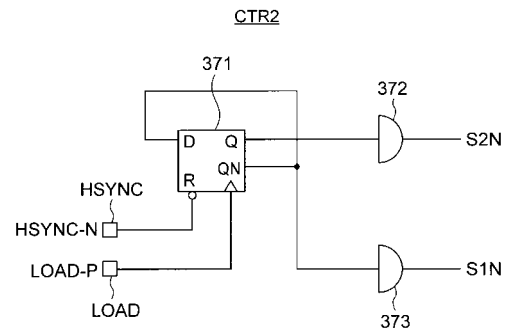
【図 8】



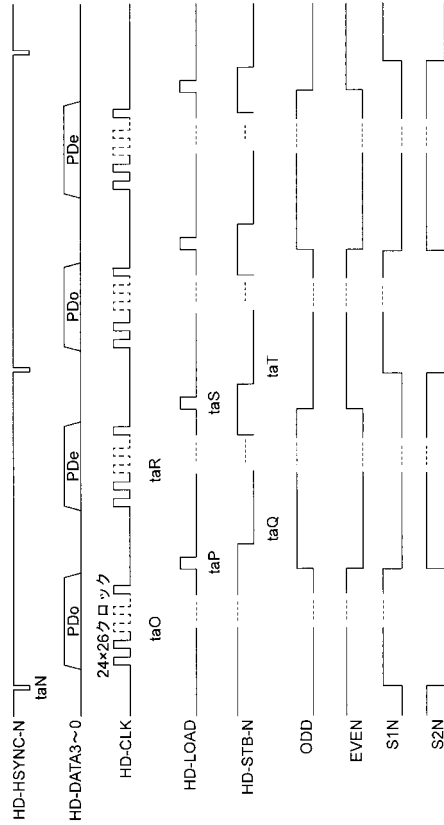
【図 10】



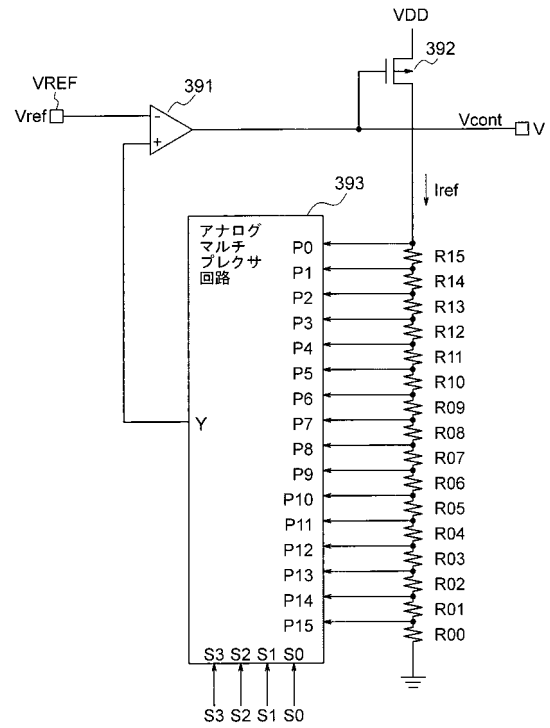
【图 1 2】



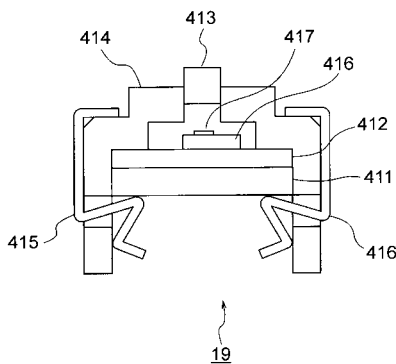
【図 13】



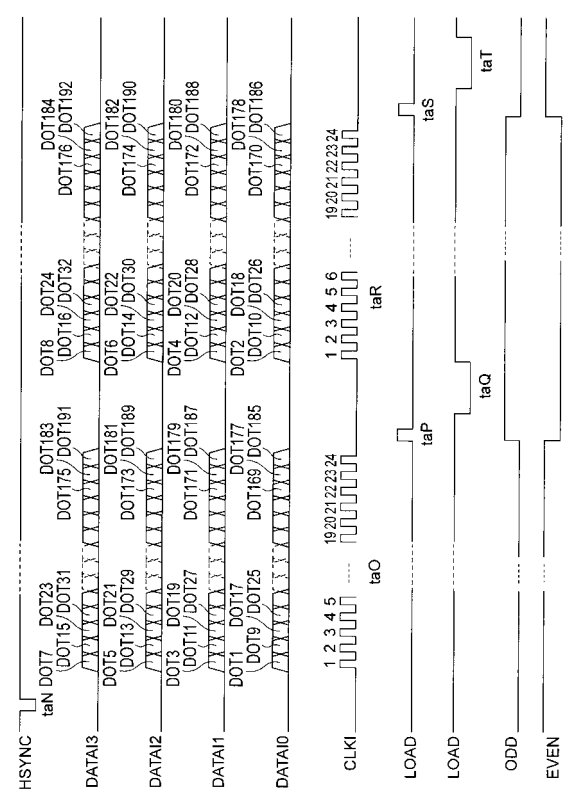
【図 14】



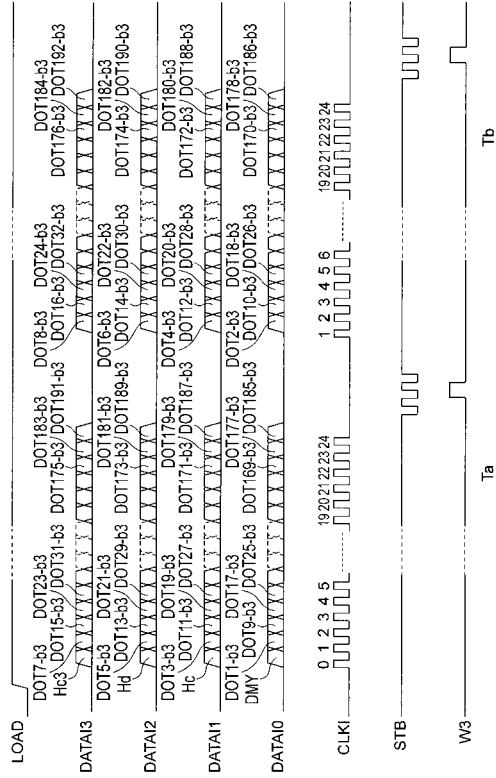
【図 15】



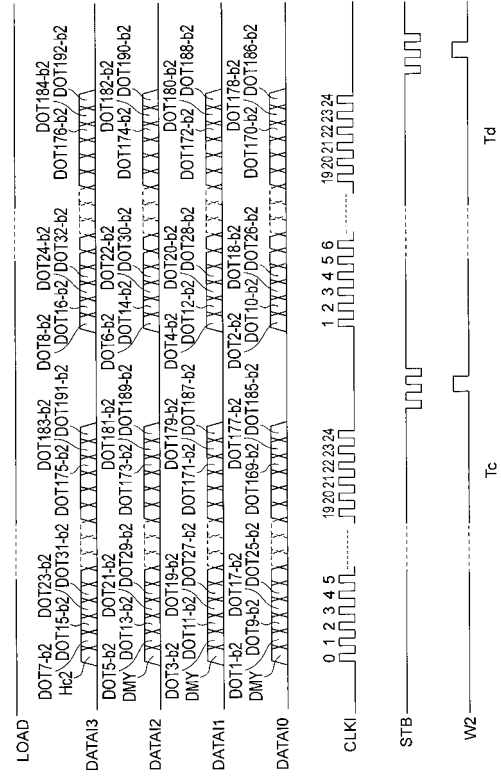
【図 16】



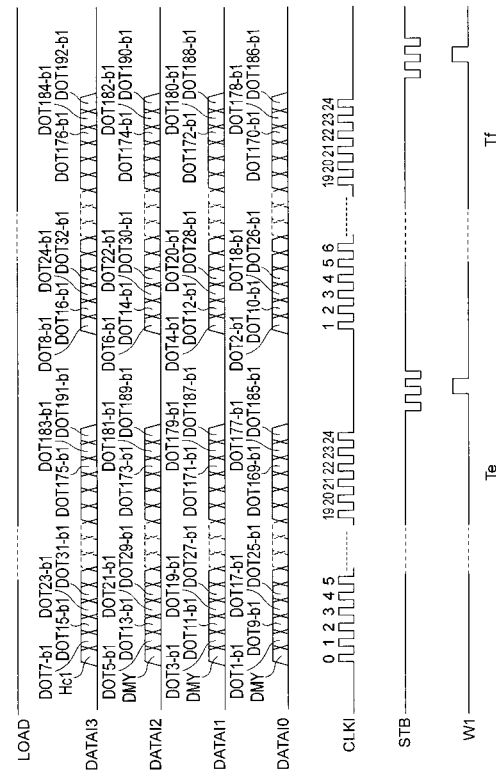
【図 17】



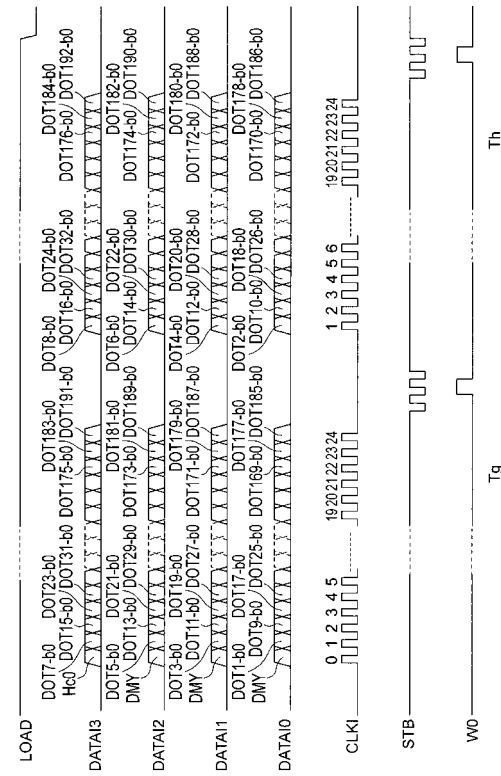
【図 18】



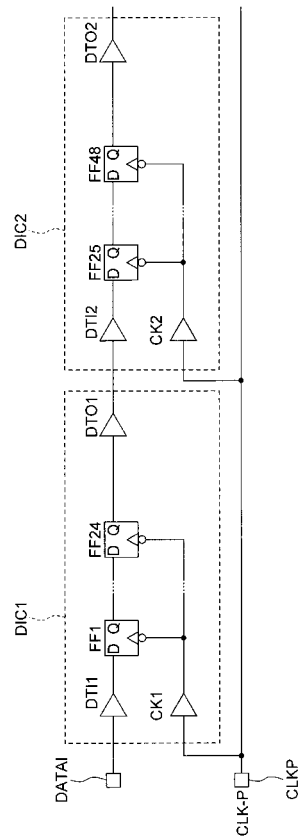
【図 19】



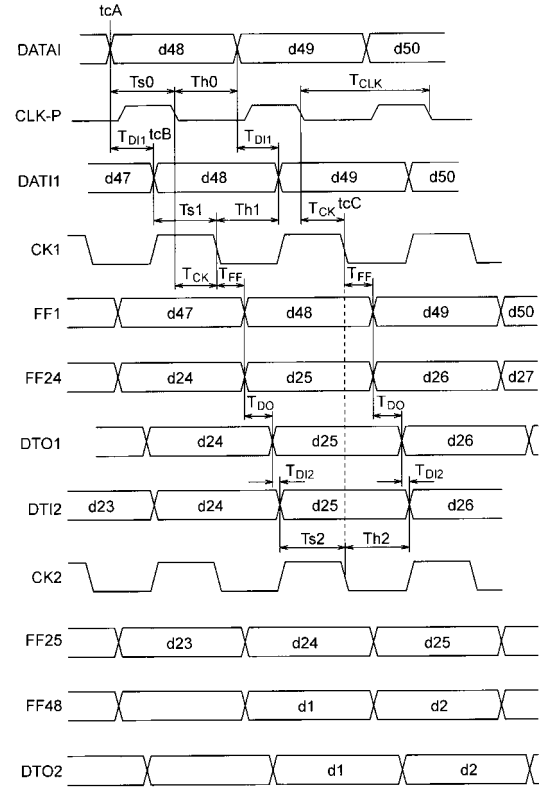
【図 20】



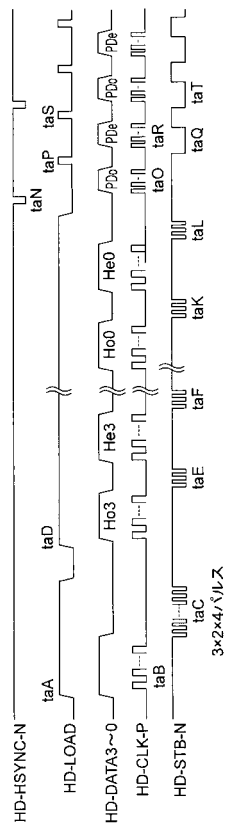
【図 2 1】



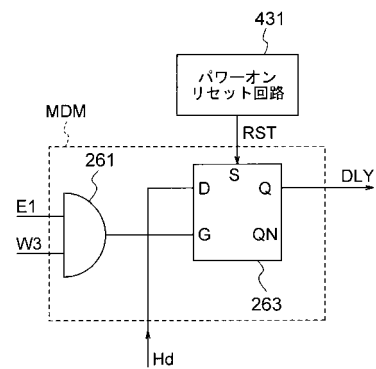
【図 2 2】



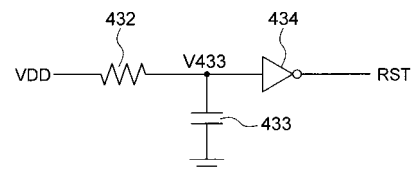
【図 2 3】



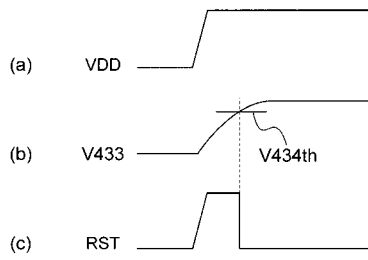
【図 2 4】



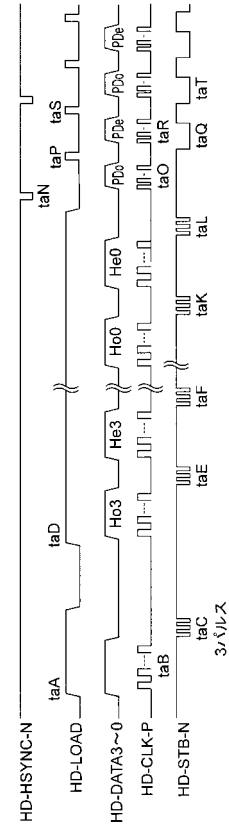
【図 2 5】



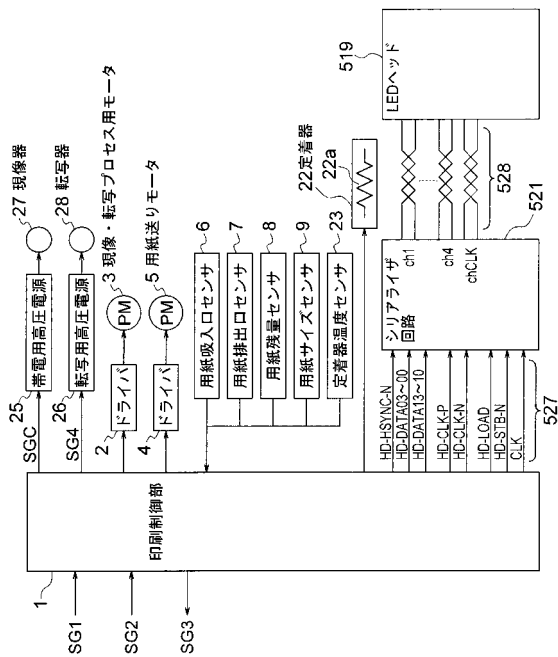
【図 26】



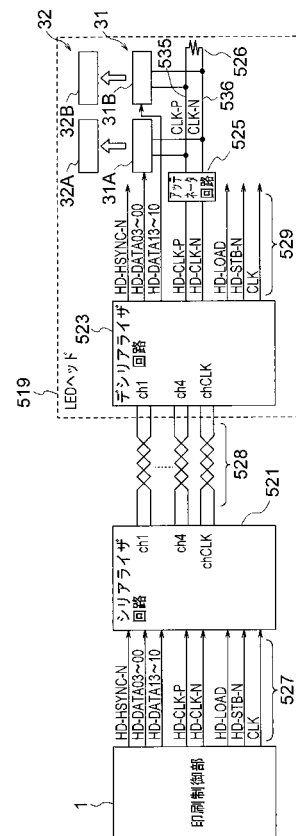
【図 27】



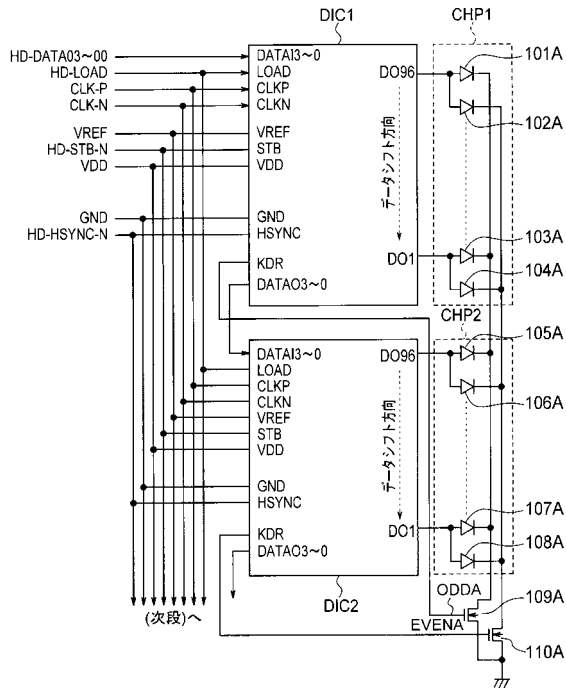
【図 28】



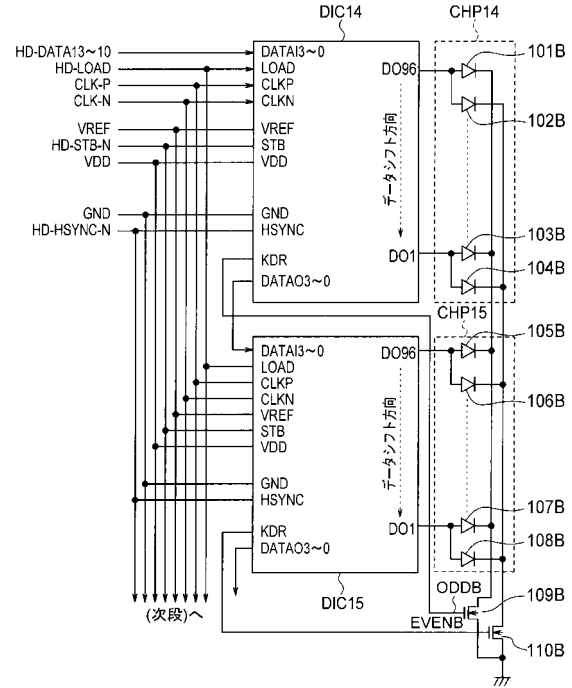
【図 29】



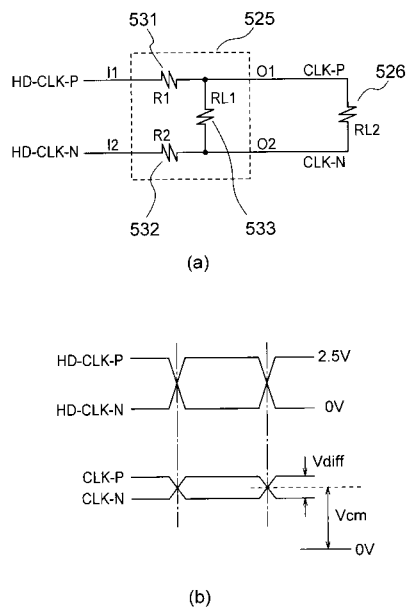
【図 30】



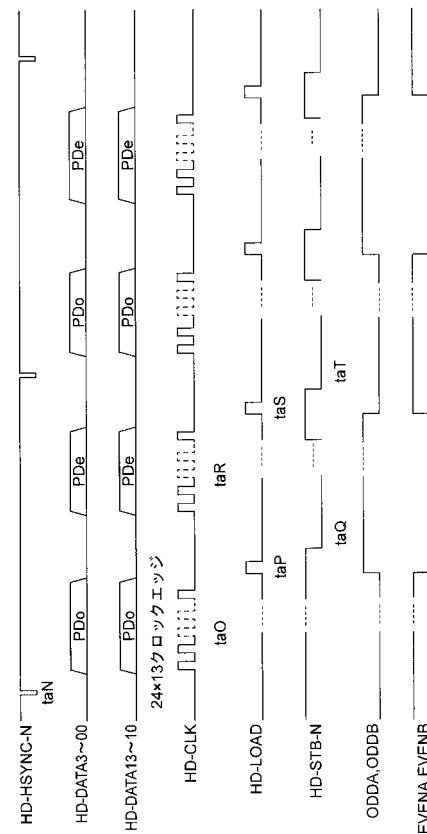
【図 31】



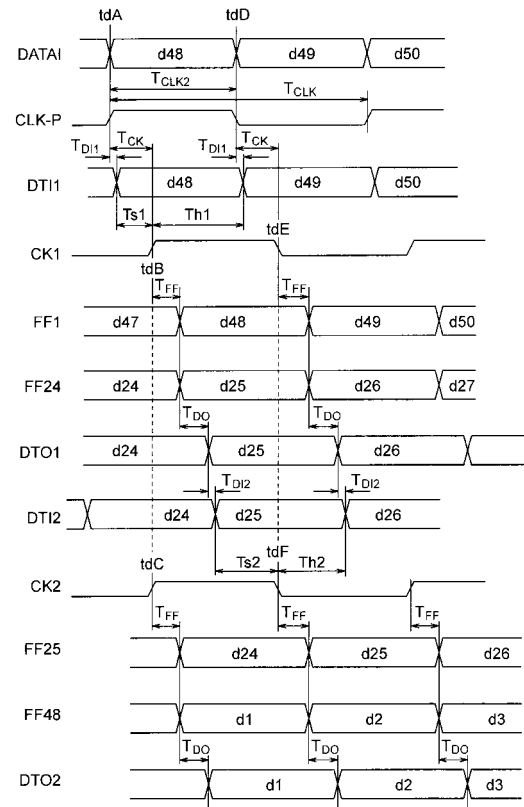
【図 32】



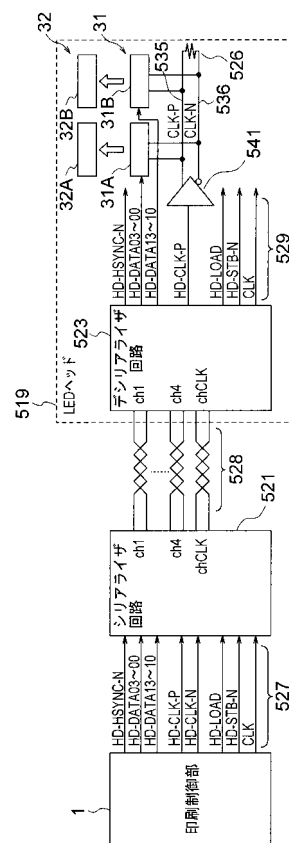
【図 33】



【図 3 5】



【図 3 7】



フロントページの続き

(51)Int.Cl.			F I			テーマコード (参考)	
B 4 1 J	2/45	(2006.01)	G 0 9 G	3/20	6 2 3 R	5 F 2 4 1	
H 0 1 L	33/00	(2010.01)	G 0 9 G	3/20	6 2 3 B		
H 0 1 L	51/50	(2006.01)	G 0 9 G	3/20	6 1 2 K		
B 4 1 J	2/355	(2006.01)	G 0 9 G	3/20	6 4 1 P		
			G 0 9 G	3/20	6 5 0 M		
			G 0 9 G	3/20	6 3 1 V		
			G 0 9 G	3/20	6 3 3 B		
			G 0 9 G	3/20	6 3 3 C		
			B 4 1 J	2/45			
			H 0 1 L	33/00	J		
			H 0 5 B	33/14	A		
			B 4 1 J	2/355	B		

F ターム (参考) 3K107 AA01 BB04 CC41 CC45 EE57 EE61										
5C080	AA06	AA07	BB01	BB05	BB06	DD05	DD08	DD14	DD20	DD25
	EE01	EE17	EE29	FF03	FF12	FF13	GG12	GG15	GG17	JJ02
	JJ03	JJ04	JJ06	KK01	KK25					
5C380	AA01	AA03	AB01	AB04	AB05	BA06	BA13	BA32	BA33	BA34
	BA36	BA42	BB03	CA04	CA08	CA10	CA12	CA13	CA17	CA32
	CA42	CA45	CA53	CA54	CE04	CF05	CF07	CF09	CF10	CF15
	CF22	CF23	CF26	CF28	CF32	CF33	CF41	CF43	CF48	CF52
	CF56	CF57	CF67	DA02	DA33	DA39	DA46	EA01		
5F241	AA42	AA47	BB07	BB20	BC03	BC18	BC24	BC27	BC34	BC42
	BC47	BC50	BD08	BD09	FF13					