

(12) 实用新型专利

(10) 授权公告号 CN 202737883 U

(45) 授权公告日 2013.02.13

(21) 申请号 201120451606.9

(22) 申请日 2011.11.15

(30) 优先权数据

2010-258570 2010.11.19 JP

(73) 专利权人 索尼公司

地址 日本东京都

(72) 发明人 新桥龙男 舟本一久 松本英之

城下宽司 丸子健一 杉冈达也

越坂直弘

(74) 专利代理机构 北京市柳沈律师事务所

11105

代理人 郭定辉

(51) Int. Cl.

H04L 1/18(2006.01)

H04L 1/00(2006.01)

(ESM) 同样的发明创造已同日申请发明专利

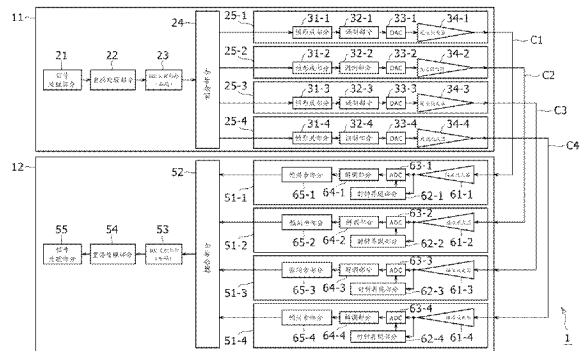
权利要求书 2 页 说明书 10 页 附图 9 页

(54) 实用新型名称

发送设备、接收设备和传输系统

(57) 摘要

在此公开了发送设备、接收设备和传输系统。该发送设备包括：纠错码计算部分，用于根据作为信息字的传输对象的数据来计算纠错码；划分部分，用于将构成通过将由纠错码计算部分的计算而确定的纠错码附加到传输对象的数据而获得的码字的编码数据以每预定数量为单位分配到多条传输线；以及多个传输部分，与多条传输线对应地提供，并且用于通过传输线将由划分部分分配的编码数据发送到接收设备。



1. 一种发送设备,包括:

纠错码计算部件,适配为根据作为信息字的传输对象的数据来计算纠错码;

划分部件,适配为将构成码字的编码数据以每预定数量为单位分配到多条传输线,其中通过将由所述纠错码计算部件的计算而确定的纠错码附加到传输对象的数据而获得所述码字;以及

多个传输部件,与多条传输线对应地提供,并且适配为通过传输线将由所述划分部分分配的编码数据发送到接收设备。

2. 根据权利要求1所述的发送设备,其特征在于:

所述划分部件将具有预定值的填充数据分配到向其分配比向其它传输线分配更少量的编码数据的任意传输线,以使得分配等于向其它传输线分配的编码数据的分配量的编码数据量;以及

与向其分配了填充数据的传输线对应地提供的传输部件紧接着编码数据发送填充数据。

3. 根据权利要求2所述的发送设备,其特征在于,所述划分部件以从所述纠错码计算部件提供编码数据的顺序,向传输线中的不同传输线分配构成同一码字的编码数据。

4. 一种接收设备,包括

多个接收部件,与多条传输线对应地提供,并且适配为接收从根据作为信息字的传输对象的数据来计算纠错码的发送设备发送的编码数据,将构成通过将由计算确定的纠错码附加到传输对象的数据而获得的码字的编码数据以每预定数量为单位分配到多条传输线,以及发送分配到所述传输线的编码数据;

耦合部件,适配为基于由所述多个接收部件接收到的编码数据产生码字;以及

纠错部件,适配为基于由所述耦合部件产生的码字中包括的纠错编码来执行传输对象的数据的纠错。

5. 根据权利要求4所述的接收设备,其特征在于,在所述发送设备将具有预定值的填充数据分配到向其分配比其它传输线更少量的编码数据的任意传输线,以使得分配等于向其它传输线分配的编码数据量的编码数据量,并且所述填充数据由与向其分配了填充数据的传输线对应的所述接收部件之一接收的情况下,所述耦合部件去除填充数据。

6. 一种传输系统,包括:

发送设备;以及

接收设备;

所述发送设备包括:

纠错码计算部件,适配为根据作为信息字的传输对象的数据来计算纠错码;

划分部件,适配为将构成码字的编码数据以每预定数量为单位分配到多条传输线,其中通过将由所述纠错码计算部件的计算而确定的纠错码附加到传输对象的数据而获得所述码字;以及

多个发送部件,与多条传输线对应地提供,并且适配为通过传输线将由所述划分部件分配的编码数据发送到所述接收设备,以及

所述接收设备,包括

多个接收部件,与传输线对应地提供,并且适配为接收从所述发送设备发送的编码数

据；

耦合部件,适配为基于由所述多个接收部件接收到的编码数据产生码字;以及  
纠错部件,适配为基于由所述耦合部件产生的码字中包括的纠错码来执行传输对象的数据的纠错。

## 发送设备、接收设备和传输系统

### 技术领域

[0001] 本公开涉及一种发送设备、接收设备和传输系统。

### 背景技术

[0002] 随着信息量的增加,要求提高信号处理 LSI (大规模集成电路)之间的接口的传输速度。

[0003] 为了满足该要求,采用诸如多路并行信号处理、提高接口的时钟频率、降低信号的电压等技术。然而,对于上面刚刚描述的技术,噪声耐受性降低,导致难以正确地发送数据。

[0004] 此外,在与要求抑制功耗相关的接口,诸如移动设备的信号处理 LSI 之间的接口中,不要求这样提高传输速度,而促进电压的降低,且难以正确地发送数据。

[0005] 为了解决上面描述的这些问题,已经进行了传输信道的电性能的改善,诸如 CDR (时钟数据恢复) 电路或者均衡器的性能的改善,并且还采用由接收端校正由噪声造成的错误的纠错码。作为纠错码,可以采用里德 - 所罗门 (Reed-Solomon) 码等。在接收端的 LSI 中,可以执行纠错码的解码处理以在某种程度上校正数据错误。

[0006] Serial ATA:High Speed Serialized AT Attachment Revision 1.0a (2003 年 1 月 7 日) 列为现有技术的非专利文献。

### 实用新型内容

[0007] 在普通的 LSI 之间的接口中,即使在 LSI 之间采用多条传输线,通常仍利用同一单个传输路径发送具有附加到其的纠错码的由传输数据构成的一个码字的数据。因此,如果一个码字中出现的位错误的数目超过校正能力(该校正能力取决于纠错码的位数),则该错误不能校正,导致数据丢失。取决于系统,检测校正中的故障并执行数据重发。

[0008] 信号处理 LSI 之间的接口要求的传输能力在加速提高,并且这使得很可能发生传输错误,并且难以保证足够重发数据的传输频带

[0009] 因此,希望提供可以在提高数据的传输速度的同时增强纠错能力的发送设备、接收设备和传输系统。

[0010] 根据所公开技术的第一实施例,提供了发送设备,包括:纠错码计算部件,适配为根据作为信息字的传输对象的数据来计算纠错码;划分部件,适配为将构成通过将由纠错码计算部件的计算而确定的纠错码附加到传输对象的数据而获得的码字的编码数据以每预定数量为单位分配到多条传输线;以及多个传输部件,与多条传输线对应地提供,并且适配为通过传输线将由划分部件分配的编码数据发送到接收设备。

[0011] 发送设备可以配置为使得划分部件将具有预定值的填充数据分配到向其分配比其它传输线更少量的编码数据的任意传输线,使得分配等于向其它传输线的编码数据的分配量的编码数据量,并且与向其分配了填充数据的传输线对应地提供的发送部件紧接着编码数据发送填充数据。

[0012] 在该情况下,划分部件以从纠错码计算部件提供编码数据的顺序,向传输线中的

不同传输线分配构成同一码字的编码数据。

[0013] 根据所公开技术的第二实施例,提供了接收设备,包括:多个接收部件,与多条传输线对应地提供,并适配为接收从根据作为信息字的传输对象的数据计算纠错码的发送设备发送的编码数据,将构成通过将由计算确定的纠错码附加到传输对象的数据而获得的码字的编码数据以每预定数量为单位分配到多条传输线,以及发送分配到该传输线的编码数据;耦合部件,适配为基于由多个接收部件接收到的编码数据产生码字;以及纠错部件,适配为基于由耦合部件产生的码字中包括的纠错码来执行传输对象的数据的纠错。

[0014] 接收设备可以配置为使得在传输设备将具有预定值的填充数据分配到向其分配比其它传输线更少量的编码数据的任意传输线,以使得分配等于向其它传输线的分配量的编码数据量,并且该填充数据由与向其分配了填充数据的传输线对应的接收部件之一接收的情况下,耦合部件去除填充数据。

[0015] 根据所公开技术的第三实施例,提供了包括发送设备和接收设备的传输系统。该传输设备包括:纠错码计算部件,适配为根据作为信息字的传输对象的数据来计算纠错码;划分部件,适配为将构成通过将由纠错码计算部件的计算而确定的纠错码附加到传输对象的数据而获得的码字的编码数据以每预定数量为单位分配到多条传输线;以及多个传输部件,与多条传输线对应地提供,并且适配为通过传输线将由划分部件分配的编码数据发送到接收设备。该接收设备包括:多个接收部件,与传输线对应地提供,并且适配为接收从发送设备发送的编码数据;耦合部件,适配为基于由多个接收部件接收到的编码数据产生码字;以及纠错部件,适配为基于由耦合部件产生的码字中包括的纠错码来执行传输对象的数据的纠错。

[0016] 在所公开技术的第一实施例中,纠错码计算部件根据作为信息字的传输对象的数据计算纠错码。划分部件将构成通过将由纠错码计算部件的计算而确定的纠错码附加到传输对象的数据而获得的码字的编码数据以每预定数量为单位分配到多条传输线。然后,与多条传输线对应地提供的多个传输部件通过传输线将由划分部件分配的编码数据发送到接收设备。

[0017] 在所公开技术的第二实施例中,与多条传输线对应地提供的多个接收部件接收从根据作为信息字的传输对象的数据来计算纠错码的传输设备发送的编码数据,将构成通过将由计算确定的纠错码附加到传输对象的数据而获得的码字的编码数据以每预定数量为单位分配到多条传输线,以及发送分配到传输线的编码数据。然后,耦合部件基于由多个接收部件接收到的编码数据产生码字。然后,纠错部件基于由耦合部件产生的码字中包括的纠错码来执行传输对象的数据的纠错。

[0018] 在所公开技术的第三实施例中,发送设备根据作为信息字的传输对象的数据来计算纠错码;将构成通过将由计算确定的纠错码附加到传输对象的数据而获得的码字的编码数据以每预定数量为单位分配到多条传输线。此外,发送设备利用与多条传输线对应地提供的多个传输部件通过传输线将所分配的编码数据发送到接收设备。同时,接收设备利用与传输线对应地提供的多个接收部件接收从发送设备发送的编码数据。然后,接收设备基于由多个接收部件接收到的编码数据产生码字;并基于所产生的码字中包括的纠错码来执行传输对象的数据的纠错。

[0019] 总之,利用发送设备、接收设备和传输系统,在提高数据的传输速度的同时,可以

增强纠错能力。

### 附图说明

- [0020] 图 1 是示出传输系统的配置的示例的框图；
- [0021] 图 2 是示出传输数据的重排的示例的简图；
- [0022] 图 3 是示出纠错编码的示例的简图；
- [0023] 图 4 是示出传输数据的传输线划分的示例的简图；
- [0024] 图 5 是示出传输数据的传输线划分的另一个示例的简图；
- [0025] 图 6 是示出传输帧的帧构成的简图；
- [0026] 图 7 是示出传输数据的传输线耦合的简图；
- [0027] 图 8 是示出纠错解码的示例的简图；
- [0028] 图 9 是示出发送端模块的发送处理的流程图；
- [0029] 图 10 是示出接收端模块的接收处理的流程图；
- [0030] 图 11 是示出传输系统的修改例的框图；以及
- [0031] 图 12 是示出计算机的配置的示例的框图。

### 具体实施方式

#### [0032] 模块的配置

[0033] 图 1 示出根据在此公开的技术的实施例的传输系统的配置的示例。

[0034] 参考图 1, 所示的传输系统 1 包括发送端模块 11 和接收端模块 12。发送端模块 11 和接收端模块 12 例如由互相不同的 LSI 实现, 或者由相同的 LSI 实现并提供在其中处理信息的同一设备中, 该设备诸如是数码相机、便携式电话机或者个人计算机。

[0035] 在图 1 所示的示例中, 发送端模块 11 和接收端模块 12 通过四条传输线 C1 至 C4 互相连接。传输线 C1 至 C4 可以是有线传输线或者无线传输线。此外, 发送端模块 11 与接收端模块 12 之间的传输线的数量可以是 5 个或者更多。

#### [0036] 发送端模块的配置

[0037] 首先, 描述发送端模块 11 的配置。发送端模块 11 包括: 信号处理部分 21、重排处理部分 22、ECC (纠错码) 处理部分 23、划分部分 24 和发送处理部分 25-1 至 25-4。

[0038] 发送处理部分 25-1 包括: 帧形成部分 31-1、调制部分 32-1、DAC (数模转换器) 33-1 和发送放大器 34-1, 而发送处理部分 25-2 包括: 帧形成部分 31-2、调制部分 32-2、DAC 33-2 和发送放大器 34-2。发送处理部分 25-3 包括: 帧形成部分 31-3、调制部分 32-3、DAC 33-3 和发送放大器 34-3, 而发送处理部分 25-4 包括: 帧形成部分 31-4、调制部分 32-4、DAC 33-4 和发送放大器 34-4。

[0039] 以这样的方式, 如果更靠近传输线的配置确定为更低级配置, 则在发送端模块 11 中, 划分部分 24 提供在比 ECC 处理部分 23 低的位置处。此外, 在比划分部分 24 低的位置处, 与传输线 C1 至 C4 中的每条对应地提供包括帧形成部分、调制部分、DAC 和发送放大器的发送处理部分。

[0040] 信号处理部分 21 执行各种信号处理, 并且将发送数据 (其是通过执行信号处理而获得的诸如图像数据、文本数据和音频数据之类的传输对象的数据) 输出到重排处理部分

22。

[0041] 此外,可以采用其中将传输数据从发送端模块 11 的外部电路输入到重排处理部分 22 的不同配置。例如,可以以一个像素数据接着一个像素数据的顺序输入构成由诸如 CMOS (互补金属氧化物半导体) 图像拾取器件之类的外部图像拾取器件拾取的图像的像素数据来作为传输数据。

[0042] 重排处理部分 22 获取从信号处理部分 21 提供到其的传输数据,并且对所获取的传输数据进行重排。例如,在传输数据是其码元由诸如 12 位的预定数量的位构成的数据的情况下,重排处理部分 22 执行数据的重排,以将该数据转换为以 8 位为单位的数据。

[0043] 图 2 示出传输数据的重排的示例。

[0044] 图 2 的左侧所示的四个垂直细长块表示分别为 12 位数据形式的码元 S1 至 S4。块的垂直长度表示 12 位。

[0045] 例如,如果输入码元 S1 至 S4 作为传输数据,则重排处理部分 22 以输入的顺序收集每 8 位,并且将码元 S1 至 S4 重排为作为以 8 位为单位的数据的码元 S1 至 S6,如图 2 中的箭头标记向前所示。

[0046] 码元 S1 由从码元 S1 的第一位到第八位的 8 位构成。码元 S2 由包括从码元 S1 的第九位到第十二位的四位和从码元 S2 的第一位到第四位的四位的 8 位构成。码元 S3 由从码元 S2 的第五位到第十二位的 8 位构成。码元 S4 由从码元 S3 的第一位到第八位的 8 位构成。码元 S5 由包括从码元 S3 的第九位到第十二位的四位和从码元 S4 的第一位到第四位的四位的 8 位构成。码元 S6 由从码元 S4 的第五位到第十二位的 8 位构成。

[0047] 构成传输数据的每个码元有时由与 12 不同的位数表示。重排处理部分 22 将重排传输数据处理为以 8 位为单位的数据,以使得无论以什么位数表示 传输数据的每个码元,位于后续级处的处理部分都可以通过相同处理产生传输帧。重排处理部分 22 将重排获得的以 8 位为单位的传输数据输出到 ECC 处理部分 23。

[0048] ECC 处理部分 23 基于传输数据计算用于从重排处理部分 22 提供到其的以 8 位为单位的传输数据的纠错的纠错码。此外,ECC 处理部分 23 将作为由计算确定的纠错码的奇偶校验位添加到传输数据以执行纠错编码。例如,里德 - 所罗门码用作纠错码。

[0049] 图 3 示出 ECC 处理部分 23 执行的纠错编码的示例。

[0050] ECC 处理部分 23 将预定数量的以 8 位为单位的传输数据作为信息字代入应用于生成多项式,以执行奇偶校验位的计算。例如,ECC 处理部分 23 确定的奇偶校验位也是以 8 位为单位的数据。ECC 处理部分 23 将由计算确定的奇偶校验位添加到信息字以产生码字,如白心箭头的头部所示。ECC 处理部分 23 将作为以 8 位为单位的生成的码字的数据的编码数据输出到划分部分 24。

[0051] 划分部分 24 将从 ECC 处理部分 23 提供到其的以 8 位为单位的编码数据从顶部数据开始连续分配到传输线 C1 至 C4,以执行传输线划分。划分部分 24 执行传输线划分,以使得当向传输线 C4 分配特定编码数据时,从传输线 C1 开始向传输线连续分配后续的编码数据。

[0052] 图 4 示出传输线划分的示例。

[0053] 参考图 4,数字表示的每个块分别代表以 8 位为单位的传输数据或者奇偶校验位。一个码字由块 1 至 3、块 4 至 6、块 7 至 9 和块 10 至 12 的 24 位的数据构成,并且依次提供

块 1 至 12 的编码数据。

[0054] 在该情况下,划分部分 24 以提供的顺序将从 ECC 处理部分 23 提供到其的编码数据分配到传输线 C1 至 C4,以使得不利用同一传输线来发送构成同一码字的那些编码数据。在图 4 所示的示例中,构成码字 1 的块 1、2 和 3 的编码数据分别被分配到传输线 C1、C2 和 C3,而构成码字 2 的块 4、5 和 6 的编码数据分别被分配到传输线 C4、C1 和 C2。此外,构成码字 3 的块 7、8 和 9 的编码数据分别被分配到传输线 C3、C4 和 C1,而构成码字 4 的块 10、11 和 12 的编码数据分别被分配到传输线 C2、C3 和 C4。

[0055] 分配到传输线 C1 的块 1、5 和 9 的编码数据依次顺序提供到帧形成部分 31-1,而分配到传输线 C2 的块 2、6 和 10 的编码数据依次顺序提供到帧形成部分 31-2。此外,分配到传输线 C3 的块 3、7 和 11 的编码数据依次顺序提供到帧形成部分 31-3,而分配到传输线 C4 的块 4、8 和 12 的编码数据依次顺序提供到帧形成部分 31-4。

[0056] 图 5 示出传输线划分的另一个示例。

[0057] 参考图 5 描述对 5 条传输线 C1 至 C5 分配上面参考图 4 描述的块 1 至 12。在发送端模块 11 和接收端模块 12 通过 5 条传输线互相连接在一起的情况下执行图 5 所示的传输线划分。

[0058] 此外,在该示例中,划分部分 24 以提供的顺序将从 ECC 处理部分 23 提供的编码数据分配到传输线 C1 至 C5,以使得类似地利用同一传输线不可能发送构成同一码字的那些编码数据。在图 5 的示例中,构成码字 1 的块 1、2 和 3 的编码数据分别被分配到传输线 C1、C2 和 C3,而构成码字 2 的块 4、5 和 6 的编码数据分别被分配到传输线 C4、C5 和 C1。此外,构成码字 3 的块 7、8 和 9 的编码数据分别被分配到传输线 C2、C3 和 C4,而构成码字 4 的块 10、11 和 12 的编码数据分别被分配到传输线 C5、C1 和 C2。

[0059] 在所有编码数据分配到传输线后,划分部分 24 将填充数据分配到向其分配更少量的编码数据的那些传输线中的每条传输线,以使得向所有传输线分配的编码数据的数据量可以互相相等。此外,填充数据是 8 位数据,并且具有诸如“00000000”之类的预定值。

[0060] 在图 5 的示例中,将一个填充数据应用于向其分配更少量的编码数据的传输线 C1、C4 和 C5。在图 5 中,斜线示出的块代表填充数据。

[0061] 分配到传输线 C1 的块 1、6 和 11 的编码数据依次提供到帧形成部分 31-1,而分配到传输线 C2 的块 2、7 和 12 的编码数据依次提供到帧形成部分 31-2。分配到传输线 C3 的块 3 和 8 的编码数据和接着块 8 的编码数据分配到传输线 C3 的填充数据 P1 依次提供到帧形成部分 31-3。分配到传输线 C4 的块 4 和 9 的编码数据和接着块 9 的编码数据分配到传输线 C4 的填充数据 P2 依次提供到帧形成部分 31-4。分配到传输线 C5 的块 5 和 10 的编码数据和接着块 10 的编码数据分配到传输线 C5 的填充数据 P3 依次提供到未示出的传输处理部分,该传输处理部分执行从传输线 C5 发送到其的数据的处理。

[0062] 在向各传输线分配的编码数据的数据量以这种方式不同的情况下,由划分部分 24 应用填充数据。要分配的所有填充数据的数量或者位数等于将传输线数量减去当编码数据的数量除以传输线的数量时的余数而获得的数量。由于以这种方式使得向传输线分配的数据大小互相相等,所以在传输处理部分 25-1 至 25-4 并行执行的处理之中可以建立同步。

[0063] 发送部分 25-1 的帧形成部分 31-1 通过将从划分部分 24 提供到其的编码数据放置在有效载荷中并且向该有效载荷添加关于传输数据的报头和脚注来产生分组。在向传输



线 C1 分配填充数据的情况下,与编码数据类似地,帧形成部分 31-1 也将填充数据置于有效载荷中。

[0064] 此外,帧形成部分 31-1 将表示分组数据的开始位置的开始码添加到分组的顶部,而将表示分组数据的结束位置的结束码添加到分组的末端,以产生传输帧。

[0065] 图 6 示出传输帧的帧构成。

[0066] 参考图 6,报头(header)和脚注/footer)添加到其中放置编码数据的有效载荷,以构成一个分组。此外,开始码和结束码添加到该分组,以构成传输帧。

[0067] 帧形成部分 31-1 以从顶部数据开始的顺序将帧数据(其是具有如图 6 所示的这种帧构成的传输帧的数据)输出到调制部分 32-1。

[0068] 调制部分 32-1 根据预定方法对从帧形成部分 31-1 提供到其的帧数据进行调制,并且将调制后的帧数据输出到 DAC 33-1。

[0069] DAC 33-1 对从调制部分 32-1 提供到其的帧数据执行 D/A 转换,并且将通过 D/A 转换获得的模拟信号输出到发送放大器 34-1。

[0070] 发送放大器 34-1 对从 DAC 33-1 提供到其的信号的信号电压进行调节,并且通过传输线 C1,将调节后的信号发送到接收端模块 12。

[0071] 此外,在发送处理部分 25-2 至 25-4 中,执行与由发送处理部分 25-1 的部件执行的相同处理。具体地说,发送处理部分 25-2 对分配到传输线 C2 的编码数据执行帧形成、调制和 D/A 转换,并且通过传输线 C2 发送表示帧数据的信号。同时,发送处理部分 25-3 对分配到传输线 C3 的编码数据执行帧形成、调制和 D/A 转换,并且通过传输线 C3 发送表示帧数据的信号。此外,发送处理部分 25-4 对分配到传输线 C4 的编码数据执行帧形成、调制和 D/A 转换,并且通过传输线 C4 发送表示帧数据的信号。

[0072] 接收端模块的配置

[0073] 接着,将描述接收端模块 12 的配置。参考图 1,接收端模块 12 包括接收处理部分 51-1 至 51-4、耦合部分 52、ECC 处理部分 53、重排处理部分 54 以及信号处理部分 55。

[0074] 接收处理部分 51-1 包括:接收放大器 61-1、时钟再现部分 62-1、ADC(模数转换器) 63-1、解调部分 64-1 和帧同步部分 65-1。接收处理部分 51-2 包括:接收放大器 61-2、时钟再现部分 62-2、ADC 63-2、解调部分 64-2 和帧同步部分 65-2。接收处理部分 51-3 包括:接收放大器 61-3、时钟再现部分 62-3、ADC 63-3、解调部分 64-3 和帧同步部分 65-3。接收处理部分 51-4 包括:接收放大器 61-4、时钟再现部分 62-4、ADC 63-4、解调部分 64-4 和帧同步部分 65-4。

[0075] 从发送端模块 11 的发送放大器 34-1 发送的信号输入到接收放大器 61-1,而从发送放大器 34-2 发送的信号输入到接收放大器 61-2。从发送放大器 34-3 发送的信号输入到接收放大器 61-3,而从发送放大器 34-4 发送的信号输入到接收放大器 61-4。

[0076] 以这种方式,如果更靠近传输线的配置看作较下级的配置,则在接收端模块 12 中,耦合部分 52 在低于 ECC 处理部分 53 的位置处提供。此外,在低于耦合部分 52 的位置处以与传输线 C1 至 C4 中每个对应的关系,提供具有接收放大器、时钟再现部分、ADC、解调部分和帧同步部分的接收处理部分。

[0077] 接收处理部分 51-1 的接收放大器 61-1 接收从发送端模块 11 发送到其的信号,调节所接收到的信号的信号电压,并且输出调节了信号电压的信号。从接收放大器 61-1 输出

的信号输入到时钟再现部分 62-1 和 ADC 63-1。

[0078] 时钟再现部分 62-1 检测输入信号的边沿,以建立位同步,并且基于边沿的检测周期来再现时钟信号。时钟再现部分 62-1 将再现的时钟信号输出到 ADC 63-1。

[0079] ADC 63-1 根据由时钟再现部分 62-1 再现的时钟信号对该输入信号执行抽样,并且将通过抽样获得的帧数据输出到解调部分 64-1。

[0080] 解调部分 64-1 通过与由发送端模块 11 的调制部分 32-1 使用的调制方法对应的方法对该帧数据进行解调,并且将解调后的帧数据输出到帧同步部分 65-1。

[0081] 帧同步部分 65-1 从解调部分 64-1 提供到其的帧数据中检测开始码和结束码,以建立帧同步。帧同步部分 65-1 检测从开始码到结束码的数据作为分组数据,并且将位于分组数据的有效载荷内的编码数据输出到耦合部分 52。

[0082] 此外,接收处理部分 51-2 至 51-4 执行与由接收处理部分 51 的部件执行的相同的处理。具体地说,接收处理部分 51-2 对通过传输线 C2 发送到其的信号执行抽样,对通过抽样获得的帧数据进行解调和帧同步,并且将编码数据输出到耦合部分 52。接收处理部分 51-3 对通过传输线 C3 发送到其的信号执行抽样,对通过抽样获得的帧数据进行解调和帧同步,并且将编码数据输出到耦合部分 52。此外,接收处理部分 51-4 对通过传输线 C4 发送到其的信号执行抽样,对通过抽样获得的帧数据进行解调和帧同步,并且将编码数据输出到耦合部分 52。

[0083] 耦合部分 52 以与由发送端模块 11 的划分部分 24 向传输线分配编码数据的顺序相反的顺序重排从接收处理部分 51-1 至 51-4 提供到其的编码数据,以执行传输线耦合或者整合。

[0084] 图 7 示出传输线耦合的示例。

[0085] 假定以上面参考图 4 描述的方式执行块 1 至 12 的编码数据的传输线划分。在这种情况下,耦合部分 52 以与在传输线划分时向传输线分配编码数据的顺序相反的顺序重排编码数据,以产生顺序与从 ECC 处理部分 23 输出编码数据的顺序相同的编码数据,如图 7 中的白心箭头的头部所示。耦合部分 52 将构成通过执行重排产生的每个码字的块 1 至 12 的编码数据连续输出到 ECC 处理部分 53。

[0086] 在从接收处理部分 51-1 至 51-4 在编码数据之后提供填充数据的情况下,耦合部分 52 去除填充数据,并且仅输出编码数据。

[0087] ECC 处理部分 53 基于从耦合部分 52 提供到其的编码数据中包括的奇偶校验位来执行纠错算术运算,以检测传输数据中的错误,并且执行检测到的错误的校正。

[0088] 图 8 示出 ECC 处理部分 53 的纠错解码的示例。

[0089] 例如,假定图 8 的上部所示的码字的数据作为编码数据从发送端模块 11 发送,并且接收到如白心箭头 #11 的头部所示的数据。图 8 中的接收数据中的位 E1 和 E2 是错误位。

[0090] 在该示例中,ECC 处理部分 53 基于奇偶校验位执行检错算术运算,以检测位 E1 和 E2,并且校正位 E1 和 E2,如白心箭头 #12 的头部所示。ECC 处理部分 53 对每个码字执行纠错解码,并且将纠错后的传输数据输出到重排处理部分 54。

[0091] 重排处理部分 54 以与发送端模块 11 的重排处理部分 22 的重排顺序相反的顺序重排从 ECC 处理部分 53 提供到其的以 8 位为单位的传输数据。具体地说,重排处理部分 54

执行与上面参考图 2 描述处理相反的处理,以将以 8 位为单位的传输数据变换为以诸如 12 位之类的预定位数为单位的传输数据。重排处理部分 54 将重排获得的传输数据输出到信号处理部分 55。

[0092] 信号处理部分 55 利用从重排处理部分 54 提供到其的传输数据执行各种处理。例如,如果该传输数据是构成图像的像素数据,则信号处理部分 55 基于该像素数据产生一帧的图像,并且执行诸如压缩图像数据、显示图像以及将图像数据记录在记录介质中的各种处理。

[0093] 模块的操作

[0094] 在此,描述发送端模块 11 和接收端模块 12 的一系列处理。首先,参考图 9 所示的流程图,描述发送端模块 11 的发送处理。

[0095] 在步骤 S1,信号处理部分 21 执行信号处理,并且输出通过信号处理获得的传输数据。

[0096] 在步骤 S2,重排处理部分 22 获取从信号处理部分 21 提供到其的传输数据,并且以上面参考图 2 描述的方式对该数据执行重排。

[0097] 在步骤 S3,ECC 处理部分 23 基于通过重排获得的以 8 位为单位的传输数据来计算奇偶校验位,并且将该奇偶校验位添加到传输数据,以执行纠错编码。

[0098] 在步骤 S4,划分部分 24 对通过纠错编码获得的编码数据执行传输线划分。传输处理部分 25-1 至 25-4 并行重复步骤 S5 至 S8 的处理。

[0099] 具体地说,在步骤 S5,帧形成部分 31-1 至 31-4 分别将通过纠错编码获得的编码数据放置在有效载荷内,并且添加报头和脚注以产生分组。此外,帧形成部分 31-1 至 31-4 将开始码添加到分组的顶部,而将结束码添加到分组的末端,以执行分组的帧形成。

[0100] 在步骤 S6,调制部分 32-1 至 32-4 分别对构成通过帧形成获得的传输帧的帧数据执行调制处理。

[0101] 在步骤 S7,DAC 33-1 至 33-4 对通过调制处理获得的帧数据执行 D/A 转换。

[0102] 在步骤 S8,发送放大器 34-1 至 34-4 将通过 D/A 转换获得的信号分别发送到接收端模块 12。对从信号处理部分 21 输出的所有传输数据重复执行步骤 S2 至 S8 的处理,并且当对所有传输数据的处理结束时结束。

[0103] 现在,将参考图 10 的流程图,描述接收端模块 12 的接收处理。

[0104] 接收处理部分 51-1 至 51-4 并行执行步骤 S11 至 S15 的处理。具体地说,在步骤 S11,接收放大器 61-1 至 61-4 分别接收从发送端模块 11 发送到其的信号,并且调节该接收信号的信号电压。

[0105] 在步骤 S12,块再现部分 62-1 至 62-4 分别检测分别从接收放大器 61-1 至 61-4 提供到其的信号的边沿,以产生时钟信号。

[0106] 在步骤 S13,ADC 63-1 至 63-4 分别根据由时钟再现部分 62-1 至 62-4 再现的时钟信号执行抽样。

[0107] 在步骤 S14,解调模块 64-1 至 64-4 对通过抽样获得的帧数据执行解调处理。

[0108] 在步骤 S15,帧同步模块 65-1 至 65-4 分别从解调模块 64-1 至 64-4 提供到其的帧数据中检测开始码和结束码,以建立帧同步。帧同步模块 65-1 至 65-4 将放置于有效载荷内的编码数据输出到耦合部分 52。

[0109] 在步骤 S16, 耦合部分 52 以与在进行传输线划分时向传输线分配编码数据的顺序相反的顺序对从帧同步模块 65-1 至 65-4 提供到其的编码数据执行重排, 以执行传输线耦合。

[0110] 在步骤 S17, ECC 处理部分 53 基于由编码数据构成的码字中包括的奇偶校验位来执行纠错解码, 以校正传输数据的错误。

[0111] 在步骤 S18, 重排处理部分 54 对纠错后的传输数据执行重排, 以产生以与从发送端模块 11 内的信号处理部分 21 输出的数据的预定位数相同的预定位数为单位的传输数据。重复执行步骤 S11 至 S18 的处理, 直到对从发送端模块 11 发送的信号的处理结束为止。

[0112] 当对从发送端模块 11 发送的信号的处理结束时, 在步骤 S19, 信号处理部分 55 基于从重排处理部分 54 提供到其的传输数据执行信号处理。当信号处理结束时, 信号处理部分 55 结束处理。

[0113] 以这样的方式, 在传输系统 1 中, 利用添加到传输数据的纠错码来校正传输线上出现的传输数据的错误。因此, 当出现传输数据的错误时, 没必要向发送端模块 11 发出重发传输数据的请求, 因此, 在保证防错措施的同时, 可以保证数据传输的实时特性。此外, 由于没必要提供用于重发请求的传输线, 所以可以预料简化电路配置并且降低成本。此外, 由于电路配置可以简化, 所以功耗也降低。

[0114] 此外, 通过划分编码数据并且在划分之后并行执行处理, 然后, 利用多条传输线并行发送编码数据, 可以实现高速数据传输。

[0115] 此外, 通过以在低于 ECC 处理部分的位置处执行传输线划分 / 耦合, 必须在发送端模块 11 和接收端模块 12 中的每个内设置一个 ECC 处理部分, 这样减小了电路规模。

[0116] 例如, 如果以另外的方式在高于执行纠错编码的 ECC 处理部分的位置处执行传输线划分, 则必须准备等于传输线的数量的多个 ECC 处理部分, 这样增大了发送端模块 11 的电路规模。然而, 可以防止刚描述的这种情况。此外, 如果以另外的方式在高于执行检错解码的 ECC 处理部分的位置处执行传输线耦合, 则必须准备等于传输线的数量的多个 ECC 处理部分, 这样增大了接收端模块 12 的电路规模。然而, 可以防止刚描述的这种情况。

[0117] 图 11 示出在传输线划分之后执行纠错编码的发送端模块 11 的配置和在传输线耦合之前执行纠错解码的接收端模块 12 的配置。在图 11 所示的发送端模块 11 中, 在低于划分部分 24 的位置处提供等于传输线的数量的多个 ECC 处理部分 23-1 至 23-4。此外, 在接收端模块 12 中, 在低于耦合部分 52 的位置处提供等于传输线的数量的多个 ECC 处理部分 53-1 至 53-4。

[0118] 此外, 通过在传输线划分之前执行纠错编码并且通过不同传输线发送构成同一码字的编码数据, 在解码之后, 传输线上出现的突发错误, 即, 连续错误可以散布到码字中。因此, 可以提高纠错能力。

[0119] 例如, 考虑传输线 C2 上出现 2 字节的突发错误的情况, 如图 7 中的左侧所示。沿传输线 C2 连续发送的块 6 的编码数据和块 10 的编码数据存在错误。在图 7 所示的块中, 斜线所示的每个块分别表示存在错误的编码数据块, 而非斜线所示的每个块表示不存在错误的编码数据块。

[0120] 在该示例中, 在传输线耦合之后的编码数据中, 通过传输线 C2 发送的块 6 的编码

数据和块 10 的编码数据散布到不同码字中,如图 7 的空白实线箭头向前所示。通常,大多数纠错码容易受到突发错误的影响。例如,在里德-所罗门码的情况下,由于每个码字可以校正的错误的数量确定,所以如果可以在不同的码字之间散布集中在一个码字上的突发错误,则可以增强纠错能力。

[0121] 计算机的配置示例

[0122] 尽管可以利用硬件执行上面描述的一系列处理,但是还可以利用软件执行。在利用软件执行该一系列处理的情况下,构成软件的程序从程序记录介质安装到并入专用硬件中的计算机、通用个人计算机等内。

[0123] 图 12 示出根据程序执行上面描述的一系列处理的计算机的配置的示例。

[0124] 参考图 12,在所示的计算机中,中央处理单元(CPU) 101、只读存储器(ROM) 102 和随机存取存储器(RAM) 103 通过总线 104 互相连接。

[0125] 此外,输入/输出接口 105 连接到总线 104。包括键盘、鼠标等的输入部分 106 和包括显示单元、扬声器等的输出部分 107 连接到输入/输出接口 105。此外,由硬盘、非易失性存储器等构成的存储部分 108、由网络接口等构成的通信部分 109 和用于驱动可拆卸介质 111 的驱动器 110 连接到输入/输出接口 105。

[0126] 在以上面描述的方式配置的计算机中,CPU 101 通过输入/输出接口 105 和总线 104 将例如存储部分 108 中存储的程序装载到 RAM 103 内,并且执行该程序以执行上面描述的一系列处理。

[0127] CPU 101 要执行的程序可以例如记录在可拆卸介质 111 上,也可以通过诸如局域网、因特网或者数字广播之类的有线或者无线传输介质提供,并且安装在存储部分 108 上。

[0128] 请注意,计算机要执行的程序可以是以本说明书中描述的顺序以时间顺序执行的处理的类型,也可以是并行执行处理的类型,或者诸如当调用处理时的必要时间单独执行处理的类型。

[0129] 尽管利用特定术语描述了所公开的技术的优选实施例,但是这种描述仅具有说明性目的,并且应当明白,可以进行修改和变型,而不脱离下面的权利要求书的实质范围。

[0130] 本公开文本包含与于 2010 年 11 月 19 日向日本专利局提交的第 JP2010-258570 号日本优先权专利申请披露的主题有关的主题,在此通过引用包括该专利申请的全部内容。

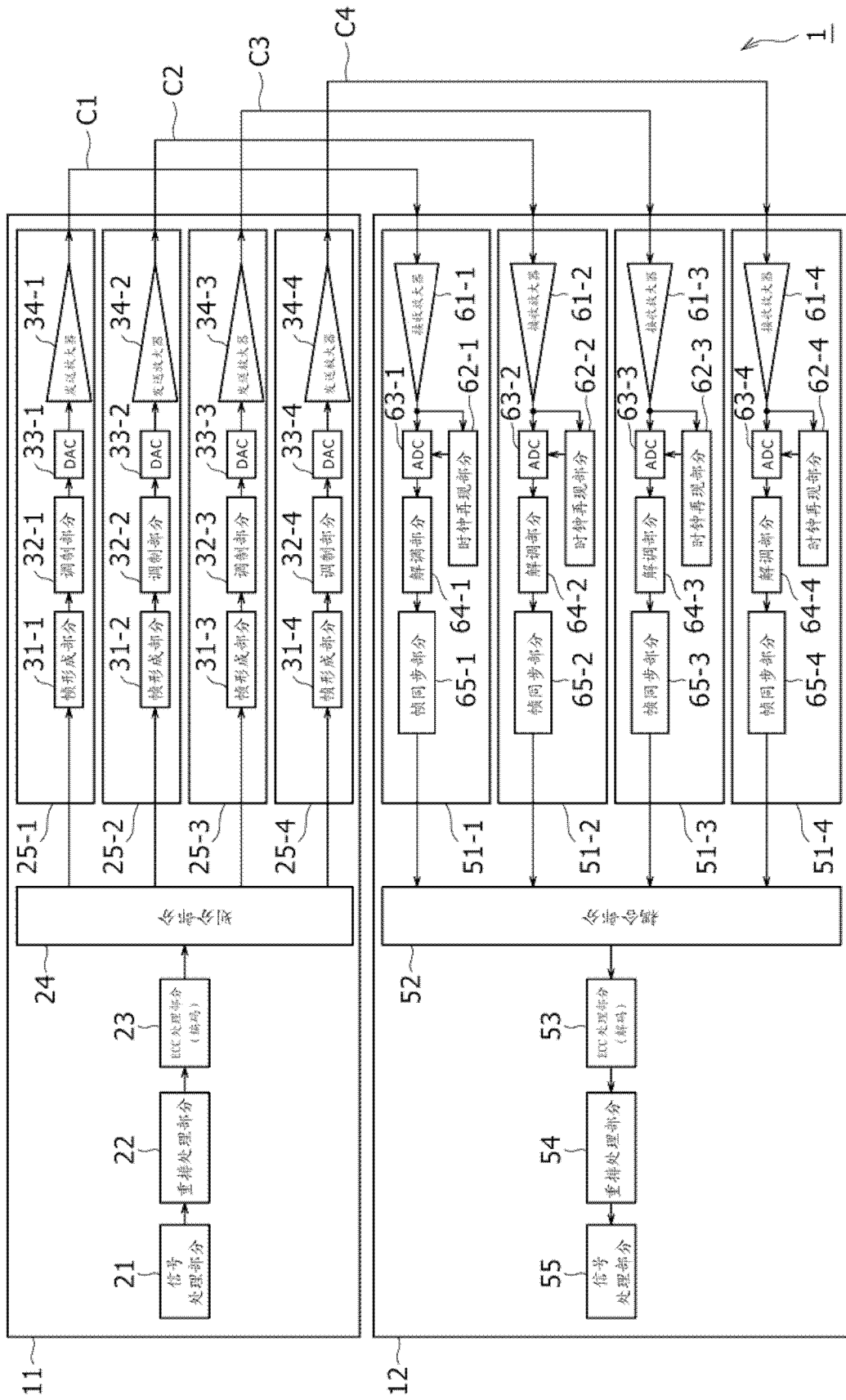


图 1

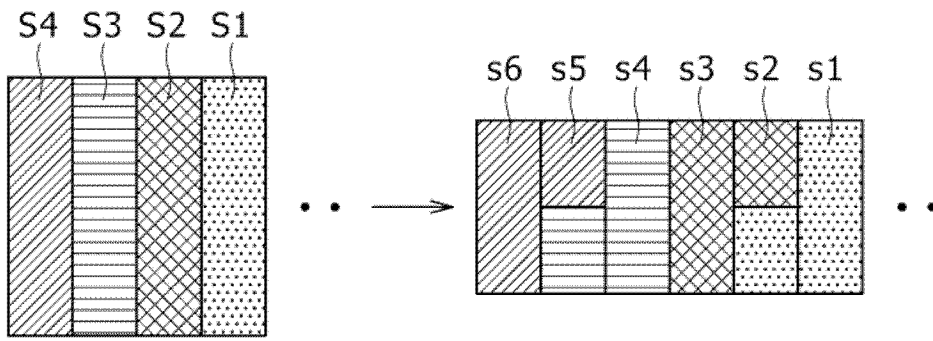


图 2

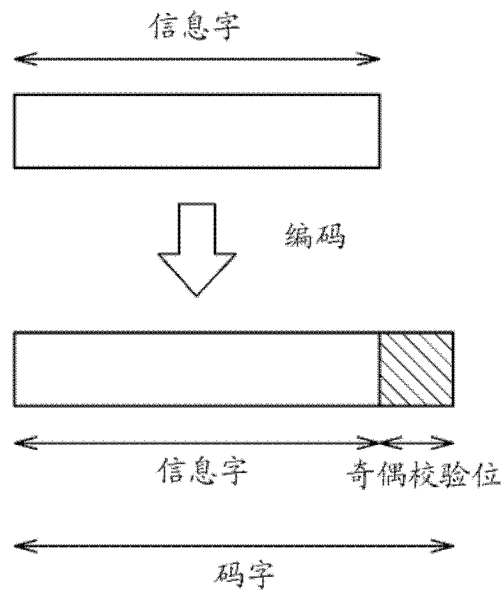


图 3

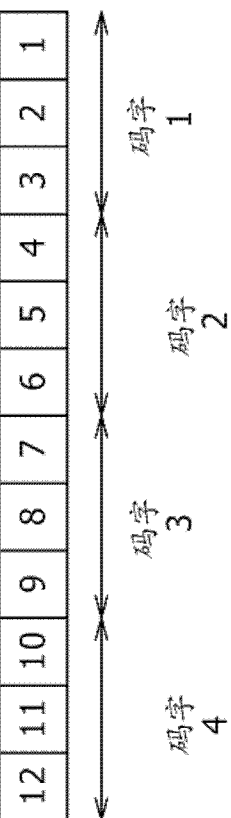
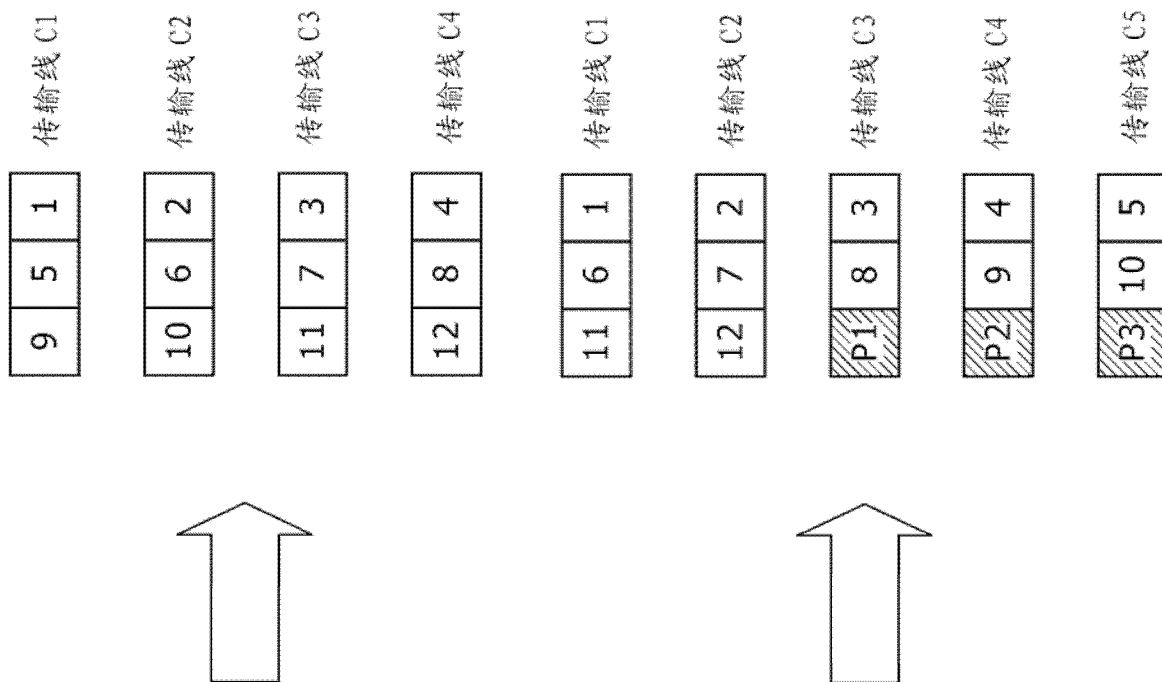


图 4

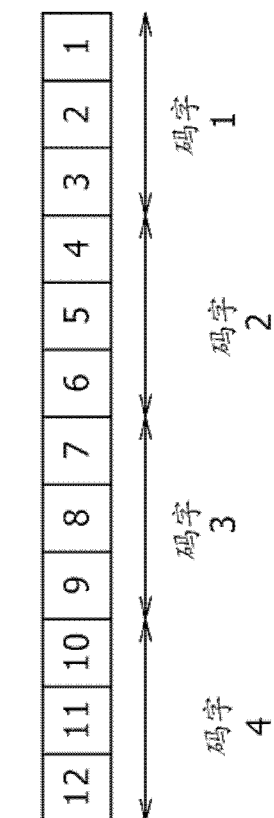


图 5



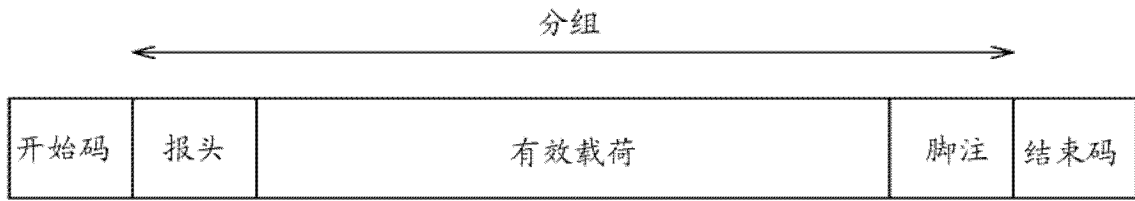


图 6

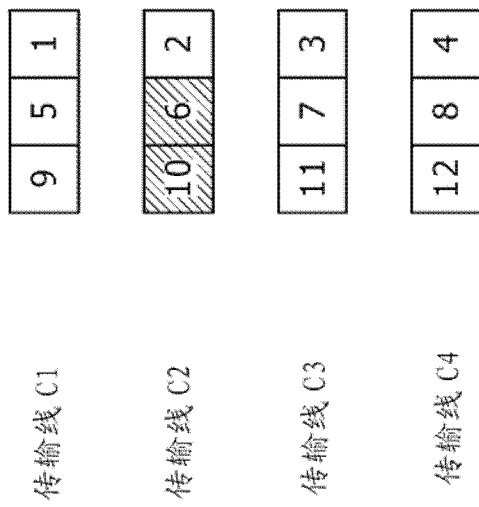


图 7

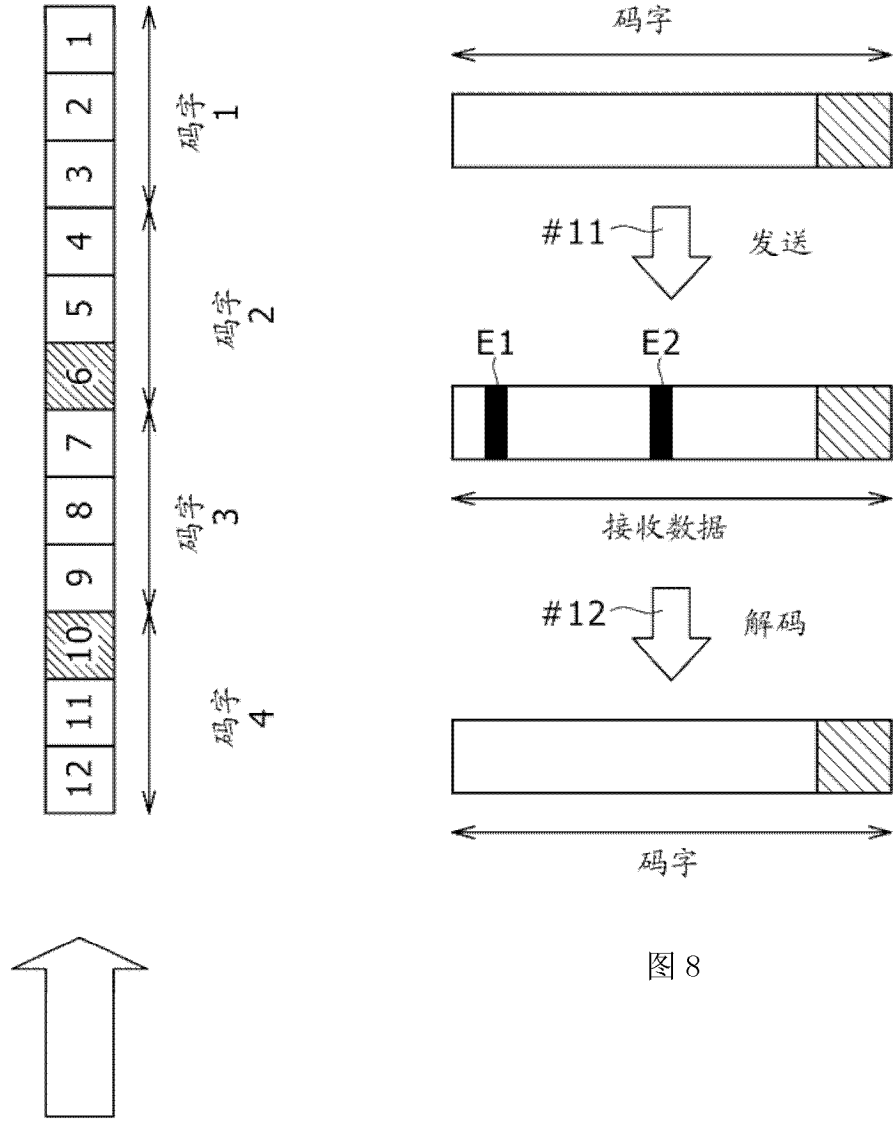


图 8

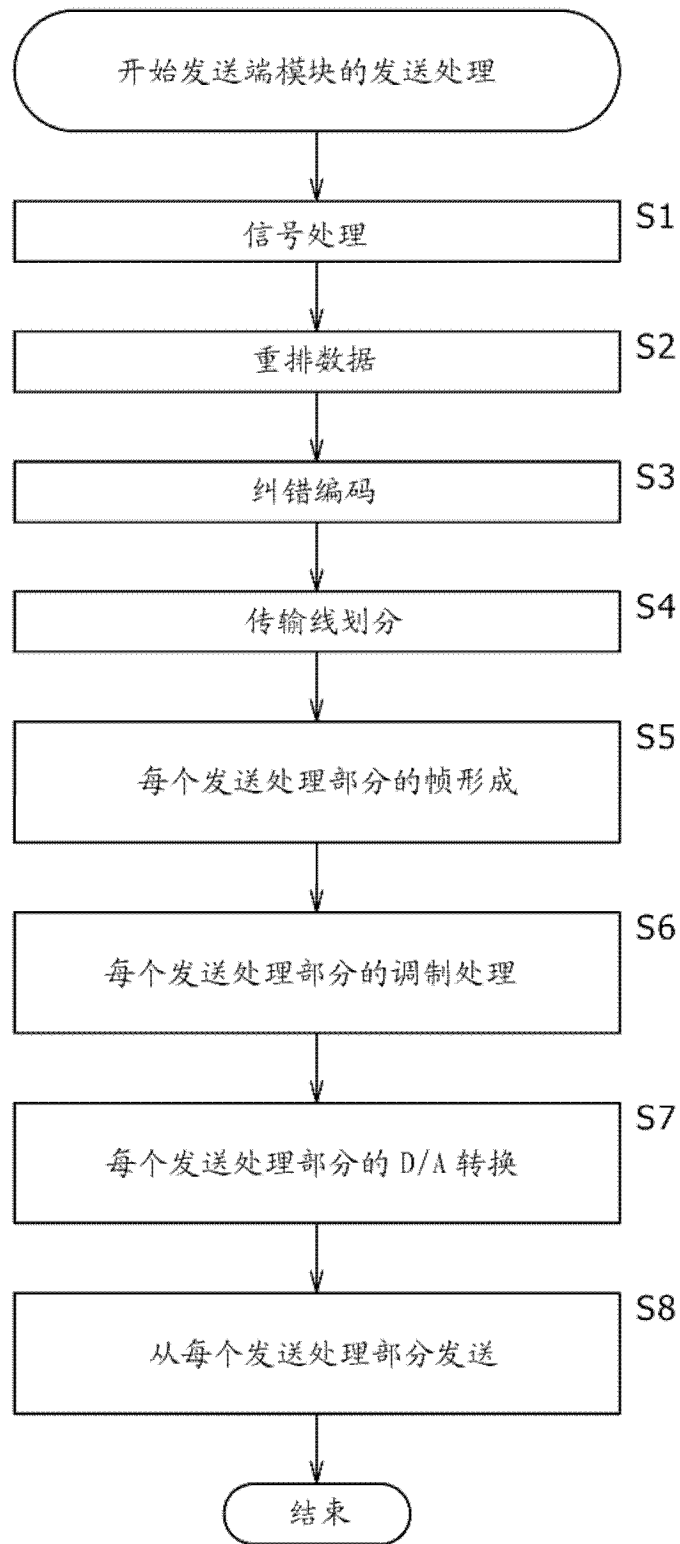


图 9

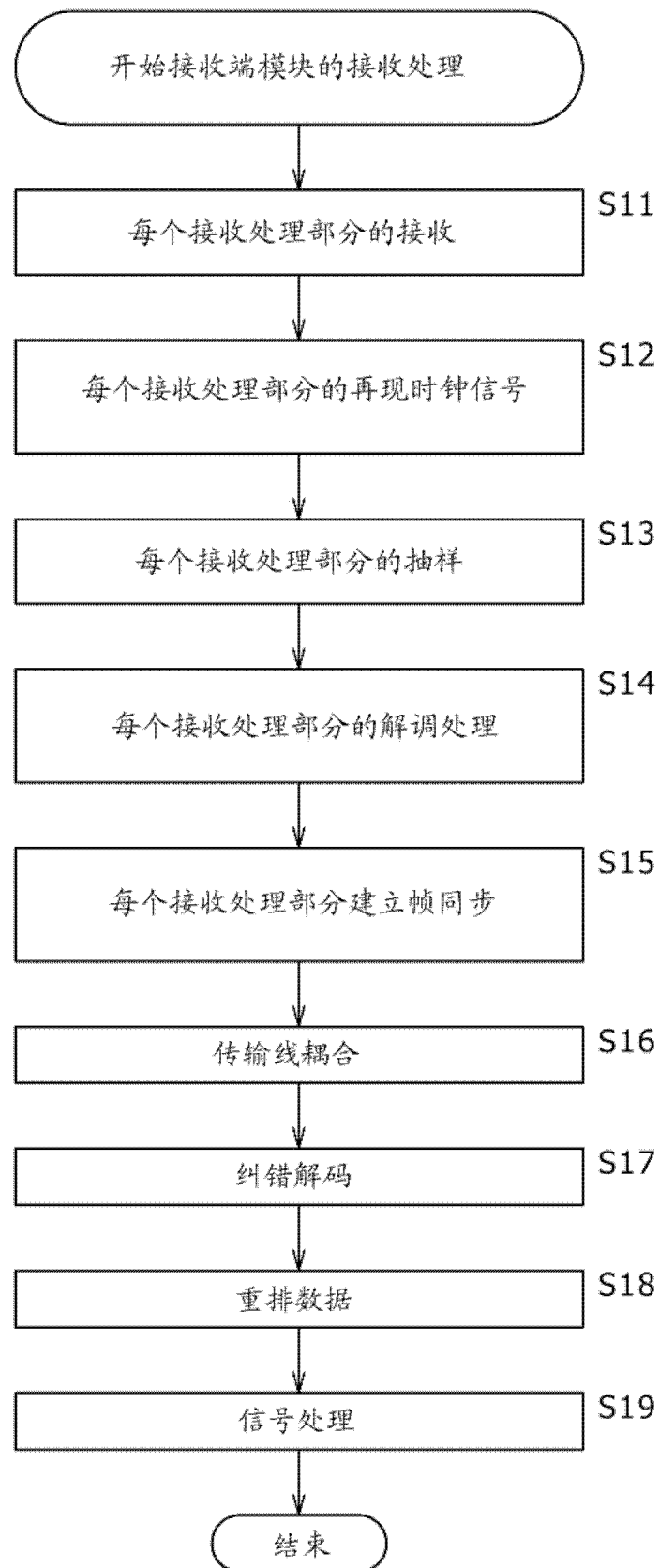


图 10

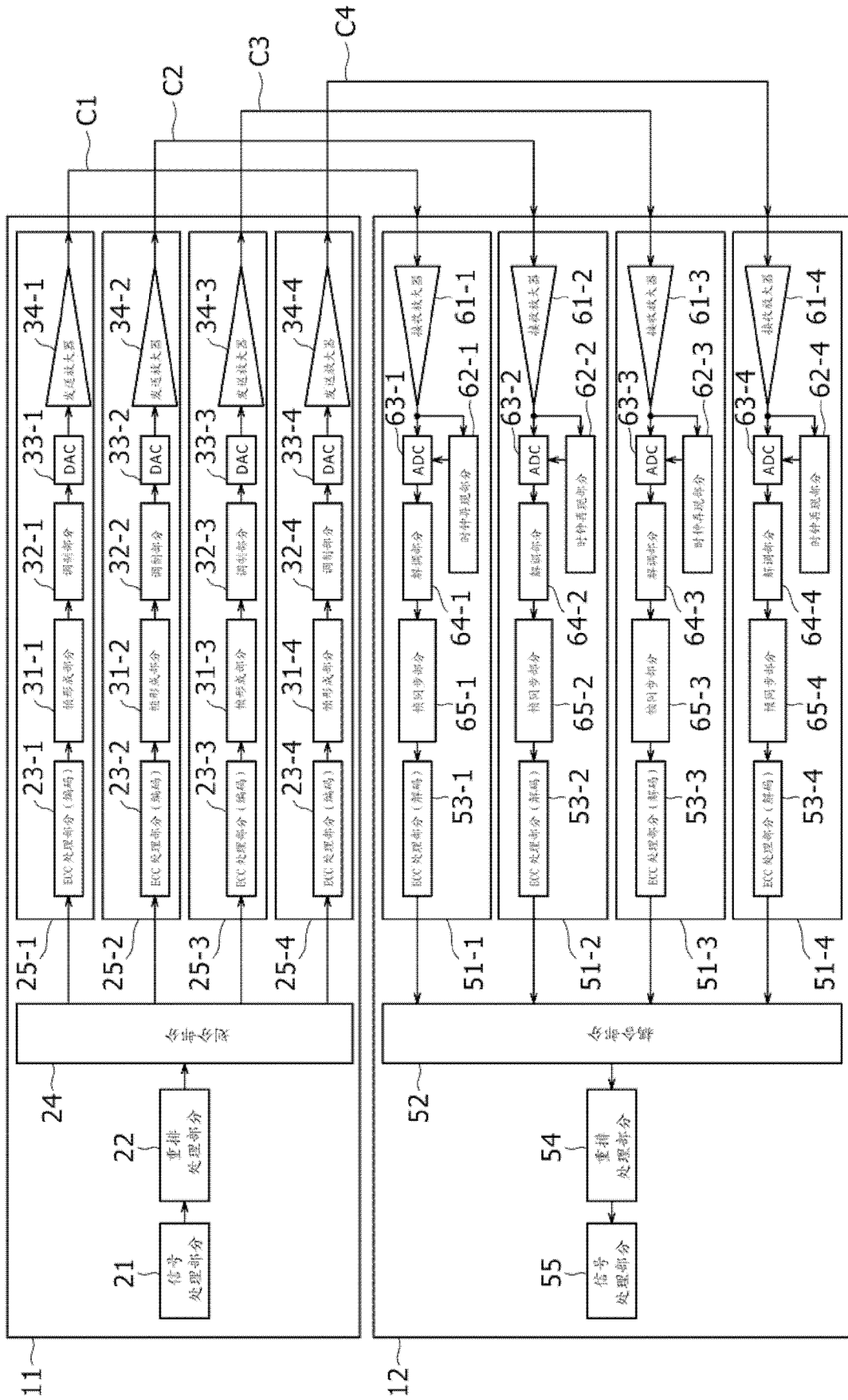


图 11

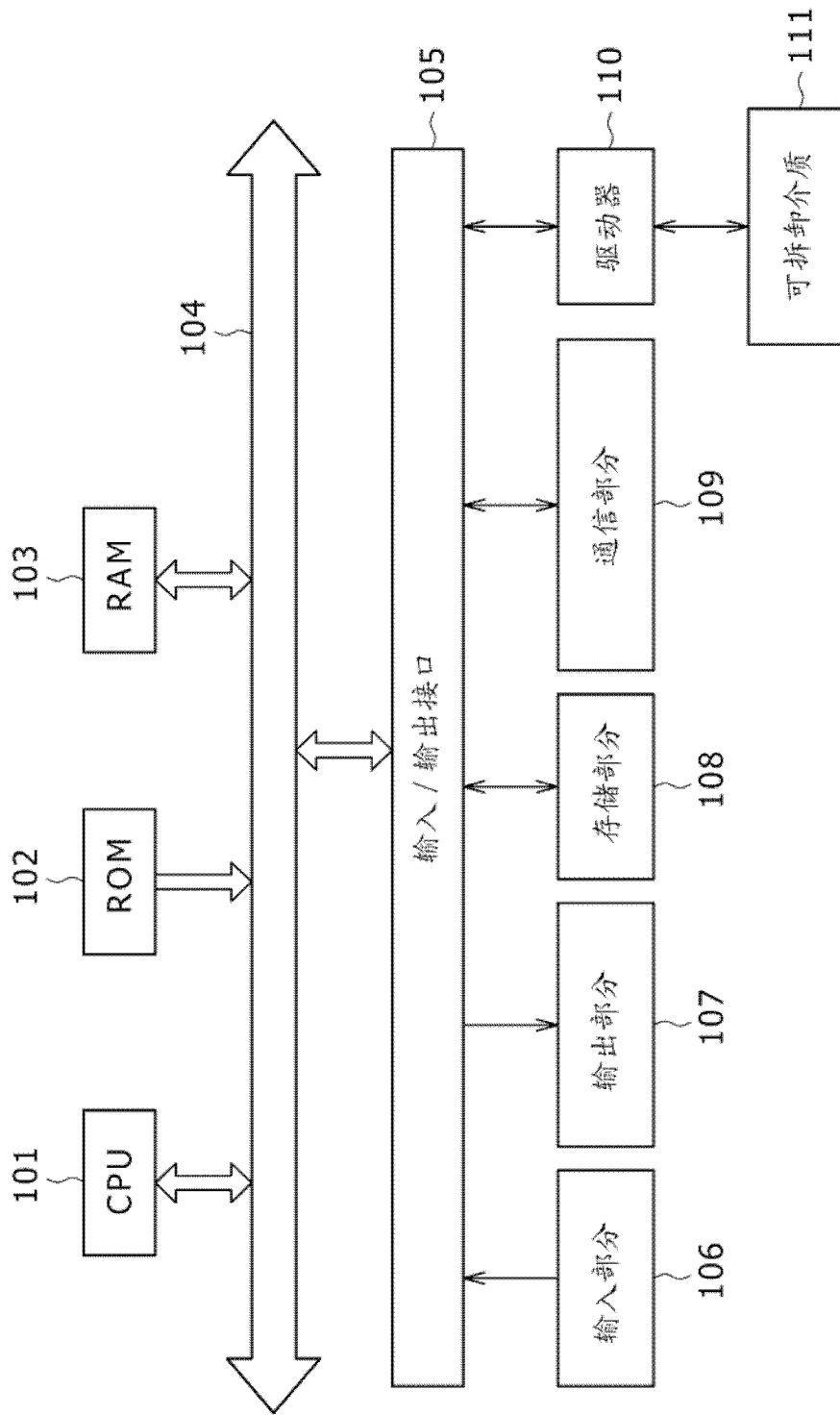


图 12