



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2022년06월29일
(11) 등록번호 10-2414666
(24) 등록일자 2022년06월24일

(51) 국제특허분류(Int. Cl.)
G01N 21/64 (2006.01) C12Q 1/6874 (2018.01)
G01N 21/77 (2006.01) G01N 33/543 (2006.01)
(52) CPC특허분류
G01N 21/6454 (2013.01)
C12Q 1/6874 (2018.05)
(21) 출원번호 10-2018-7037906
(22) 출원일자(국제) 2017년06월01일
심사청구일자 2020년06월01일
(85) 번역문제출일자 2018년12월27일
(65) 공개번호 10-2019-0013965
(43) 공개일자 2019년02월11일
(86) 국제출원번호 PCT/US2017/035412
(87) 국제공개번호 WO 2018/013243
국제공개일자 2018년01월18일
(30) 우선권주장
62/344,123 2016년06월01일 미국(US)
(56) 선행기술조사문헌
US20160084761 A1*
(뒷면에 계속)

(73) 특허권자
퀀텀-에스아이 인코포레이티드
미국 06437 코네티컷주 길포드 올드 화이트필드
스트리트 530
(72) 발명자
로스버그, 조나단, 엠.
미국 06437 코네티컷주 길포드 언카스 포인트 로
드 215
카비리, 알리
미국 06443 코네티컷주 매디슨 그린 힐 로드 58
(뒷면에 계속)
(74) 대리인
양영준, 김연송, 백만기

전체 청구항 수 : 총 19 항

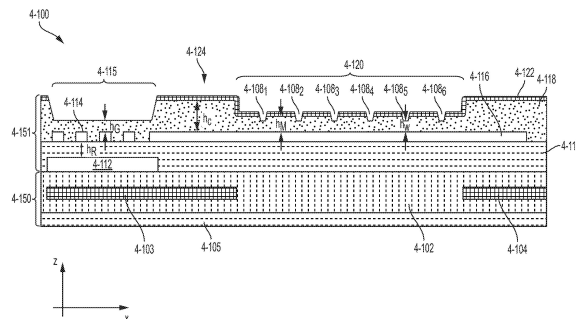
심사관 : 권준형

(54) 발명의 명칭 분자들을 검출 및 분석하기 위한 통합 디바이스

(57) 요약

단일 분자들을 분석하고 핵산 시퀀싱(nucleic acid sequencing)을 수행하는 시스템 및 방법이 개시된다. 통합 디바이스는, 여기될 때 방사광을 방출하는, 샘플을 수용하도록 구성된 샘플 웰들을 갖는 복수의 픽셀을 포함할 수 있다. 통합 디바이스는, 트렌치 영역을 갖는 표면 -트렌치 영역은 표면의 일부로부터 오목화됨-, 및 트렌치 영역 내에 배치된 샘플 웰들의 어레이를 포함한다. 통합 디바이스는 또한, 여기 에너지를 어레이 내의 적어도 하나의 샘플 웰에 결합시키도록 구성되고 트렌치 영역의 표면으로부터 제1 거리 및 트렌치 영역과는 분리된 영역 내의 상기 표면으로부터 제2 거리에 위치한 도파관을 포함한다. 제1 거리는 제2 거리보다 작다. 이 시스템은 또한, 통합 디바이스와 인터페이스하는 기기를 포함한다. 이 기기는, 통합 디바이스의 여기 에너지 결합 영역에 결합함으로써, 통합 디바이스에 여기 에너지를 제공하기 위한 여기 에너지 소스를 포함할 수 있다.

대표도



(52) CPC특허분류

G01N 21/6408 (2013.01)
G01N 21/6428 (2013.01)
G01N 21/648 (2013.01)
G01N 21/6486 (2013.01)
G01N 21/7743 (2013.01)
G01N 33/54373 (2013.01)
G01N 2021/6419 (2013.01)
G01N 2021/6421 (2013.01)

(72) 발명자

슈미드, 제라드

미국 06437 코네티컷주 길포드 와일드로즈 애비뉴
 140

파이프, 키스, 지.

미국 94306 캘리포니아주 팔로 알토 마타데로 애비
 뉴 635

비치, 제임스

미국 78738 텍사스주 오스틴 레사카 블러바드 1501

시클러, 제이슨, 더블유.

미국 06443 코네티컷주 매디슨 하이 필드 레인 10

웨스트, 로렌스, 씨.

미국 95120 캘리포니아주 산 호세 블레어우드 코트
 774

글렌, 폴, 이.

미국 02482 매사추세츠주 웰즐리 파인우드 로드 22

프레스턴, 카일

미국 06437 코네티컷주 길포드 마우파스 로드 461

가세미, 파시드

미국 06437 코네티컷주 길포드 뉴 화이트필드 스트
 리트 373 아파트먼트 비

시프리아니, 벤자민

미국 06405 코네티컷주 브랜퍼드 터틀 베이 드라이
 브 176

래키, 제레미

미국 06437 코네티컷주 길포드 노턴타운 로드 636

(56) 선행기술조사문헌

JP2010509590 A
 WO2016023011 A1
 JP2016065878 A
 KR1020100019409 A
 *는 심사관에 의하여 인용된 문헌

명세서

청구범위

청구항 1

통합 디바이스(integrated device)로서,

트렌치 영역을 갖는 상기 통합 디바이스의 표면 -상기 트렌치 영역은 상기 표면의 일부로부터 오목화(recess)됨-;

상기 트렌치 영역에 배치되고 상기 트렌치 영역의 하부 표면으로부터 오목화된 샘플 웰들의 어레이 -상기 샘플 웰들의 어레이 중의 샘플 웰은 샘플을 수용하도록 구성됨-; 및

여기 에너지를 상기 어레이 내의 적어도 하나의 샘플 웰에 결합시키도록 구성되고 상기 트렌치 영역의 상기 하부 표면으로부터의 제1 거리 및 상기 트렌치 영역으로부터 분리된 영역 내의 상기 통합 디바이스의 상기 표면으로부터의 제2 거리에 위치한 도파관 -상기 제1 거리는 상기 제2 거리보다 작음-

을 포함하는 통합 디바이스.

청구항 2

제1항에 있어서, 상기 제1 거리는 150nm 내지 600nm인, 통합 디바이스.

청구항 3

제1항 또는 제2항에 있어서, 상기 제2 거리는 250nm 내지 2000nm인, 통합 디바이스.

청구항 4

제1항 또는 제2항에 있어서, 상기 샘플 웰은 상기 도파관으로부터 300nm 미만의 거리에 표면을 갖는, 통합 디바이스.

청구항 5

제1항 또는 제2항에 있어서, 상기 통합 디바이스는, 상기 통합 디바이스로부터 분리된 여기 소스로부터 여기 에너지를 수신하고 여기 에너지를 상기 도파관에 지향시키도록 구성된 적어도 하나의 격자 결합기를 더 포함하는, 통합 디바이스.

청구항 6

제5항에 있어서, 상기 통합 디바이스는 상기 적어도 하나의 격자 결합기를 향해 여기 에너지를 반사하도록 구성된 반사기를 더 포함하는, 통합 디바이스.

청구항 7

제5항에 있어서, 상기 통합 디바이스는, 상기 적어도 하나의 격자 결합기로부터 여기 에너지를 수신하고 여기 에너지를 복수의 도파관에 지향시키도록 구성된 스플리터 구조물을 더 포함하는, 통합 디바이스.

청구항 8

제7항에 있어서, 상기 스플리터 구조물은 적어도 하나의 다중-모드 간섭 스플리터(multi-mode interference splitter)를 포함하는, 통합 디바이스.

청구항 9

제7항에 있어서, 상기 스플리터 구조물은 스타 결합기(star coupler)를 포함하는, 통합 디바이스.

청구항 10

제7항에 있어서, 상기 스플리터 구조물은 슬라이싱된 격자 결합기(sliced grating coupler)를 포함하는, 통합 디바이스.

청구항 11

제1항 또는 제2항에 있어서, 상기 도파관은, 상기 도파관을 따른 광 전파의 방향에 수직인 방향으로 테이퍼링된 치수(tapered dimension)를 가져, 상기 치수가 격자 결합기에 가까운 위치에서 먼 위치에서보다 더 크게 하는, 통합 디바이스.

청구항 12

제1항 또는 제2항에 있어서, 상기 샘플 웰은, 상기 샘플 웰의 측벽의 적어도 일부 상에 형성된 측벽 스페이서를 포함하는, 통합 디바이스.

청구항 13

제12항에 있어서, 상기 도파관에 근접한 상기 샘플 웰의 표면은, 상기 측벽 스페이서와는 상이한 방식으로 상기 샘플과 상호작용하도록 구성된, 통합 디바이스.

청구항 14

제1항 또는 제2항에 있어서, 상기 통합 디바이스는 상기 트렌치 영역의 상기 하부 표면 상에 형성된 금속 스택을 더 포함하여, 상기 금속 스택이 상기 어레이의 샘플 웰의 애퍼처(aperture)와 중첩하는 개구(opening)를 갖게 하는, 통합 디바이스.

청구항 15

제14항에 있어서, 상기 금속 스택은, 알루미늄 층 및 티타늄 질화물 층을 포함하고, 상기 알루미늄 층은 상기 도파관에 근접한, 통합 디바이스.

청구항 16

제1항 또는 제2항에 있어서, 상기 도파관은 실리콘 질화물을 포함하는, 통합 디바이스.

청구항 17

제1항 또는 제2항에 있어서, 상기 통합 디바이스는 상기 샘플 웰에 위치한 상기 샘플에 의해 방출된 방출 에너지를 수신하도록 구성된 센서를 더 포함하는, 통합 디바이스.

청구항 18

통합 디바이스로서,

회로를 구비하는 기관;

상기 기관 쪽으로 향하는 제1 측면 및 상기 제1 측면에 반대 쪽의 제2 측면을 갖는 도파관; 및

상기 기관 위로 형성되고 복수의 전기 신호를 지원하도록 구성된 복수의 금속 층

을 포함하고, 상기 복수의 금속 층 중의 제1 금속 층은 상기 도파관의 상기 제1 측면보다 상기 기관에 더 가까운 거리에 위치하고, 상기 도파관은 상기 복수의 금속 층 중의 제2 금속 층보다 상기 기관에 가까운 거리에 위치하는, 통합 디바이스.

청구항 19

삭제

청구항 20

제18항에 있어서,

트렌치 영역을 갖는 상기 통합 디바이스의 표면 -상기 트렌치 영역은 상기 통합 디바이스의 상기 표면의 일부

로부터 오목화됨 - ; 및

상기 트렌치 영역에 배치된 샘플 웰들의 어레이 -상기 샘플 웰들의 어레이 중의 샘플 웰은 샘플을 수용하도록 구성됨 -;

를 더 포함하고,

상기 도파관은, 상기 트렌치 영역의 하부 표면으로부터의 제1 거리 및 상기 트렌치 영역으로부터 분리된 영역 내의 상기 통합 디바이스의 상기 표면으로부터의 제2 거리에 위치하고, 상기 제1 거리는 상기 제2 거리보다 작은, 통합 디바이스.

청구항 21

삭제

청구항 22

삭제

청구항 23

삭제

청구항 24

삭제

청구항 25

삭제

청구항 26

삭제

청구항 27

삭제

청구항 28

삭제

청구항 29

삭제

청구항 30

삭제

발명의 설명

기술 분야

[0001] 관련 출원

[0002] 본 출원은 그 전체가 참조로 본 명세서에 포함되는, 2016년 6월 1일 출원된, 발명의 명칭이 "PHOTONIC STRUCTURES AND INTEGRATED DEVICE FOR DETECTING AND ANALYZING MOLECULES"인 미국 특허 가출원 제 62/344,123호의 우선권을 주장한다.

[0003] 출원의 분야

[0004] 본 출원은 대체로, 생물학적 및/또는 화학적 샘플들의 신속하고, 대량으로 병렬이며, 정량적인 분석을 수행하기

위한 디바이스들, 방법들 및 기술들과, 상기 디바이스들을 제작하는 방법들에 관한 것이다.

배경 기술

[0005] 생물학적 샘플의 검출 및 분석은 생물학적 검정("bioassays(생물검정)")을 이용하여 수행될 수 있다. 생물검정은, 통상적으로, 장비를 작동하고 생물검정을 수행하도록 훈련된 연구 과학자를 요구하는 크고 값 비싼 실험실 장비를 수반한다. 게다가, 생물검정은 통상적으로 대량으로 수행되므로, 검출 및 정량화를 위해 대량의 특정한 유형의 샘플이 필요하다.

[0006] 일부 생물검정은, 특정한 파장의 광을 방출하는 발광 마커(luminescent marker)로 샘플을 태깅함으로써 수행된다. 발광을 야기하기 위해 마커는 광원을 이용하여 조명(illuminate)되고, 마커에 의해 방출되는 발광 광의 양을 정량화하기 위해 발광 광은 광검출기로 검출된다. 발광 마커를 이용한 생물검정은 통상적으로, 샘플을 조명하는 고가의 레이저 광원 및 조명된 샘플로부터의 발광을 수집하기 위한 복잡한 발광 검출 광학계 및 전자기기를 수반한다.

발명의 내용

해결하려는 과제

과제의 해결 수단

[0007] 일부 실시예는, 트렌치 영역을 갖는 표면 —트렌치 영역은 표면의 일부로부터 오목화(recess)됨—, 및 트렌치 영역에 배치된 샘플 웰들의 어레이(array of sample wells)를 포함하는 통합 디바이스(integrated device)에 관한 것이다. 샘플 웰들의 어레이 중의 샘플 웰은 샘플을 수용하도록 구성될 수 있다. 통합 디바이스는, 여기 에너지를 어레이 내의 적어도 하나의 샘플 웰에 결합시키도록 구성되고 트렌치 영역의 표면으로부터 제1 거리 및 트렌치 영역과는 분리된 영역 내의 상기 표면으로부터 제2 거리에 위치한 도파관을 더 포함한다. 제1 거리는 제2 거리보다 작을 수 있다.

[0008] 제1 거리는 150nm 내지 600nm일 수 있다. 제2 거리는 250nm 내지 2000nm일 수 있다. 샘플 웰은 도파관으로부터 300nm 미만의 거리에 표면을 가질 수 있다. 통합 디바이스는, 통합 디바이스로부터 분리된 여기 소스로부터 여기 에너지를 수신하고 여기 에너지를 도파관에 지향시키도록 구성된 적어도 하나의 격자 결합기(grating coupler)를 더 포함할 수 있다. 통합 디바이스는 적어도 하나의 격자 결합기를 향하여 여기 에너지를 반사하도록 구성된 반사기를 더 포함할 수 있다.

[0009] 통합 디바이스는 적어도 하나의 격자 결합기로부터의 여기 에너지를 수신하고 여기 에너지를 복수의 도파관에 지향시키도록 구성된 스플리터 구조물을 더 포함할 수 있다. 스플리터 구조물은 적어도 하나의 다중-모드 간섭 스플리터(multi-mode interference splitter)를 포함할 수 있다. 스플리터 구조물은 스타 결합기(star coupler)를 포함할 수 있다. 스플리터 구조물은 슬라이싱된 격자 결합기(sliced grating coupler)를 포함할 수 있다.

[0010] 도파관은, 도파관을 따른 광 전파의 방향에 수직인 방향으로 테이퍼링된 치수(tapered dimension)를 가질 수 있어서, 그 치수는 격자 결합기에 근접한 위치에서 먼 위치(distal location)에서보다 더 크다. 샘플 웰은, 샘플 웰의 측벽의 적어도 일부 상에 형성된 측벽 스페이서를 포함할 수 있다. 도파관에 근접한 샘플 웰의 표면은, 측벽 스페이서와는 상이한 방식으로 샘플과 상호작용하도록 구성될 수 있다.

[0011] 통합 디바이스는 트렌치 영역의 하부 표면 상에 형성된 금속 스택을 더 포함하여, 금속 스택이 어레이의 샘플 웰의 애퍼처(aperture)와 중첩하는 개구(opening)를 갖게 한다. 금속 스택은, 알루미늄 층 및 티타늄 질화물 층을 포함할 수 있고, 알루미늄 층은 도파관에 근접하다. 도파관은 실리콘 질화물을 포함할 수 있다. 통합 디바이스는, 샘플 웰에 위치한 샘플에 의해 방출된 방출 에너지를 수신하도록 구성된 센서를 더 포함할 수 있다.

[0012] 일부 실시예는, 기관, 기관 쪽으로 향하는 제1 측면과 제1 측면에 반대 쪽의 제2 측면을 갖는 도파관, 및 복수의 전기 신호를 지원하도록 구성된 복수의 금속 층을 포함하는 통합 디바이스에 관한 것이다. 복수의 금속 층 중의 제1 금속 층은 도파관의 제1 측면보다 기관에 더 가까운 거리에 위치할 수 있다.

[0013] 도파관은 복수의 금속 층 중의 제2 금속 층보다 기관에 더 가까운 거리에 위치할 수 있다.

[0014] 통합 디바이스는, 트렌치 영역을 갖는 표면 -트렌치 영역은 표면의 일부로부터 오목화됨-, 및 트렌치 영역 내에 배치된 샘플 웰들의 어레이를 더 포함할 수 있다. 샘플 웰들의 어레이 중의 샘플 웰은 샘플을 수용하도록 구성될 수 있다. 도파관은, 트렌치 영역의 표면으로부터 제1 거리에 및 트렌치 영역으로부터 분리된 영역 내의 상기 표면으로부터 제2 거리에 위치할 수 있다. 제1 거리는 제2 거리보다 작을 수 있다.

[0015] 일부 실시예는, 기판 위에 도파관을 형성하는 단계, 도파관 위에 상부 클래딩(top cladding)을 형성하는 단계, 상부 클래딩 내에 트렌치 영역을 형성하는 단계, 상부 클래딩의 표면 상에 금속 스택을 형성하는 단계, 및 도파관에 근접한 트렌치 영역의 표면에 적어도 하나의 샘플 웰을 형성하는 단계를 포함하는 통합 디바이스를 형성하는 방법에 관한 것이다.

[0016] 이 방법은, 상부 클래딩을, 상부 클래딩의 표면으로부터 도파관까지의 거리까지 평탄화하는 단계를 더 포함할 수 있다. 트렌치 영역 내의 한 위치에서 상부 클래딩의 표면과 도파관 사이의 거리는 150nm 내지 600nm일 수 있다. 적어도 하나의 샘플 웰을 형성하는 단계는, 금속 층을 선택적으로 에칭하여 상부 클래딩 층까지 연장되는 개구를 형성하는 단계를 포함할 수 있다. 금속 층을 선택적으로 에칭하는 단계는, 포토레지스트 마스크를 이용하여 금속 층을 선택적으로 에칭하고 포토레지스트 마스크 또는 하드 마스크를 이용하여 상부 클래딩을 선택적으로 에칭하는 단계를 포함할 수 있다. 적어도 하나의 샘플 웰을 형성하는 단계는 상부 클래딩의 시한적 에칭(timed etch)을 수행하는 단계를 포함할 수 있다. 적어도 하나의 샘플 웰을 형성하는 단계는, 상부 클래딩 상에 적어도 하나의 에칭 정지 층을 형성하는 단계, 상부 클래딩 및 에칭 정지 층 위에 유전체 층을 형성하는 단계, 및 적어도 하나의 에칭 정지 층과 중첩하는 위치들에서 유전체 층을 제거하여 에칭 정지 층을 노출시키는 단계를 포함할 수 있다. 이 방법은 적어도 하나의 샘플 웰 중의 샘플 웰의 측벽의 적어도 일부 상에 스페이서를 형성하는 단계를 더 포함할 수 있다. 스페이서를 형성하는 단계는 원자 층 퇴적(ALD; atomic layer deposition) 프로세스로 수행될 수 있다. 스페이서를 형성하는 단계는 도파관에 근접한 샘플 웰의 표면으로부터 스페이서를 에칭하는 단계를 포함할 수 있다.

도면의 간단한 설명

[0017] 본 출원의 다양한 양태 및 실시예들이 이하의 도면들을 참조하여 설명될 것이다. 도면들은 축척비율대로 그려진 것은 아니라는 점을 이해해야 한다. 복수의 도면들 내에 나타나는 항목들은 이들이 나타나는 모든 도면들에서 동일한 참조 번호로 표시된다.

도 1a는 시간의 함수로서의 마커로부터 광자를 방출하는 확률의 플롯이다.

도 1ba는 예시적인 방출 타이밍 스펙트럼의 플롯이다.

도 1bb는 예시적인 흡수 파장 스펙트럼의 플롯이다.

도 1bc는 예시적인 방출 파장 스펙트럼의 플롯이다.

도 1ca는 방출 파장 및 방출 수명에 대한 위상 공간도(phase space diagram)이다.

도 1cb는 흡수 파장 및 방출 수명에 대한 위상 공간도이다.

도 1d는, 방출 파장, 흡수 파장, 및 방출 수명에 대한 위상 공간도이다.

도 2aa는, 일부 실시예에 따른, 생물학적 및 화학적 시료(specimen)의 신속한 이동 분석에 이용될 수 있는 장치의 블록도 표현이다.

도 2ab는 일부 실시예에 따른 통합 디바이스 및 기기(instrument)의 블록도이다.

도 3aa는 일부 실시예에 따른 통합된 디바이스의 개략도이다.

도 3ab는, 일부 실시예에 따른, 픽셀들의 행 내의 샘플 웰로의 여기 에너지 결합, 및 센서를 향하는 각각의 샘플 웰로부터의 방출 에너지의 개략도이다.

도 3ba는, 일부 실시예에 따른, 통합 디바이스의 광학 컴포넌트들의 평면도이다.

도 3bb는, 일부 실시예에 따른, 통합 디바이스의 광학 컴포넌트들의 평면도이다.

도 3bc는, 일부 실시예에 따른 테스트 구조물의 평면도이다.

도 3bd는, 도 3bc에 도시된 테스트 구조물에 의해 수행된 측정으로부터 획득된 길이의 함수로서의 상대적 파워

의 플롯이다.

도 4aa는 일부 실시예에 따른 복수의 샘플 웰을 갖는 통합 디바이스의 단면도이다.

도 4ab는 일부 실시예에 따른 복수의 트렌치 영역을 갖는 통합 디바이스의 단면도이다.

도 4ac는 일부 실시예에 따른 개개의 샘플 웰과 연관된 원형 트렌치 영역을 갖는 통합 디바이스의 평면도이다.

도 4ad는 일부 실시예에 따른 복수의 도파관과 중첩하는 직사각형 트렌치 영역을 갖는 통합 디바이스의 평면도이다.

도 4b는 일부 실시예에 따른 복수의 금속 층을 갖는 통합 디바이스의 단면도이다.

도 4c는 일부 실시예에 따른 통합 디바이스의 픽셀의 단면도이다.

도 4d는 일부 실시예에 따른 격자 결합기의 평면도이다.

도 4e는 일부 실시예에 따른 상부 클래딩 및 하부 클래딩의 두께의 함수로서 격자 결합기의 결합 효율을 나타내는 열 지도(heat map)이다.

도 4f는 일부 실시예에 따른 캐스케이드형 MMI 스플리터 구조물의 평면도이다.

도 4ga는 일부 실시예에 따른 캐스케이드형 MMI 스플리터 구조물의 평면도이다.

도 4gb는 일부 실시예에 따른 예시적인 MMI의 평면도이다.

도 4gc는 일부 실시예에 따른 예시적인 MMI의 평면도이다.

도 4ha는 일부 실시예에 따른 예시적인 스타 결합기 스플리터 구조물의 평면도이다.

도 4hb는 도 4ha의 스타 결합기 스플리터 구조물의 영역(4-802)의 평면도이다.

도 4ia는 일부 실시예에 따른 예시적인 스타 결합기 스플리터 구조물의 평면도이다.

도 4ib는 도 4ia의 스타 결합기 스플리터 구조물의 영역(4-900)의 평면도이다.

도 4ic는 도 4ia의 스타 결합기 스플리터 구조물의 영역(4-902)의 평면도이다.

도 4j는 일부 실시예에 따른 예시적인 스타 결합기 스플리터 구조물의 평면도이다.

도 4k는 일부 실시예에 따른 슬라이딩된 격자 결합기 스플리터 구조물의 평면도이다.

도 5aa 내지 도 5ac는 일부 실시예에 따른 트렌치 영역을 포함하는 통합 디바이스를 제작하기 위한 제작 시퀀스를 도시한다.

도 5ba 내지 도 5bf는 일부 실시예에 따른 복수의 샘플 웰을 포함하는 통합 디바이스를 제작하기 위한 제작 시퀀스를 도시한다.

도 5ca 내지 도 5cg는 일부 실시예에 따른 복수의 샘플 웰을 포함하는 통합 디바이스를 제작하기 위한 제작 시퀀스를 도시한다.

도 6aa 내지 도 6af는 일부 실시예에 따른 샘플 웰을 제작하기 위한 제작 시퀀스를 도시한다.

도 7aa 내지 도 7ae는 일부 실시예에 따른 복수의 금속 층을 포함하는 통합 디바이스를 제작하기 위한 제작 시퀀스를 도시한다.

도 7ba 및 도 7bb는 일부 실시예에 따른 복수의 금속 층을 포함하는 통합 디바이스를 제작하기 위한 제작 시퀀스를 도시한다.

발명을 실시하기 위한 구체적인 내용

[0018]

본 발명자들은, 단일 분자들 또는 입자들의 검출 및 정량화를 수행하기 위한 소형의 고속 장치가 생물학적 및/또는 화학적 샘플의 복잡한 정량적 측정을 수행하는 비용을 감소시킬 수 있고 생화학적 기술 발견의 속도를 신속하게 진전시킬 수 있다는 것을 인식하고 이해하였다. 또한, 용이하게 운송가능한 비용 효율적인 디바이스는, 선진국에서 생물검정이 수행되는 방식을 변형시킬 수 있을 뿐만 아니라, 개발 도상국의 사람들에게, 처음으로, 그들의 건강과 복지를 극적으로 개선할 수 있는 필수적인 진단 테스트들로의 접근을 제공할 수 있다. 예를 들

어, 본 명세서에서 설명되는 실시예들은, 가정의 개인에 의해 또는 개발 도상국의 원격 클리닉의 의사에 의해 이용될 수 있는, 혈액, 소변 및/또는 타액의 진단 테스트에 사용될 수 있다.

[0019] 많은 수의 픽셀(예를 들어, 수백, 수천, 수백만 또는 그 이상)을 갖는 픽셀화된 센서 디바이스는 복수의 개개 분자들 또는 입자들의 병렬 검출을 허용한다. 분자는, 제한이 아닌 예로서, 단백질 및/또는 DNA일 수 있다. 또한, 초당 100 프레임을 초과하는 데이터를 취득할 수 있는 고속 디바이스는, 분석중인 샘플 내에서 시간 경과에 따라 발생하는 동적 프로세스 또는 변경의 검출 및 분석을 허용한다.

[0020] 본 발명자들은, 생물검정 장비가 더 소형화되는 것을 방해하는 하나의 장애물은, 센서에서 바람직하지 않은 검출 이벤트를 야기하는 것으로부터 여기 광을 필터링할 필요성이라는 것을 인식하고 이해하였다. 원하는 신호 광(발광)을 투과하고 여기 광을 충분히 차단하는데 이용되는 광학 필터는, 두껍고, 부피가 크며, 비싸고, 광의 입사각의 변화에 약하여, 소형화를 방해할 수 있다. 그러나, 본 발명자들은, 펄스형 여기 소스를 이용하는 것이 필터링 등의 필요성을 감소시키거나, 일부 경우에는, 이러한 필터에 대한 필요성을 완전히 제거할 수 있다는 것을 인식하고 이해하였다. 여기 광 펄스에 관해 광자가 검출되는 시간을 결정할 수 있는 센서를 이용함으로써, 신호 광은, 수신된 광의 스펙트럼이 아니라, 광자가 수신되는 시간에 기초하여, 여기 광으로부터 분리될 수 있다. 따라서, 일부 실시예에서는 부피가 큰 광학 필터에 대한 필요성이 감소 및/또는 제거된다.

[0021] 본 발명자들은, 발광 수명 측정도 역시 샘플에 존재하는 분자를 식별하는데 이용될 수 있다는 것을 인식하고 이해하였다. 광자가 검출되는 때를 검출할 수 있는 광학 센서는 많은 이벤트들로부터 수집된 통계를 이용하여, 여기 광에 의해 여기되는 분자의 발광 수명을 측정할 수 있다. 일부 실시예에서, 발광 수명 측정은 발광의 스펙트럼 측정에 추가하여 이루어질 수 있다. 대안으로서, 발광의 스펙트럼 측정은 샘플 분자를 식별하는데 있어서 완전히 생략될 수 있다. 발광 수명 측정은 펄스형 여기 소스를 이용하여 이루어질 수 있다. 추가로, 발광 수명 측정은, 센서를 포함하는 통합 디바이스, 또는 광원이 통합 디바이스로부터 분리된 시스템에 위치해 있는 디바이스를 이용하여 이루어질 수 있다.

[0022] 본 발명자들은 또한, (나노애퍼처를 포함할 수 있는) 샘플 웰 및 센서를 생물학적 샘플로부터 방출된 발광 광을 측정할 수 있는 단일의 통합 디바이스에 통합하는 것이 이러한 디바이스를 생성하는 비용을 감소시켜, 1회용 생체분석 통합 디바이스가 형성될 수 있게 한다는 것을 인식하고 이해하였다. 베이스 기기와 인터페이스하는 1회용의, 단일-사용 통합 디바이스는, 샘플 분석을 위한 고가의 생물학 실험실을 요구하는 제약없이 전세계 어느 곳에서나 이용될 수 있다. 따라서, 자동화된 생체분석은, 이전에는 생물학적 샘플의 정량적 분석을 수행할 수 없었던 전 세계의 지역들에 다가갈 수 있다. 예를 들어, 유아를 위한 혈액 테스트는, 1회용 통합 디바이스에 혈액 샘플을 넣고, 1회용 통합 디바이스를 분석을 위해 소형 휴대형 베이스 기기에 넣고, 사용자의 즉석 검토를 위해 결과를 컴퓨터로 처리함으로써 수행될 수 있다. 데이터는 또한, 데이터 네트워크를 통해 원격 위치로 전송되어 분석되거나, 후속 임상 분석을 위해 보관될 수 있다.

[0023] 본 발명자들은 또한, 1회용 단일 사용 디바이스가 통합 디바이스 상에 광원을 포함하지 않음으로써 더 간단하고 저렴한 비용으로 형성될 수 있다는 것을 인식하고 이해하였다. 대신에, 광원은, 샘플을 분석하기 위해 1회용 통합 디바이스와 인터페이스하는 시스템에 통합된 재사용가능한 컴포넌트들을 포함할 수 있다.

[0024] 본 발명자들은 또한, 샘플이 복수의 상이한 유형의 발광 마커로 태깅될 때, 발광 마커의 임의의 적합한 특성이 통합 디바이스의 특정 픽셀에 존재하는 마커의 유형을 식별하는데 이용될 수 있다는 것을 인식하고 이해하였다. 예를 들어, 마커에 의해 방출되는 발광의 특성 및/또는 여기 흡수의 특성이 마커를 식별하는데 이용될 수 있다. 일부 실시예에서, (광의 파장에 직접 관련된) 발광의 방출 에너지는 제1 유형의 마커를 제2 유형의 마커와 구별하는데 이용될 수 있다. 추가적으로 또는 대안으로서, 발광 수명 측정도 역시 특정 픽셀에 존재하는 마커의 유형을 식별하는데 이용될 수 있다. 일부 실시예에서, 발광 수명 측정은, 수명 정보를 획득하기에 충분한 해상도로 광자가 검출되는 시간을 구별할 수 있는 센서를 이용하여 펄스형 여기 소스로 이루어질 수 있다. 추가적으로 또는 대안으로서, 상이한 유형의 마커들에 의해 흡수된 여기 광의 에너지는 특정 픽셀에 존재하는 마커의 유형을 식별하는데 이용될 수 있다. 예를 들어, 제1 마커는 제1 파장의 광을 흡수할 수 있지만 제2 파장의 광은 동등하게 흡수하지는 않을 수 있는 반면, 제2 마커는 제2 파장의 광을 흡수할 수 있지만 제1 파장의 광은 동등하게 흡수하지 않을 수 있다. 이러한 방식으로, 각각 상이한 여기 에너지를 갖는 하나보다 많은 여기 광원이 인터리빙된 방식으로 샘플을 조명하는데 이용될 수 있는 경우, 마커의 흡수 에너지는 어떤 유형의 마커가 샘플에 존재하는지를 식별하는데 이용될 수 있다. 상이한 마커들은 또한, 상이한 발광 강도들을 가질 수 있다. 따라서, 발광의 검출된 강도도 역시, 특정 픽셀에 존재하는 마커의 유형을 식별하는데 이용될 수 있다.

[0025] 본 발명자들에 의해 고려되는 디바이스의 응용의 하나의 비제한적인 예는, 복수의 아미노산을 갖는 핵산 또는

폴리펩티드(예를 들어, 단백질) 등의, 생체분자의 시퀀싱을 수행할 수 있는 디바이스이다. 이러한 디바이스를 이용하여 수행될 수 있는 진단 테스트는, 피험체의 생물학적 샘플에서 무세포 데옥시리보핵산 분자 또는 발현 산물(expression product)의 시퀀싱 등의, 피험체의 생물학적 샘플 내의 핵산 분자의 시퀀싱을 포함한다.

[0026] 본 출원은, 핵산 분자 등의, 생체분자 또는 그 하위단위들을 검출하기 위한 디바이스, 시스템 및 방법을 제공한다. 이러한 검출은 시퀀싱을 포함할 수 있다. 피험체로부터 획득된 생물학적 샘플로부터 생체분자가 추출될 수 있다. 생물학적 샘플은, 호흡, 타액, 소변 또는 혈액(예를 들어, 전혈(whole blood) 또는 혈장(plasma)) 등의, 피험체의 체액 또는 조직으로부터 추출될 수 있다. 피험체는, 질병(예를 들어, 암) 등의, 건강 상태를 갖는 것으로 의심될 수 있다. 일부 예에서, 피험체의 체액 또는 조직으로부터 하나 이상의 핵산 분자가 추출된다. 하나 이상의 핵산 분자는, 피험체의 조직의 일부 등의, 피험체로부터 획득된, 또는 전혈 등의, 피험체의 무세포 체액으로부터 획득된 하나 이상의 세포로부터 추출될 수 있다.

[0027] 시퀀싱은, 템플릿 핵산 분자와 상보적인 핵산 분자를 합성하고 시간의 경과에 따라 뉴클레오타이드의 혼입을 식별하는 것(예로서, 합성에 의한 시퀀싱) 등에 의해, 템플릿과 상보적인 또는 유사한 또 다른 생체분자를 합성함으로써 템플릿 생체분자(예를 들어, 핵산 분자)의 개개의 하위단위를 결정하는 것을 포함할 수 있다. 대안으로서, 시퀀싱은 생체분자의 개개의 하위단위의 직접 식별을 포함할 수 있다.

[0028] 시퀀싱 동안에, 생체분자의 개개의 하위단위를 나타내는 신호들이 메모리에 수집되고 생체분자의 서열을 결정하기 위해 실시간으로 또는 나중 시점에 처리될 수 있다. 이러한 처리는, 일부 경우에는 판독들을 야기하는, 개개의 하위단위의 식별을 가능케하는 기준 신호와의 신호들의 비교를 포함할 수 있다. 판독은, 예를 들어, 염색체 또는 게놈 영역 또는 유전자 상의 한 위치에 정렬될 수 있는, 더 큰 서열 또는 영역을 식별하는데 이용될 수 있는 충분한 길이(예를 들어, 적어도 약 30, 50, 100 이상의 염기 쌍(base pairs)(bp))의 서열일 수 있다.

[0029] 생체분자의 개개의 하위단위는 마커를 이용하여 식별될 수 있다. 일부 예에서, 발광 마커가 이용되어 생체분자의 개개의 하위단위를 식별한다. (본 명세서에서는 "마커"라고도 하는) 발광 마커는 외인성 또는 내인성 마커일 수 있다. 외인성 마커는 발광 라벨링을 위한 리포터 및/또는 태그에서 이용되는 외부의 발광 마커일 수 있다. 외인성 마커의 예는, 형광 분자, 형광단, 형광 염료, 형광 염색, 유기 염료, 형광 단백질, 효소, 형광 공명 에너지 전달(fluorescence resonance energy transfer)(FRET)에 참여하는 중, 효소, 및/또는 쿼텀 도트를 포함할 수 있지만 이것으로 제한되는 것은 아니다. 이러한 외인성 마커는, 특정한 표적 또는 성분에 특이적으로 결합하는(specifically bind) 프로브 또는 작용기(functional group)(예를 들어, 분자, 이온 및/또는 리간드)에 공액접합(conjugate)될 수 있다. 외인성 마커를 프로브에 부착시키는 것은, 외인성 마커의 존재의 검출을 통한 표적의 식별을 허용한다. 프로브의 예는, 단백질, 핵산(예를 들어, DNA, RNA 분자), 지질 및 항체 프로브를 포함할 수 있다. 외인성 마커와 작용기의 조합은, 분자 프로브, 라벨링된 프로브, 하이브리드화 프로브, 항체 프로브, 단백질 프로브(예를 들어, 바이오틴-결합 프로브), 효소 라벨, 형광 프로브, 형광 태그, 및/또는 효소 리포터를 포함한, 검출에 이용되는, 임의의 적절한 프로브, 태그, 및/또는 라벨을 형성할 수 있다.

[0030] 본 개시내용이 발광 마커에 대해 언급하고 있지만, 다른 유형의 마커들이 본 명세서에서 제공된 디바이스들, 시스템들 및 방법들에서 이용될 수 있다. 이러한 마커들은 질량 태그 또는 정전기 태그를 포함할 수 있다.

[0031] 외인성 마커가 샘플에 추가될 수 있지만, 내인성 마커는 이미 샘플의 일부일 수 있다. 내인성 마커는 여기 에너지의 존재 하에서 발광 또는 "자가형광(autofluoresce)"할 수 있는 임의의 존재하는 발광 마커를 포함할 수 있다. 내인성 형광단의 자가형광은, 외인성 형광단의 도입을 요구하지 않고 라벨이 없는 비침습적인 라벨링을 제공할 수 있다. 이러한 내인성 형광단의 예는, 제한이 아닌 예로서, 헤모글로빈, 옥시헤모글로빈, 지질, 콜라겐 및 엘라스틴 가교결합, 환원된 니코틴아미드 아데닌 디뉴클레오타이드(NADH), 산화 플라빈(FAD 및 FMN), 리포푸신, 케라틴, 및/또는 프로피린을 포함할 수 있다.

[0032] 일부 실시예들은 시료에서 단일 분자들을 검출하는 것에 의한 진단 테스트에 관한 것일 수 있지만, 본 발명자들은 또한, 일부 실시예들이 예를 들어 유전자 또는 폴리펩티드 등의 하나 이상의 핵산 세그먼트의 핵산(예를 들어, DNA, RNA) 시퀀싱을 수행하기 위해 단일 분자 검출 능력을 이용할 수 있다는 것을 인식하였다. 핵산 시퀀싱은, 표적 핵산 분자에서 뉴클레오타이드들의 순서 및 위치의 결정을 허용한다. 핵산 시퀀싱 기술은, 시퀀싱 프로세스에서 속도, 판독 길이, 및 오류 발생률에서 뿐만 아니라 핵산 서열을 결정하는데 이용되는 방법에 따라 달라질 수 있다. 예를 들어, 일부 핵산 시퀀싱 방법은, 뉴클레오타이드가 표적 핵산 분자에 상보적인 핵산의 새로 합성된 가닥에 혼입됨에 따라 뉴클레오타이드의 정체(정체)가 결정되는, 합성에 의한 시퀀싱에 기초한다. 일부 합성 방법에 의한 시퀀싱은, 표적 핵산 분자들의 집단(예를 들어, 표적 핵산의 사본들)의 존재 또는 표적 핵산들의

집단을 달성하기 위한 표적 핵산의 증폭 단계를 요구한다.

- [0033] 단일 분자 검출 및/또는 핵산 시퀀싱을 수행하기 위한 단순한, 덜 복잡한 장치에 대한 필요를 인지하고, 본 발명자들은 상이한 분자들을 라벨링하기 위해, 광학(예를 들어, 발광) 마커 등의, 마커 세트를 이용하여 단일 분자들을 검출하기 위한 기술을 구상했다. 태그는 뉴클레오타이드 또는 아미노산 및 적절한 마커를 포함할 수 있다. 마커는, 단일 분자에 결속된 동안, 단일 분자로부터의 방출시에, 또는 단일 분자에 결속된 동안 단일 분자로부터의 방출시에 검출될 수 있다. 일부 예에서, 마커는 발광 태그이다. 선택된 세트 내의 각각의 발광 마커는 각각의 분자와 연관된다. 예를 들어, 한 세트의 4개 마커가 DNA에 존재하는 핵염기들을 "라벨링"하는데 이용될 수 있다 —상기 세트 내의 각각의 마커는 상이한 핵염기와 연관되어 태그를 형성한다, 예를 들어, 제1 마커는 아데닌(A)과 연관되고, 제2 마커는 시토신(C)과 연관되며, 제3 마커는 구아닌(G)과 연관되고, 제4 마커는 티민(T)과 연관된다. 또한, 마커 세트 내의 발광 마커들 각각은 그 세트의 제1 마커를 그 세트 내의 다른 마커들과 구별하는데 이용될 수 있는 상이한 속성들을 가진다. 이러한 방식으로, 각각의 마커는 이들 구별되는 특성들 중 하나 이상을 이용하여 고유하게 식별가능하다. 제한이 아닌 예로서, 하나의 마커를 또 다른 마커와 구별하는데 이용될 수 있는 마커의 특성은, 여기에 응답하여 마커에 의해 방출되는 광의 방출 에너지 및/또는 파장, 및/또는 특정한 마커를 여기시키는 여기 광의 파장 및/또는 에너지를 포함할 수 있다. 4개의 마커들의 세트 중에서 한 마커를 구별하는 것은, 마커와 연관된 핵염기를 고유하게 식별한다.
- [0034] 발광 마커들은, 그들이 방출하는 광의 파장, 그들이 방출하는 광의 시간적 특성(예를 들어, 그들의 방출 감쇠 기간), 및 여기 에너지에 대한 그들의 반응(예를 들어, 여기 광자의 흡수 확률)에서 달라질 수 있다. 따라서, 발광 마커는 이들 속성을 검출하는 것에 기초하여 식별되거나 다른 발광 마커로부터 구분될 수 있다. 이러한 식별 또는 구분 기술들은, 단독으로 또는 임의의 적절한 조합으로 이용될 수 있다.
- [0035] 일부 실시예에서, 본 출원에서 설명되는 통합 광검출기는 형광 수명 등의 발광 수명을 측정하거나 구분할 수 있다. 수명 측정은, 하나 이상의 마커(예를 들어, 형광 분자)를 여기시키고, 방출된 발광의 시간 변동을 측정하는 것에 기초한다. 마커가 여기 상태에 도달한 후에 마커가 광자를 방출할 확률은 시간 경과에 따라 지수적으로 감소한다. 확률이 감소하는 속도는 마커의 특성일 수 있고, 상이한 마커에 대해 상이할 수 있다. 마커에 의해 방출되는 광의 시간적 특성을 검출하는 것은, 마커를 식별하고 및/또는 마커를 서로에 관해 구분하는 것을 허용할 수 있다. 시간의 경과에 따라 광자가 방출되는 확률의 감소는 지수 감쇠 함수 $p(t)=e^{-(t/\tau)}$ 로 나타낼 수 있으며, 여기서 $p(t)$ 는 시간 t 에서 광자 방출의 확률이고, τ 는 마커의 시간 파라미터이다. 시간 파라미터 τ 는, 마커가 광자를 방출할 확률이 소정 값인, 여기 후의 시간을 나타낸다. 시간 파라미터 τ 는, 흡수 및 방출 스펙트럼 속성과는 구분될 수 있는 마커의 속성이다. 이러한 시간 파라미터 τ 는, 발광 수명, 형광 수명 또는 간단히 마커의 "수명"이라고 한다.
- [0036] 도 1a는, 상이한 수명을 갖는 2개의 마커에 대한 시간의 함수로서 방출되는 광자의 확률을 도시한다. 확률 곡선 B로 표시된 마커는, 확률 곡선 A로 표시된 마커에 대한 방출 확률보다 신속하게 감쇠되는 방출 확률을 가진다. 확률 곡선 B로 표시되는 마커는, 확률 곡선 A로 표시되는 마커보다 짧은 시간 파라미터 τ , 또는 수명을 가진다. 마커는, 일부 실시예에서, 0.1 내지 20 ns 범위의 수명을 가질 수 있다. 그러나, 본 출원에서 설명된 기술은 이용되는 마커(들)의 수명에 관해 제한되지 않는다.
- [0037] 마커의 수명은 하나보다 많은 마커를 구별하는데 이용되거나, 및/또는 마커(들)을 식별하는데 이용될 수 있다. 일부 실시예에서, 상이한 수명들을 갖는 복수의 마커가 여기 소스에 의해 여기되는 수명 측정이 수행될 수 있다. 한 예로서, 각각, 0.5, 1, 2, 및 3 나노초의 수명을 갖는 4개의 마커는, 선택된 파장(예를 들어, 635nm)을 갖는 광을 방출하는 광원에 의해 여기될 수 있다. 마커들은, 마커들에 의해 방출된 광의 수명 측정에 기초하여 식별되거나 서로로부터 구분될 수 있다.
- [0038] 수명 측정은, 절대 강도 값과는 달리, 시간 경과에 따른 강도 변화를 비교함으로써 상대 강도 측정을 이용할 수 있다. 그 결과, 수명 측정은 절대 강도 측정의 곤란점들 중 일부를 피할 수 있다. 절대 강도 측정은, 존재하는 마커들의 농도에 따라 달라질 수 있고, 다양한 마커 농도에 대해 캘리브레이션 단계(calibration step)가 필요할 수 있다. 대조적으로, 수명 측정은 마커들의 농도에 민감하지 않을 수 있다.
- [0039] 실시예는, 마커 세트 내의 제1 마커를 동일한 세트 내의 다른 마커들과 구별하기 위해 마커 특성들의 임의의 적합한 조합을 이용할 수 있다. 예를 들어, 일부 실시예는 마커를 식별하기 위해 마커로부터의 방출 광의 타이밍 정보만을 이용할 수 있다. 이러한 실시예에서, 선택된 마커 세트 내의 각각의 마커는 그 세트 내의 다른 마커와는 상이한 방출 수명을 가지며, 발광 마커들은 모두 단일의 여기 소스로부터의 광에 의해 여기된다. 도 1ba는, 4개의 마커가 상이한 평균 방출 수명들(τ)을 나타내는 실시예에 따른 4개의 발광 마커로부터의 방출 타이

밍을 도시한다. 마커가 특정 값의 수명을 갖는 것으로 측정될 확률은 본 명세서에서는 마커의 "방출 타이밍"이라고 지칭된다. 제1 발광 마커로부터의 제1 방출 타이밍(1-101)은 τ_1 에서의 수명을 갖는 피크 확률을 가지며, 제2 발광 마커로부터의 제2 방출 타이밍(1-102)은 τ_2 에서의 수명을 갖는 피크 확률을 가지며, 제3 발광 마커로부터의 제3 방출 타이밍(1-103)은 τ_3 에서의 수명을 갖는 피크 확률을 가지며, 제4 발광 마커로부터의 제4 방출 타이밍(1-104)은 τ_4 에서의 수명을 갖는 피크 확률을 갖는다. 이 실시예에서, 4개의 발광 마커의 수명 확률 피크는, 관계 $\tau_1 < \tau_2 < \tau_3 < \tau_4$ 를 만족하는 임의의 적절한 값을 가질 수 있다. 도 1ba에 도시된 바와 같이, 4개의 타이밍 방출 그래프는 특정 발광 마커의 수명에서의 약간의 변동으로 인해 중첩되거나 중첩되지 않을 수 있다. 이 실시예에서, 4개의 마커 각각이 여기 소스로부터의 광을 최대 흡수하는 여기 파장은 대략 동일하지만, 반드시 그럴 필요는 없다. 상기 마커 세트를 이용하여, 4개의 상이한 분자가 마커 세트로부터의 각각의 마커로 라벨링될 수 있고, 마커들은 단일 여기 소스를 이용하여 여기될 수 있고, 마커들은, 광학 시스템 및 센서들을 이용하여 마커들의 방출 수명을 검출함으로써 서로로부터 구별될 수 있다. 도 1ba는 4개의 상이한 마커를 도시하지만, 임의의 적절한 수의 마커들이 이용될 수 있다는 것을 이해해야 한다.

[0040] 다른 실시예는 한 세트의 마커들 내의 마커의 정체를 결정하기 위해 마커 특성들의 임의의 적절한 조합을 이용할 수 있다. 이용될 수 있는 마커 특성들의 예는, 여기 파장, 방출 파장, 및 방출 수명을 포함하지만 이것으로 제한되는 것은 아니다. 마커 특성들의 조합은 위상 공간을 형성하고, 각각의 마커는 이 위상 공간 내의 한 포인트로서 나타낼 수 있다.

[0041] 한 세트의 마커들 내의 마커들은, 검출 메커니즘이 각각의 마커를 세트 내의 다른 마커들과 구별할 수 있도록 상기 세트 내의 각각의 마커 사이의 "거리"가 충분히 크도록 선택되어야 한다. 예를 들어, 일부 실시예에서, 한 세트의 마커들이 선택될 수 있고, 여기서, 마커들의 서브세트는 동일한 방출 파장을 갖지만, 상이한 방출 수명들 및/또는 상이한 여기 파장들을 갖는다. 다른 실시예에서, 한 세트의 마커들이 선택될 수 있고, 여기서, 마커들의 서브세트는 동일한 방출 수명을 가지지만, 상이한 방출 파장들 및/또는 상이한 여기 파장들을 갖는다. 다른 실시예에서, 한 세트의 마커들이 선택될 수 있고, 여기서, 마커들의 서브세트는 동일한 여기 파장을 갖지만, 상이한 방출 파장들 및/또는 상이한 방출 수명들을 갖는다.

[0042] 제한이 아닌 예로서, 도 1bb는 한 실시예에 따른 4개의 발광 마커로부터의 방출 스펙트럼을 도시하는 것으로, 여기서, 마커들 중 2개는 제1 피크 방출 파장을 갖고 다른 2개의 마커는 제2 피크 방출 파장을 갖는다. 제1 발광 마커로부터의 제1 방출 스펙트럼(1-105)은 λ_1 에서 피크 방출 파장을 가지며, 제2 발광 마커로부터의 제2 방출 스펙트럼(1-106)도 역시 λ_1 에서 피크 방출 파장을 가지며, 제3 발광 마커로부터의 제3 방출 스펙트럼(1-107)은 λ_2 에서 피크 방출 파장을 가지며, 제4 발광 마커로부터의 제4 방출 스펙트럼(1-108)도 역시 λ_2 에서 피크 방출 파장을 갖는다. 이 실시예에서, 4개의 발광 마커의 방출 피크들은, 관계 $\lambda_1 < \lambda_2$ 를 만족시키는 임의의 적절한 값을 가질 수 있다. 피크 방출 파장이 하나보다 많은 발광 마커에 대해 동일한 이와 같은 실시예에서, 동일한 방출 파장을 갖는 마커들의 별개의 특성은 반드시 상이해야 한다. 예를 들어, λ_1 에서 방출하는 2개의 마커는 상이한 방출 수명들을 가질 수 있다. 도 1ca는 이러한 상황을 방출 파장 및 방출 수명이 걸쳐 있는 위상 공간에서 개략적으로 도시한다. 제1 마커는 방출 파장 λ_1 및 방출 수명 τ_1 을 갖고, 제2 마커는 방출 파장 λ_1 및 방출 수명 τ_4 를 갖고, 제3 마커는 방출 파장 λ_2 및 방출 수명 τ_1 을 가지며, 제4 마커는 방출 파장 λ_2 및 방출 수명 τ_4 를 갖는다. 이러한 방식으로, 도 1ca에 도시된 마커 세트 내의 4개의 마커 모두가 서로 구별가능하다. 이러한 마커 세트를 이용하는 것은, 4개의 마커에 대한 흡수 파장들이 동일한 경우에도 4개의 마커를 구별하는 것을 허용한다. 이것은, 포토루미네스스(photoluminescence)의 방출 시간뿐만 아니라 방출 파장도 검출할 수 있는 센서를 이용하여 가능하다.

[0043] 제한이 아닌 예로서, 도 1bc는 또 다른 실시예에 따른 4개의 발광 마커로부터의 흡수 스펙트럼을 도시한다. 이 실시예에서, 마커들 중 2개는 제1 피크 흡수 파장을 가지며 다른 2개의 마커는 제2 피크 흡수 파장을 갖는다. 제1 발광 마커에 대한 제1 흡수 스펙트럼(1-109)은 λ_3 에서 피크 흡수 파장을 가지며, 제2 발광 마커에 대한 제2 흡수 스펙트럼(1-110)은 λ_4 에서 피크 흡수 파장을 가지며, 제3 발광 마커에 대한 제3 흡수 스펙트럼(1-111)은 λ_3 에서 피크 흡수 파장을 가지며, 제4 발광 마커에 대한 제4 흡수 스펙트럼(1-112)은 λ_4 에서 피크 흡수 파장을 갖는다. 도 1bc에서 흡수 피크 파장을 공유하는 마커는, 방출 수명 등의, 또 다른 마커 특성을 통해 구별가능하다는 점에 유의한다. 도 1cb는 이러한 상황을 흡수 파장 및 방출 수명이 걸쳐 있는 위상 공간에서 개략적으로 도시한다. 제1 마커는 흡수 파장 λ_3 및 방출 수명 τ_1 을 가지며, 제2 마커는 흡수 파장 λ_3 및 방출 수명 τ_4 를 가지며, 제3 마커는 흡수 파장 λ_4 및 방출 수명 τ_1 을 가지며, 제4 마커는 흡수 파장 λ_4 및 방출 수명 τ_4 를 갖는다. 이러한 방식으로, 도 1ca에 도시된 마커 세트 내의 4개의 마커 모두가 서로 구별가능하다.

- [0044] 이러한 마커 세트를 이용하는 것은, 4개의 마커에 대한 방출 파장들이 구별불가능한 경우에도 4개의 마커를 구별하는 것을 허용한다. 이것은, 상이한 파장들에서 방출하는 2개의 여기 소스, 또는 포토루미네스스의 방출 시간을 검출할 수 있는 센서와 연계하여 복수의 파장에서 방출할 수 있는 단일의 여기 소스를 이용하여 가능하다. 각각의 검출된 방출 이벤트에 대해 여기 광의 파장이 알려진다면, 어느 마커가 존재했는지가 결정될 수 있다. 여기 소스(들)는 제1 여기 파장과 제2 여기 파장 사이에 교대할 수 있고, 이것은 인터리빙이라고 불린다. 대안으로서, 제1 여기 파장의 2개 이상의 펄스가 이용되고 후속해서 제2 여기 파장의 2개 이상의 펄스가 이용될 수 있다.
- [0045] 마커들을 구별하기 위해 이용되는 여기 소스 또는 여기 파장의 수는 2개로 제한되지 않으며, 일부 실시예에서는 마커들을 구별하기 위해 2개보다 많은 여기 파장 또는 에너지가 이용될 수 있다. 이러한 실시예에서, 마커들은 복수의 여기 파장에 응답하여 방출된 광자의 강도 또는 수에 의해 구별될 수 있다. 마커는, 소정의 여기 파장에 마커를 노출시키는 것에 응답하여 방출된 광자의 수를 검출함으로써 복수의 마커 중에서 구별될 수 있다. 일부 실시예에서, 마커는, 한 번에 복수의 여기 에너지 중 하나로 마커를 조명하고, 복수의 여기 에너지 중에서 마커가 가장 많은 수의 광자를 방출한 여기 에너지를 식별함으로써 구별될 수 있다. 다른 실시예에서, 상이한 여기 에너지들에 응답하여 마커로부터 방출된 광자의 수가 마커를 식별하는데 이용될 수 있다. 제2 여기 에너지보다 제1 여기 에너지에 응답하여 더 높은 광자 방출 확률을 갖는 제1 마커는, 제1 여기 에너지보다 제2 여기 에너지에 응답하여 더 높은 광자 방출 확률을 갖는 제2 마커로부터 구별될 수 있다. 이러한 방식으로, 상이한 여기 에너지들에 응답하여 소정 양의 광자를 방출하는 구별가능한 확률들을 갖는 마커들은, 미지의 마커를 상이한 여기 에너지들에 노출시키면서 방출된 광자들을 측정함으로써 식별될 수 있다. 이러한 실시예에서, 마커는 복수의 여기 에너지에 노출될 수 있고 마커의 식별은 마커가 임의의 광을 방출했는지 및/또는 방출된 광자의 특정 수를 결정함으로써 달성될 수 있다. 임의의 적절한 수의 여기 에너지 소스가 이용될 수 있다. 일부 실시예에서, 상이한 마커들(예를 들어, 4개의 상이한 마커들)을 구별하기 위해 4개의 상이한 여기 에너지가 이용될 수 있다. 일부 실시예에서, 상이한 마커들을 구별하기 위해 3개의 상이한 여기 에너지가 이용될 수 있다. 방출 수명 및 방출 스펙트럼을 포함한, 상이한 여기 에너지들에 응답하여 방출된 광자의 양과 조합하여 마커의 다른 특성들이 마커의 존재를 구별하는데 이용될 수 있다.
- [0046] 다른 실시예에서, 어느 마커가 존재하는지를 구별하기 위해 마커 세트 내의 마커들의 2개보다 많은 특성이 이용될 수 있다. 도 1d는, 마커의 흡수 파장, 방출 파장 및 방출 수명이 걸쳐 있는 예시적인 위상 공간을 도시한다. 도 1d에서는, 8개의 상이한 마커가 위상 공간에 분포되어 있다. 8개의 마커 중 4개의 마커는 동일한 방출 파장을 가지며, 상이한 4개의 마커는 동일한 흡수 파장을 가지며, 상이한 4개의 마커는 동일한 방출 수명을 갖는다. 그러나, 마커들의 3개의 특성 모두가 고려될 때 마커들 각각은 다른 모든 마커와 구별될 수 있다. 실시예들은 임의의 수의 마커로 제한되지 않는다. 이 개념은, 적어도 이들 3개의 마커 특성을 이용하여 서로 구별될 수 있는 임의의 수의 마커를 포함하도록 확장될 수 있다.
- [0047] 도면들에 예시되어 있지는 않지만, 다른 실시예들은 흡수 주파수에만 기초해서 발광 마커의 정체를 결정할 수 있다. 이러한 실시예는, 여기 광이 마커 세트 내의 마커들의 흡수 스펙트럼과 정합하는 특정 파장들로 튜닝될 수 있는 경우에 가능하다. 이러한 실시예에서, 각각의 마커로부터 방출된 광을 지향시키고 검출하는데 이용되는 광학 시스템 및 센서는 방출된 광의 파장을 검출할 수 있을 필요가 없다. 이것은 일부 실시예에서 유리할 수 있는데, 그 이유는, 이러한 실시예에서는 방출 파장의 검출이 요구되지 않기 때문에 광학 시스템 및 센서의 복잡성이 감소되기 때문이다.
- [0048] 위에서 논의된 바와 같이, 본 발명자들은, 상이한 발광 마커들을, 그 마커들의 다양한 특성들을 이용하여 서로 구별할 수 있을 필요성을 인지하고 이해하였다. 마커의 정체성을 결정하는데 이용되는 특성들의 유형은, 이 분석을 수행하는데 이용되는 물리적 디바이스에 영향을 준다. 본 출원은 이들 상이한 실험들을 수행하기 위한 장치, 디바이스, 기기 및 방법들의 수 개의 실시예를 개시한다.
- [0049] 본 발명자들은, 샘플을 분석하기 위해 생물학적 샘플을 라벨링하는데 이용되는 하나 이상의 마커로부터 방출되는 발광 광의 상이한 특성들을 측정하기 위한 여기 소스를 포함하는 기기와 연계하여, 광학계 및 센서를 포함하는 저가의 단일 이용 1회용 통합 디바이스가 이용될 수 있다는 것을 인식하고 이해하였다. 저가의 통합 디바이스를 이용하는 것은 주어진 생물검정을 수행하는 비용을 감소시킨다. 생물학적 샘플이 통합 디바이스 상에 놓이고, 생물검정이 완료되면, 폐기될 수 있다. 통합 디바이스는 더 비싼, 복수회-이용 기기와 인터페이스하고, 이것은 많은 상이한 1회용 통합 디바이스들과 함께 반복적으로 이용될 수 있다. 소형의 휴대형 기기와 인터페이스하는 저비용 통합 디바이스는, 샘플들을 분석하기 위해 실험실 전문 지식을 요구하는 고비용 생물학적 연구실의 제약 없이, 세계 어디에서나 이용될 수 있다. 따라서, 자동화된 생체분석은, 이전에는 생물학적 샘플의

정량적 분석을 수행할 수 없었던 전 세계의 지역들에 다가갈 수 있다. 예를 들어, 유아를 위한 혈액 테스트는, 1회용 통합 디바이스에 혈액 샘플을 넣고, 1회용 통합 디바이스를 분석을 위해 소형 휴대형 기기에 넣고, 사용자의 즉석 검토를 위해 기기에 접속된 컴퓨터에 의해 결과를 처리함으로써 수행될 수 있다. 데이터는 또한, 데이터 네트워크를 통해 원격 위치로 전송되어 분석되거나, 후속 임상 분석을 위해 보관될 수 있다. 대안으로서, 기기는 통합 디바이스의 센서들로부터 획득된 데이터를 분석하기 위한 하나 이상의 프로세서를 포함할 수 있다.

[0050] I. 시스템 개요

[0051] 이 시스템은 통합 디바이스 및 통합 디바이스와 인터페이스하도록 구성된 기기를 포함한다. 통합 디바이스는 픽셀들의 어레이를 포함하며, 여기서, 픽셀은 샘플 웰 및 적어도 하나의 센서를 포함한다. 통합 디바이스의 표면은 복수의 샘플 웰을 가지며, 여기서, 샘플 웰은 통합 디바이스의 표면 상에 놓인 시료(specimen)로부터 샘플(sample)을 수용하도록 구성된다. 시료는 복수의 샘플을 포함할 수 있고, 일부 실시예에서는, 상이한 유형의 샘플들을 포함할 수 있다. 복수의 샘플 웰은, 샘플 웰들의 적어도 일부가 시료로부터의 하나의 샘플을 수용하도록, 적절한 크기 및 형상을 가질 수 있다. 일부 실시예에서, 샘플 웰 내의 샘플들의 수는, 일부 샘플 웰은 하나의 샘플을 포함하고 다른 샘플 웰은 0, 2 또는 그 이상의 샘플을 포함하도록, 샘플 웰들 사이에서 분산될 수 있다.

[0052] 일부 실시예에서, 시료는 복수의 단일-가닥 DNA 템플릿을 포함할 수 있고, 통합 디바이스의 표면 상의 개개의 샘플 웰은 단일-가닥 DNA 템플릿을 수용하도록 크기 및 모양을 가질 수 있다. 단일-가닥 DNA 템플릿들은, 통합 디바이스의 샘플 웰들의 적어도 일부가 단일-가닥 DNA 템플릿을 포함하도록 통합 디바이스의 샘플 웰들 사이에 분산될 수 있다. 시료는 또한, 태깅된 뉴클레오티드(예를 들어, dNTP들)를 포함할 수 있고, 이 태깅된 뉴클레오티드는, 샘플 웰 내에 들어가서 샘플 웰 내의 단일-가닥 DNA 템플릿과는 상보적인 DNA의 가닥에 혼입될 때 뉴클레오티드의 식별을 허용할 수 있다. 이러한 예에서, "샘플"이란, 단일-가닥 DNA 및 폴리머라제에 의해 현재 혼입되고 있는 태깅된 뉴클레오티드(예를 들어, dNTP) 양쪽 모두를 지칭할 수 있다. 일부 실시예에서, 시료는 단일-가닥 DNA 템플릿을 포함할 수 있고, 샘플 웰 내의 상보적인 DNA의 가닥 내에 뉴클레오티드가 혼입됨에 따라 태깅된 뉴클레오티드(예를 들어, dNTP)가 후속해서 샘플 웰에 도입될 수 있다. 이러한 방식으로, 뉴클레오티드의 혼입 타이밍은, 태깅된 뉴클레오티드(예를 들어, dNTP들)가 통합된 디바이스의 샘플 웰에 도입될 때 제어될 수 있다.

[0053] 여기 에너지는, 통합 디바이스의 픽셀 어레이로부터 분리되어 위치한 여기 소스로부터 제공된다. 여기 에너지는, 적어도 부분적으로 통합 디바이스의 요소들에 의해 하나 이상의 픽셀을 향해 지향되어 샘플 웰 내의 조명 영역을 조명한다. 그 다음, 마커 또는 태그는, 조명 영역 내에 위치할 때 여기 에너지에 의해 조명되는 것에 응답하여, 방출 에너지를 방출할 수 있다. 일부 실시예에서, 하나 이상의 여기 소스는 시스템의 기기의 일부이고, 여기서, 기기 및 통합 디바이스의 컴포넌트들은 여기 에너지를 하나 이상의 픽셀을 향해 지향시키도록 구성된다.

[0054] 그 다음, 샘플에 의해 방출된 방출 에너지는 통합 디바이스의 픽셀 내의 하나 이상의 센서에 의해 검출될 수 있다. 검출된 방출 에너지의 특성은, 방출 에너지를 방출한 마커의 표시를 제공할 수 있고 방출 에너지와 연관된 마커를 식별하는데 이용될 수 있다. 이러한 특성은, 센서에 의해 검출된 광자의 도달 시간, 시간 경과에 따라 센서에 의해 축적된 광자의 양, 및/또는 2개 이상의 센서에 걸친 광자의 분포를 포함한, 임의의 적절한 유형의 광의 특성을 포함할 수 있다. 일부 실시예에서, 센서는, 샘플의 방출 에너지(예를 들어, 형광 수명)와 연관된 하나 이상의 타이밍 특성의 검출을 허용하는 구성을 가질 수 있다. 센서는, 여기 에너지의 펄스가 통합 디바이스를 통해 전파된 후 광자 도달 시간들의 분포를 검출할 수 있고, 도달 시간들의 분포는 샘플의 방출 에너지의 타이밍 특성의 표시(예를 들어, 형광 수명에 대한 프로시)를 제공할 수 있다. 일부 실시예에서, 하나 이상의 센서는 마커 또는 태그에 의해 방출된 방출 에너지의 확률의 표시(예를 들어, 형광 강도)를 제공한다. 일부 실시예에서, 복수의 센서는 방출 에너지의 공간 분포를 포착하도록 크기가 정해지고 배열될 수 있다. 그 다음, 하나 이상의 센서로부터의 출력 신호는 복수의 마커 중에서 한 마커를 구별하는데 이용될 수 있고, 여기서, 복수의 마커는 시료 내의 샘플을 식별하는데 이용될 수 있다. 일부 실시예에서, 샘플은 복수의 여기 에너지에 의해 여기될 수 있고, 복수의 여기 에너지에 응답하여 샘플에 의해 방출된 방출 에너지 및/또는 방출 에너지의 타이밍 특성은 한 마커를 복수의 마커와 구별할 수 있다.

[0055] 도 2aa 및 도 2ab에 시스템(2-100)의 개략도가 도시되어 있다. 이 시스템은 기기(2-104)와 인터페이스하는 통합 디바이스(2-102)를 모두 포함한다. 일부 실시예에서, 기기(2-104)는 기기(2-104)의 일부로서 통합된 하나 이상의 여기 소스(2-106)를 포함할 수 있다. 일부 실시예에서, 여기 소스는 기기(2-104)와 통합 디바이스(2-

102) 양쪽 모두의 외부에 있을 수 있고, 기기(2-104)는 여기 소스로부터 여기 에너지를 수신하여 이것을 통합 디바이스로 지향시키도록 구성될 수 있다. 통합 디바이스는, 통합 디바이스를 수용하고 통합 디바이스를 여기 소스와 정확하게 광학 정렬시켜 유지할 수 있는 임의의 적절한 소켓을 이용하여 기기와 인터페이스할 수 있다. 여기 소스(2-106)는 통합 디바이스(2-102)에 여기 에너지를 제공하도록 구성될 수 있다. 도 2ab에 개략적으로 도시된 바와 같이, 통합 디바이스(2-102)는 복수의 픽셀을 가지며, 여기서, 픽셀(2-112)들의 적어도 일부는 샘플의 독립적인 분석을 수행할 수 있다. 이러한 픽셀(2-112)들은 "수동 소스 픽셀"이라고 지칭될 수 있는데, 그 이유는 픽셀이 그 픽셀로부터 분리된 소스(2-106)로부터 여기 에너지를 수신하기 때문이며, 여기서, 소스는 복수의 픽셀을 여기시킨다. 픽셀(2-112)은, 샘플을 수용하도록 구성된 샘플 웰(2-108), 및 여기 소스(2-106)에 의해 제공된 여기 에너지로 샘플을 조명하는 것에 응답하여 샘플에 의해 방출된 방출 에너지를 검출하기 위한 센서(2-110)를 갖는다. 샘플 웰(2-108)은, 샘플로의 여기 에너지의 전달 및 샘플로부터의 방출 에너지의 검출에 있어서 용이성을 제공하기 위해 통합 디바이스(2-102)의 표면에 근접하게 샘플을 유지할 수 있다.

[0056] 여기 에너지를 유도하여 샘플 웰(2-108)에 결합시키기 위한 광학 요소는 통합 디바이스(2-102)와 기기(2-104) 양쪽 모두에 위치한다. 이러한 소스-대-웰 요소들은, 통합 디바이스(2-102) 상에 위치하여 여기 에너지를 통합 디바이스 및 도파관에 결합시켜 여기 에너지를 기기(2-104)로부터 픽셀(2-112) 내의 샘플 웰로 전달하는 하나 이상의 격자 결합기를 포함할 수 있다. 일부 실시예에서, 통합 디바이스 상에 위치한 요소들은 샘플 웰로부터의 방출 에너지를 센서를 향하여 지향시키도록 작용할 수 있다. 샘플 웰(2-108), 여기 소스-대-웰 광학계의 일부, 및 샘플 웰-대-센서 광학계는 통합 디바이스(2-102) 상에 위치할 수 있다. 여기 소스(2-106) 및 소스-대-웰 컴포넌트들의 일부는 기기(2-104)에 위치할 수 있다. 일부 실시예에서, 단일 컴포넌트가 여기 에너지를 샘플 웰(2-108)에 결합시키고 방출 에너지를 샘플 웰(2-108)로부터 센서(2-110)로 전달하는 역할을 할 수 있다. 통합 디바이스에 포함시킬, 여기 에너지를 샘플 웰에 결합시키거나 및/또는 방출 에너지를 센서에 지향시키기 위한 적절한 컴포넌트들의 예가, 그 전체내용이 참조에 의해 본 명세서에 포함되는, 발명의 명칭이 "INTEGRATED DEVICE FOR PROBING, DETECTING AND ANALYZING MOLECULES"인 미국 특허 출원 제14/821,688호와, 발명의 명칭이 "INTEGRATED DEVICE WITH EXTERNAL LIGHT SOURCE FOR PROBING, DETECTING, AND ANALYZING MOLECULES"인 미국 특허 출원 제14/543,865호에 설명되어 있다.

[0057] 도 2ab에 도시된 바와 같이, 통합 디바이스는 복수의 픽셀을 포함하고, 여기서 픽셀(2-112)은 그 자신의 개개의 샘플 웰(2-108) 및 적어도 하나의 센서(2-110)와 연관된다. 복수의 픽셀은 어레이로 배열될 수 있고, 어레이에는 임의의 적절한 수의 픽셀이 있을 수 있다. 통합 디바이스(2-102)의 픽셀들의 수는 대략 10,000 픽셀 내지 10,000,000 픽셀의 범위 또는 그 범위 내의 임의의 값 또는 값들의 범위 내에 있을 수 있다. 일부 실시예에서, 통합 디바이스는, 512,000 픽셀, 32,000 픽셀, 64,000 픽셀, 또는 8,000,000 픽셀을 가질 수 있다. 일부 실시예에서, 픽셀은 512 픽셀 × 512 픽셀의 어레이로 배열될 수 있다. 통합 디바이스(2-102) 및 기기(2-104)는, 대형 픽셀 어레이(예를 들어, 10,000 픽셀 초과)와 연관된 데이터를 취급하기 위한 다중-채널, 고속 통신 링크를 포함할 수 있다.

[0058] 기기(2-104)는 통합 디바이스 인터페이스(2-114)를 통해 통합 디바이스(2-102)와 인터페이스한다. 통합 디바이스 인터페이스(2-114)는, 여기 소스(2-106)로부터의 여기 에너지의 통합 디바이스(2-102)로의 결합을 개선하기 위해 통합 디바이스(2-102)를 기기(2-104)에 위치시키거나 및/또는 정렬시키는 컴포넌트를 포함할 수 있다. 여기 소스(2-106)는 여기 에너지를 적어도 하나의 샘플 웰에 전달하도록 배열된 임의의 적절한 광원일 수 있다. 적절한 여기 소스의 예는, 그 전체내용이 참조에 의해 본 명세서에 포함되는, 발명의 명칭이 "INTEGRATED DEVICE FOR PROBING, DETECTING AND ANALYZING MOLECULES"인 미국 특허 출원 제14/821688호에 설명되어 있다. 일부 실시예에서, 여기 소스(2-106)는, 여기 에너지를 통합 디바이스(2-102)에 전달하도록 결합된 복수의 여기 소스를 포함한다. 복수의 여기 소스는 복수의 여기 에너지 및/또는 파장을 생성하도록 구성될 수 있다. 통합 디바이스 인터페이스(2-114)는, 통합 디바이스 상에 위치한 픽셀의 센서로부터 관독 신호를 수신할 수 있다. 통합 디바이스 인터페이스(2-114)는, 통합 디바이스를 통합 디바이스 인터페이스(2-114)에 고정시킴으로써 통합 디바이스가 기기에 부착되도록 설계될 수 있다.

[0059] 기기(2-104)는 기기(2-104)의 동작을 제어하기 위한 사용자 인터페이스(2-116)를 포함한다. 사용자 인터페이스(2-116)는, 기기의 기능을 제어하는데 이용되는 명령 및/또는 설정 등의 정보를 기기에 입력하는 것을 허용하도록 구성된다. 일부 실시예에서, 사용자 인터페이스(2-116)는, 버튼, 스위치, 다이얼, 및 음성 명령을 위한 마이크로폰을 포함할 수 있다. 또한, 사용자 인터페이스(2-116)는, 사용자가, 통합 디바이스 상의 센서로부터의 관독 신호에 의해 획득된 정보 및/또는 적절한 정렬 등의, 기기 및/또는 통합 디바이스의 성능에 관한 피드백을 수신하는 것을 허용할 수 있다. 일부 실시예에서, 사용자 인터페이스(2-116)는, 청각 피드백을 제공하는 스피

커 및 시각 피드백을 제공하는 표시등(indicator light) 및/또는 디스플레이 스크린을 이용하여 피드백을 제공할 수 있다. 일부 실시예에서, 기기(2-104)는 컴퓨팅 디바이스(2-120)와 접속하는데 이용되는 컴퓨터 인터페이스(2-118)를 포함한다. 임의의 적절한 컴퓨터 인터페이스(2-118) 및 컴퓨팅 디바이스(2-120)가 이용될 수 있다. 예를 들어, 컴퓨터 인터페이스(2-118)는 USB 인터페이스 또는 FireWire 인터페이스일 수 있다. 컴퓨팅 디바이스(2-120)는, 랩탑 또는 데스크탑 컴퓨터 등의, 임의의 범용 컴퓨터일 수 있다. 컴퓨터 인터페이스(2-118)는 기기(2-104)와 컴퓨팅 디바이스(2-120) 사이에서의 정보 전달을 용이화한다. 기기(2-104)를 제어 및/또는 구성하기 위한 입력 정보는, 기기의 컴퓨터 인터페이스(2-118)에 접속된 컴퓨팅 디바이스(2-120)를 통해 제공될 수 있다. 출력 정보는 컴퓨터 인터페이스(2-118)를 통해 컴퓨팅 디바이스(2-120)에 의해 수신될 수 있다. 이러한 출력 정보는, 기기(2-104) 및/또는 통합 디바이스(2-112)의 성능 및 센서(2-110)의 판독 신호로부터의 정보에 관한 피드백을 포함할 수 있다. 기기(2-104)는 또한, 센서(2-110)로부터 수신된 데이터를 분석하거나 및/또는 여기 소스(2-106)에 제어 신호를 전송하기 위한 처리 디바이스(2-122)를 포함할 수 있다. 일부 실시예에서, 처리 디바이스(2-122)는, 범용 프로세서, 특별-적합화된 프로세서(예를 들어, 하나 이상의 마이크로프로세서 또는 마이크로제어기 코어 등의, 중앙 처리 유닛(CPU), 필드 프로그래머블 게이트 어레이(FPGA), 주문형 집적 회로(ASIC), 맞춤형 집적 회로, 디지털 신호 프로세서(DSP), 또는 이들의 조합)를 포함할 수 있다. 일부 실시예에서, 센서(2-110)로부터의 데이터의 처리는, 처리 디바이스(2-122)와 외부 컴퓨팅 디바이스(2-120) 양쪽 모두에 의해 수행될 수 있다. 다른 실시예에서, 컴퓨팅 디바이스(2-120)는 생략될 수 있고 센서(2-110)로부터의 데이터 처리는 처리 디바이스(2-122)에 의해서만 수행될 수 있다.

[0060] 픽셀들의 행을 나타내는 통합 디바이스(3-102)의 단면 개략도는 도 3aa에 도시되어 있다. 픽셀(3-112)은 샘플 웰(3-108) 및 센서(3-110)를 포함한다. 센서(3-110)는, 샘플 웰(3-112) 내의 샘플에 의해 방출된 방출 에너지를 센서(3-110)가 수신하도록, 샘플 웰(3-112)에 정렬되어 위치할 수 있다. 적절한 센서의 예는, 그 전체내용이 참조에 의해 포함되는, 발명의 명칭이 "INTEGRATED DEVICE FOR TEMPORAL BINNING OF RECEIVED PHOTONS"인 미국 특허 출원 제14/821,656호에 설명되어 있다.

[0061] 통합 디바이스에 결합된 여기 소스는, 통합 디바이스(3-102)의 하나 이상의 픽셀에 여기 에너지를 제공할 수 있다. 도 3ab는, 여기 소스(3-106)를 통합 디바이스(3-102)에 결합시켜 여기 에너지(3-130)(파선으로 도시됨)를 통합 디바이스(3-102)에 제공하는 것을 나타내는 개략도이다. 도 3ab는, 여기 에너지 소스(3-106)로부터 픽셀(3-112) 내의 샘플 웰(3-108)까지의 여기 에너지의 경로를 도시한다. 통합 디바이스로부터 떨어져 위치한 컴포넌트들은, 여기 소스(3-106)를 통합 디바이스에 배치하고 정렬시키는데 이용될 수 있다. 이러한 컴포넌트들은, 렌즈, 거울, 프리즘, 애퍼처, 감쇠기, 및/또는 광섬유를 포함한 광학 컴포넌트를 포함할 수 있다. 하나 이상의 정렬 컴포넌트의 제어를 허용하기 위해 기기 내에 추가의 기계적 컴포넌트가 포함될 수 있다. 이러한 기계적 컴포넌트는, 액츄에이터, 스텝퍼 모터, 및/또는 놌(knob)를 포함할 수 있다. 적절한 여기 소스 및 정렬 메커니즘의 예는, 그 전체내용이 참조에 의해 포함되는, 발명의 명칭이 "PULSED LASER AND SYSTEM"인, 미국 특허 출원 제62/310,398호에 설명되어 있다.

[0062] 통합 디바이스는 여기 에너지(3-130)를 통합 디바이스의 픽셀을 향하여 지향시키는 컴포넌트를 포함한다. 각각의 픽셀(3-112) 내에서, 여기 에너지는 픽셀과 연관된 샘플 웰(3-108)에 결합된다. 도 3ab는 픽셀들의 행 내의 각각의 샘플 웰에 결합되는 여기 에너지를 도시하지만, 일부 실시예에서는, 여기 에너지는 행 내의 픽셀들 모두에 접속되지는 않을 수도 있다. 일부 실시예에서, 여기 에너지는 통합 디바이스의 픽셀들의 행 내의 픽셀들 또는 샘플 웰들 일부에 결합될 수 있다. 여기 에너지는 샘플 웰 내에 위치한 샘플을 조명할 수 있다. 샘플은 여기 에너지에 의해 조명되는 것에 응답하여 여기 상태에 도달할 수 있다. 샘플이 여기 상태에 있을 때, 샘플은 방출 에너지를 방출할 수 있고, 방출 에너지는 센서에 의해 검출될 수 있다. 도 3ab는 샘플 웰(3-108)로부터 픽셀(3-112)의 센서(3-110)로의 (실선으로 도시된) 방출 에너지(3-140)의 경로를 개략적으로 도시한다. 픽셀(3-112) 내의 센서(3-110)는 샘플 웰(3-108)로부터의 방출 에너지를 검출하도록 구성되고 배치될 수 있다. 일부 실시예에서, 센서(3-110)는 복수의 서브-센서를 포함할 수 있다.

[0063] 분석될 샘플은 픽셀(3-112)의 샘플 웰(3-108)에 도입될 수 있다. 샘플은, 생물학적 샘플, 또는 화학적 샘플 등의 기타 임의의 적절한 샘플일 수 있다. 샘플은 복수의 분자를 포함할 수 있고, 샘플 웰은 단일 분자를 격리하도록 구성될 수 있다. 일부 예에서, 샘플 웰의 치수는 단일 분자를 샘플 웰 내로 한정하도록 작용하여, 측정이 단일 분자에 관해 수행되는 것을 허용한다. 여기 소스(3-106)는, 샘플, 또는 샘플에 부착되거나 샘플이 샘플 웰(3-108) 내의 조명 영역 내에 있는 동안 샘플과 기타의 방식으로 연관된 적어도 하나의 발광 마커를 여기시키도록 여기 에너지를 샘플 웰(3-108) 내로 전달하도록 구성될 수 있다.

[0064] 여기 소스가 여기 에너지를 샘플 웰에 전달할 때, 웰 내의 적어도 하나의 샘플은 발광할 수 있고, 결과적인 방

출은 센서에 의해 검출될 수 있다. 본 명세서에서 사용될 때, "샘플이 발광할 수 있다" 또는 "샘플이 방사광을 방출할 수 있다" 또는 "샘플로부터의 방출"이라는 구문은, 발광 태그, 마커, 또는 리포터, 샘플 자체, 또는 샘플과 연관된 반응 생성물이 방출된 방사광을 생성할 수 있다는 것을 의미한다.

[0065] 통합 디바이스의 하나 이상의 컴포넌트는 방출 에너지를 센서를 향하여 지향시킬 수 있다. 방출 에너지 또는 에너지는 센서에 의해 검출되어 적어도 하나의 전기 신호로 변환될 수 있다. 전기 신호는, 도 2ab에 도시된 기기(2-104)의 통합 디바이스 인터페이스(2-114) 등의, 통합 디바이스 인터페이스를 통해 기기에 접속된 통합 디바이스의 회로 내의 도전 라인을 따라 전송될 수 있다. 전기 신호는 후속해서 처리 및/또는 분석될 수 있다. 전기 신호의 처리 또는 분석은, 도 2ab에 도시된 컴퓨팅 디바이스(2-120) 등의, 기기(2-104) 상에 또는 기기로부터 떨어져 위치한 적절한 컴퓨팅 디바이스에서 발생할 수 있다.

[0066] 동작시, 샘플 웰들 내의 샘플들의 병렬 분석은, 여기 소스를 이용하여 웰들 내의 샘플들을 여기시키고 샘플 방출로부터의 신호를 센서로 검출함으로써 실행된다. 샘플로부터의 방출 에너지는, 대응하는 센서에 의해 검출되어 적어도 하나의 전기 신호로 변환될 수 있다. 결과 신호, 또는 신호들은, 일부 실시예에서 통합 디바이스 상에서 처리되거나, 처리 디바이스 및/또는 컴퓨팅 디바이스에 의한 처리를 위해 기기에 전송될 수 있다. 샘플 웰로부터의 신호는, 다른 픽셀들과 연관된 신호들과는 독립적으로 수신되고 처리될 수 있다.

[0067] 일부 실시예에서, 샘플은 하나 이상의 마커로 라벨링될 수 있고, 마커와 연관된 방출은 기기에 의해 식별가능하다. 예를 들어, 센서는, 특정한 마커로부터의 방출 에너지에 의존하는 수명을 식별하는데 이용될 수 있는 전기 신호를 형성하기 위해 방출 에너지로부터의 광자를 전자로 변환하도록 구성될 수 있다. 샘플들을 라벨링하기 위해 상이한 수명들을 갖는 마커들을 이용함으로써, 센서에 의해 검출된 결과 전기 신호에 기초하여 특정한 샘플이 식별될 수 있다.

[0068] 샘플은 복수의 유형의 분자들을 포함할 수 있고 상이한 발광 마커들은 분자 유형과 고유하게 연관될 수 있다. 여기 동안에 또는 여기 후에, 발광 마커는 방출 에너지를 방출할 수 있다. 방출 에너지의 하나 이상의 속성은, 샘플 내의 하나 이상의 유형의 분자들을 식별하는데 이용될 수 있다. 분자 유형들을 구별하는데 이용되는 방출 에너지의 속성은, 형광 수명 값, 강도, 및/또는 방출 파장을 포함할 수 있다. 센서는, 방출 에너지의 광자들을 포함한 광자들을 검출할 수 있고, 이들 속성들 중의 하나 이상을 나타내는 전기 신호를 제공할 수 있다. 일부 실시예에서, 센서로부터의 전기 신호는, 하나 이상의 시간 구간에 걸친 광자 도달 시간들의 분포에 관한 정보를 제공할 수 있다. 광자 도달 시간들의 분포는, 여기 에너지의 펄스가 여기 소스에 의해 방출된 후 광자가 검출되는 때에 대응할 수 있다. 시간 구간에 대한 값은, 그 시간 구간 동안 검출된 광자의 수에 대응할 수 있다. 복수의 시간 구간에 걸친 상대적 값들은, 방출 에너지의 시간적 특성(예를 들어, 수명)의 표시를 제공할 수 있다. 샘플을 분석하는 것은, 분포 내의 2개 이상의 상이한 시간 구간들에 대한 값들을 비교함으로써 마커들을 구별하는 것을 포함할 수 있다. 일부 실시예에서, 강도의 표시는 분포에서 모든 시간 빈(time bin)에 걸쳐 광자들의 수를 결정함으로써 제공될 수 있다.

[0069] II. 통합 디바이스

[0070] 샘플을 분석하는데 있어서 통합 디바이스의 성능은, 개개의 샘플 웰에 전달되는 여기 에너지(예를 들어, 광 파워)의 양에 의존할 수 있다. 여기 에너지가 여기 소스로부터 샘플 웰로 전파됨에 따라, 샘플 웰에 결합되는 여기 에너지의 양을 감소시키고 샘플을 검출할 때 샘플 웰과 연관된 픽셀의 성능에 영향을 줄 수 있는 광 손실(optical loss)이 발생할 수 있다. 샘플 웰들의 어레이의 경우, 이러한 광 손실은 샘플 검출이 가능한 픽셀들의 수를 제한할 수 있다. 일부 사례에서, 이러한 광 손실은 어레이 내의 개개의 샘플 웰에 여기 에너지를 전달하는데 있어서의 균일성을 감소시킬 수 있다. 통합 디바이스의 도파관은, 여기 에너지를 도파관에 근접하게 위치시킨 다수의 샘플 웰들(예를 들어, 512개의 샘플 웰들)에 결합시킬 수 있다. 여기 에너지가 도파관을 따라 전파됨에 따라, 총 광 손실의 양은 증가하여, 도파관을 따라 더 멀리 위치한 샘플 웰에 결합하는 여기 에너지의 양을 감소시킨다. 이러한 방식으로, 도파관을 따른 광 손실은, 도파관에 근접하게 위치한 개개의 샘플 웰에 결합된 여기 에너지의 양에 있어서의 균일성에 영향을 줄 수 있다. 본 출원의 양태는, 여기 에너지가 도파관을 따라 전파할 때 광 손실을 감소시킴으로써 샘플 웰들의 어레이 내의 여기 에너지의 균일성을 향상시키는, 통합 디바이스, 및 통합 디바이스를 형성하는 방법에 관한 것이다.

[0071] 한 유형의 광 손실은, 디바이스의 표면에 대한 통합 디바이스의 도파관의 근접성으로부터 발생할 수 있다. 광 손실은, 상기 표면이 통합 디바이스의 클래딩 층 위에 금속 층으로 형성될 때 강화될 수 있다. 통합 디바이스의 도파관은, 샘플 웰들이 금속 층을 통해 형성되어 있는 통합 디바이스의 표면 상에 위치한 복수의 샘플 웰에 여기 에너지를 전달할 수 있다. 개개의 샘플 웰과 도파관 사이의 거리는, 도파관으로부터 샘플 웰로의 여기 에

너지의 결합을 허용할 수 있지만, 금속 층에 대한 도파관의 근접성은 도파관을 따라 전파하는 여기 에너지의 손실에 기여할 수 있다. 따라서, 본 출원의 양태는, 도파관과 통합 디바이스의 금속 층 사이의 거리가 도파관을 따라 변하는 통합 디바이스를 형성하는 기술에 관한 것이다. 일부 실시예는, 샘플 웰이 없는 금속 층의 부분보다 도파관에 더 가까운 거리에 위치한 하나 이상의 샘플 웰을 포함하는 금속 층의 부분들에 관한 것이다. 이러한 방식으로, 샘플 웰은, 도파관을 따른 임의의 곳에 더 두꺼운 클래딩을 가짐으로써 금속 층에 대한 도파관의 근접성으로부터 발생할 수 있는 광 손실을 감소시키면서 원하는 레벨의 여기 에너지 결합을 위해 도파관까지의 적절한 거리에 위치할 수 있다.

[0072] 적어도 하나의 샘플 웰을 포함하는 영역은, 통합 디바이스의 표면의 또 다른 부분으로부터 오목화될 수 있다. 일부 실시예에서, 적어도 하나의 샘플 웰을 포함하고 도파관과 중첩하는 표면의 제1 영역은, 도파관과 중첩하지만 샘플 웰을 포함하지 않는 표면의 제2 영역보다 도파관까지의 더 작은 거리에 위치한다. 표면의 오목한 영역은, 통합 디바이스의 형성 동안 그 영역을 에칭함으로써 형성될 수 있고, "트렌치(trench)" 영역이라고 지칭될 수 있다. 일부 실시예에서, 트렌치 영역은, 개개의 트렌치 영역이 개개의 샘플 웰을 둘러싸게끔 형성되도록 단일 샘플 웰을 포함할 수 있다. 일부 실시예에서, 트렌치 영역은, 샘플 웰들의 행(예를 들어, 도파관을 따라 위치한 샘플 웰들) 또는 샘플 웰들의 복수의 행(예를 들어, 전체 샘플 웰 어레이) 등의 복수의 샘플 웰을 포함할 수 있다.

[0073] 또 다른 유형의 광 손실은, 도파관을 따라 전파하는 광의 능력에 영향을 주는 디바이스의 한 컴포넌트에 대한 도파관의 근접성으로부터 발생할 수 있다. 일부 실시예에서, 통합 디바이스는, 도파관을 따른 광 손실에 기여할 수 있는, 금속 컴포넌트들을 포함할 수 있다. 통합 디바이스의 일부 실시예는, 통합 디바이스의 표면 상의 금속 층 내에 형성된 샘플 웰들을 포함한다. 금속 층은, 하나 이상의 센서에 의해 샘플 웰로부터의 방출 에너지를 검출하는데 있어서 이점을 제공할 수 있다. 금속 층은, 배경 신호를 감소시키고 하나 이상의 센서에 의해 검출된 방출 에너지의 양을 향상시키도록 작용할 수 있다. 하나 이상의 샘플 웰을 포함하는 트렌치 영역의 형성은, 도파관에 대한 금속 층의 근접성으로부터 발생하는 광 손실을 감소시킬 수 있다.

[0074] 일부 실시예에서, 통합 디바이스는, 전기 신호를 전송 및/또는 수신하는 배선으로서 작용하도록 구성된 금속 층을 포함할 수 있다. 이러한 배선은 센서에 결합되고 신호를 전송하여 센서를 제어하거나 및/또는 센서에 의해 검출된 방출 에너지를 나타내는 신호를 수신할 수 있다. 일부 실시예는, 도파관 및/또는 센서에 대한 하나 이상의 샘플 웰의 근접성을 제공하면서 금속 배선을 수용하는 트렌치 영역의 형성에 관한 것이다.

[0075] 일부 실시예는, 각각의 샘플 웰에 결합되는 여기 에너지의 양에 있어서 복수의 샘플 웰에 걸친 균일성을 향상시키기 위한 기술에 관한 것이다. 통합 디바이스의 광학 컴포넌트들은, 복수의 샘플 웰에 결합된 여기 에너지의 양이 원하는 공차량 내의 파워 레벨을 갖도록 적절하게 크기조정되고 성형될 수 있다. 통합 디바이스는, 여기 에너지를 수신하고 여기 에너지를 하나 이상의 도파관 내로 지향시키도록 구성된 격자 결합기를 포함할 수 있다. 도파관은, 하나 이상의 샘플 웰 내로의 여기 에너지의 결합을 허용하는 구성을 가질 수 있다. 일부 실시예에서, 하나 이상의 광 스플리터 컴포넌트들(예를 들어, 스타 결합기, 멀티모드 간섭 스플리터)은, 격자 결합기로부터 광(예를 들어, 여기 에너지)을 수신하고 광을 2개 이상의 도파관으로 지향시키도록 구성될 수 있으며, 여기서, 각각의 도파관은 복수의 샘플 웰에 근접하게 위치한다. 이러한 광 스플리터 컴포넌트는, 통합 디바이스의 복수의 도파관들 사이에 거의 균일한 광 분포를 제공하는 구성을 가질 수 있다. 여기 에너지를 복수의 도파관들 사이에 균일한 방식으로 분산시키는 것은, 어레이 내의 샘플 웰들에 의해 수신된 여기 에너지의 균일성을 향상시킬 수 있다.

[0076] 일부 실시예에서, 통합 디바이스의 도파관은 광 전파 방향에 수직인 방향의 하나 이상의 치수에서 테이퍼링될 수 있다. 도파관의 이러한 테이퍼링은, 도파관이, 거의 동일한 양의 여기 에너지를 도파관에 근접하게 위치한 샘플 웰들의 행 내에 결합시키는 것을 허용할 수 있다. 여기 에너지 펄스가 도파관을 따라 전파하고 여기 에너지를 행 내의 샘플 웰들에 결합시키기 때문에, 여기 에너지의 양이 감소할 수 있다. 도파관의 치수를 감소시키는 것은, 감소하는 파워를 감안하여 행 내의 샘플 웰들 각각이 거의 동일한 양의 여기 에너지를 수신하도록 도파관의 전파 모드를 변경할 수 있다.

[0077] 도 3ba는 일부 실시예에 따른 통합 디바이스의 평면 개략도이다. 여기 에너지는 격자 결합기(3-200)에 결합되어 도파관을 따라 스플리터(3-202)에 전파될 수 있다. 스플리터(3-202)(예를 들어, 스타 결합기, 멀티모드 간섭(MMI) 결합기)는, 여기 에너지를 통합 디바이스의 픽셀 어레이(3-204)로 지향시키도록 구성된 복수의 도파관에 여기 에너지를 결합시킬 수 있다. 격자 결합기(3-200)는, 격자 결합기(3-200)에 입사하는 여기 에너지의 빔을 xy 평면에 대한 법선으로부터 소정 각도의 방향으로 위치시킴으로써 결합 효율이 향상되는 구성을 가질 수

있다. 격자 결합기(3-200)는, 격자 결합기에 입사하는 여기 에너지가 픽셀 어레이(3-204)로부터 멀리 지향되도록 픽셀 어레이(3-204)에 관해 위치할 수 있다.

[0078] 이러한 구성은, 통합 디바이스의 픽셀 어레이(3-204) 내에 위치한 센서에 도달하여 이에 의해 검출되는 여기 에너지를 감소시킬 수 있어서, 통합 디바이스에 의해 수행되는 측정의 신호대 잡음비를 향상시킬 수 있다. 도 3ba에 도시된 바와 같이, 격자 결합기(3-200)로부터 스플리터(3-202)로 광을 지향시키는 도파관은, 격자 결합기(3-200)가 여기 에너지를 스플리터(3-202)에 여전히 결합시키면서 격자 결합기(3-220)에 입사하는 여기 에너지를 수신하는 것을 허용하도록 U-턴 형상(3-201)을 가진다. U-턴 형상(3-201)은, 격자 결합기(3-200)에 입사하는 여기 에너지의 빔이 xy-평면의 법선으로부터 음의 x-방향으로 소정 각도로 있을 때 격자 결합기(3-200)의 효율이 향상되는 것을 허용한다. 이러한 방식으로, 여기 에너지의 빔은, 도 3ba에 도시된 xy-평면에 도달하는 여기 에너지가 픽셀 어레이(3-204)로부터 멀리 지향되도록 픽셀 어레이(3-204)를 향한 소정 각도로부터 도달할 수 있다.

[0079] 스플리터(3-202)는, 스플리터(3-202)에 접속된 도파관에 걸친 여기 에너지의 균일성을 향상시키는 구성을 가질 수 있다. 일부 실시예에서, 스플리터(3-202)는 128개의 도파관에 걸쳐 거의 균일한 양의 여기 에너지를 제공할 수 있다. 개개의 도파관은, 도파관을 따른 광 전파 방향에 수직인 치수에서 테이퍼링될 수 있다. 도 3ba에서, 픽셀 어레이(3-204) 내의 도파관은 y-방향을 따라 개개의 도파관의 치수의 테이퍼링을 가질 수 있다.

[0080] 픽셀 어레이(3-204)는 본 명세서에 설명된 기술에 따라 트렌치 영역과 중첩될 수 있다. 일부 실시예에서, 픽셀 어레이(3-204)는 대략 2.7mm의 치수를 가질 수 있다. 픽셀 어레이(3-204) 중의 픽셀들과 연관된 개개의 센서는 픽셀 어레이(3-204)와 중첩하도록 형성될 수 있다.

[0081] 통합 디바이스는 개개의 도파관의 단부(end)에서 여기 에너지를 검출하기 위한 영역을 포함할 수 있다. 모니터링 영역(3-206)은 개개의 도파관에 결합된 격자 결합기를 포함할 수 있다. 영역(3-206) 내의 격자 결합기는, 도파관으로부터, 적어도 부분적으로 모니터링 영역(3-206)과 중첩되도록 위치한 모니터링 센서로 여기 에너지를 지향하도록 구성될 수 있다. 모니터링 센서에 의한 여기 에너지의 검출은, 여기 에너지의 펄스가 (음의 x-방향으로) 도파관을 따라 이동하여 여기 에너지를 도파관에 근접하게 위치한 샘플 웰들에 결합시킨 후 도파관 내의 여기 에너지의 양의 표시를 제공할 수 있다.

[0082] 일부 실시예는, 통합 디바이스의 동작에서 개선된 성능을 제공하도록 중복된 구조물 및/또는 테스트 구조물을 갖는 통합 디바이스에 관한 것이다. 일부 실시예에서, 통합 디바이스는, 광 스플리터 컴포넌트에 결합된 복수의 격자 결합기를 포함할 수 있고, 여기서, 격자 결합기들 각각은 외부 소스로부터 여기 에너지를 수신하도록 구성된다. 도 3bb는 스플리터(3-212)에 결합된 입력 격자 결합기(3-210)를 포함하는 통합 디바이스의 평면 개략도이다.

[0083] 복수의 격자 결합기(3-210)는, 통합 디바이스와 결합하기 위한 여기 에너지를 위한 입력의 수에서 중복성을 제공할 수 있다. 샘플을 분석하는 통합 디바이스의 동작 동안에 격자 결합기들 중 단 하나만이 이용될 수 있지만, 복수의 격자 결합기(3-210)의 각각에 대한 성능 레벨에 기초하여 동작 동안의 이용을 위해 복수의 격자 결합기(3-210) 중에서 한 격자 결합기가 선택될 수 있다. 입력 격자 결합기에 대한 성능 레벨은, 픽셀 어레이(3-214)의 복수의 샘플 웰에 걸쳐 수신된 여기 에너지의 양 및/또는 하나 이상의 도파관 출력에서 수신된 여기 에너지의 양에 관련된 표시에 기초하여 결정될 수 있다. 일단 통합 디바이스가 기기에 탑재되고 나면, 격자 결합기(3-210)들 중의 어느 것이 통합 디바이스 내의 원하는 레벨의 여기 에너지 분포를 제공하는지를 결정함으로써 선택된 격자 결합기가 식별될 수 있다. 일부 실시예에서, 복수의 입력 격자 결합기(3-210)는, 통합 디바이스가 통합 디바이스의 동작 동안에 원하는 임계값 아래의 성능을 경험한다면 통합 디바이스의 계속적인 이용을 허용할 수 있다. 상이한 통합 디바이스로 교체하는 것이 아니라, 여기 에너지 빔이 상이한 격자 결합기(3-210)상에 위치하여 개선된 성능을 달성하고 통합 디바이스를 이용하여 샘플을 분석하는 동작을 계속할 수 있다.

[0084] 통합 디바이스는 또한, 사용자에게 의한 통합 디바이스의 동작 이전에 통합 디바이스의 평가 및/또는 능력 테스트를 제공하도록 구성된 광학 구조물을 포함할 수 있다. 이러한 테스트 구조물은, 품질 관리 대책의 일부로서 제작 및/또는 조립 동안에 통합의 평가를 허용할 수 있다. 일부 테스트 구조물은 또한, 여기 소스를 포함하는 기기와 인터페이스하는 통합 디바이스에 대한 평가 프로세스의 일부로서 이용될 수도 있다. 테스트 구조물들(3-216, 3-218, 3-220, 및 3-224)은, 입력 및 출력 격자 결합기에 결합된 나선형 구조물을 포함할 수 있고, 이것은 도파관 구조물에서의 광 손실의 양을 측정하는데 이용될 수 있다. 광의 빔은, 테스트 구조물의 한 단부의 격자 결합기, 및 테스트 구조물을 통과한 후에 남아있는 광량의 표시를 제공하기 위해 테스트 구조물의 또 다른 단부로부터 방출된 광을 수신하도록 위치한 센서와 결합하도록 정렬될 수 있다.

- [0085] 통합 디바이스의 한 유형의 포토닉 테스트 구조물(photonic test structure)은, 도 3bc에 도시된 테스트 구조물 등의, 복수의 Mach-Zehnder 간섭계(MZI; Mach-Zehnder Interferometer)를 포함할 수 있다. MZI(3-234)를 포함 한, 개개의 MZI는, 다양한 길이를 갖는 테스트 아암을 가질 수 있고 동일한 MMI에 접속할 수 있다. 도 3bc에 도시된 바와 같이, MMI(3-232)는 하나의 입력과 8개의 출력을 가질 수 있고, 각각의 출력은 단일의 MZI에 대한 것이지만, 테스트 구조물에서 MMI와 MZI의 다른 조합들이 이용될 수 있다는 것을 이해해야 한다. 이러한 유형의 테스트 구조물은, 광 빔을 입력 격자 결합기(3-230)에 정렬시키고 출력 격자 결합기(3-236)로부터 방출된 광 을 수신하도록 위치한 센서들에 의해 검출된 광을 측정함으로써, 통합 디바이스의 도파관을 형성하는데 이용되 는 재료의 굴절률의 유효 값에 대한 표시를 제공할 수 있다. 센서 쌍은, 동일한 MZI에 결합된 2개의 개개의 출 력 격자 결합기(3-236)로부터의 광을 검출할 수 있다. 2개의 센서 사이의 검출된 광의 비교(예를 들어, 차이, 비율)는, 2개의 출력 격자 결합기에 대한 광의 상대적 파워 출력의 표시를 제공할 수 있다. 상대적 파워는 MZI 에 대한 테스트 아암의 길이와 도파관의 유효 굴절률에 관련될 수 있다. 도파관의 유효 굴절률에 대한 값은, 각각의 개개 MZI에 대한 테스트 아암의 길이에 대해 상대적 파워를 비교함으로써 결정될 수 있다. 상대적 파워 와 테스트 아암 길이 사이의 관계는 정현파 함수를 가질 수 있고, 여기서, 정현파의 주기는 유효 굴절률과 관련 된다. 도 3bd는, 도 3bc에 도시된 테스트 구조물 등의 테스트 구조물에 포함된 상이한 MZI들에 대한 테스트 구 조물 길이(ΔL 로 표시됨)의 함수로서의 상대적 파워의 플롯이다. 데이터 포인트들을 정현파 함수에 맞추므로써, 유효 굴절률이 정현파 곡선의 주기를 식별함으로써 결정될 수 있다. 이러한 테스트 구조물은 또한, MMI(3-232)에 접속된 MZI들 각각에 원하는 양의 광을 전달하는데 있어서의 MMI(3-232)의 균일성 및/또는 효율의 표시를 제공할 수 있다.
- [0086] 도 4aa는, 일부 비-제한적인 실시예에 따른 통합 디바이스(4-100)의 단면도를 개략적으로 도시한다. 여기 에너 지는 격자 결합기(4-114)에 결합될 수 있고 도파관(4-116)의 전파 축을 따라 이동할 수 있다(예를 들어, x-축을 따라 도 4aa의 좌측에서 우측으로). 도파관(4-116)은, 도파관(4-116)의 전파 방향에 수직으로 적어도 부분적으 로 연장되는 여기 에너지의 한 모드를 지원할 수 있다. 이러한 모드는, 여기 에너지가, 상부 클래딩(4-118) 내 로 연장되어 샘플 웰들(4-1081, 4-1082, 4-1083, 4-1084, 4-1085, 및 4-1086)에 소실성(evanescently) 결합하 는 것을 허용할 수 있다. 도 4aa에는 6개의 샘플 웰만이 도시되어 있지만, 임의의 적절한 수의 샘플 웰이 도파 관을 따라 위치하여 도파관과 소실성 결합할 수 있다. 도파관을 따라 위치한 샘플 웰들의 수는 100 내지 5,000 의 범위, 또는 그 범위 내의 임의의 값 또는 값들의 범위 내에 있을 수 있다. 일부 실시예에서, 도파관을 따라 위치하는 샘플 웰들의 수는 500 내지 1,000의 범위, 또는 그 범위 내의 임의의 값 또는 값들의 범위 내에 있을 수 있다. 샘플 웰(4-108)에 위치한 샘플은, 여기 에너지에 의해 조명되는 것에 응답하여 여기 상태에 도달할 수 있고 방출 에너지를 방출할 수 있다. 샘플 웰의 형상과 크기 및/또는 금속 층(4-122)의 조성은 방출 에너지를 센서를 향하여 지향시키도록 작용할 수 있다. 일부 실시예에서, 방출 에너지의 형태로 샘플에 의해 방출된 에너지의 일부는, 상부 클래딩(4-118), 도파관 층(4-116), 하부 클래딩(4-110), 및 유전체 층(4-102)을 통해 아 래쪽으로 전파할 수 있다. 방출 에너지의 일부는, 샘플 웰과 연관된 픽셀 내의 기관(4-105) 상에 배치된 하나 이상의 센서에 의해 수신될 수 있다.
- [0087] 통합 디바이스(4-100)는, 하위 스택(4-150), 및 하위 스택(4-150) 위에 배치된 상위 스택(4-151)을 포함할 수 있다. 일부 실시예에서, 상위 스택(4-151) 및 하위 스택(4-150)은, 상위 스택(4-151) 및 하위 스택(4-150)이 서로 접촉하게 하는 인접한 표면을 가진다. 다른 실시예에서, 상위 스택(4-151) 및 하위 스택(4-150)은 하나 이상의 재료 층에 의해 분리된다.
- [0088] 하위 스택(4-150)은, 상위 스택(4-151)의 샘플 웰에 위치한 샘플로부터 방출된 방출 에너지의 표시를 제공하도 록 구성된 컴포넌트를 포함할 수 있다. 하위 스택(4-150)은, 일부 실시예에서는 실리콘을 포함할 수 있는 기관 (4-105)을 포함할 수 있다. 기관(4-105)은 도 4aa에 도시된 z-축을 따라 임의의 적절한 높이를 가질 수 있다. 제한이 아닌 예로서, 기관(4-105)은, 일부 실시예에서는 0.001mm 내지 0.01mm, 일부 실시예에서는 0.01mm 내지 0.1mm, 일부 실시예에서는 0.1mm 내지 1mm의 높이를 가질 수 있다. 기관(4-105)은 하나 이상의 샘플에 의해 방 출되는 방출 에너지를 검출하도록 구성된 센서를 포함할 수 있다. 기관(4-105)은 또한, 통합 디바이스에 결합 된 여기 에너지를 모니터링하는데 이용되는 센서를 포함할 수 있다. 일부 실시예에서, 격자 결합기(4-114)와 중첩하도록 위치한 하나 이상의 모니터링 센서는, 격자 결합기(4-114)를 통과하는 여기 에너지를 검출할 수 있 다. 센서로부터의 전기 신호는, 방출 수명, 강도, 및/또는 스펙트럼의 표시를 제공할 수 있다. 기관(4-105)은, 센서에 의해 제공된 전기 신호를 판독하도록 구성된 아날로그 및/또는 디지털 전자 회로를 더 포함할 수 있다. 전자 회로는, 트랜지스터, 커패시터, 증폭기, 스위치, 필터, 적분기, 타이머, 또는 이들의 임 의의 적절한 조합을 포함할 수 있다. 하위 스택(4-150)은 유전체 층(4-102)을 포함할 수 있다. 일부 실시예에

서, 유전체 층(4-102)은 기관(4-105)의 상부에 배치될 수 있다. 일부 실시예에서, 유전체 층(4-102)은 하나 이상의 유전체 서브-층을 포함할 수 있다. 서브-층들은, 실리콘 산화물, 알루미늄 산화물, 및 티타늄 산화물을 포함한, 방출 에너지에 대해 적어도 부분적으로 투명한 임의의 적절한 유전체로 형성될 수 있다.

[0089] 일부 실시예에서, 하위 스택(4-150)은 통합 디바이스 내에서 전기 배선으로서 작용하도록 구성된 하나 이상의 금속 층을 포함할 수 있다. 금속 층은, 통합 디바이스 내에서 및/또는 금속 와이어에 결합됨으로써 통합 디바이스로부터 분리되어 위치한 회로에 전기 신호를 라우팅하는 금속 와이어로서 작용할 수 있다. 금속 와이어는 비아(예를 들어, 텅스텐 비아)를 통해 기관(4-105)에 전기적으로 결합될 수 있다. 금속 층은 통합 디바이스(예를 들어, 유전체 층)의 한 재료 층 상에 또는 재료 층 내에 배치될 수 있다. 도 4aa에 도시된 바와 같이, 금속 층(4-103 및 4-104)은 유전체 층(4-102) 내에 배치되고 통합 디바이스(4-100) 내에서 금속 와이어로서 작용할 수 있다.

[0090] 통합 디바이스의 금속 층은 또한, 어레이의 샘플 웰들에 위치한 샘플들 이외의 소스로부터 발생하는 광의 양을 감소시키도록 작용할 수 있다. 이러한 방식으로, 금속 층은 방해판(baffle)으로서 간주될 수 있다. 이러한 금속 층은, 미광(stray light)(예를 들어, 여기 광, 배경 광)으로부터 발생할 수 있는 잡음 아티팩트를 감소시킴으로써 센서의 신호-대-잡음비를 향상시킬 수 있다. 금속 층은 방출 에너지의 검출을 허용하기 위해 샘플 웰들에 대해 상대적으로 위치할 수 있다. 도 4aa에 도시된 바와 같이, 금속 층들(4-103 및 4-104)은 샘플 웰들(4-108₁, 4-108₂, 4-108₃, 4-108₄, 4-108₅, 및 4-108₆)과 중첩하지 않는다. 금속 층(4-103)은 기관(4-105)과 격자 결합기(4-114) 사이에 위치하고, 결합기(4-114)를 통과하여 기관(4-105) 및/또는 기관(4-105)의 센서에 도달하는 여기 에너지의 양을 감소시키도록 작용할 수 있다. 금속 층(4-104)은 도파관(4-116)의 원단(distal end)과 기관(4-105) 사이에 위치하며, 도파관(4-116)의 원단으로부터 방출되어 기관(4-105) 및/또는 기관(4-105)의 센서에 도달하는 여기 에너지를 감소시키도록 작용할 수 있다.

[0091] 금속 층(4-103 및 4-104)은, 일부 실시예에서는 알루미늄 등의, 임의의 적절한 금속으로 형성될 수 있다. 일부 실시예에서, 금속 층은 하나보다 많은 금속을 포함할 수 있다. 금속 층을 형성하는데 이용되는 재료는, 통합 디바이스의 하나 이상의 주변 재료와의 원하는 레벨의 접착을 제공할 수 있다. 일부 실시예에서, 라이너 층은 금속 층과 접촉하여 형성될 수 있고, 통합 디바이스(4-100)의 또 다른 컴포넌트와의 금속 층의 접착을 향상시킬 수 있다. 라이너 층은 금속 층과 유전체 층(4-102) 사이의 접착층으로서 작용할 수 있다. 라이너 층으로서 이용되는 적절한 재료의 예는, 티타늄 및 티타늄 질화물을 포함한다. 일부 실시예에서, 라이너 층은 통합 디바이스의 기관에 근접한 금속 층의 표면 상에 형성될 수 있다. 일부 실시예에서, 라이너 층은, 샘플 웰들을 갖는 통합 디바이스의 표면에 근접한 금속 층의 표면 상에 형성될 수 있다.

[0092] 일부 실시예에서, 통합 디바이스는, (도 4aa에는 도시되지 않은) 통합 디바이스에서 적어도 부분적으로 중첩되는 2개 이상의 금속 층을 포함할 수 있다. 임의의 적절한 수(예를 들어, 2, 3, 4, 5)의 중첩하는 금속 층들이 이용될 수 있다. 인접한 금속 층은, 하나 이상의 비아(예를 들어, 텅스텐 비아)를 통해 전기적으로 접속될 수 있다.

[0093] 상위 스택(4-151)은, 어레이로 된 샘플 웰들, 및 통합 디바이스(4-100)로부터 분리된 외부 여기 소스로부터 여기 에너지를 수신하고 여기 에너지를 샘플 웰들 중 하나 이상을 향하여 지향시키도록 구성된 광학 컴포넌트를 포함할 수 있다. 상위 스택(4-151)은, 유전체 층(4-102)의 상부에 배치될 수 있는 하부 클래딩(4-110)을 포함할 수 있다. 하부 클래딩(4-110)을 형성하는데 이용되는 재료는, 광(예를 들어, 방출 에너지, 여기 에너지)에 대해 원하는 레벨의 투명도를 가질 수 있다. 하부 클래딩(4-110)은, 예를 들어, 실리콘 산화물, 알루미늄 산화물, 또는 티타늄 산화물 등의, 임의의 적절한 유전체 재료로 형성될 수 있다. 일부 실시예에서, 유전체 층(4-102) 및 하부 클래딩(4-110)은 동일한 유전체 재료를 포함할 수 있고, 단일 유전체 스택을 형성할 수 있다. 다른 실시예에서, 유전체 층(4-102) 및 하부 클래딩(4-110)은 상이한 유전체 재료를 포함할 수 있다.

[0094] 상위 스택(4-151)은, 하나 이상의 특성 파장을 갖는 여기 에너지를 전파하도록 구성된 하나 이상의 도파관을 포함할 수 있다. 도파관(4-116)은, 적절한 제작 기술(예를 들어, 포토리소그래피)을 이용하여 상위 스택(4-151)의 일부로서 한 재료 층을 패터닝함으로써 형성될 수 있다. 도파관(4-116)은, 하부 클래딩(4-110)의 굴절률보다 큰 굴절률을 갖는 하나 이상의 재료로 형성될 수 있다. 도파관(4-116)을 형성하는데 이용되는 예시적인 재료는, 실리콘 및 실리콘 질화물(Si₃N₄)을 포함한다.

[0095] 도파관(4-116)은, 도파관(4-116) 내에서 단일 모드만이 정의될 수 있도록 하는, 폭(도 4aa의 평면에 수직인 축을 따라 정의됨) 및 높이(z-축을 따라 정의됨)를 가질 수 있다. 일부 실시예에서, 단일 모드는 횡 전기(TE;

transverse electric) 모드일 수 있다. 다른 실시예에서, 단일 모드는 횡 자기(TM; traverse magnetic) 모드일 수 있다. 도파관(4-116)은, 80nm 내지 250nm 범위, 또는 그 범위 내의 임의의 값 또는 값들의 범위에 해당하는 높이를 가질 수 있다. 일부 실시예에서, 도파관(4-116)은, 120nm 내지 150nm 범위, 또는 그 범위 내의 임의의 값 또는 값들의 범위에 해당하는 높이를 갖는다. 도파관(4-116)은, 200nm 내지 1600nm의 범위, 또는 그 범위 내의 임의의 값 또는 값들의 범위에 해당하는 폭을 가질 수 있다. 일부 실시예에서, 도파관(4-116)은, 도파관(4-116)이 격자 결합기(4-114)로부터 멀리 떨어진 위치에서보다 그레이 결합기(4-114)에 근접한 위치에서 더 큰 폭을 갖도록 그 전파 축을 따라 테이퍼링될 수 있다. 따라서, 도파관은, 모드가 입력 격자 결합기로부터 멀리 전파함에 따라 다양한 샘플 웰에 대한 증가하는 결합 계수를 갖도록 구성될 수 있다. 일부 실시예에서, 도파관(4-116)의 폭은 선형으로 테이퍼링될 수 있다. 테이퍼링된 도파관을 갖는 것은, 도파관이 테이퍼 구성을 갖지 않는 경우보다, 도파관과 결합하도록 위치한 다양한 샘플 웰(4-108)에 대한 여기 에너지의 더 균일한 결합을 허용할 수 있다.

[0096] 상위 스택(4-151)은, 여기 소스로부터 여기 에너지를 수신하고 여기 에너지를 도파관(4-116)에 광학적으로 결합하도록 구성된 격자 결합기(4-114)를 포함할 수 있다. 일부 실시예에서, 격자 결합기(4-114)는 도파관(4-116)과 동일한 재료(예를 들어, 실리콘, 실리콘 질화물)로 형성될 수 있다. 통합 디바이스의 형성 동안에, 동일한 포토리소그래피 프로세스 단계가, 격자 결합기(4-116)와 도파관(4-116) 양쪽 모두를 형성할 수 있다. 격자 결합기(4-114)는, 격자 결합기(4-114)의 평면에 (도 4a에 도시된 z-방향을 따라) 법선으로 입사되는 광 빔을 수신하도록 구성될 수 있다. 일부 실시예에서, 격자 결합기(4-114)는 (도 4a에 도시된 z-방향을 따라) 격자 결합기(4-114)의 평면에 대한 법선으로부터 소정 각도로 입사하는 광 빔을 수신하도록 구성될 수 있다. 이러한 각도는, 0.1° 내지 10° , 또는 그 범위 내의 임의의 값 또는 값들의 범위 내에 있을 수 있다. 격자 결합기(4-114)의 결합 효율은, 격자 결합기(4-114)에 대한 반사기(4-112)의 상대적 위치에 의존할 수 있다. 일부 실시예에서, 격자 결합기(4-114)는, 40 % 내지 70 % 범위, 또는 그 범위 내의 임의의 값 또는 값들의 범위에 해당하는 결합 효율을 가질 수 있다. 도 4d는, 격자 결합기(4-114), 도파관에 결합하는 캐버티 영역(cavity region) 등의, 격자 결합기에 대한 예시적인 구조물을 도시한다. 격자 결합기는 제1 격자의 R_g 의 반경을 가질 수 있고, y-방향을 따라 폭(W_c)을 갖는 캐버티 영역의 한 측면에 근접하다. 캐버티 영역은 L_c 의 x-방향을 따라 테이퍼 길이를 가질 수 있다. 캐버티는 반경 테이퍼를 갖는 영역을 가질 수 있다. 도 4d에 도시된 바와 같이, 캐버티는, 캐버티의 폭 W_c 와 W_0 사이의 반경 테이퍼를 갖는 영역(4-404)을 갖는다. 폭(W_0)은 캐버티가 도파관에 출력하는 위치에 대응할 수 있다. 캐버티는 단일 테이퍼(adiabatic taper)를 갖는 영역을 가질 수 있다. 도 4d에 도시된 바와 같이, 캐버티는 L_t 의 x-방향을 따른 길이를 갖는 캐버티의 폭 W_g 와 W_0 사이에 단일 테이퍼 영역을 갖는 영역(4-402)을 갖는다. 폭 W_g 에서, 캐버티의 치수는 도파관에 대응할 수 있다.

[0097] 격자 결합기(4-114)에 근접하여 위치한 하나 이상의 모니터링 센서는, 격자 결합기(4-114)에 결합하지 않고 격자 결합기(4-114)의 평면을 통과하는 여기 에너지를 검출할 수 있다. 하나 이상의 모니터링 센서로부터의 전기 신호는, 통합 디바이스에 대한 여기 소스로부터의 여기 에너지의 정렬의 표시를 제공할 수 있다. 일부 실시예에서, 하나 이상의 모니터링 센서는, 격자 결합기(4-114)의 평면을 통과하지만 격자 결합기(4-114)로부터 분리된 영역을 통과하는 여기 에너지를 수신하도록 위치한다. 일부 실시예에서, 격자 결합기(4-114)와 하나 이상의 모니터링 센서 사이에 위치한 반사기는, 여기 에너지가 반사기를 통과하는 것을 허용하는 하나 이상의 개구를 가질 수 있다. 반사기의 하나 이상의 개구는, 격자 결합기(4-114)가 반사기의 하나 이상의 개구와 중첩되지 않도록 격자 결합기(4-114)에 대해 상대적으로 위치할 수 있다. 일부 실시예에서, 반사기의 하나 이상의 개구는 격자 결합기(4-114)의 둘레에 근접한 위치에 있다.

[0098] 통합 디바이스(4-100)는, z-축을 따라 격자 결합기(4-114)와 적어도 부분적으로 중첩하도록 위치한 반사기(4-112)를 포함할 수 있다. 반사기(4-112)는, 격자 결합기(4-114)를 통과하는 광의 적어도 일부를 다시 격자 결합기(4-114)를 향하여 반사시킴으로써 격자 결합기의 결합 효율을 향상시킬 수 있고, 이것은 반사기(4-112)가 없는 경우보다 격자 결합기(4-114)에 결합하는 광의 양을 향상시킬 수 있다. 반사기(4-112)는, 여기 에너지를 적어도 부분적으로 반사하는 재료를 이용하여 형성될 수 있다. 반사기로서 이용하기에 적절한 재료의 예는, 알루미늄 및 구리를 포함한다. 일부 실시예에서, 반사기(4-112)는 알루미늄을 포함할 수 있고, 알루미늄 층은 하부 클래딩(4-110)과 직접 접촉할 수 있다.

[0099] 격자 결합기(4-114)의 결합 효율은, 입사광의 위상이 반사기(4-112)로부터의 반사광의 위상과 상이한 정도에 의존할 수 있다. 격자 결합기(4-114)의 결합 효율은, 입사광의 위상이 반사광의 위상과 대략 정렬되는 경우 향상될 수 있다. 입사 여기 에너지와 결합하는 반사광의 위상은, 격자 결합기(4-114)와 반사기(4-112) 사이의 광

경로 길이에 의존할 수 있다. 따라서, 일부 실시예는, 격자 결합기(4-114)와 반사기(4-112) 사이의 거리 h_R 이 격자 결합기(4-114)를 통과하고 반사기(4-112)에 의해 반사되는 광과 격자 결합기(4-114)에 의해 지원되는 광의 모드 사이의 위상 부정합을 감소시키는 광 경로 길이를 제공하는 통합 디바이스에 관한 것이다. 반사광과 입사광 사이의 적절한 양의 위상 정합을 격자 결합기(4-114)에 제공하기 위해, 원하는 거리 h_R 은 하부 클래딩(4-110)을 형성하는데 이용되는 재료의 굴절률 및/또는 여기 에너지의 특정 파장에 의존할 수 있다. 일부 실시예에서, h_R 은, 격자 결합기(4-114)로부터의 및 반사기(4-112)에 의해 격자 결합기(4-114)로 반사되는 광 빔이 격자 결합기(4-114)의 모드와 대략 동위상이 되도록 하는 길이를 가질 수 있다. 일부 실시예에서, 격자 결합기(4-114)의 평면으로부터 전파하여, 반사기(4-112)에 의해 반사되고, 격자 결합기(4-114)의 평면을 향해 전파하는 빔에 의해 경험되는 위상 축적은 대략적으로 2π 와 같거나 2π 의 범위 내(예를 들어, 2π 의 5% 범위 내)에 있을 수 있다. 거리 h_R 은, 400 nm 내지 1200 nm의 범위, 또는 그 범위 내의 임의의 값 또는 값들의 범위 내에 있을 수 있다. 일부 실시예에서, 거리 h_R 은 대략 1100nm일 수 있다. 다른 실시예에서, 거리 h_R 은 대략 550nm일 수 있다.

[0100] 반사기(4-112) 상에는 복수의 개구(미도시)가 형성될 수 있다. 개구는, 원형, 타원형, 직사각형, 정사각형, 또는 기타 임의의 적절한 형상을 가질 수 있다. 개구는 임의의 적절한 크기를 가질 수 있다. 개구는, 반사기(4-112)를 형성하는 리소그래피 단계와 동일한 리소그래피 동안에 형성될 수 있다. 예를 들어, 반사기(4-112)는 반사기(4-112)에 대응하는 형상을 갖는 포토-마스크를 통해 형성될 수 있어서, 그 형상 상에는 개구가 형성될 수 있다. 개구는, 반사기(4-112)를 향해(대략 z-방향을 따라) 전파하는 여기 에너지의 일부가 반사기(4-112)를 통과하는 것을 허용하도록 구성될 수 있다.

[0101] 반사기(4-112)의 개구와 중첩하도록 위치한 하나 이상의 모니터링 센서는, 반사기(4-112)를 통과하는 여기 에너지를 수신하고, 수신된 여기 에너지의 양에 대응하는 전기 신호를 생성할 수 있다. 모니터 센서에 의한 여기 에너지의 측정은, 도파관(4-116)에 결합되는 원하는 파워 레벨의 여기 에너지를 달성하기 위해 여기 에너지의 입사 방사광을 격자 결합기(4-114)에 정렬시키는데 이용될 수 있다. 일부 실시예에서, 오폰레이터는, 높을 통해 수동으로 또는 여기 소스로부터의 여기 에너지를 지향시키는데 이용되는 광학 컴포넌트에 결합된 액츄에이터 및 모터를 통해 전자적으로, 모니터 센서에 의해 검출되는 에너지의 양을 조정할 수 있다. 일부 실시예에서, 격자 결합기(4-114)에 대한 여기 에너지의 정렬은 격자 결합기(4-114)에 대한 여기 에너지의 광 빔의 배향을 식별하는 것을 포함할 수 있고, 여기서, 개개의 모니터 센서에 의해 검출되는 광자의 양은 거의 동일하다. 임의의 적절한 수의 모니터 센서가 통합 디바이스에 포함될 수 있고, 통합 디바이스의 격자 결합기에 대한 여기 소스의 정렬에 이용된다. 일부 실시예에서, 통합 디바이스는 4개의 4분면을 형성하도록 배열된 4개의 모니터 센서를 포함할 수 있고, 이것은 4분면 검출기라고 지칭될 수 있다. 4개의 모니터 센서 각각은 개별적으로, 반사기(4-112)를 통해 개구와 중첩될 수 있다. 여기 소스를 격자 결합기에 정렬시키기 위한 적절한 정렬 메커니즘의 예는, 그 전체 내용을 참조에 의해 포함하는, 발명의 명칭이 "PULSED LASER AND SYSTEM"인 미국 특허 출원 제62/310,398호에 설명되어 있다.

[0102] 일부 실시예에서, 격자 결합기(4-114)에 대한 여기 에너지의 광 빔의 정렬은, 여기 에너지 결합 영역 및/또는 통합 디바이스의 픽셀들과 연관된 하나 이상의 센서로부터 멀리 있는 도파관의 단부로부터 결합된 여기 에너지를 수신하도록 위치한 하나 이상의 출력 센서를 포함한 하나 이상의 추가 센서에 의해 검출된 광을 측정하는 것을 포함할 수 있다. 광 빔의 정렬은, 원하는 레벨의 여기 에너지가 하나 이상의 출력 센서 및/또는 하나 이상의 픽셀 센서에 의해 검출되도록, 격자 결합기(4-114)에 관해 빔을 위치시키는 것을 포함할 수 있다.

[0103] 일부 실시예에서, 적어도 하나의 출력 센서 및/또는 적어도 하나의 픽셀 센서에 의한 측정이 여기 에너지의 양이 광 빔의 상이한 위치로부터 증가되었다는 표시를 제공할 때 광 빔의 정렬이 달성된다. 정렬 프로세스는, 빔을 상이한 배향들(예를 들어, 격자 결합기(4-114)에 대한 빔의 각도, 격자 결합기(4-114) 상의 입사 빔 위치)로 위치시키는 것, 및 상이한 배향들에 대해 적어도 하나의 출력 센서 및/또는 적어도 하나의 픽셀 센서에 의해 광을 검출하는 것을 포함할 수 있다. 빔 배향은, 검출된 광을 나타내는 측정에 의해 광 빔에 대한 정렬 위치로서 식별될 수 있다. 일부 실시예에서, 소정의 빔 배향은, 적어도 하나의 출력 센서 및/또는 적어도 하나의 픽셀 센서에 의한 검출된 광의 측정이 다른 빔 배향들에 관해 그 배향에서 최대일 때, 정렬 위치로서 식별될 수 있다.

[0104] 일단 광 빔의 정렬 위치가 식별되고 나면, 하나 이상의 모니터링 센서에 의한 측정치는 빔 배향이 초기 정렬 위치로부터 변하는지의 표시를 제공할 수 있다. 이 측정치는 이러한 오정렬을 보정하는 방법에 대한 정보를 제공할 수 있다. 광 빔의 재정렬은, 하나 이상의 모니터링 센서에 의한 여기 에너지의 측정치가 초기 정렬 위치와

연관된 측정치와 대략 유사하도록 빔을 위치시키는 것을 포함할 수 있다. 이러한 방식으로, 하나 이상의 모니터링 센서는, 초기 정렬이 달성된 후에 광 빔의 정렬을 유지하기 위한 피드백 프로세스의 일부로서 정보를 제공할 수 있다. 피드백 프로세스는 샘플에 관해 수행된 측정의 안정성을 향상시키기 위해 통합 디바이스의 작동 동안에 이용될 수 있다.

[0105] 통합 디바이스(4-100)는 도파관(4-116) 위에 형성된 상부 클래딩(4-118)을 포함할 수 있다. 상부 클래딩(4-118)은, 도파관(4-116)의 재료의 굴절률보다 낮은 굴절률을 갖는 유전체 재료를 포함할 수 있다. 일부 실시예에서, 상부 클래딩(4-118)은, 여기 에너지 및 방출 에너지에 대해 원하는 레벨의 투명도를 갖는 하나 이상의 서브-층을 포함할 수 있다. 상부 클래딩(4-118)을 형성하는데 이용되는 적절한 재료의 예는, 실리콘 산화물, 알루미늄 산화물, 및 티타늄 산화물을 포함한다. 원하는 레벨의 투명도는, 50% 내지 100%의 범위 또는 그 범위 내의 임의의 값 또는 값들의 범위 내에 있을 수 있다.

[0106] 상부 클래딩(4-118)은, 도파관(4-116)에 수직이고 상위 스택(4-151)의 두께에 평행한 방향으로 변화하는 치수를 가질 수 있다. 도 4aa에 도시된 바와 같이, 상부 클래딩(4-118)은, 통합 디바이스의 다른 영역들보다는, 격자 결합기(4-114)와 적어도 부분적으로 중첩하는 영역에서 및 샘플 웰(4-108)과 적어도 부분적으로 중첩하는 영역에서 더 작은 z 축을 따라 변화하는 치수를 가진다. 상부 클래딩(4-118)의 치수가 통합 디바이스의 다른 영역으로부터 오목화되는 이러한 영역은 트렌치 영역으로서 간주될 수 있다. z -방향을 따른 상부 클래딩(4-118)의 변동은, 금속 층(4-122)에 의해 산란되거나 흡수된 여기 에너지의 양을 감소시키도록 일부 영역에서 더 큰 두께를 갖고, 여기 에너지 결합 영역(4-115) 및 샘플 웰(4-108)을 갖는 트렌치 영역(4-120)을 포함한, 여기 에너지가 표면(4-124)과 결합하는 영역에서 더 작은 두께를 가짐으로써 통합 디바이스(4-100)의 개선된 광학 성능을 허용할 수 있다. 상부 클래딩(4-118)의 두께의 변화는, 도파관(4-116)을 따른 일부 영역에 대해, 도파관(4-116)과, 금속 층(4-122) 및 상부 클래딩(4-118) 사이의 인터페이스 사이에 더 큰 거리를 제공하여, 이들 영역들에 관해 광 손실을 감소시킬 수 있다.

[0107] 상부 클래딩(4-118)은, 하나 이상의 샘플 웰(4-108)로부터 분리된 적어도 하나의 영역에서 거리 h_c 에 대응하는 z -방향을 따른 치수를 가질 수 있다. 치수 h_c 를 갖는 상부 클래딩(4-118)의 영역은 샘플 웰(4-108)과 중첩되지 않도록 위치할 수 있다. 치수 h_c 는, 도파관(4-116)의 상부와 상부 클래딩(4-118)의 상부 표면 사이의 거리에 대응할 수 있다. 치수 h_c 는, 도파관(4-116)을 따라 전파하는 광의 광 손실을 감소시키기에 적절한 값을 가질 수 있다. 상부 클래딩(4-118) 위에 금속 층(4-122)을 포함하는 통합 디바이스의 실시예에서, 치수 h_c 는 금속 층(4-122)으로 인한 광 손실로부터 발생하는 광 손실을 감소시킬 수 있다. 치수 h_c 는, 200 nm 내지 2000 nm의 범위, 또는 그 범위 내의 임의의 값 또는 값들의 범위 내에 있을 수 있다. 일부 실시예에서, 치수 h_c 는, 400 nm 내지 2000 nm의 범위, 또는 그 범위 내의 임의의 값 또는 값들의 범위 내에 있을 수 있다. 일부 실시예에서, 치수 h_c 는 250nm 내지 2000nm 범위, 또는 그 범위 내의 임의의 값 또는 값들의 범위 내에 있을 수 있다.

[0108] 일부 실시예는, 격자 결합기(4-114)와 적어도 부분적으로 중첩되도록 위치한 상부 클래딩(4-118)의 여기 에너지 결합 영역(4-115)을 포함하는 통합 디바이스에 관한 것이다. 여기 에너지 결합 영역(4-115)은, 통합 디바이스(4-100)의 표면(4-124)과, 표면(4-124)에 근접한 격자 결합기(4-114)의 표면 사이의 z -방향을 따른 치수 h_c 를 가질 수 있다. 치수 h_c 는 상부 클래딩(4-118)의 치수 h_c 보다 작은 값을 가질 수 있다. 여기 에너지 결합 영역(4-115)은, 상부 클래딩(4-118)을 부분적으로 에칭함으로써 형성될 수 있다. 여기 에너지 결합 영역(4-115)의 치수 h_c 는 여기 에너지의 특성 파장(예를 들어, 532 nm)에 대해 원하는 레벨의 결합 효율을 제공할 수 있다. 따라서, 적절한 치수 h_c 는 여기 소스로서 이용되는 여기 에너지의 특성 파장에 따라 변할 수 있다. 치수 h_c 는, 200 nm 내지 800 nm의 범위, 또는 그 범위 내의 임의의 값 또는 값들의 범위 내에 있을 수 있다. 여기 에너지의 특성 파장이 532 nm인 실시예에서, 치수 h_c 는 250 nm 내지 350 nm의 범위 내에 있을 수 있다.

[0109] 치수 h_c 및 h_r 은, 외부 소스로부터 통합 디바이스의 하나 이상의 도파관으로 여기 에너지를 지향시키는데 있어서 격자 결합기의 결합 효율에 영향을 줄 수 있다. 통합 디바이스를 형성하는데 이용되는 제작 프로세스는, 제작 프로세스 동안 이용된 목표 값에 대한 값들의 윈도우 내의 치수를 갖도록 상부 클래딩(4-118) 및/또는 하부 클래딩(4-110)을 형성할 수 있다. 제작 프로세스에 의해 도입된 상부 클래딩(4-118) 및/또는 하부 클래딩(4-110)의 치수에서의 이러한 변화는, 복수의 통합 디바이스에 걸쳐 결합 효율에서의 변동을 초래할 수 있다. 출

원인들은, 일부 치수의 h_G 및/또는 h_R 이 격자 결합기에 대한 원하는 레벨의 결합 효율을 달성하기 위해 상부 클래딩(4-118) 및/또는 하부 클래딩(4-110)의 적절한 치수의 범위를 넓힐 수 있다는 것을 인식했다. 따라서, 본원의 일부 양태는, 격자 결합기의 결합 효율에 미치는 편차의 영향을 감소시키기 위해 결과 디바이스에서 치수 h_G 및/또는 h_R 로부터의 편차에 대한 어느 정도의 공차를 제공할 수 있는 치수 h_G 및/또는 h_R 에 대한 목표 값을 이용하는 제작 기술에 관한 것이다. 일부 경우, 상부 클래딩(4-118)의 여기 결합 영역(4-115)을 형성하는데 이용되는 제작 프로세스는, 하부 클래딩(4-110)의 치수 h_R 을 형성하는데 이용되는 제작 프로세스보다 상부 클래딩(4-118)에 대해 더 정확한 치수 h_G 를 제공할 수 있다. 일부 실시예에서, 치수 h_R 은 동일한 제작 프로세스를 이용하여 형성된 상이한 통합 디바이스들에 걸쳐 대략 10%만큼 변할 수 있다. 치수 h_G 에 대한 적절한 목표 값은, 치수 h_G 및 치수 h_R 의 조합이 제작 동안에 발생할 수 있는 치수의 변동을 감안하는 격자 결합기(4-114)에 대한 원하는 결합 효율을 제공하도록, 치수 h_R 에 대한 광범위한 값을 제공하는 능력에 기초하여 선택될 수 있다.

[0110] 도 4e는, 상부 클래딩 치수 h_G (y-축) 및 하부 클래딩 치수 h_R (x-축)의 상이한 값들과 532 nm의 파장에 대한 격자 결합기의 결합 효율을 백분율로 나타낸 플롯(컬러 열 지도의 흑백 변환)이다. 라인 4-503과 4-504 사이의 플롯의 더 어두운 영역은, 격자 결합기가 적어도 50%의 결합 효율을 갖는 치수 h_G 및 h_R 의 조합을 나타낸다. 도 4e는 통합 디바이스의 제작 프로세스 동안에 어느 정도의 공차를 제공하는 하부 클래딩 및/또는 상부 클래딩의 치수의 표시를 제공한다. 상부 클래딩의 치수 h_G 가 하부 클래딩의 치수 h_R 보다 더 정확하게 제작될 수 있는 실시예에서, 치수 h_G 에 대한 목표 값은 결과 치수 h_R 에 적절한 제작 공차를 제공하도록 선택될 수 있다. 도 4e에 도시된 바와 같이, 라인 4-501 및 4-502 내의 상부 클래딩의 치수 h_G 에 대한 값은 대략 50%의 결합 효율의 격자 결합기를 형성하는 치수 h_R 에 대한 넓은 범위의 값들을 제공한다. 라인 4-501 및 4-502 내의 치수 h_G 에 대한 목표 값을 선택하는 것은, 하부 클래딩의 제작 프로세스의 공차를 감안할 수 있다. 일부 실시예에서, 통합 디바이스의 제작은, 라인 4-501 및 4-502에 의해 정의된 범위 내의 치수 h_G 에 대한 목표 값 및 라인 4-503 및 4-504에 의해 정의된 범위 내의 치수 h_R 에 대한 목표 값을 포함할 수 있다. 치수 h_G 는 250nm 내지 350nm의 범위 내의 값, 또는 그 범위 내의 임의의 값 또는 값들의 범위를 가질 수 있다. 치수 h_R 은 1025nm 내지 1175nm의 범위 내의 값, 또는 그 범위 내의 임의의 값 또는 값들의 범위를 가질 수 있다. 일부 실시예에서, 통합 디바이스의 제작 동안에 치수 h_G 에 대한 목표 값은 대략 300nm이고, 치수 h_R 에 대한 목표 값은 대략 1100nm이다.

[0111] 격자 결합기는 하나 이상의 스플리터 구조물에 결합되어 샘플 웰들의 어레이에 걸쳐 거의 균일한 파워 분포를 제공할 수 있다. 일부 실시예는, 입력 여기 에너지를 수신하고 여기 에너지를 개개의 도파관으로 지향시키도록 구성된 스플리터 구조물을 갖는 통합 디바이스에 관한 것이다. 스플리터 구조물은 개개의 출력 도파관들 사이에서 거의 균일한 분포의 여기 에너지를 제공하는 구성을 가질 수 있다. 일부 실시예에서, 스플리터 구조물은, 원하는 크기 및 형상을 갖는 통합 디바이스를 제공하기 위해 통합 디바이스 상에 점유하는 면적을 감소시키는 구성을 가질 수 있다.

[0112] 일부 실시예에서, 통합 디바이스는, 캐스케이드형 구성을 갖는 복수의 MMI를 포함하는 스플리터 구조물을 가질 수 있다. 스플리터 구조물은, 스플리터 구조물의 단일 출력으로부터 128개 출력으로 원하는 파워 분할을 제공하기 위해 7개의 캐스케이드형 레벨을 갖도록 배열된 1개의 입력 대 2개의 출력을 갖는 복수의 MMI를 포함할 수 있다. 도 4f에 도시된 바와 같이, 일련의 캐스케이드형 MMI를 갖는 스플리터 구조물은, 입력 광을 수신하고 그 광을, 제2 레벨의 MMI(4-602)에 대해 입력으로서 결합되는 출력을 포함한, 2개의 출력으로 분할하는 제1 레벨의 MMI(4-601)를 포함할 수 있다. 제2 레벨의 MMI(4-602)의 출력은 제3 레벨의 MMI(4-603)에 대한 입력으로서 결합될 수 있다. 제3 레벨의 MMI(4-603)의 출력은 제4 레벨의 MMI(4-604)에 대한 입력으로서 결합될 수 있다. 제4 레벨의 MMI(4-604)의 출력은 제5 레벨의 MMI(4-605)에 대한 입력으로서 결합될 수 있다. 제5 레벨의 MMI(4-605)의 출력은 제6 레벨의 MMI(4-606)에 대한 입력으로서 결합될 수 있다. 제6 레벨의 MMI(4-606)의 출력은 제7 레벨의 MMI(4-607)에 대한 입력으로서 결합될 수 있다. 제7 레벨의 MMI(4-607)을 포함한 제7 레벨의 MMI들로부터의 출력(4-600)은, 각각, 여기 에너지를 통합 디바이스의 복수의 샘플 웰에 지향시키도록 구성된 도파관에 결합될 수 있다. 1 입력 대 2 출력을 갖는 MMI는 대략 98%의 파워 효율을 가질 수 있다. 7개의 레벨의 MMI 구조물을 갖는 도 4f에 도시된 구조물 등의 캐스케이드형 MMI를 갖는 구조물은, 대략 87%의 총 효율을 가질 수 있다. 일부 실시예에서, 캐스케이드형 MMI 구조물의 상이한 출력들에 걸친 파워 출력의 변동은, 2% 내지 20%의 범위, 또는 그 범위 내의 임의의 값 또는 값들의 범위 내에 있을 수 있다.

- [0113] 캐스케이드형 MMI 스플리터 구조물의 MMI들은, MMI 캐스케이드형 스플리터에 원하는 레벨 수를 제공하기 위해 임의의 적절한 수의 입력 및/또는 출력을 가질 수 있다. 도 4ga는 3개 레벨의 캐스케이드형 MMI를 갖는 스플리터 구조물의 개략도이다. 격자 결합기(4-700)들 중의 적어도 하나는, 여기 에너지의 입사 빔으로부터, 4개의 입력 및 4개의 출력을 갖는 구조물을 갖는 제1 레벨 MMI(4-701)로 여기 에너지를 지향하도록 구성될 수 있다. 도 4gb는 제1 레벨의 MMI(4-701)로서 이용될 수 있는 4 입력(4-708) \times 4 출력(4-406) 구조물을 갖는 예시적인 MMI이다. 이 MMI 설계는, 여기 에너지를 후속 MMI 구조물에 균등하게 결합시킬 수 있는 복수의 입력을 제공한다. 복수의 격자 결합기(4-700)는, 통합 디바이스와 결합하는 여기 에너지를 위한 입력의 수에 중복성을 제공할 수 있다. 샘플을 분석하는 통합 디바이스의 동작 동안에 오직 하나의 격자 결합기가 이용될 수 있지만, 복수의 격자 결합기(4-700) 각각에 대한 성능 레벨에 기초하여 동작 동안에 이용하기 위해 복수의 격자 결합기(4-700) 중의 한 격자 결합기가 선택될 수 있다. 제1 레벨의 MMI(4-701)로부터의 각각의 출력은, 1 입력 \times 8 출력 구성을 갖는 제2 레벨의 MMI를 포함한 제2 레벨의 MMI와 결합될 수 있다. 제2 레벨의 MMI의 각각의 출력은 1 입력 \times 4 출력 구성을 갖는 제3 레벨의 MMI(4-703)를 포함한 제3 레벨의 MMI에 결합된다. 제3 레벨의 MMI들 각각으로부터의 출력(4-704)은 여기 에너지를 통합 디바이스의 개개의 샘플 웰에 결합하도록 구성된 도파관에 결합될 수 있다.
- [0114] 복수의 도파관에 걸친 파워 분할의 효율 및 균일성은, 스플리터 구조물을 형성하는데 이용된 재료(예를 들어, 실리콘 질화물)의 두께 및/또는 굴절률과, 스플리터 구조물을 둘러싸는 클래딩 재료의 굴절률(예를 들어, 실리콘 산화물)의 굴절률에 의존할 수 있다. 도 4gc는, 폭 WG_{bus_in} 이 폭 WG_{in} 까지 증가하여 W_{MMI} 를 갖는 MMI의 캐버티에 결합하는 입력 도파관을 갖는 예시적인 MMI 구조물을 도시한다. 도 4gc에 도시된 MMI 구조물은 4개의 출력 도파관을 가지며, 각각은 MMI 캐버티의 중심선에 관해 위치한다. 출력 도파관은, WG_{bus_out} 까지 감소하는 출력 폭 WG_{out} 을 가진다. 도 4gc에 도시된 바와 같이, 외측 도파관은 MMI 캐버티의 중심선에 관해 위치 P2에 위치하고 내측 도파관은 MMI 캐버티의 중심선에 관해 위치 P1에 위치한다.
- [0115] 일부 실시예에서, 통합 디바이스는 스타 결합기 구성을 포함하는 스플리터 구조물을 가질 수 있다. 스타 결합기는, 적어도 하나의 입력 격자 결합기와 결합하도록 구성된 입력, 및 개개의 출력들에 걸쳐 대략 균일한 파워 분배를 제공하도록 구성된 출력들을 가질 수 있다. 일부 실시예에서, 스타 결합기는, 출력들에 걸쳐 대략 균일한 파워 분포를 제공하기 위해 개개의 출력들에 걸쳐 달라지는 폭을 갖는 출력들을 가질 수 있다. 도 4ha는, 격자 결합기(4-800)의 반대 측에 위치한 출력(4-804)으로부터 멀리 지향되는 입사 빔으로부터 광을 수신하도록 구성된 입력 격자 결합기(4-800)를 갖는 예시적인 스타 결합기의 개략도이다. 도 4hb는 영역(4-802)에 도시된 스타 결합기의 부분의 확대도이다. 전파 영역(4-806)은 입력 광을 수신하고 광을 출력(4-804)에 지향시킨다. 전파 영역(4-806) 내의 발산은, 전파 영역의 두께와, 스타 결합기 및/또는 스타 결합기를 둘러싸는 클래딩을 형성하는데 이용되는 재료의 굴절률에 의존할 수 있다. 입력 도파관의 크기와 형상은 또한, 전파 영역(4-806)에 의해 제공되는 발산의 레벨에 영향을 줄 수 있다. 출력(4-804)은, 도 4ha 및 도 4hb에 도시된 평면 내의 한 치수이고 출력을 따른 광 전파 방향에 수직인, 폭에 있어서 변할 수 있다. 개개의 도파관 출력들의 폭에서의 변동은, 개개의 출력(4-804)들에 걸쳐 대략 균일한 파워 분포를 제공할 수 있다. 인접 출력(4-804)들 사이의 치수는 100nm 내지 200nm의 범위, 또는 그 범위 내의 임의의 값 또는 값들의 범위 내에 있을 수 있다.
- [0116] 일부 실시예에서, 스타 결합기는, 스타 결합기의 입력으로부터 변화하는 방사상 거리에 위치한 출력을 가질 수 있다. 이러한 구성은 대략 균일한 폭을 갖는 출력을 제공할 수 있어서, 스플리터 구조물을 형성하고 통합 디바이스에 대한 공간 제약을 수용하는데 필요한 공간의 양을 감소시킬 수 있다. 도 4ia는, 전파 영역에 결합된 적어도 하나의 입력(4-904)과 함께 적어도 하나의 입력(4-904)에 반대 쪽의 출력들을 갖는 예시적인 스타 결합기의 개략도이다. 도 4ib는 영역 4-900의 확대도이며, 도 4ic는 영역 4-902의 확대도이다. 영역 4-900은, 영역 4-902에 도시된 출력보다 입력(4-904)에 더 가까운 반경 거리에 있는 전파 영역으로부터의 출력들의 배열을 도시한다.
- [0117] 일부 실시예에서, 스타 결합기는 스타 결합기의 전파 영역 내에 매립된 격자 결합기를 포함할 수 있고, 여기서 격자 결합기는 여기 에너지의 입사 빔에 대한 입력으로서 작용할 수 있다. 격자 결합기는, 만곡형, 선형이거나, 스타 결합기와의 원하는 레벨의 결합 효율을 제공하기 위해 임의의 적절한 형상 또는 크기를 가질 수 있다. 도 4j는, 출력(4-1002)에 결합된 전파 영역(4-1004) 내에 위치한 입력 격자 결합기(4-1000)를 갖는 예시적인 스타 결합기의 개략도이다.
- [0118] 일부 실시예에서, 격자 결합기는, 2개의 상이한 특성 파장의 여기 에너지를 수신하도록 구성될 수 있다. 일부 실시예에서, 스타 결합기는 전파 영역 내에 2개의 상이한 격자 결합기를 가질 수 있고, 여기서, 격자 결합기들

각각은 상이한 특정한 파장의 여기 에너지를 수신하도록 구성된다.

[0119] 일부 실시예에서, 통합 디바이스는, 비-원형(예를 들어, 길쭉한 Gaussian 프로파일) 단면적을 갖는 입력 빔으로부터 복수의 출력 도파관에 걸쳐 파워 분배를 제공하도록 구성된 슬라이싱된 격자 결합기로서 구성된 스플리터 구조물을 포함할 수 있다. 도 4k는 출력(4-1102)과 결합하도록 구성된 슬라이싱된 격자 결합기(4-1100)를 갖는 스플리터 구조물의 개략도이다. 슬라이싱된 격자 결합기(4-1100)는, Gaussian 단면 프로파일을 갖는 입력 광을 수신하고 개개의 출력(4-1102)들에 걸쳐 대략 균일한 파워 분포를 제공하도록 구성될 수 있다. 개개의 슬라이스는, 상이한 출력(4-1102)들에 걸친 파워의 균일성을 향상시키기 위해 슬라이싱된 격자 결합기(4-1100)에 근접한(y-방향을 따른) 변동하는 폭을 가질 수 있다. 개개의 슬라이스들의 폭은, 통합 디바이스의 픽셀 어레이의 적어도 일부와 중첩하는 영역에서 모든 출력(4-1102)들에 걸쳐 균일하거나 거의 균일한 폭을 형성하도록 점진적으로 테이퍼링될 수 있다. 도 4k에 도시된 바와 같이, 슬라이스들에 걸친 폭 변동은, 하나 이상의 내측 슬라이스(4-1106)보다 격자 결합기(4-1100)에 근접한 곳에서 더 큰 폭을 갖는 외부 슬라이스(4-1104)를 포함할 수 있다. 일부 실시예에서, 입력 빔 강도는 격자의 길이를 따라 대략 균일하며, 이 경우 개개의 슬라이스 폭은 대략 유사하다.

[0120] 상부 클래딩은, 거리 h_c 보다 작은 치수를 갖는 하나 이상의 영역을 가질 수 있고 하나 이상의 샘플 웰을 포함한다. 이러한 영역은, 통합 디바이스의 하나 이상의 샘플 웰을 포함하도록 적절한 크기 및 형상의 트렌치 영역으로서 간주될 수 있다. 도 4aa에 도시된 바와 같이, 통합 디바이스(4-100)는 트렌치 영역(4-120)을 포함하고, 여기서, 상부 클래딩(4-118)은 z-방향을 따라 h_c 보다 작은 치수 h_M 을 갖는다. 치수 h_M 에 대한 값은, 도파관(4-116)에 대한 하나 이상의 샘플 웰의 근접성과 도파관(4-116)에 대한 금속 층(4-122)의 근접성으로부터 발생할 수 있는 광 손실을 밸런싱할 수 있다. 도파관(4-124)을 따라 전파하는 여기 에너지의 광 손실은, 도파관(4-124)에 근접한 금속 층(4-122)의 표면에서의 산란 및/또는 흡수로부터 발생할 수 있다. 따라서, 치수 h_M 은 도파관(4-116)과 결합하도록 위치한 샘플 웰들(4-108₁, 4-108₂, 4-108₃, 4-108₄, 4-108₅, 및 4-108₆)에 대한 여기 에너지의 균일성에 영향을 줄 수 있다. 치수 h_M 은, 150nm 내지 600nm 범위 내의 값, 또는 그 범위 내의 임의의 값 또는 값들의 범위를 가질 수 있다. 일부 실시예에서, 치수 h_M 은 대략 400nm일 수 있다. 일부 실시예에서, 치수 h_M 은 300nm 내지 600nm의 범위 내의 값, 또는 그 범위 내의 임의의 값 또는 값들의 범위를 가질 수 있다. 일부 실시예에서, 치수 h_M 은 150nm 내지 450nm 범위 내의 값을 가질 수 있다.

[0121] 트렌치 영역(4-120)은, 원하는 수의 샘플 웰을 포함하도록 임의의 적절한 크기 및 형상의 영역을 도 4aa에 도시된 도면에 수직인 평면 내에 가질 수 있다. 일부 실시예에서, 트렌치(4-120)는 직사각형 형상(예를 들어, 정사각형)을 가질 수 있다. 트렌치(4-120)는 샘플 웰들(4-108₁, 4-108₂, 4-108₃, 4-108₄, 4-108₅, 및 4-108₆)을 포함한다, 복수의 샘플 웰을 가질 수 있다. 도 4aa는 6개의 샘플 웰을 도시하지만, 본 출원은 이 점에서 제한되지 않고 임의의 적절한 수의 샘플 웰이 트렌치 영역에 형성될 수 있다.

[0122] 트렌치 영역은 하나 이상의 샘플 웰을 포함할 수 있고, 여기서, 샘플 웰들 중의 하나의 표면은 도파관(4-116)으로부터 거리 h_W 에 위치할 수 있다. 통합 디바이스(4-100)의 샘플 웰(4-108)과 도파관(4-116) 사이의 치수 h_W 는, 여기 에너지가 도파관(4-116)을 따라 전파함에 따라 원하는 레벨의 결합을 제공할 수 있다. 치수 h_W 는 여기 에너지가 샘플 웰(4-108)에 소실성 결합되는 것을 허용할 수 있다. 이러한 방식으로, 치수 h_W 는 통합 디바이스(4-100)의 하나 이상의 샘플 웰에 전달되는 여기 에너지의 양에 영향을 줄 수 있다. 치수 h_W 는, 0nm 내지 400nm의 범위, 또는 그 범위 내의 임의의 값 또는 값들의 범위 내에 있을 수 있다. 일부 실시예에서, h_W 는 대략 300nm이다. 일부 실시예에서, 치수 h_W 는 0nm 내지 300nm의 범위 내에 있다. 일부 실시예에서, 치수 h_W 는 0nm 내지 100nm의 범위 내에 있다.

[0123] 통합 디바이스의 픽셀 내의 센서와 샘플 웰 사이의 광 경로 길이는, 샘플 웰로부터 방출된 광자를 검출하는 센서의 능력에 영향을 줄 수 있다. 샘플 웰과 센서 사이의 광 경로 길이를 단축시킴으로써, 개구수(numerical aperture)는 증가하여 샘플 웰 내의 샘플로부터 방출된 방출 에너지의 수집을 향상시킬 수 있다. 치수 h_W 는 또한, 픽셀 내의 방출 에너지의 방향성에 영향을 줄 수 있다. 치수 h_W 의 값은, 통합 디바이스의 센서가 원하는 파워 레벨의 방출 에너지를 검출하는 것을 허용할 수 있다. 일부 실시예에서, 픽셀 내의 샘플 웰과 센서 사이의 거리는, 4 μm 내지 9 μm 의 범위, 또는 그 범위 내의 임의의 값 또는 값들의 범위 내에 있을 수 있다.

- [0124] 샘플 웰의 깊이에 대응하는 샘플 웰의 치수는 표현식 h_M-h_W 로 정의될 수 있다. 치수 h_M-h_W 는 50nm 내지 450nm의 범위, 또는 그 범위 내의 임의의 값 또는 값들의 범위 내에 있을 수 있다. 일부 실시예에서, 치수 h_M-h_W 는 95nm 내지 150nm이다. 일부 실시예에서, h_M-h_W 는 대략 100nm일 수 있다. 일부 실시예에서, 치수 h_M-h_W 는 250nm 내지 350nm이다. 일부 실시예에서, h_M-h_W 는 대략 300 nm일 수 있다. 치수 h_M-h_W 는 또한, 픽셀의 방출 에너지의 방향성에 영향을 줄 수 있다. 치수 h_M-h_W 의 값은 통합 디바이스의 센서가 원하는 파워 레벨의 방출 에너지를 검출하는 것을 허용할 수 있다. 기관(4-105) 내의 샘플 웰의 하부와 센서들 사이의 거리는, 센서들 중의 하나에 의해 검출된 에너지의 양 및/또는 인접한 픽셀들 사이의 누화를 제어하도록 구성될 수 있다. 센서들은 기관(4-105)에서 평면을 점유할 수 있고, 일부 실시예에서, 샘플 웰의 하부와 센서들의 평면 사이의 거리는 4 μ m 내지 9 μ m의 범위이거나, 그 범위 내의 임의의 값 또는 값들의 범위 내에 있을 수 있다.
- [0125] 통합 디바이스(4-100)는 상부 클래딩(4-118) 위에 금속 층(4-122)을 포함할 수 있다.
- [0126] 금속 층은, 샘플 웰 내의 샘플에 의해 방출되는 방출 에너지에 대한 반사기로서 작용할 수 있고 방출 에너지를 통합 디바이스의 센서를 향해 반사시킴으로써 방출 에너지의 검출을 향상시킬 수 있다. 금속 층(4-122)은 샘플 웰 내에서 유래하지 않는 광자로 인한 배경 신호를 감소시키도록 작용할 수 있다. 금속 층은 하나 이상의 서브-층을 포함할 수 있다. 금속 층으로서 이용될 적절한 재료의 예는, 알루미늄, 티타늄 및 티타늄 질화물을 포함한다. 금속 층(4-122)은, 샘플 웰들(4-108₁, 4-108₂, 4-108₃, 4-108₄, 4-108₅, 및 4-108₆)을 형성하기 위해 상부 클래딩(4-118)의 에칭된 부분들에 대응하는 하나 이상의 불연속부를 가질 수 있다. 금속 층(4-122)은 여기 에너지 결합 영역(4-115)에 대응하는 불연속부를 가질 수 있다.
- [0127] 일부 실시예에서, 본 명세서에서 설명된 유형의 복수의 트렌치가 형성되어, 도파관(4-116)을 아래로 이동하는 광학 모드와 금속 층(4-122)의 상호작용으로 인한 광 손실을 감소시킬 수 있다. 일부 실시예는, 도파관 및 도파관에 근접한 샘플 웰들의 행과 중첩하는 상부 클래딩 내에 트렌치 영역을 갖는 통합 디바이스에 관한 것이다. 일부 실시예에서, 통합 디바이스는 단일 샘플 웰을 위한 트렌치 영역을 포함할 수 있다. 통합 디바이스는 상부 클래딩 내에 복수의 트렌치 영역을 가질 수 있고, 여기서, 각각의 트렌치 영역은 하나의 샘플 웰에 대응한다.
- [0128] 본 출원의 일부 실시예는, 각각의 샘플 웰에 대한 트렌치 영역을 갖는 통합 디바이스에 관한 것이다. 도 4ab는 도파관(4-136)에 근접하게 위치한 복수의 트렌치 영역(4-130)을 갖는 상위 스택(4-161)의 개략도이다. 이러한 구성은, x-방향을 따른 도파관(4-136)의 상대적 길이를 향상시킬 수 있고, 여기서 상부 클래딩(4-138)의 두께는, 도 4aa에 도시된 예시적인 통합 디바이스와 같이, 하나의 트렌치 영역이 모든 샘플 웰(4-128)을 포함하도록 형성되는 경우 치수 h_c 를 가진다. 복수의 트렌치 영역(4-130)을 가짐으로써, 상부 클래딩(4-138)은 도파관(4-136)을 따른 길이의 양을 감소시킬 수 있고, 여기서, 상부 클래딩은 표면(4-154)으로부터 치수 h_u 를 갖는다.
- [0129] 상위 스택(4-161)에 대한 이러한 구성은, 인접한 샘플 웰들 사이의 영역이 금속 층(4-152)에 의한 여기 에너지의 흡수 손실을 감소시키는 상부 클래딩 두께를 갖기 때문에 상위 스택(4-151)에 비해 전체 광 손실을 감소시킬 수 있다. 트렌치 영역(4-130)은 x-방향을 따른 치수 W_t 를 가질 수 있다. 치수 W_t 는 300nm 내지 2000nm의 범위, 또는 그 범위 내의 임의의 값 또는 값들의 범위 내에 있을 수 있다. 일부 실시예에서, 치수 W_t 는 500 nm 내지 1000 nm이다. 일부 실시예에서, 치수 W_t 는 대략 900nm이다. 일부 실시예에서, W_t 는 여기 에너지 및/또는 방출 에너지의 공진을 제공하도록 구성될 수 있다.
- [0130] 트렌치 영역은, 임의의 적절한 크기 및 형상(예를 들어, 원형, 직사각형)을 가질 수 있고, 통합 디바이스의 샘플 웰 및/또는 도파관에 관해 임의의 적절한 방식으로 배열될 수 있다. 트렌치 영역은 임의의 적절한 수의 샘플 웰을 포함할 수 있고 통합 디바이스의 하나 이상의 도파관과 중첩될 수 있다. 일부 실시예에서, 오직 하나의 샘플 웰이 트렌치 영역 내에 배치되도록 트렌치 영역과 샘플 웰 사이에는 일대일 대응관계가 존재한다. 도 4ac는 도 4ab에 도시된 도파관(4-136)을 교차하는 xy 평면을 따른 예시적인 평면도이다. 개개의 트렌치 영역 내에 배치된 트렌치 영역(4-130)과 샘플 웰(4-128)의 상대적 위치는 파선으로 도시되어 있다. 이 예시적인 구성에서, 트렌치 영역(4-130)은 원형 형상을 갖지만, 트렌치 영역은 광 손실을 감소시킬 수 있는 다른 적절한 형상(예를 들어, 정사각형, 삼각형)을 가질 수도 있다. 일부 실시예에서, 복수의 샘플 웰이 단일 트렌치 영역 내에 배치될 수 있다. 트렌치 영역은 복수의 도파관과 중첩될 수 있다. 도 4ad는 도 4ab에 도시된 도파관(4-136)을 교차하는 xy 평면을 따른 또 다른 예시적인 평면도이다. 트렌치 영역(4-130)은, 도파관(4-136)을 따라

광의 방향에 대략 수직으로 연장되고, 상이한 도파관(4-136)들로부터의 여기 에너지를 결합하도록 위치한 샘플 웰(4-128)을 포함한다. 도 4ad에 도시된 바와 같이, 샘플 웰들(4-128a, 4-128b, 및 4-128c)은 트렌치 영역(4-130b) 내에 배치되고, 여기서, 샘플 웰들(4-128a, 4-128b, 및 4-128c)은 각각 도파관(4-136a, 4-136b, 및 4-136c)으로부터 여기 에너지를 수신하도록 위치한다. 도 4ac 및 도 4ad에는 단지 3개의 도파관이 도시되어 있지만, 통합 디바이스는 임의의 적절한 수의 도파관 및 하나 이상의 도파관과 중첩하도록 위치한 트렌치 영역들을 가질 수 있다는 것을 이해해야 한다.

[0131] 트렌치 영역의 크기 및 형상은, 샘플 웰의 하나 이상의 표면의 기능화 및/또는 수정과 연관된 하나 이상의 이점을 제공할 수 있다. 본 명세서에서 설명되는 바와 같이, 샘플 웰의 표면은, 또 다른 유형의 분자와의 소정 유형 및/또는 레벨의 상호작용(예를 들어, 표면에 대한 폴리머라제의 연관을 향상시키는 상호작용)을 제공하도록 수정되거나 및/또는 기능화될 수 있다. 샘플 웰의 표면을 기능화하기 위한 한 유형의 기술은, 입자들이 통합 디바이스의 트렌치 영역 내에 존재하는 것을 허용하는 치수를 갖는 입자들을 이용하는 것을 포함할 수 있다. 입자는, 샘플 웰의 표면을 기능화 및/또는 수정하도록 구성된 하나 이상의 화학 종(chemical species)을 가질 수 있다. 트렌치 영역의 표면 토폰그래피는, 화학적 기능화 및 수정이 요구되는 통합 디바이스의 표면에 근접하게 입자들을 유지하도록 작용할 수 있다. 입자들은 트렌치 영역의 표면과의 유리한 표면 상호작용을 제공하는 치수를 가질 수 있다. 일부 실시예에서, 입자의 곡률은, 입자와 트렌치 영역의 표면 사이의 표면 상호작용의 양을 향상시킬 수 있다. 일부 실시예에서, 입자들은 입자의 일부가 트렌치 영역에 진입할 수 있도록 트렌치 영역의 치수보다 큰 직경을 가질 수 있다. 일부 실시예에서, 입자들은, 1 마이크로미터 내지 5 마이크로미터, 또는 그 범위 내의 임의의 값 또는 값들의 범위 내의 직경을 가질 수 있다. 입자를 위한 적절한 재료의 예는, 폴리스티렌 및 라텍스를 포함한다. 일부 실시예에서, 입자는 자성 입자이다.

[0132] 일부 실시예에서, 템플릿 DNA 가닥이 입자에 결합되고, 입자와 트렌치 영역의 표면 토폰그래피 사이의 상호작용은 통합 디바이스의 샘플 웰의 근접하도록 템플릿 DNA 가닥들의 국지화를 향상시킬 수 있다. 입자는, 샘플 웰에 관한 입자의 위치결정이, 템플릿 DNA 가닥의 국지적 농도를 증가시켜, 샘플 웰 내의 템플릿 DNA 가닥의 적재 및 유지를 향상시킬 수 있도록, 복수의 사본의 템플릿 DNA 가닥에 결합될 수 있다. 일부 실시예에서, 템플릿 DNA 가닥은 대략 10kb 길이이다.

[0133] 본 출원의 일부 실시예는, 통합 디바이스의 픽셀 내의 샘플 웰과 하나 이상의 센서 사이의 거리를 감소시키기 위한 기술에 관한 것이다. 샘플 웰이 센서에 관해 더 가까이 위치할수록, 센서에 의해 방사광이 검출될 수 있는 입체각(solid angle)이 더 넓어진다. 더 넓은 수집 각도는, 샘플 웰에 위치한 샘플 웰로부터 방출되는 방출 에너지에 대한 수집 효율을 향상시킬 수 있다. 하나 이상의 센서에 더 가까운 거리에 샘플 웰을 위치시키는 이러한 기술은, 예를 들어, 인접한 픽셀 내의 샘플 웰로부터의 방출 에너지를 검출하는 센서 등의, 상이한 픽셀들 사이의 신호 누화를 감소시킬 수 있다.

[0134] 샘플 웰과 센서 사이의 거리를 감소시키기 위한 한 유형의 기술은, 통합 디바이스 내에서 전기 신호를 라우팅하도록 구성된 금속 층을 포함하는 통합 디바이스의 평면 내에 및/또는 그 아래에 하나 이상의 샘플 웰 층을 형성하는 것을 포함할 수 있다. 이러한 구성은, 1 μm 내지 5 μm 의 범위, 또는 그 범위 내의 임의의 값 또는 값들의 범위 내에 있는 샘플 웰의 표면과 센서 사이의 거리를 제공할 수 있다. 일부 실시예에서, 통합 디바이스의 픽셀 내의 샘플 웰의 표면과 센서 사이의 거리는, 2 μm 내지 3 μm 의 범위, 또는 그 범위 내의 임의의 값 또는 값들의 범위 내에 있을 수 있다. 샘플 웰에 여기 에너지를 전달하도록 구성된 도파관은, 샘플 웰과 센서 사이에 위치할 수 있다. 도파관은, 통합 디바이스에 대한 전기적 경로로서 작용할 수 있는 금속 층을 포함하는 평면과 중첩하거나, 그 아래에 위치할 수 있다. 이러한 방식으로, 도파관은 통합 디바이스의 BEOL(back-end-of-line) 배선 내에 매립되는 것으로 간주될 수 있다.

[0135] 본 출원의 일부 실시예는, 금속 층과 중첩하는 평면 내에 위치하거나 및/또는 금속 층과 통합 디바이스의 센서 사이에 위치하는 샘플 웰을 포함하는 통합 디바이스에 관한 것이다. 도 4b는, 금속 층들(4-203_a, 4-203_b, 4-203_c, 4-203_d)을 포함하는 z-방향을 따르는 영역과 중첩하는 z-방향을 따른 평면에 위치한 샘플 웰(4-208)을 포함하는 통합 디바이스의 여기 에너지의 전파 축에 수직인 단면도이다. 도 4b에 도시된 바와 같이, 샘플 웰(4-208)은 적어도 하나의 금속 층(4-203)과 기관(4-200)에 위치한 센서 사이의 xy 평면에 위치한다.

[0136] 도 4b에 도시된 통합 디바이스(4-260)는, 방출 에너지를 검출하도록 구성된 하나 이상의 센서를 포함할 수 있는 기관(4-200)(예를 들어, 실리콘 기관)을 포함할 수 있다. 센서에 의해 제공되는 신호는, 방출 에너지의 수명, 강도, 및/또는 스펙트럼의 표시를 제공할 수 있다. 통합 디바이스(4-260)는, 임의의 적절한 유전체 재료(예를 들어, 도핑된 실리콘 산화물, 도핑되지 않은 실리콘 산화물)로 형성된 유전체 층(4-202)을 포함할 수 있다. 통

합 디바이스(4-260)는, 임의의 적절한 재료(예를 들어, 실리콘 산화물)로 형성된 클래딩(4-210)을 포함할 수 있다. 일부 실시예에서, 클래딩(4-210)은, 도파관(4-216)을 따라 전파하는 여기 에너지에 대한 광 손실량을 감소시킬 수 있는, 도핑되지 않은 실리콘 산화물을 포함할 수 있다.

[0137] 통합 디바이스(4-260)는, 통합 디바이스(4-260) 내의 전기 신호를 라우팅하고, 전기 신호를 외부 디바이스(예를 들어, 통합 디바이스(4-260)와 인터페이스하도록 구성된 기기)에 전송하거나, 및/또는 외부 디바이스(예를 들어, 기기)로부터 전기 신호를 수신하도록 구성된 통합 디바이스(4-260)의 하나 이상의 금속 층(4-203_A, 4-203_B, 4-203_C, 및 4-203_D)을 포함할 수 있다. 일부 실시예에서, 통합 디바이스(4-260)의 하나 이상의 금속 층은, 샘플 웰(4-208)을 포함하는 픽셀 외부로부터 도달하고 픽셀 내의 센서에 의해 검출되는 광의 양을 감소시키도록 작용할 수 있다. 이러한 방식으로, 금속 층은, 통합 디바이스로부터의 광으로부터의 배경 신호로부터 발생하는 잡음 아티팩트를 감소시키거나 및/또는 센서에 의해 검출되는 다른 픽셀로부터의 광으로부터 발생할 수 있는 누화 신호를 감소시킬 수 있다. 도 4b는 4개의 금속 배선 층을 갖는 통합 디바이스를 도시하지만, 본 출원의 기술은 이 점에서 제한되지 않으며, 임의의 다른 적절한 수의 금속 배선 층이 이용될 수 있다. 금속 배선층은, 하나 이상의 비아(예를 들어, 텅스텐 비아)를 통해 전기적으로 접속될 수 있다. 예를 들어, 비아(4-204_A)는 금속 층(4-203_A)을 기판(4-200)에 접속할 수 있다. 비아(4-204_B)는 금속 층(4-203_A)을 금속 층(4-203_B)에 접속할 수 있다. 비아(4-204_C)는 금속 층(4-203_B)을 금속 층(4-203_C)에 접속할 수 있다. 비아(4-204_D)는 금속 층(4-203_C)을 금속 층(4-203_D)에 접속할 수 있다. 통합 디바이스(4-260)의 도파관(4-216)은, 광이 도 4b의 평면에 수직인 방향으로 전파하는 것을 허용하는 구성을 가질 수 있다. 일부 실시예에서, 적어도 하나의 금속 층은, 도파관(4-216)의 표면과 기판(4-200) 사이의 z-축을 따른 거리보다 작은 z-축을 따른 기판(4-200)으로부터 거리에 배치된다. 도 4b에 도시된 바와 같이, 금속 층(4-203_A)은, 도파관(4-216)의 표면과 기판(4-200) 사이의 z-축을 따른 거리보다 작은 z-축을 따른 기판(4-200)으로부터 거리에 위치한다. 일부 실시예에서, 적어도 하나의 금속 층은, 도파관(4-216)의 표면과 기판(4-200) 사이의 z-축을 따른 거리보다 큰 z-축을 따른 기판(4-200)으로부터 거리에 배치된다. 금속 층들(4-203_C 및 4-203_D)은, 도파관(4-216)의 표면과 기판(4-200) 사이의 z-축을 따른 거리보다 큰 z-축을 따른 기판(4-200)으로부터 거리에 배치될 수 있다.

[0138] 통합 디바이스(4-260)는 트렌치 영역(4-220)을 포함할 수 있다. 트렌치 영역(4-220)은, 트렌치 영역(4-220)이 xy 평면에서 하나 이상의 금속 층(4-203)과 중첩하도록 하는, z-방향을 따른 치수를 가질 수 있다. 일부 실시예에서, 트렌치 영역(4-220)은 직사각형 형상(예를 들어, 정사각형)을 가질 수 있다. 트렌치 영역(4-220)의 표면은, 샘플 웰(4-208)을 포함한, 적어도 하나의 샘플 웰을 포함할 수 있다. 일부 실시예에서, 트렌치 영역(4-220)은, x-축을 따라 한 행으로 배치된 복수의 샘플 웰(4-208)을 포함할 수 있다. 다른 실시예에서, 트렌치(4-220)는 단일 샘플 웰을 포함할 수 있다.

[0139] 통합 디바이스(4-260)는, 클래딩(4-210)의 상부에 배치된 금속 층(4-222)을 포함할 수 있다. 금속 층(4-222)은, 샘플 웰(4-208)을 형성하는 클래딩(4-210)의 에칭된 부분들에 대응하는 하나 이상의 불연속부를 가질 수 있다. 금속 층(4-222)은 하나 이상의 적절한 재료의 하나 이상의 서브-층을 포함할 수 있다. 금속 층(4-222)을 형성하는데 이용될 수 있는 적절한 재료의 예는, 알루미늄, 티타늄, 및 티타늄 질화물을 포함할 수 있다.

[0140] 통합 디바이스의 샘플 웰은, 통합 디바이스의 하나 이상의 층에 캐버티의 구성을 가질 수 있다. 샘플 웰은 통합 디바이스의 표면 상에 배치된 금속 층을 통해 연장될 수 있다. 샘플 웰은, 금속 층과 도파관 사이에 형성될 수 있는, 유전체 재료의 일부를 통해 형성될 수 있다. 금속 층은 방출 에너지에 대한 반사기로서 작용할 수 있고 샘플 웰을 포함하는 픽셀의 센서에 의해 방출 에너지의 광자 수집을 향상시킬 수 있다.

[0141] 샘플 웰은, 샘플을 수용하고 샘플의 분석을 허용하는 시간 동안 샘플을 보유하기에 적절한 크기 및 형상일 수 있다. 샘플 웰의 하나 이상의 표면은, 통합 디바이스의 도파관으로부터의 소정 거리에 샘플을 우선적으로 유지하도록 구성될 수 있다. 일부 실시예에서, 샘플은 도파관을 따른 광 전파의 방향에 대략 평행한 샘플 웰의 표면에 부착될 수 있다. 샘플 웰은, 통합 디바이스로부터 나와 샘플 및/또는 통합 디바이스의 센서에 도달하는 광의 영향을 감소시키는 단면 치수를 갖는 애퍼처를 가질 수 있다. 샘플 웰은 통합 디바이스의 표면에 개구를 형성할 수 있고, 여기서, 표면에서의 개구의 영역은 샘플 웰의 애퍼처를 형성한다. 애퍼처의 치수는 샘플 웰에 존재하는 발광 라벨의 적절한 수 및/또는 농도를 제공하도록 작용할 수 있다. 샘플 웰의 개구는, 통합 디바이스의 표면의 하나 이상의 금속 층에 형성될 수 있다. 하나 이상의 금속 층은, 통합 디바이스 상에 퇴적된 벌크 용액에 도달하고 벌크 용액을 조명하는 여기 에너지의 양을 감소시키도록 작용할 수 있어서, 배경 신호에 기여

하는 벌크 용액에 존재하는 발광 마커로부터 방출되는 광의 양을 감소시킬 수 있다.

[0142] 본 출원의 양태는, 통합 디바이스의 샘플 웰 내에 샘플을, 통합 디바이스의 표면 상에 배치된 금속 층으로부터의 적절한 거리에 위치시키기 위한 기술에 관한 것이다. 마커를 둘러싼 조건들이 마커의 광자 방출 이벤트에 영향을 줄 수 있기 때문에, 금속 층은 마커(예를 들어, 형광단)의 검출된 수명에 영향을 미칠 수 있다. 예를 들어, 금속 층에 가까운 마커에 대해 검출된 수명은, 더 멀리 떨어진 동일한 마커에 대해 검출된 수명보다 더 작을 수 있다. 상이한 마커들에 대한 수명 값들은 금속 층의 존재로 인해 더 작아지므로, 수명 값들이 더 좁은 범위로 압축되기 때문에 수명의 표시에 기초하여 상이한 마커들을 구별하는 것은 어려울 수 있다. 수명의 표시에 기초하여 상이한 마커들을 구별하는 것은, 상이한 마커들에 대한 개개의 수명들의 변동을 확대시키는 통합 디바이스에 의해 향상될 수 있다. 본 출원의 일부 실시예는, 샘플을 통합 디바이스의 금속 층으로부터 적절한 거리에 위치시킴으로써 샘플을 검출하는데 이용되는 마커들에 대한 수명 압축을 감소시키도록 구성된 통합 디바이스에 관한 것이다. 일부 실시예에서, 금속 층으로부터 멀리 있는 샘플 웰의 제1 표면은, 샘플이 제2 표면에 비해 제1 표면과 우선적으로 연관되도록, 샘플 웰의 제2 표면과는 상이한 표면 화학적 성질을 가질 수 있다.

[0143] 도 4c는 일부 실시예에 따른 샘플 웰(4-308)을 포함하는 통합 디바이스의 단면도이다. 샘플 웰(4-308)은, 샘플 웰(4-308)의 표면에 유지될 수 있는 샘플(4-391)을 수용하도록 구성될 수 있다. 도파관(4-316)에 근접한 샘플 웰(4-308)의 표면은, 소정 기간 동안 적어도 일시적으로 샘플에 접촉하는 조성물을 가질 수 있다. 도파관(4-316)에 근접한 샘플 웰(4-308)의 표면은, 도 4c에 도시된 바와 같이, 샘플 웰(4-308)의 측벽이 아니라 표면에 부착되는 선택성을 샘플(4-391)에 제공하는 하나 이상의 재료를 가질 수 있다.

[0144] 이러한 구성은 샘플(4-391)을 도파관(4-316)에 근접하게 유지할 수 있다. 일부 실시예에서, 도파관(4-316)에 근접한 샘플 웰(4-308)의 표면은, 샘플 웰(4-308)에 대한 샘플(4-391)의 광활성화된 결속을 허용할 수 있다. 일부 실시예에서, 도파관(4-316)에 근접한 샘플 웰(4-308)의 표면은, 하나 이상의 실라놀기(Si-OH)로 끝날 수 있는 실리콘 산화물로 형성될 수 있다. 실라놀기는 표면에 대한 소정 유형의 표면 화학적 성질을 생성하기 위해 또 다른 재료(예를 들어, 하나 이상의 실란기를 수반한 구조체를 갖는 화합물)과 상호작용할 수 있다. 샘플(4-391)은 샘플 웰(4-308)의 상부 애퍼처를 통해 샘플 웰 내에 배치될 수 있다. 상부 애퍼처는 샘플(4-391) 및/또는 센서(4-300)를 조명하는 주변 광 또는 미광을 감소시키도록 구성될 수 있다. 일부 실시예에서, 샘플 웰(4-308)은 통합 디바이스 상에 입사되는 광을 억제하거나 감소시킬 수 있는 파장이하(sub-wavelength) 단면 치수를 가질 수 있다. 샘플 웰(4-308)의 상부 애퍼처는 50nm 내지 300nm의 범위, 또는 그 범위 내의 임의의 값 또는 값들의 범위에 있는 폭 w_A 를 가질 수 있다.

[0145] 샘플 웰(4-308)은, 도파관(4-316)을 따른 광 전파의 방향과 평행하거나 거의 평행한 샘플 웰(4-308)의 표면과, 클래딩(4-318)과 금속 층(4-322) 사이의 인터페이스(4-327) 사이에서 치수 d_W 를 가질 수 있다. 치수 d_W 는 금속 층(4-322)으로부터 표면에 위치한 샘플 사이에 적절한 거리를 제공할 수 있다. 치수 d_W 는, 샘플 웰 내로의 샘플의 국한으로 인해 샘플(4-391)과 연관된 마커의 광자 방출 이벤트의 타이밍(예를 들어, 수명)에 영향을 미칠 수 있다. 따라서, 치수 d_W 는, 상이한 마커들의 개개의 수명과 연관된 타이밍 특성에 기초하여 샘플 웰(4-308)에서 상이한 마커들의 구별을 허용할 수 있다. 일부 실시예에서, 샘플 웰(4-308)의 치수 d_W 는 도파관(4-316)으로부터 수신되는 여기 에너지의 양에 영향을 줄 수 있다. 치수 d_W 는, 50nm 내지 450nm의 범위, 또는 그 범위 내의 임의의 값 또는 값들의 범위 내에 있을 수 있다. 일부 실시예에서, 치수 d_W 는 95nm 내지 150nm이다. 일부 실시예에서, 치수 d_W 는 250nm 내지 350nm이다.

[0146] 통합 디바이스의 금속 층은 하나 이상의 재료 층을 포함할 수 있다. 금속 층의 층으로서 이용되는 적절한 재료의 예는, 알루미늄, 구리, 티타늄, 및 티타늄 질화물을 포함할 수 있다. 도 4c에 도시된 바와 같이, 금속 층(4-322)은 적어도 2개의 서브-층을 포함한다. 일부 실시예에서, 클래딩(4-318)과 인터페이스하도록 위치한 제1 서브-층은 알루미늄을 포함할 수 있다. 일부 실시예에서 알루미늄은 실리콘 또는 구리와 합금될 수 있다. 제1 서브-층에 알루미늄을 가짐으로써, 도파관(4-176)을 따라 전파하는 여기 에너지의 광 손실이 감소될 수 있다. 제1 서브-층의 두께는, 30nm 내지 165nm의 범위, 또는 그 범위 내의 임의의 값 또는 값들의 범위 내에 있을 수 있다.

[0147] 일부 실시예에서, 금속 층(4-322)은 제1 서브-층 위에 배치된 제2 서브-층을 포함할 수 있다. 일부 실시예에서, 제2 서브-층은 티타늄을 포함할 수 있다. 티타늄은 금속 층(4-322) 내에서 발생하는 부식의 양을 감소시킬 수 있다. 제2 서브-층의 두께는, 5nm 내지 100nm의 범위, 또는 그 범위 내의 임의의 값 또는 값들의

범위 내에 있을 수 있다. 일부 실시예에서, 제2 서브-층의 두께는 대략 10nm일 수 있다.

[0148] 일부 실시예에서, 금속 층(4-322)은 제2 서브-층 위에 및/또는 제1 서브-층 위에 배치된 제3 서브-층을 포함할 수 있다. 제3 서브-층은 티타늄 질화물을 포함할 수 있다. 제3 서브-층은, 5nm 내지 100nm의 범위의 두께, 또는 그 범위 내의 임의의 값 또는 값들의 범위를 가질 수 있다. 일부 실시예에서, 제3 서브-층은 대략 30nm의 두께를 가질 수 있다.

[0149] 샘플 웰(4-308)은, 적어도 부분적으로 측벽 스페이서(4-390)로 덮인 하나 이상의 측벽을 가질 수 있다. 측벽 스페이서(4-390)의 조성은 샘플(4-391)과 소정 유형의 상호작용을 가능케하도록 구성될 수 있다. 일부 실시예에서, 측벽 스페이서(4-390)는, 샘플 웰(4-308)의 측벽에 부착되는 샘플의 양을 감소시키기 위해 샘플 웰(4-308)의 측벽을 패시베이션하도록 구성된 조성물을 가질 수 있다. 샘플 벽의 측벽만을 스페이서로 코팅함으로써, 샘플 웰(4-308)의 상이한 영역에서 샘플(4-391)과의 상이한 유형의 상호작용이 제공될 수 있다. 일부 실시예에서, 도파관(4-316)을 따른 광 전파의 방향에 평행하거나 거의 평행한 샘플 웰(4-308)의 표면은, 표면에 대한 샘플(4-391)의 부착을 향상시키기 위해 실란으로 코팅될 수 있다. 측벽을 스페이서(4-390)로 코팅함으로써, 샘플 웰(4-308)의 하나 이상의 표면이 실란으로 선택적으로 코팅될 수 있다. 측벽 스페이서(4-390)의 조성은, 도파관에 평행하거나 거의 평행한 샘플 웰(4-308)의 표면에 관한 측벽 스페이서(4-390)의 선택적인 코팅을 제공하도록 선택될 수 있다. 측벽 스페이서(4-390)는, 3nm 내지 30nm 범위, 또는 그 범위 내의 임의의 값 또는 값들의 범위의 두께를 가질 수 있다. 일부 실시예에서, 측벽 스페이서(4-390)는 대략 10nm의 두께를 가질 수 있다. 측벽 스페이서(4-390)를 형성하는데 이용되는 적절한 재료의 예는, TiO_2 , TiN , $TiON$, TaN , Ta_2O_5 , Zr_2O_5 및 HfO_2 를 포함한다. 일부 실시예에서, 측벽 스페이서(4-390)는 TiN 을 포함하고, TiN 은, TiN 의 굴절률로 인해 센서(4-300)를 향한 방출 에너지의 원하는 레벨의 방향성을 제공할 수 있다. 측벽 스페이서(4-390)는, 도파관(4-316)으로부터 산란된 방출 에너지를 포함한 산란된 광을 차단하도록 구성될 수 있어서, 샘플(4-391)을 조명할 수 있는 산란된 광의 양을 감소시킨다.

[0150] III. 제작 기술

[0151] 일부 실시예에서, 통합 디바이스의 형성은 단일 기판으로부터 상위 스택 및 하위 스택을 형성하는 것을 포함할 수 있다. 일부 실시예에서, 통합 디바이스는, 제1 기판으로부터 상위 스택을 및 제2 기판으로부터 하위 스택을 형성하고 상위 스택과 하위 스택을 함께 접합함으로써 형성될 수 있다. 하위 스택 및 상위 스택의 접합은 통합 디바이스를 형성하는 임의의 적절한 단계에서 발생할 수 있다. 일부 실시예에서, 하위 스택 및 상위 스택의 접합은 개개의 집적 회로를 형성하기 전에 웨이퍼-레벨에서 발생할 수 있다. 일부 실시예에서, 하위 스택 및 상위 스택의 접합은 상위 스택 및 하위 스택이 접합 이전에 다이싱되는 다이-레벨에서 발생할 수 있다. 일부 실시예에서, 상위 스택 및 하위 스택의 접합은 플립-칩 접합 프로세스를 통해 발생할 수 있다.

[0152] 본 출원의 일부 실시예는, 통합 디바이스의 클래딩 층을 야기하는 재료 층을 형성하고 그 층의 일부를 선택적으로 제거하여 트렌치 영역을 형성함으로써 트렌치 영역을 형성하기 위한 기술에 관한 것이다. 도 5aa, 도 5ab, 및 도 5ac는, 일부 실시예에 따른, 통합 디바이스(4-100) 등의, 통합 디바이스의 상위 스택의 트렌치 영역을 형성하기 위한 방법의 단계들을 도시한다. 하부 클래딩(5-410)은 임의의 적절한 기술을 이용하여 형성될 수 있다. 일부 실시예에서, 하부 클래딩(5-410)은 기판(예를 들어, 실리콘 기판) 상에 형성될 수 있다. 일부 실시예에서, 하부 클래딩(5-410)은, 통합 디바이스(4-100)의 하위 스택(4-150) 등의, 통합 디바이스의 하위 스택 상에 형성될 수 있다.

[0153] 도파관(5-416) 및 격자 결합기(5-414)는, 하나 이상의 재료(예를 들어, 실리콘 질화물)의 층을 형성함으로써 하부 클래딩(5-410) 위에 형성될 수 있다. 층은, 도파관에 의해 여기 에너지를 전파하기 위해 원하는 광학적 속성을 제공하는 적절한 굴절률을 가질 수 있다. 임의의 적절한 제작 기술이 도파관(5-416) 및/또는 격자 결합기(5-414)를 패터닝하는데 이용될 수 있다. 일부 실시예에서, 재료의 층이 하부 클래딩(5-410) 위에 형성될 수 있고, 이 층 위에 마스크가 패터닝되어, 이 층의 노출된 영역이 선택적으로 에칭되어 도파관(5-416) 및 격자 결합기(5-414)에 대한 원하는 패턴을 형성하게 할 수 있다.

[0154] 재료 층(5-418)은, 도 5aa에 도시된 바와 같이, 통합 디바이스의 상부 클래딩 층으로서, 도파관(5-416) 위에 형성될 수 있다. 층(5-418)은, 원하는 두께로 재료를 성장시키거나 및/또는 재료를 퇴적함으로써 형성될 수 있다. 층(5-418)은, 여기 에너지 및 방출 에너지에 대해 원하는 레벨의 투명도를 갖는 임의의 적절한 유전체 재료를 포함할 수 있다. 층(5-418)을 형성하는데 이용되는 적절한 재료의 예는, 실리콘 산화물, 알루미늄 산화물, 및 티타늄 산화물을 포함한다. 일부 실시예에서, 도 5aa에 도시된 도파관(5-416) 위에 형성된 층의 z-축을

따른 두께는, 500nm 내지 1200nm의 범위, 또는 그 범위 내의 임의의 값 또는 값들의 범위 내에 있을 수 있다. 일부 실시예에서, 층(5-418)의 두께는 대략 850nm일 수 있다. 층(5-418)은 패터닝된 층(예를 들어, 격자 결합기(5-414)) 위에 형성됨으로써 두께에서의 변동을 가질 수 있다.

[0155] 층(5-418)은, 도 5ab에 도시된 바와 같이, 통합 디바이스의 상부 클래딩의 표면을 형성하도록 평탄화될 수 있다. 일부 실시예에서, 클래딩은 화학적 기계적 평탄화(CMP) 프로세스를 통해 평탄화될 수 있다. CMP 프로세스는, 상부 클래딩 표면의 표면 거칠기를 감소시킬 수 있어서, 도파관(5-416) 등의, 표면에 근접한 도파관을 따라 전파할 때 여기 에너지의 광 손실을 감소시킬 수 있다. z-방향을 따른 층(5-418)의 두께는 평탄화 프로세스의 결과로서 감소될 수 있다. 일부 실시예에서, 상부 클래딩의 두께는 250nm만큼 감소될 수 있다. 최종 상부 클래딩의 두께는, 100nm 내지 500nm의 범위, 또는 그 범위 내의 임의의 값 또는 값들의 범위에서 z-방향을 따르는 치수를 가질 수 있다.

[0156] 도 5ac의 트렌치 영역(5-420)에 도시된 바와 같이, 트렌치 영역(5-420)이 층(5-418)에 형성될 수 있다. 트렌치 영역(5-420)은, 층(5-418)의 상부 표면을 포토-마스크를 통해 노출시키고 층의 한 영역을 선택적으로 에칭함으로써 형성될 수 있다. 일부 실시예에서, 처리된 에칭은, 결과적인 트렌치 영역의 z-방향을 따라 결과적인 치수를 달성하기 위해 원하는 양만큼 층을 에칭하도록 시한적일 수 있다. 일부 실시예에서, 층(5-418)은, 100nm 내지 500nm의 범위, 또는 그 범위 내의 임의의 값 또는 값들의 범위에 대응하는 z-방향을 따르는 치수를 달성하는데 이용된 지속시간만큼 시간 에칭될 수 있다. 도파관(5-416)을 따른 광 전파의 방향에 평행하거나 거의 평행한 트렌치 영역(5-420)의 표면과 도파관(5-416) 사이의 결과적인 거리는, 200 nm 내지 800 nm의 범위, 또는 그 범위 내의 임의의 값 또는 값들의 범위 내에 있을 수 있다. 일부 실시예에서, 트렌치 영역(5-420)의 표면과 도파관(5-416) 사이의 거리는 대략 400nm일 수 있다.

[0157] 일부 실시예에서, 트렌치 영역(5-420)의 형성은 복수의 에칭 프로세스를 포함할 수 있다. 트렌치 영역(5-420)을 형성하는데 이용되는 제1 시간 에칭 프로세스는 건식 에칭 또는 임의의 적절한 이방성 에칭일 수 있다. 제1 에칭 프로세스는 트렌치 영역(5-420)의 면적을 한정하는데 이용될 수 있다. 제1 에칭 프로세스는, 100nm 내지 400nm 범위, 또는 그 범위 내의 임의의 값 또는 값들의 범위에서, 트렌치 영역(5-420)에 대응하는 층(5-418)의 일부로부터 소정 두께를 제거할 수 있다. 일부 실시예에서, 제1 에칭 프로세스는 대략 190 nm를 제거할 수 있다. 트렌치 영역(5-420)을 형성하는데 이용되는 제2 에칭 프로세스는 습식 에칭 또는 임의의 적절한 등방성 에칭일 수 있다. 제2 에칭 프로세스는 제1 에칭 프로세스 후에 트렌치 영역(5-420)의 하나 이상의 피처를 정교화하는데 이용될 수 있다. 일부 실시예에서, 제2 에칭 프로세스는 트렌치 영역(5-420)의 코너를 둥글게할 수 있다. 제2 에칭 프로세스는, 5nm 내지 100nm 범위, 또는 그 범위 내의 임의의 값 또는 값들의 범위에서, 트렌치 영역(5-420)에 대응하는 층(5-418)의 일부로부터 소정 두께를 제거할 수 있다. 일부 실시예에서, 제2 에칭 프로세스는 대략 10nm를 제거할 수 있다.

[0158] 본 출원의 일부 실시예는, 원하는 두께를 갖는 통합 디바이스의 클래딩 층을 야기하는 재료의 층을 형성함으로써 트렌치 영역을 형성하기 위한 기술에 관한 것이다. 트렌치 영역을 형성하기 위한 방법은, 클래딩 층의 두께의 정확성을 향상시키기 위해 하나 이상의 에칭 정지 층을 형성하는 단계를 포함할 수 있다. 도 5ba, 도 5bb, 도 5bc, 도 5bd, 도 5be 및 도 5bf는, 통합 디바이스(5-102) 등의, 통합 디바이스의 상위 스택에서 트렌치 영역을 형성하기 위한 방법의 단계들을 도시한다. 하부 클래딩(5-430)은 임의의 적절한 기술을 이용하여 형성될 수 있다. 일부 실시예에서, 하부 클래딩(5-430)은 기판(예를 들어, 실리콘 기판) 상에 형성될 수 있다. 일부 실시예에서, 하부 클래딩(5-430)은, 통합 디바이스(4-100)의 하위 스택(4-150) 등의, 통합 디바이스의 하위 스택 상에 형성될 수 있다.

[0159] 도파관(5-436) 및 격자 결합기(5-434)는, 하나 이상의 재료(예를 들어, 실리콘 질화물)의 층을 형성함으로써 하부 클래딩(5-430) 위에 형성될 수 있다. 층은, 도파관에 의해 여기 에너지를 전파하기 위해 원하는 광학적 속성을 제공하는 적절한 굴절률을 가질 수 있다. 임의의 적절한 제작 기술이 도파관(5-436) 및/또는 격자 결합기(5-434)를 패터닝하는데 이용될 수 있다. 일부 실시예에서, 재료의 층이 하부 클래딩(5-430) 위에 형성될 수 있고, 이 층 위에 마스크가 패터닝되어, 이 층의 노출된 영역이 선택적으로 에칭되어 도파관(5-436) 및 격자 결합기(5-434)에 대한 원하는 패턴을 형성하게 할 수 있다.

[0160] 재료 층(5-438)은, 도 5ba에 도시된 바와 같이, 도파관(5-436) 위에 형성되어, 통합 디바이스의 상부 클래딩 층을 야기할 수 있다. 층(5-438)은, 재료를 성장시키거나 및/또는 재료를 원하는 두께로 퇴적함으로써 형성될 수 있다. 층(5-438)은, 여기 에너지 및 방출 에너지에 대해 원하는 레벨의 투명도를 갖는 임의의 적절한 유전체 재료를 포함할 수 있다. 층(5-438)을 형성하는데 이용되는 적절한 재료의 예는, 실리콘 산화물, 알루미늄 산화

물, 및 티타늄 산화물을 포함한다. 일부 실시예에서, 도 5ba에 도시된 도파관(5-436) 위에 형성된 층의 z-축을 따른 두께는, 500nm 내지 1200nm의 범위, 또는 그 범위 내의 임의의 값 또는 값들의 범위 내에 있을 수 있다. 일부 실시예에서, 층(5-438)의 두께는 대략 750nm일 수 있다. 층(5-438)은 패터닝된 층(예를 들어, 격자 결합기(5-434)) 위에 형성됨으로써 두께에서의 변동을 가질 수 있다.

[0161] 층(5-438)은, 도 5bb에 도시된 바와 같이, 통합 디바이스의 상부 클래딩의 표면을 형성하도록 평탄화될 수 있다. 일부 실시예에서, 클래딩은 화학적 기계적 평탄화(CMP) 프로세스를 통해 평탄화될 수 있다. CMP 프로세스는, 상부 클래딩 표면의 표면 거칠기를 감소시킬 수 있어서, 도파관(5-436) 등의, 표면에 근접한 도파관을 따라 전파할 때 여기 에너지의 광 손실을 감소시킬 수 있다. z-방향을 따른 층(5-438)의 두께는 평탄화 프로세스의 결과로서 감소될 수 있다. 일부 실시예에서, 상부 클래딩의 두께는 350nm만큼 감소될 수 있다. 최종 상부 클래딩의 두께는, 100nm 내지 500nm의 범위, 또는 그 범위 내의 임의의 값 또는 값들의 범위에서 z-방향을 따르는 치수를 가질 수 있다.

[0162] 에칭 정지 층(5-480)은, 도 5bc에 도시된 바와 같이, 층(5-438)의 표면 상에 퇴적될 수 있다. 이 에칭 정지 층은 통합 디바이스의 트렌치 영역에 대응하는 영역을 정의하도록 패터닝될 수 있다. 에칭 정지 층은, 일부 영역에서는 리소그래피 프로세스를 통해 선택적으로 제거될 수 있는 반면, 트렌치 영역이 형성될 영역에서는 유지될 수 있다. 에칭 정지 층(5-480)을 형성하는데 이용되는 적절한 재료의 예는, SiN, SiON, SiO_xN_y, Al, Ti 및 TiN을 포함한다. 일부 실시예에서, 에칭 정지 층(5-480)은 층을 이룬 복수의 재료의 조합을 포함할 수 있다.

[0163] 도 5bd에 도시된 바와 같이, 유전체 층(5-439)이 층(5-438)의 표면 상에 형성될 수 있다. 유전체 층(5-439)은 층(5-438)의 표면 상에 성장 및/또는 퇴적될 수 있다. 유전체 층(5-439)을 형성하는데 이용되는 적절한 재료의 예는, 실리콘 산화물, 알루미늄 산화물, 및 티타늄 산화물을 포함한다. 일부 실시예에서, 유전체 층(5-439)은, 화학적 증착(CVD; chemical vapor deposition) 프로세스를 통해 퇴적될 수 있다. 일부 실시예에서, 유전체 층(5-439)은, 고밀도 플라즈마 화학적 증착(HDPCVD) 프로세스를 통해 퇴적될 수 있다. 유전체 층(5-439)은 에칭 정지 층(5-480)과 적어도 부분적으로 중첩하는 영역에서 선택적으로 에칭될 수 있다. 에칭 동안, 에칭 정지 층(5-480)의 존재는, 에칭 정지 층(5-480)을 넘어서 및/또는 층(5-438) 내로의 에칭을 감소시킬 수 있다. 에칭 정지 층(5-480)을 이용하는 에칭 프로세스는, z-축을 따라 원하는 치수의 유전체 층(5-439)의 형성을 제공할 수 있다. 이러한 기술은, 제작 프로세스의 일부로서 시간 에칭 프로세스를 이용하지 않고 통합 디바이스 내의 층들의 치수의 정확성을 향상시킬 수 있다. 에칭 정지 층은, 도 5be에 도시된 바와 같이, 임의의 적절한 리소그래피 기술을 이용하여 적어도 부분적으로 제거될 수 있다. 에칭 정지 층의 일부 또는 전부의 제거는, 트렌치 영역의 엣지에서의 언더컷 영역의 형성 및/또는 층(5-438)의 표면의 산화를 감소시키도록 구성된 스트립 프로세스(strip process)를 통해 발생할 수 있다. 유전체 층(5-439) 및 층(5-348)의 나머지 부분은, 통합 디바이스의 상부 클래딩 층으로서 작용할 수 있다.

[0164] 금속 층(5-422)은 유전체 층(5-439) 및/또는 층(5-438)의 표면 위에 형성될 수 있다. 도 5bf에 도시된 바와 같이, 금속 층(5-422)은 유전체 층(5-439)의 표면 상에 및 층(5-438)의 노출된 표면 상에 퇴적될 수 있다. 금속 층(5-422)은, 알루미늄, 티타늄, 티타늄 질화물, 또는 이들의 임의의 적절한 조합을 포함할 수 있다. 샘플 웰들(5-108₁, 5-108₂, 5-108₃, 5-108₄, 및 5-108₅)은 금속 층(5-422) 및 층(5-438)의 영역들을 선택적으로 제거함으로써 형성될 수 있다. 샘플 웰들(5-108₁, 5-108₂, 5-108₃, 5-108₄, 및 5-108₅)은, 샘플 웰의 형성을 위한 원하는 영역을 노출시키는 포토-마스크를 적용하고 표면을 노출시켜 이들 영역들을 선택적으로 에칭함으로써, 포토리소그래피 프로세스 단계를 이용하여 형성될 수 있다. 도 5bf는 5개의 샘플 웰을 도시하지만, 본 출원의 기술은 이 점에서 제한되지 않으며 임의의 적절한 수의 샘플 웰이 형성될 수 있다. 에칭 프로세스는 금속 층(5-422)을 통한 제1 에칭 및 층(5-438)에서의 제2 에칭을 포함할 수 있다. 여기 에너지 결합 영역(5-435)은, 금속 층(5-435), 유전체 층(5-439), 및/또는 z-축을 따라 격자 결합기(4-114)와 적어도 부분적으로 중첩하는 층(5-438)의 일부를 제거함으로써 형성될 수 있다.

[0165] 본 출원의 일부 실시예는, 통합 디바이스의 하나 이상의 샘플 웰을 형성하는 일부로서 에칭 정지 프로세스를 이용함으로써 통합 디바이스를 형성하는 것에 관한 것이다. 도 5ca, 도 5cb, 도 5cc, 도 5cd, 도 5ce, 도 5cf, 및 도 5cg는, 통합 디바이스(5-102) 등의, 통합 디바이스의 상위 스택에서 트렌치 영역을 형성하기 위한 방법의 단계들을 도시한다. 하부 클래딩(6-410)은 임의의 적절한 기술을 이용하여 형성될 수 있다. 일부 실시예에서, 하부 클래딩(6-410)은 기판(예를 들어, 실리콘 기판) 상에 형성될 수 있다. 일부 실시예에서, 하부 클래딩(6-410)은, 통합 디바이스(4-100)의 하위 스택(4-150) 등의, 통합 디바이스의 하위 스택 상에 형성될 수 있다.

- [0166] 도파관(6-416) 및 격자 결합기(6-414)는, 하나 이상의 재료(예를 들어, 실리콘 질화물)의 층을 형성함으로써 하부 클래딩(6-410) 위에 형성될 수 있다. 층은, 도파관에 의해 여기 에너지를 전파하기 위해 원하는 광학적 속성을 제공하는 적절한 굴절률을 가질 수 있다. 임의의 적절한 제작 기술이 도파관(6-416) 및/또는 격자 결합기(6-414)를 패터닝하는데 이용될 수 있다. 일부 실시예에서, 재료의 층이 하부 클래딩(6-410) 위에 형성될 수 있고, 이 층 위에 마스크가 패터닝되어, 이 층의 노출된 영역이 선택적으로 에칭되어 도파관(6-416) 및 격자 결합기(6-414)에 대한 원하는 패턴을 형성하게 할 수 있다.
- [0167] 재료 층(6-418)은, 도 5ca에 도시된 바와 같이, 도파관(6-416) 위에 형성되어, 통합 디바이스의 상부 클래딩 층을 야기할 수 있다. 층(6-418)은, 재료를 성장시키거나 및/또는 재료를 원하는 두께로 퇴적함으로써 형성될 수 있다. 층(6-418)은, 여기 에너지 및 방출 에너지에 대해 원하는 레벨의 투명도를 갖는 임의의 적절한 유전체 재료를 포함할 수 있다. 층(6-418)을 형성하는데 이용되는 적절한 재료의 예는, 실리콘 산화물, 알루미늄 산화물, 및 티타늄 산화물을 포함한다. 일부 실시예에서, 도 5ca에 도시된 도파관(6-416) 위에 형성된 층의 z-축을 따른 두께는, 500nm 내지 1200nm의 범위, 또는 그 범위 내의 임의의 값 또는 값들의 범위 내에 있을 수 있다. 일부 실시예에서, 층(6-418)의 두께는 대략 750nm일 수 있다. 층(6-418)은 패터닝된 층(예를 들어, 격자 결합기(6-414)) 위에 형성됨으로써 두께에서의 변동을 가질 수 있다.
- [0168] 층(6-418)은, 도 5cb에 도시된 바와 같이, 통합 디바이스의 상부 클래딩의 표면을 형성하도록 평탄화될 수 있다. 일부 실시예에서, 클래딩은 화학적 기계적 평탄화(CMP) 프로세스를 통해 평탄화될 수 있다. CMP 프로세스는, 상부 클래딩 표면의 표면 거칠기를 감소시킬 수 있어서, 도파관(6-416) 등의, 표면에 근접한 도파관을 따라 전파할 때 여기 에너지의 광 손실을 감소시킬 수 있다. z-방향을 따른 층(6-418)의 두께는 평탄화 프로세스의 결과로서 감소될 수 있다. 일부 실시예에서, 상부 클래딩의 두께는 350nm만큼 감소될 수 있다. 최종 상부 클래딩의 두께는, 100nm 내지 500nm의 범위, 또는 그 범위 내의 임의의 값 또는 값들의 범위에서 z-방향을 따르는 치수를 가질 수 있다.
- [0169] 에칭 정지 층(6-481)은, 도 5cc에 도시된 바와 같이, 층(6-418)의 표면 상에 퇴적될 수 있다. 이 에칭 정지 층은 통합 디바이스의 개개의 샘플 웰들에 대응하는 영역들을 정의하도록 패터닝될 수 있다. 일부 실시예에서, 에칭 정지 층은, 일부 영역에서는 리소그래피 프로세스를 통해 선택적으로 제거될 수 있는 반면, 샘플 웰들이 형성될 영역에서는 유지될 수 있다. 에칭 정지 층(6-481)을 형성하는데 이용되는 적절한 재료의 예는, SiN, SiON, SiO_xN_y, Al, Ti 및 TiN을 포함한다. 일부 실시예에서, 에칭 정지 층(6-481)은 층을 이룬 상이한 재료들의 조합을 포함할 수 있다. 에칭 정지 층(6-481)의 두께는, 도파관(6-416)에 근접한 에칭 정지 재료의 존재가 여기 에너지의 광 손실에 미치는 충격을 감소시킬 수 있는 z-방향을 따른 치수를 가질 수 있다. 에칭 정지 층(6-481)의 두께는, 20 nm 내지 200 nm의 범위, 또는 그 범위 내의 임의의 값 또는 값들의 범위 내에 있을 수 있다.
- [0170] 유전체 층(6-482)은, 도 5cd에 도시된 바와 같이, 에칭 정지 층(6-481) 및/또는 층(6-418) 위에 형성될 수 있다. 유전체 층(6-482)은, 에칭 정지 층(6-481) 및/또는 층(6-418) 위에 성장 및/또는 퇴적될 수 있다. 유전체 층(6-482)을 형성하는데 이용되는 적절한 재료의 예는, 실리콘 산화물, 알루미늄 산화물, 및 티타늄 산화물을 포함한다. 일부 실시예에서, 유전체 층(6-482)은, 화학적 증착(CVD; chemical vapor deposition) 프로세스를 통해 퇴적될 수 있다. 일부 실시예에서, 유전체 층(6-482)은, 고밀도 플라즈마 화학적 증착(HDPCVD) 프로세스를 통해 퇴적될 수 있다.
- [0171] 유전체 층(6-482)은 표면을 형성하기 위해 임의의 적절한 제작 기술을 이용하여 평탄화될 수 있다. 유전체 층(6-482)은 화학적 기계적 평탄화(CMP) 프로세스를 통해 평탄화될 수 있다. 유전체 층(6-482)의 결과적인 높이는, 50nm 내지 200nm의 범위, 또는 그 범위 내의 임의의 값 또는 값들의 범위 내에 있을 수 있다. 일부 실시예에서, 유전체 층(6-482)의 결과적인 높이는, 95nm 내지 100nm의 범위, 또는 그 범위 내의 임의의 값 또는 값들의 범위 내에 있을 수 있다.
- [0172] 에칭 정지 층(6-483)은, 도 5ce에 도시된 바와 같이, 유전체 층(6-482)의 표면 상에 퇴적될 수 있다. 이 에칭 정지 층은 통합 디바이스의 트렌치 영역에 대응하는 영역을 정의하도록 패터닝될 수 있다. 에칭 정지 층은, 일부 영역에서는 리소그래피 프로세스를 통해 선택적으로 제거될 수 있는 반면, 트렌치 영역이 형성될 영역에서는 유지될 수 있다. 에칭 정지 층(6-483)은, 적어도, z-축을 따른 에칭 정지 층(6-481)의 적어도 일부와 중첩하는 영역에서 유지될 수 있다. 에칭 정지 층(6-483)을 형성하는데 이용되는 적절한 재료의 예는, SiN, SiON, SiO_xN_y, Al, Ti 및 TiN을 포함한다. 일부 실시예에서, 에칭 정지 층(6-483)은 층을 이룬 복수의 재료의 조합을

포함할 수 있다.

- [0173] 유전체 층(6-484)은, 도 5cf에 도시된 바와 같이, 에칭 정지 층(6-483) 및/또는 층(6-418) 위에 형성될 수 있다. 유전체 층(6-482)은, 에칭 정지 층(6-483) 및/또는 층(6-482) 위에 성장 및/또는 퇴적될 수 있다. 유전체 층(6-483)을 형성하는데 이용되는 적절한 재료의 예는, 실리콘 산화물, 알루미늄 산화물, 및 티타늄 산화물을 포함한다. 일부 실시예에서, 유전체 층(6-483)은, 화학적 증착(CVD; chemical vapor deposition) 프로세스를 통해 퇴적될 수 있다. 일부 실시예에서, 유전체 층(6-483)은, 고밀도 플라즈마 화학적 증착(HDPCVD) 프로세스를 통해 퇴적될 수 있다.
- [0174] 유전체 층(6-484)은 에칭 정지 층(6-483)과 적어도 부분적으로 중첩하는 영역에서 선택적으로 에칭될 수 있다. 에칭 동안, 에칭 정지 층(6-483)의 존재는, 에칭 정지 층(6-483)을 넘어서는 층(6-482) 내로의 에칭을 감소시킬 수 있다. 에칭 정지 층(6-483)을 이용하는 에칭 프로세스는, z-축을 따라 원하는 치수를 갖는 유전체 층(6-484)의 형성을 제공할 수 있다. 이러한 기술은, 제작 프로세스의 일부로서 시간 에칭 프로세스를 이용하지 않고 통합 디바이스 내의 층들의 치수의 정확성을 향상시킬 수 있다. 에칭 정지 층(6-483)은 임의의 적절한 리소그래피 기술을 이용하여 제거될 수 있다. 유전체 층(6-484), 층(6-482), 및 층(6-418)의 나머지 부분은, 통합 디바이스의 상부 클래딩 층으로서 작용할 수 있다.
- [0175] 금속 층(6-422)은 유전체 층(6-484) 및/또는 층(6-482)의 표면 위에 형성될 수 있다. 도 5cg에 도시된 바와 같이, 금속 층(6-422)은 유전체 층(6-484)의 표면 상에 및 층(6-482)의 노출된 표면 상에 퇴적될 수 있다. 금속 층(6-422)은, 알루미늄, 티타늄, 티타늄 질화물, 또는 이들의 임의의 적절한 조합을 포함할 수 있다. 샘플 웰들(5-308₁, 5-308₂, 5-308₃, 5-308₄, 및 5-308₅)은 금속 층(6-422) 및 층(6-482)의 영역들을 선택적으로 제거함으로써 형성될 수 있다. 도 5cg는 5개의 샘플 웰을 도시하지만, 본 출원의 기술은 이 점에서 제한되지 않으며 임의의 적절한 수의 샘플 웰이 형성될 수 있다. 샘플 웰들(5-308₁, 5-308₂, 5-308₃, 5-308₄, 및 5-308₅)은, 샘플 웰의 형성을 위한 원하는 영역을 노출시키는 포토-마스크를 적용하고 표면을 노출시켜 이들 영역들을 선택적으로 에칭함으로써, 포토리소그래피 프로세스 단계를 이용하여 형성될 수 있다. 에칭 동안, 에칭 정지 층(6-481)의 존재는, 에칭 정지 층(6-481)을 넘어서는 및/또는 층(6-418) 내로의 에칭을 감소시킬 수 있다. 에칭 정지 층(6-481)을 이용하는 에칭 프로세스는, z-축을 따라 원하는 치수를 갖는 층(6-482)의 형성을 제공할 수 있다. 에칭 프로세스는 금속 층(6-422)을 통한 제1 에칭 및 층(6-482)에서의 제2 에칭을 포함할 수 있다. 여기 에너지 결합 영역은, 금속 층(6-422), 유전체 층(6-484), 및/또는 z-축을 따라 격자 결합기(6-114)와 적어도 부분적으로 중첩하는 층(6-482)의 일부를 제거함으로써 형성될 수 있다.
- [0176] 일부 실시예에서, 통합 디바이스의 샘플 웰은, 상부 클래딩 상에 금속 재료의 적어도 하나의 층을 포함하는 금속 스택을 형성하고 금속 스택 및 상부 클래딩의 일부를 제거함으로써 형성될 수 있다. 금속 스택은 상부 클래딩에 근접하게 위치한 알루미늄 층을 포함할 수 있다. 알루미늄 층은 구리 및/또는 실리콘을 포함할 수 있다. 일부 실시예에서, 알루미늄 층은 대략 2% 미만의 구리 및/또는 실리콘을 포함할 수 있다. 알루미늄 층은, 30nm 내지 150nm의 범위의 두께, 또는 그 범위 내의 임의의 값 또는 값들의 범위의 두께를 가질 수 있다. 일부 실시예에서, 알루미늄 층은 대략 65nm이다. 일부 실시예에서, 금속 스택은 알루미늄 층 위에 티타늄 질화물 층을 포함할 수 있다. 티타늄 질화물 층은, 1nm 내지 50nm의 범위, 또는 그 범위 내의 임의의 값 또는 값들의 범위의 두께를 가질 수 있다. 일부 실시예에서, 티타늄 질화물 층의 두께는 대략 10nm이다. 일부 실시예에서, 금속 스택은 또한 알루미늄 층 위에 티타늄 층을 포함할 수 있다. 금속 스택이 티타늄 질화물 층을 포함하는 실시예에서, 티타늄 층은 알루미늄 층과 티타늄 질화물 층 사이에 위치할 수 있다. 티타늄 층은, 1nm 내지 50nm의 범위, 또는 그 범위 내의 임의의 값 또는 값들의 범위의 두께를 가질 수 있다. 일부 실시예에서, 티타늄 층의 두께는 대략 30nm이다.
- [0177] 도 6aa, 도 6ab, 도 6ac, 도 6ad 및 도 6ae는, 일부 실시예에 따른, 샘플 웰을 형성하는 단계들을 도시한다. 도 6aa에 도시된 바와 같이, 금속 스택(6-620)은, 상부 클래딩 층(6-619), 도파관(6-616), 하부 클래딩 층(6-610), 및 기관(6-600) 위에 형성될 수 있다. 금속 스택을 형성하기 전에, 금속 스택이 형성될 상부 클래딩 층(6-619)의 표면은 적절한 프로세스(예를 들어, CMP 프로세스)를 이용하여 평탄화될 수 있다.
- [0178] 금속 스택(6-620)은, 제1 서브-층(6-622), 제2 서브-층(6-623), 및/또는 제3 서브-층(6-624)을 포함할 수 있다. 제1 서브-층(6-622)은, 30nm 내지 165nm 범위, 또는 그 범위 내의 임의의 값 또는 값들의 범위의 두께를 가질 수 있다. 일부 실시예에서, 제1 서브-층(6-622)의 두께는 대략 65nm일 수 있다. 제2 서브-층(6-623)은, 1nm 내지 50nm의 범위, 또는 그 범위 내의 임의의 값 또는 값들의 범위의 두께를 가질 수 있다. 일부 실시예에서, 제2 서브-층(6-623)의 두께는 대략 10nm일 수 있다. 제3 서브-층(6-624)은 제2 서브-층(6-623)과 접촉할

수 있다. 제1 서브-층(6-622) 및 제3 서브-층(6-624)만을 포함하는 금속 스택(6-620)의 실시예에서, 제3 서브-층(6-624)은 제1 서브-층(6-622)과 접촉할 수 있다. 제3 서브-층(6-624)은, 1nm 내지 50nm의 범위, 또는 그 범위 내의 임의의 값 또는 값들의 범위의 두께를 가질 수 있다.

[0179] 일부 실시예에서, 제3 서브-층(6-624)은 대략 30nm의 두께를 가질 수 있다. 일부 실시예에서, 제1 서브-층(6-622)은 알루미늄을 포함하고, 제2 서브-층(6-623)은 티타늄을 포함하며, 제3 서브-층(6-624)은 티타늄 질화물을 포함한다.

[0180] 일부 실시예에서, 금속 스택(6-620)은 금속 스택(6-620)에 포함된 재료의 안정성을 향상시키기 위해 어닐링될 수 있고 발생할 수 있는 부식의 양을 감소시킬 수 있다. 금속 스택(6-620)은, 300 °C 내지 500 °C의 범위의 온도, 또는 그 범위 내의 임의의 온도 또는 온도들의 범위에서 어닐링될 수 있다. 일부 실시예에서, 기판은 대략 400 °C의 온도에서 어닐링될 수 있다. 금속 스택(6-620)의 어닐링은 10 분 내지 60 분 범위의 기간, 또는 그 범위 내의 임의의 기간 동안 발생할 수 있다. 일부 실시예에서, 스택은 대략 40 분 동안 어닐링될 수 있다.

[0181] 포토레지스트 층(6-631)은, 도 6ab에 도시된 바와 같이, 금속 스택(6-620) 위에 형성될 수 있다. 포토레지스트 층(6-631)은, 샘플 웰이 금속 스택(6-620) 내에 형성될 위치에 대응할 수 있는 하나 이상의 개구를 갖도록 패터닝될 수 있다. 포토레지스트 층(6-631)은, 포토레지스트가 존재하는 재료를 에칭 프로세스로부터 보호하도록 작용할 수 있는 반면, 개구를 통해서 등에 의해 노출된 재료는 에칭 프로세스 동안에 제거될 수 있다. 일부 실시예에서, 포토레지스트 층(6-631)은 포지티브 포토레지스트를 포함할 수 있다. 일부 실시예에서, 포토레지스트 층(6-631)은 네거티브 포토레지스트를 포함할 수 있다. 반사방지 코팅 층(6-630)은 포토레지스트 층(6-631)과 금속 스택(6-620) 사이에 형성될 수 있다. 포토레지스트(6-631)는, 샘플 웰이 형성될 영역에 대응하는 포토레지스트의 한 영역을 제거하도록, 포토리소그래피 노출 후에 선택적으로 에칭될 수 있다.

[0182] 반사방지 코팅(6-630)은, 플라즈마 에칭 프로세스 또는 임의의 적절한 기술을 이용하여 선택적으로 제거될 수 있다. 금속 스택(6-622)은 또한, 반사방지 코팅(6-630)을 선택적으로 제거하는데 이용되는 샘플 프로세스를 포함한, 임의의 적절한 기술을 이용하여 선택적으로 제거될 수 있다. 금속 스택(6-622)의 일부를 제거함으로써 금속 스택(6-622)에 형성된 개구의 단면적은, 결과적인 샘플 웰의 애퍼처를 형성할 수 있다. 일부 실시예에서, 반사방지 코팅(6-630) 및 금속 스택(6-622)은 Cl_2 및/또는 BCl_2 를 포함하는 플라즈마 에칭 프로세스를 통해 제거될 수 있다. 플라즈마 에칭 프로세스는, 포토레지스트 층(6-631)의 개구와 중첩하는 반사방지 코팅(6-630) 및 금속 스택(6-622)의 일부를 제거할 수 있다.

[0183] 상부 클래딩(6-619)은, 건식 에칭 프로세스 또는 임의의 적절한 기술을 이용하여 선택적으로 제거되어, 포토레지스트 층(6-631)의 개구와 중첩하는 상부 클래딩(6-619) 내에 캐버티를 형성할 수 있다. 일부 실시예에서, 상부 클래딩(6-619)의 일부를 제거하는데 이용되는 건식 에칭 프로세스는, 하나 이상의 플루오르카본 가스(예를 들어, CF_4 , CHF_3 , C_2F_8 , $C_3H_2F_6$)의 이용을 포함할 수 있다. 일부 실시예에서, 건식 에칭 프로세스는 원하는 에칭 깊이를 달성하기 위해 일정 시간 동안 발생할 수 있다. 일부 실시예에서, 에칭 정지 층은, 건식 에칭 프로세스를 이용하여 원하는 에칭 깊이를 달성하기 위해 상부 클래딩(6-619) 내의 위치에 배치될 수 있다. 일부 실시예에서, 에칭 프로세스에 의해 형성된 캐버티의 하나 이상의 측면은, 도파관(6-616)에 평행하거나 거의 평행한 캐버티의 표면의 법선에 대해 소정의 각도를 이룰 수 있다. 캐버티의 측면은, 도파관(6-616)에 평행하거나 거의 평행한 캐버티의 표면에 대한 법선으로부터 1° 내지 15° 범위, 또는 그 범위 내의 임의의 값의 각도를 이룰 수 있다. 일부 실시예에서, 결과적인 캐버티의 측면은 도파관(6-616)에 평행하거나 거의 평행한 캐버티의 표면에 대해 대략 수직일 수 있다. 금속 스택(6-620) 및 상부 클래딩(6-619)의 제거로부터 발생하는 캐버티는 샘플 웰을 형성할 수 있다.

[0184] 포토레지스트 층(6-631) 및/또는 반사방지 코팅(6-630)은, 플라즈마 제거 프로세스(예를 들어, 애싱, 세정) 또는 임의의 적절한 기술을 이용하여 금속 스택(6-622)으로부터 제거될 수 있다. 일부 실시예에서, 포토레지스트 층(6-631) 및/또는 반사방지 코팅(6-630)은 산소 플라즈마 제거 프로세스를 이용하여 제거될 수 있다. 일부 실시예에서, 포토레지스트 층(6-631) 및 반사방지 코팅(6-630)은, 금속 스택(6-622)의 에칭 후로서 상부 클래딩(6-619)의 에칭 전에 제거된다. 이러한 실시예에서, 결과적인 샘플 웰의 애퍼처를 형성할 수 있는 금속 스택(6-622)의 개구는, 상부 클래딩(6-619)의 제거 프로세스를 위한 마스크(예를 들어, 하드 마스크)로서 이용될 수 있다. 일부 실시예에서, 포토레지스트 층(6-631) 및 반사방지 코팅(6-630)은, 금속 스택(6-622) 및 상부 클래딩(6-619)의 에칭 후에 제거된다.

[0185] 산화물 및 금속 잔류물을 포함한 잔류물은, 습식 용액 또는 임의의 적절한 프로세스를 이용하여 제거될 수

있다. 일부 실시예에서, 결과적인 구조물은, 결과적인 샘플 웰 내의 및/또는 결과적인 샘플 웰의 표면 상의 금속 및/또는 산화물 잔류물의 존재를 감소시키기 위해 습식 용액에 배치될 수 있다. 일부 실시예에서, 습식 용액은 Air Products로부터의 ACT 114를 포함할 수 있다.

[0186] 측벽 스페이서는 결과적인 샘플 웰의 하나 이상의 표면 상에 형성될 수 있다. 측벽 스페이서를 형성하는데 이용되는 적절한 재료의 예는, TiO_2 , TiN , TiON , TaN , Ta_2O_5 , ZrO_2 및 HfO_2 를 포함한다. 측벽 스페이서는, 3nm 내지 30nm의 범위, 또는 그 범위 내의 임의의 값 또는 값들의 범위의 두께를 가질 수 있다. 일부 실시예에서, 측벽 스페이서(6-690)는 대략 10nm의 두께를 가질 수 있다.

[0187] 도 6ad에 도시된 바와 같이, 스페이서(6-690)는, 금속 스택(6-620), 및 금속 스택(6-620)과 상부 클래딩(6-619)에 형성된 캐버티의 하나 이상의 표면 상에 퇴적될 수 있다. 스페이서(6-690)은, 원자 층 퇴적(ALD), 금속 유기 화학적 증착(MOCVD), 및 이온화된 물리적 증착(IPVD)을 포함한 적절한 퇴적 프로세스를 통해 퇴적될 수 있다. 퇴적 프로세스는, 구조물의 노출된 표면 상에 측벽 스페이서를 형성하는 재료의 균일하거나 거의 균일한 형성을 제공할 수 있다.

[0188] 일부 실시예에서, 스페이서 재료는 도파관에 근접한 샘플 웰의 표면으로부터 제거된다. 표면은 도파관을 따른 광 전파의 방향에 대략 평행할 수 있다. 도 6ae에 도시된 바와 같이, 스페이서 재료는 샘플 웰의 하부 표면(6-608)으로부터 제거될 수 있다. 측벽 스페이서는, 수평 표면(예를 들어, 샘플 웰의 하부 표면, 금속 스택의 표면) 상의 재료를 제거할 수 있는 이방성 에칭 프로세스를 통해 샘플 웰의 하부 표면으로부터 제거될 수 있다. 이방성 에칭 프로세스는, 샘플 웰의 측벽의 적어도 일부 상에 측벽 스페이서를 유지하면서 하부 표면으로부터 측벽 스페이서를 제거할 수 있다. 결과적인 구조물은, 샘플 웰의 측벽과 비교하여, 하부 표면(6-608)에 샘플을 결속하기 위한 상이한 기능성을 제공할 수 있다. 이러한 기능은, 샘플이, 샘플 웰의 측벽에 비해 하부 표면(6-608)에 우선적으로 부착되는 것을 허용할 수 있다.

[0189] 통합 디바이스를 통한 하나 이상의 개구는, 디바이스 내의 전기 회로로의 전기 접촉을 제공하도록 형성될 수 있다. 개구는, 통합 디바이스의 센서에 전기적으로 결합된 하나 이상의 금속 패드로의 액세스를 제공할 수 있다. 개구는, 리소그래피 프로세스 및 후속하는 에칭 프로세스를 포함한, 임의의 적절한 제거 프로세스를 이용함으로써 형성될 수 있다. 일부 실시예에서, 포토리소그래피 프로세스를 이용하여 하나 이상의 개구가 형성될 수 있다. 포토리소그래피 프로세스는, 365 nm의 파장을 위한 I-라인 포토레지스트의 이용을 포함할 수 있다. 포토리소그래피 프로세스는, 포토루미네스cent(photoluminescent) 잔류물을 형성하여, 결과적인 통합 디바이스에 의한 샘플의 분석 동안에 아티팩트를 형성할 수 있다. 이러한 포토루미네스cent 잔류물은 이방성 에칭 프로세스에 의해 제거되거나 감소될 수 있다. 따라서, 일부 실시예에서, 이방성 에칭 프로세스에 의해 샘플 웰의 하부 표면 상에 형성된 스페이서 재료의 제거에 앞서 하나 이상의 개구가 통합 디바이스에 형성될 수 있다. 이러한 제작 기술은 통합 디바이스를 형성하는데 이용되는 단계들의 수를 감소시킬 수 있다.

[0190] 일부 실시예에서, 샘플 웰의 형성은, 도파관(6-619)에 더 가까운 샘플 웰의 하부 표면을 연장시키기 위해 상부 클래딩(6-619)의 제거를 포함할 수 있고, 이것은 도파관(6-619)으로부터의 여기 에너지의 결합을 향상할 수 있고, 여기 에너지의 광 손실에 미치는 금속 스택(6-622)의 영향을 감소시킬 수 있다. 제거 프로세스는 샘플 웰의 하나 이상의 측벽 상에 스페이서 재료를 형성한 후에 발생할 수 있고, "오버-에칭" 프로세스로서 간주될 수 있으며, 20nm 내지 50nm 범위 또는 그 범위 내의 임의의 값의 상부 클래딩(6-619)의 두께를 제거할 수 있다. 결과적인 샘플 웰 구조물은, 도 6af에 도시된 바와 같이, 샘플 웰의 하부 표면에 추가하여 측벽들 상에도 스페이서 재료가 없는 도파관(6-616)에 근접한 부분을 가질 수 있다. 하부 표면과 측벽 스페이서 사이의 거리는, 20 nm 내지 50 nm의 범위, 또는 그 범위 내의 임의의 값 또는 값들의 범위 내에 있을 수 있다. 일부 실시예에서, 오버-에칭 프로세스는 CF_4 를 이용할 수 있다. 제거 프로세스는 또한, 결과적인 샘플 웰 내의 잔류물의 존재를 감소시킬 수 있다.

[0191] 일부 실시예는, 통합 디바이스 내에서 전기 신호를 라우팅하도록 구성된 금속 층을 포함하는 통합 디바이스의 평면 내에 및/또는 그 아래에 샘플 웰을 형성함으로써 샘플 웰이 센서에 근접하게 위치하는 통합 디바이스를 형성하는 방법에 관한 것이다. 이러한 실시예에서, 샘플 웰의 표면과 센서 사이의 거리는 2 μm 내지 3 μm 의 범위, 또는 그 범위 내의 임의의 값 또는 값들의 범위 내에 있을 수 있다. 샘플 웰에 여기 에너지를 전달하도록 구성된 도파관은, 샘플 웰과 센서 사이에 형성될 수 있다. 도파관은, 통합 디바이스에 대한 전기적 경로로서 작용할 수 있는 금속 층을 포함하는 평면과 중첩되거나 및/또는 평면 아래에 위치하는 통합 디바이스의 평면에 형성될 수 있다. 이러한 방식으로, 도파관은 통합 디바이스의 BEOL(back-end-of-line) 배선 내에 매립되는

것으로 간주될 수 있다.

- [0192] 도 7aa, 도 7ab, 도 7ac, 도 7ad 및 도 7ae는, 도파관 및 샘플 웰이 통합 디바이스의 BEOL 내에 매립되는 통합 디바이스를 형성하는 단계를 도시한다. 도파관(7-516)은, 도파관(7-516)과 기관(7-500) 사이에 클래딩 재료의 하나 이상의 층을 갖고 기관(7-500) 위에 형성될 수 있다. 도파관(7-516)과 기관(7-500) 사이의 거리는, 1 μ m 내지 2 μ m의 범위, 또는 그 범위 내의 임의의 값 또는 값들의 범위 내에 있을 수 있다. 일부 실시예에서, 도파관(7-516)과 기관(7-500) 사이의 거리는, 1.2 μ m 내지 1.7 μ m의 범위, 또는 그 범위 내의 임의의 값 또는 값들의 범위 내에 있을 수 있다.
- [0193] 도 7aa에 도시된 바와 같이, 유전체 층(7-502) 및 클래딩 층(7-510)은, 유전체 층(7-502)과 클래딩 층(7-510) 사이에 금속 층(7-503A)을 갖고 기관(7-500) 상에 형성될 수 있다. 유전체 층(7-502) 및/또는 클래딩 층(7-510)은 적절한 재료(예를 들어, 유전체 재료)를 성장시키거나 퇴적함으로써(예를 들어, 플라즈마 강화 화학적 증착(PECVD), 고밀도 플라즈마 화학적 증착(HDPCVD)) 형성될 수 있다. 유전체 층(7-502)은 도핑되지 않은 실리콘 이산화물을 포함할 수 있다. 클래딩 층(7-510)을 형성하는데 이용되는 적절한 재료의 예는, 실리콘 산화물, 알루미늄 산화물, 및 티타늄 산화물을 포함한다. 비아(7-504A)는, 예를 들어 유전체 층(7-502)의 일부를 에칭하여 기관(7-500)을 노출시키고 개구를 금속(예를 들어, 텅스텐)으로 충전하는 등에 의해, 유전체 층(7-502)을 통해 형성될 수 있다.
- [0194] 도파관(7-516)은 클래딩 층(7-510) 위에 형성될 수 있고, 추가적인 클래딩이 도파관(7-516) 위에 형성될 수 있다. 도 7ab에 도시된 바와 같이, 하나 이상의 금속 층(7-503) 및 비아(7-504)가 클래딩 층 내에 형성될 수 있다. 에칭 정지 층(7-720)은 도파관(7-516)으로부터 원하는 거리에서 클래딩(7-510) 위에 형성될 수 있다. 에칭 정지 층(7-720)은 실리콘 산화질화물(예를 들어, SiON)을 포함할 수 있다. 일부 실시예에서, 에칭 정지 층(7-720)과 도파관(7-516) 사이의 z-방향을 따른 거리는, 2 μ m 내지 3 μ m의 범위, 또는 그 범위 내의 임의의 값 또는 값들의 범위 내에 있을 수 있다. 추가의 클래딩(7-710)이, 도 7ac에 도시된 바와 같이, 에칭 정지 층(7-720) 위에 형성될 수 있다. 하나 이상의 금속 층(7-503) 및 비아(7-504)는, 에칭 정지 층(7-720)의 xy-평면 위의 xy-평면에 형성될 수 있다.
- [0195] 하나 이상의 금속 층(7-503)은 하나 이상의 비아(7-504)를 통해 기관(7-500)에 전기적으로 접속될 수 있다. 금속 층의 z-치수를 따른 치수의 값은, 450nm 내지 650nm의 범위, 또는 그 범위 내의 임의의 값 또는 값들의 범위 내에 있을 수 있다. 일부 실시예에서, z-치수를 따르는 금속 층의 치수는 대략 555nm이다. z-치수를 따른 금속 층(7-503_A 및 7-503_B) 등의, 인접한 금속 층들을 분리하는 거리는, 750nm 내지 950nm의 범위, 또는 그 범위 내의 임의의 값 또는 값들의 범위 내에 있을 수 있다. 일부 실시예에서, 근접한 금속 층들 사이의 z-치수를 따른 클래딩(7-710)의 치수는 대략 850nm일 수 있다.
- [0196] 도 7ad에 도시된 바와 같이, 트렌치 영역(7-520)은 클래딩(7-710)의 일부를 제거함으로써 형성될 수 있다. 클래딩(7-710)의 제거된 부분은 에칭 정지 층(7-720)까지 연장될 수 있다. 일부 실시예에서, 클래딩(7-710)을 제거하는데 이용되는 프로세스는 에칭 정지 층(7-720)의 적어도 일부를 제거하는데에도 이용될 수 있다. 트렌치 영역(7-520)은, 에칭 정지 층(7-720)이 노출될 때까지 클래딩(7-710)을 에칭함으로써 형성될 수 있다. 에칭 정지 층(7-720)은 트렌치 영역(7-520)의 원하는 깊이를 달성하는데 있어서 정확성을 향상시킬 수 있다.
- [0197] 도 7ae에 도시된 바와 같이, 금속 층(7-522)이 트렌치 영역(7-520) 위에 형성될 수 있다. 금속 층(7-522)은 본 명세서에서 설명된 기술을 이용하여 형성될 수 있다. 샘플 웰(7-508)은 본 명세서에서 설명된 기술을 이용하여 금속 층(7-522) 및 클래딩(7-710) 내에 캐버티로서 형성될 수 있다. 일부 실시예에서, 샘플 웰(7-508)의 하나 이상의 표면이 본 명세서에서 설명된 기술을 이용하여 측벽 스페이서(7-590)로 코팅될 수 있다.
- [0198] 일부 실시예에서, 통합 디바이스의 형성은, 금속 층 및 금속 층 위의 에칭 정지 층을 형성하고, 에칭 정지 층 위에 클래딩 층을 형성하고, 통합 디바이스의 표면으로서 금속 층을 생성하기 위해 클래딩 층의 일부를 제거함으로써, 통합 디바이스의 BEOL 내에 금속 층 및 도파관을 매립하는 것을 포함할 수 있다. 도 7ba 및 도 7bb는, 도파관 및 샘플 웰이 통합 디바이스의 BEOL 내에 매립되는 통합 디바이스를 형성하는 단계들을 도시한다.
- [0199] 도 7ba에 도시된 바와 같이, 유전체 층(7-802) 및 클래딩 층(7-810)은 기관(7-800) 상에 형성될 수 있고, 금속 층(7-803_A, 7-803_B, 7-803_C, 및 7-803_D)은 유전체 층(7-802) 및/또는 클래딩 층(7-810) 내에 배치된다. 유전체 층(7-802) 및/또는 클래딩 층(7-810)은, 유전체 재료를 성장시키거나 퇴적함으로써(예를 들어, 플라즈마 강화 화학적 증착(PECVD), 고밀도 플라즈마 화학적 증착(HDPCVD)) 형성될 수 있다. 일부 실시예에서, 유전체 층(7-802)은 도핑되지 않은 실리콘 이산화물을 포함할 수 있다. 클래딩 층(7-810)을 형성하는데 이용되는 적절한 재

료의 예는, 실리콘 산화물, 알루미늄 산화물, 및 티타늄 산화물을 포함한다. 비아(7-804_A) 등의 비아는, 예를 들어 유전체 층(7-802)의 일부를 에칭하여 기판(7-800)을 노출시키고 개구를 금속(예를 들어, 텅스텐)으로 충전하는 등에 의해, 유전체 층(7-802)을 통해 형성될 수 있다.

[0200] 도파관(7-816)은 클래딩 층(7-810) 내에 형성될 수 있고, 금속 층(7-821)은 도파관(7-816)과 금속 층(7-821) 사이에 클래딩 층(7-810)의 영역을 두고 도파관(7-816) 위에 형성될 수 있다. 개구(7-822)는, 결과적인 디바이스 내의 샘플 웰에 대한 애퍼처의 위치에 대응할 수 있는, 금속 층(7-821) 내에 형성될 수 있다. 클래딩 층(7-810)의 일부는 또한, 개구(7-822)와 중첩하는 영역으로부터 제거될 수 있다. 개구(7-822) 및 클래딩 층(7-810)의 제거된 영역은 결과적인 통합 디바이스에서 샘플 웰을 형성할 수 있다. 희생 층(7-820)은 금속 층(7-821) 위에 형성될 수 있고, 금속 층(7-821)의 개구(7-822) 및 클래딩 층(7-810)의 제거된 부분을 적어도 부분적으로 채울 수 있다. 희생 층(7-820)은 실리콘 산화질화물(예를 들어, SiON), Ti 및/또는 TiN을 포함할 수 있다. 일부 실시예에서, 희생 층(7-820)과 도파관(7-816) 사이의 z-방향을 따른 거리는, 2 μ m 내지 3 μ m의 범위, 또는 그 범위 내의 임의의 값 또는 값들의 범위 내에 있을 수 있다. 추가 클래딩(7-810)은 에칭 정지 층(7-820) 위에 형성될 수 있다.

[0201] 하나 이상의 금속 층(7-803) 및 비아(7-804)는, 희생 층(7-820)의 xy-평면 위의 xy-평면에 형성될 수 있다. 하나 이상의 금속 층(7-803)은 하나 이상의 비아(7-804)를 통해 기판(7-800)에 전기적으로 접속될 수 있다. 금속 층의 z-치수를 따른 치수의 값은, 450nm 내지 650nm의 범위, 또는 그 범위 내의 임의의 값 또는 값들의 범위 내에 있을 수 있다. 일부 실시예에서, z-치수를 따르는 금속 층의 치수는 대략 555nm이다. z-치수를 따른 금속 층(7-803_A 및 7-803_B) 등의, 인접한 금속 층들을 분리하는 거리는, 750nm 내지 950nm의 범위, 또는 그 범위 내의 임의의 값 또는 값들의 범위 내에 있을 수 있다. 일부 실시예에서, 근접한 금속 층들 사이의 z-치수를 따른 클래딩(7-810)의 치수는 대략 850nm일 수 있다.

[0202] 도 7bb에 도시된 바와 같이, 트렌치 영역(7-830) 및/또는 샘플 웰(7-808)은, 클래딩 층(7-810)의 일부를 희생 층(7-820)까지 제거하고 희생 층(7-820)의 적어도 일부를 제거함으로써 형성될 수 있다. 희생 층(7-820)이 Ti 및/또는 TiN을 포함하는 실시예에서, 희생 층(7-820)은, 습식 화학(wet chemistry)을 포함하는 과산화물을 이용하여 금속 층(7-821)의 일부 및/또는 클래딩 층(7-810)의 일부를 노출시키도록 제거될 수 있다. 트렌치 영역(7-830)은 희생 에칭 정지 층이 노출될 때까지 클래딩(7-810)을 에칭함으로써 형성될 수 있다. 그 다음, 희생 에칭 정지 층은, 금속 층(7-821)이 노출될 때까지, 제2 에칭 프로세스를 통해 에칭될 수 있다.

[0203] 지금까지 본 출원의 기술의 수 개의 양태와 실시예들을 설명하였고, 본 기술분야의 통상의 기술자에게는, 다양한 변형, 수정, 및 개선이 용이하다는 것을 이해해야 한다. 이러한 변형, 수정 및 개선은 본 출원에서 설명된 기술의 사상과 범위 내에 포함시키고자 한다. 따라서, 상기 실시예들은 단지 예로서 제시된 것일 뿐이며, 첨부된 청구항들과 그 균등물의 범위 내에서, 본 발명의 실시예들은 구체적으로 설명된 것과는 다른 방식으로 실시될 수도 있다는 것을 이해해야 한다. 또한, 여기서 설명된 2개 이상의 피처, 시스템, 항목, 재료, 키트 및/또는 방법의 임의의 조합은, 이러한 피처, 시스템, 항목, 재료, 키트 및/또는 방법이 상호 불일치하지 않는다면, 본 개시내용의 범위 내에 포함된다.

[0204] 또한, 설명된 바와 같이, 일부 양태는 하나 이상의 방법으로서 구현될 수도 있다. 방법의 일부로서 수행되는 동작들은 임의의 적절한 방식으로 정렬될 수 있다. 따라서, 예시적 실시예에서는 순차적 동작들로서 도시되어 있더라도, 소정 동작들을 동시에 수행하는 것을 포함한, 예시된 것과는 상이한 순서로 동작들이 수행되는 실시예들이 구성될 수 있다.

[0205] 모든 정의는, 여기서 정의되고 사용된 바와 같이, 사전적 정의, 참조에 의해 포함된 문서에서의 정의, 및/또는 정의된 용어의 통상의 의미를 통제하는 것으로 이해되어야 한다.

[0206] 부정관사, "a" 및 "an"은, 본 명세서와 청구항에서 사용될 때, 분명하게 달리 나타내지 않는 한, "적어도 하나"를 의미하는 것으로 이해되어야 한다. 구문 "및/또는"은, 여기 본 명세서 및 청구항에서 사용될 때, 이와 같이 결합된 요소들, 즉 어떤 경우에는 결합되어 존재하고 다른 경우에는 분리되어 존재하는 요소들의 "어느 하나 또는 양쪽 모두"를 의미하는 것으로 이해되어야 한다.

[0207] 여기 본 명세서와 청구항에서 사용될 때, 하나 이상의 요소의 열거를 참조한 구문 "적어도 하나"는, 요소들의 목록 내의 요소들 중 하나 이상으로부터 선택된 적어도 하나의 요소를 의미하지만, 요소들의 목록 내의 요소들의 각각의 및 모든 요소 중 적어도 하나를 반드시 포함할 필요는 없고 요소들의 목록 내의 요소들의 임의의 조합을 배제하지 않는 것으로 이해되어야 한다. 이 정의는 또한, 구문 "적어도 하나"가 참조하는 요소들의 목록

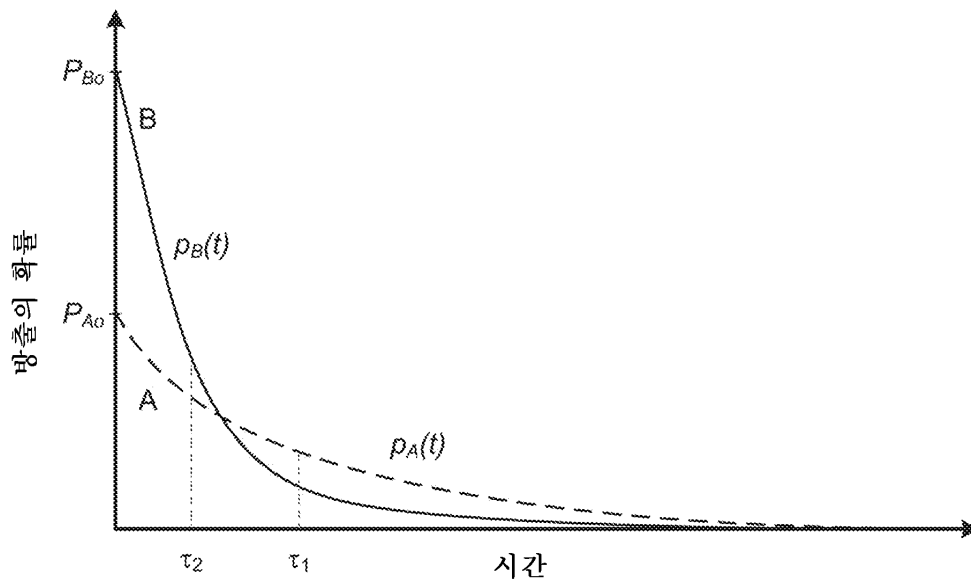
내에서 구체적으로 식별되는 요소들 이외의 요소들이, 구체적으로 식별되는 요소들과 관련되든 관련되지 않든, 선택사항적으로 존재할 수 있다는 것을 허용한다.

[0208]

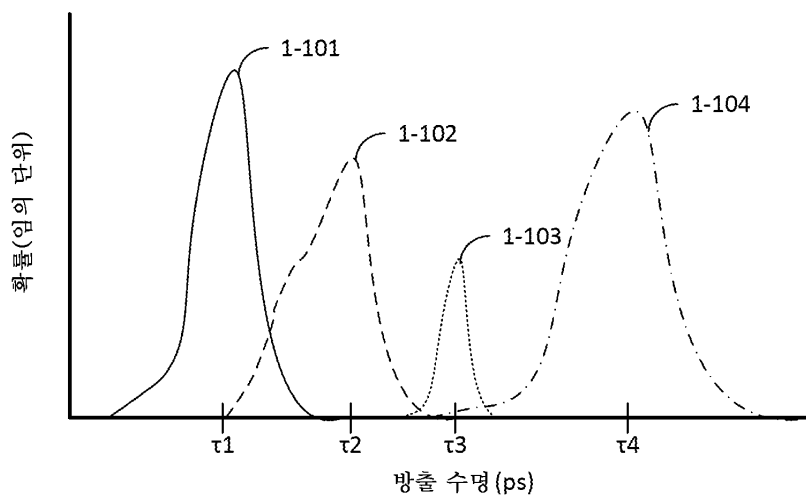
상기 명세서 뿐만 아니라 청구항에서, "포함하는(comprising)", "내포하는(including)", "운반하는(carrying)", "갖는(having)", "함유하는(containing)", "수반하는(involving)", "~로 구성된(composed of~)" 등과 같은 모든 연결 구문은, 제약을 두지 않는(open-ended), 즉, 포함하지만 그것으로 제한되지 않는다는 것을 의미한다. 연결 구문 "~로 이루어진(consisting of~)" 및 "본질적으로 ~로 이루어진(consisting essentially of~)"은 각각 폐쇄형 또는 반-폐쇄형 연결 구문일 것이다.

도면

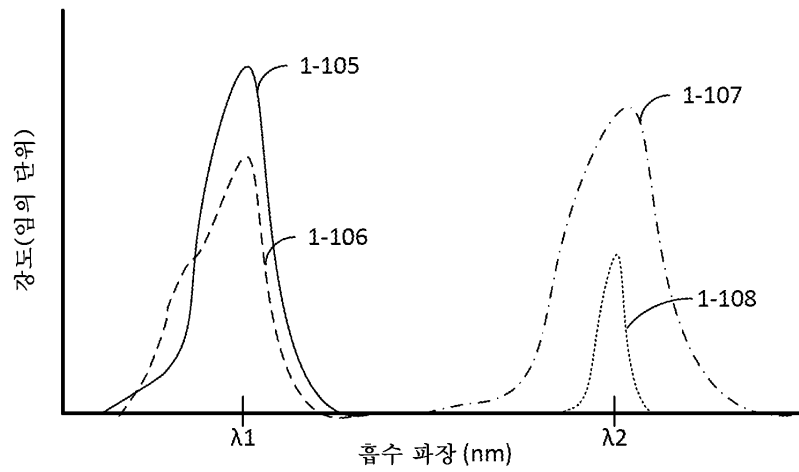
도면1a



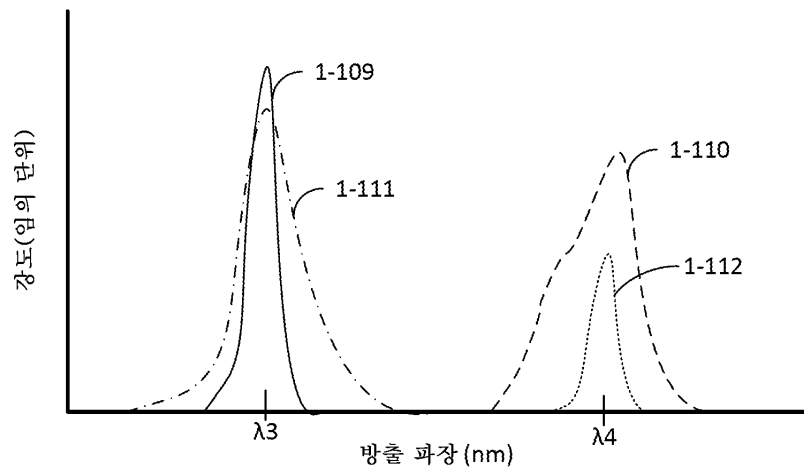
도면1ba



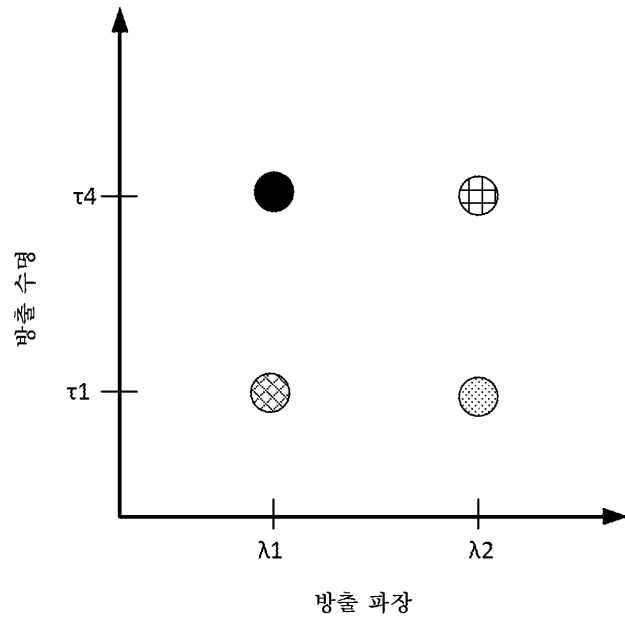
도면1bb



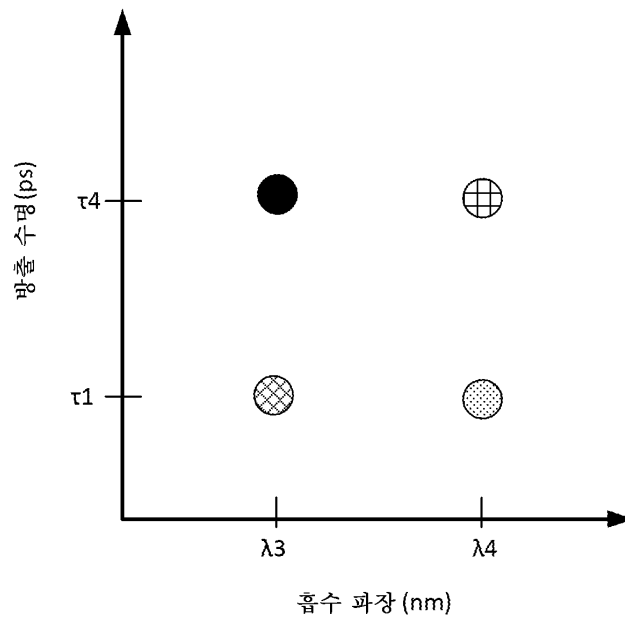
도면1bc



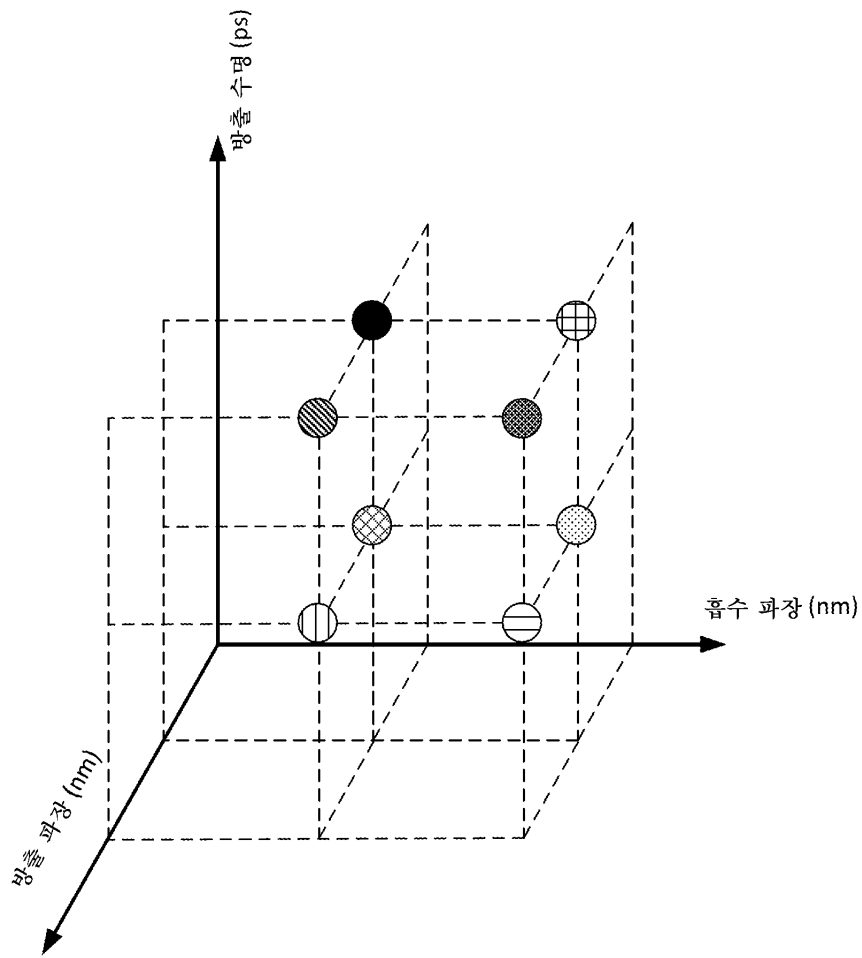
도면1ca



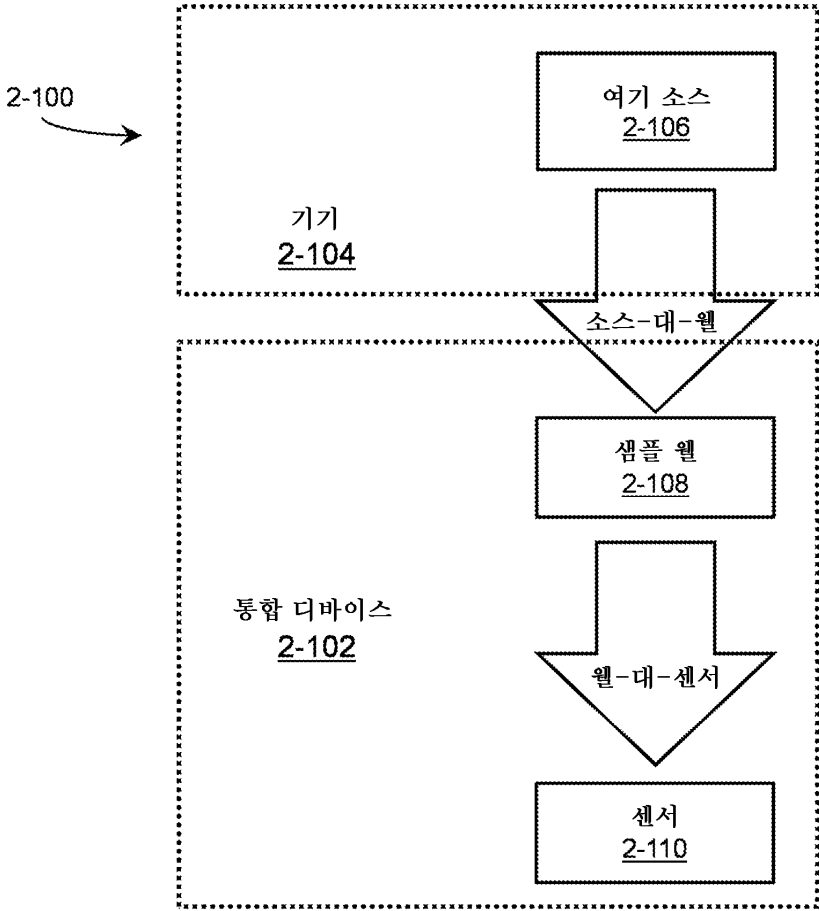
도면1cb



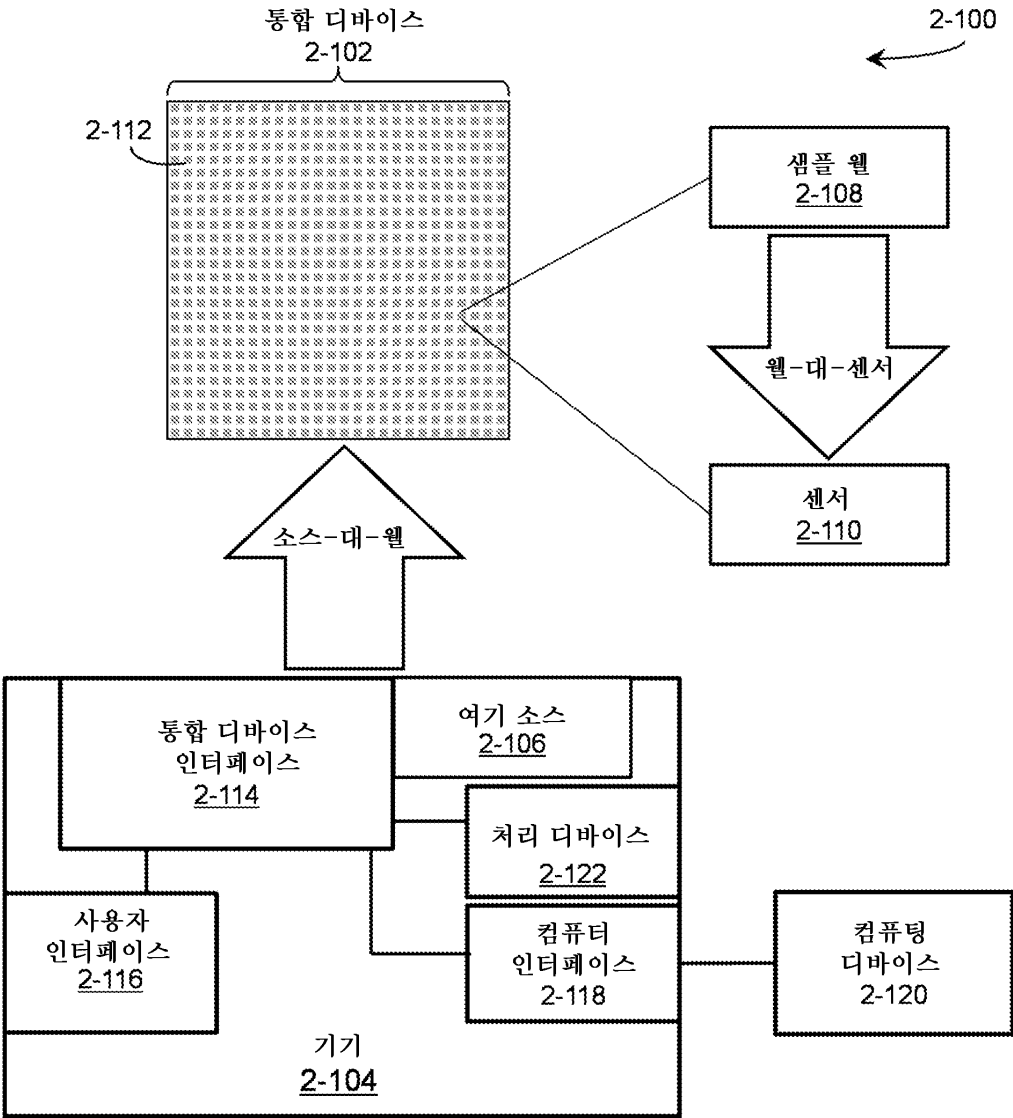
도면1d



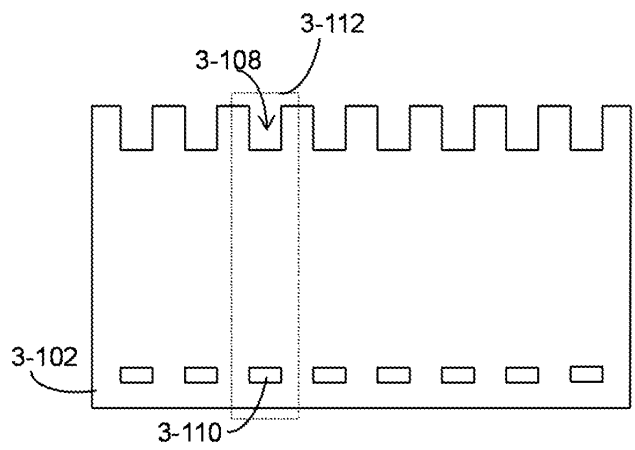
도면2aa



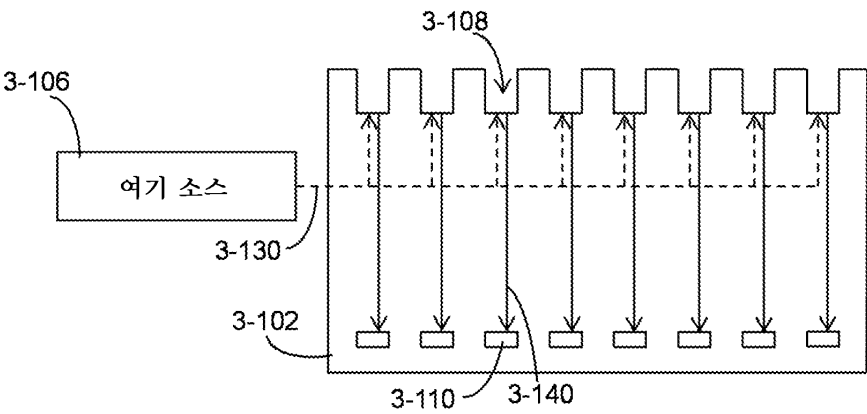
도면2ab



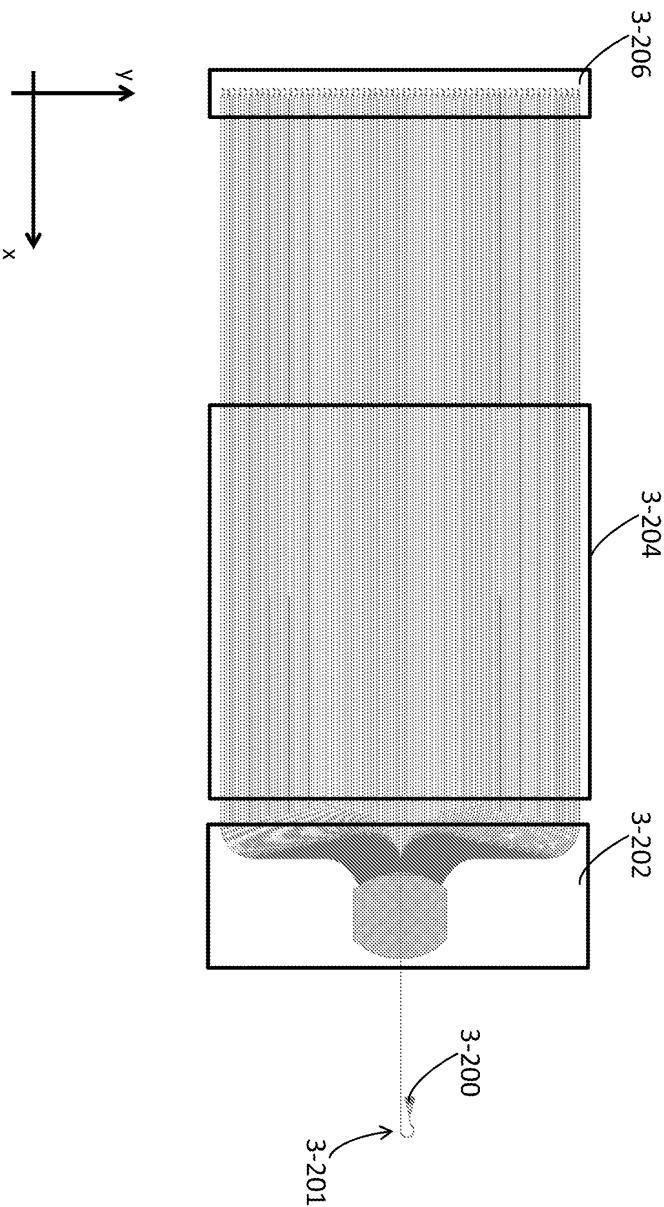
도면3aa



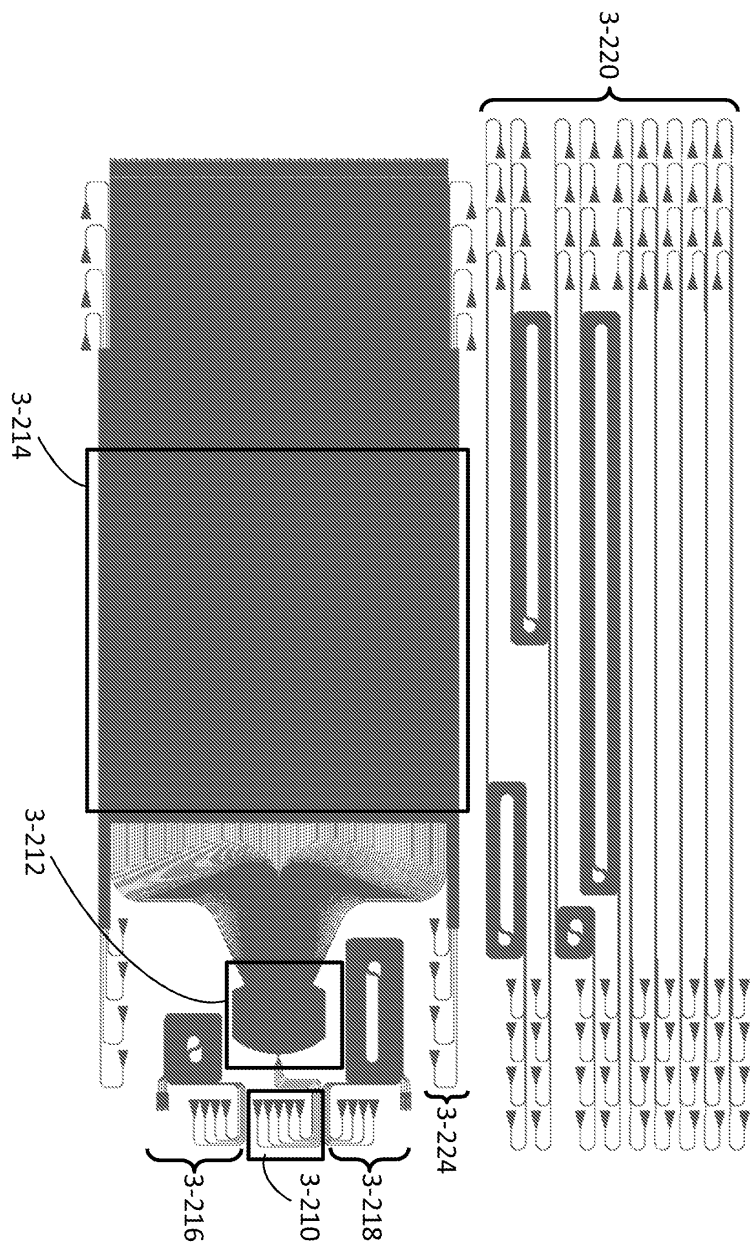
도면3ab



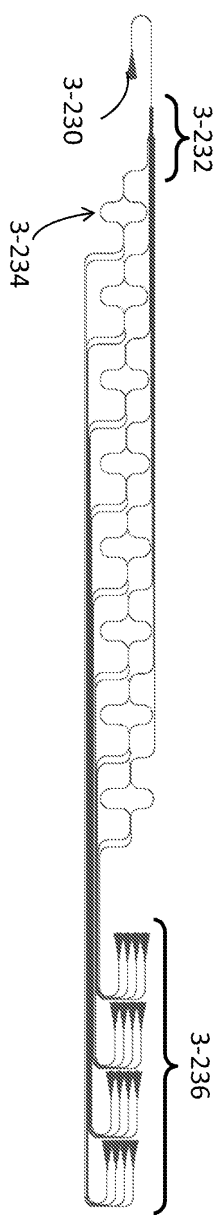
도면3ba



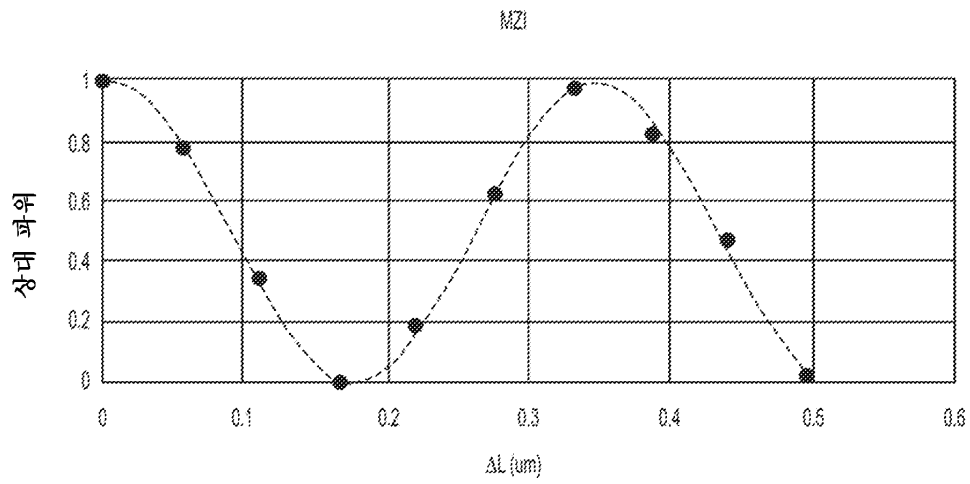
도면3bb



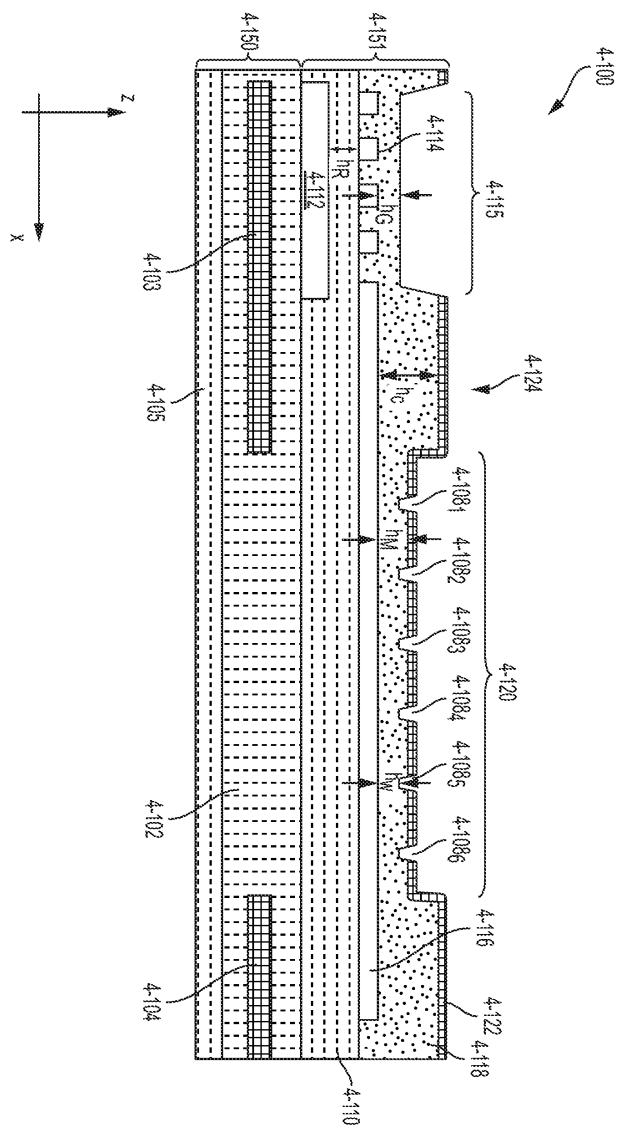
도면3bc



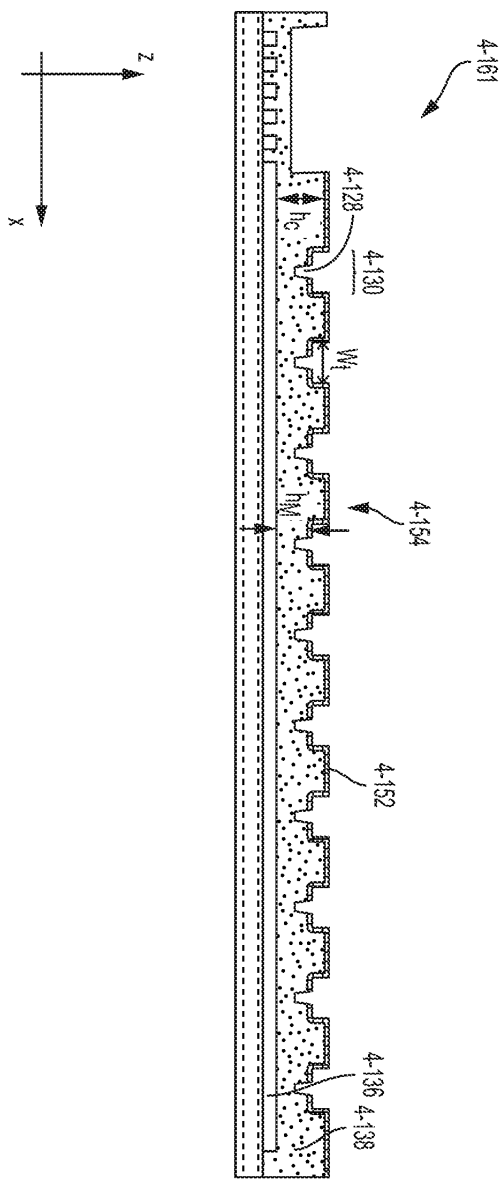
도면3bd



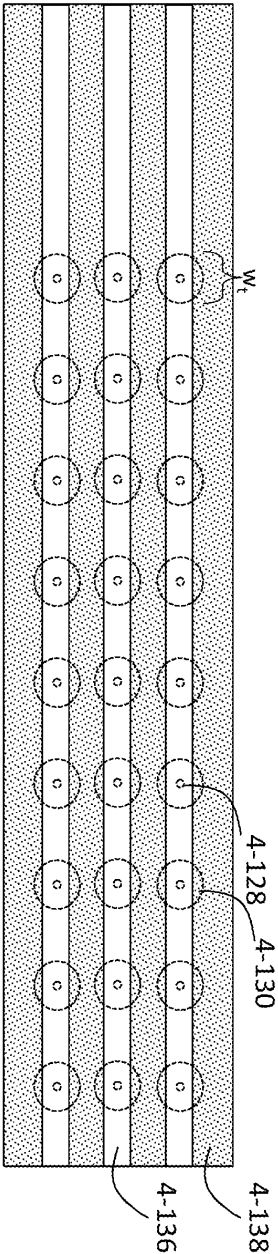
도면4aa



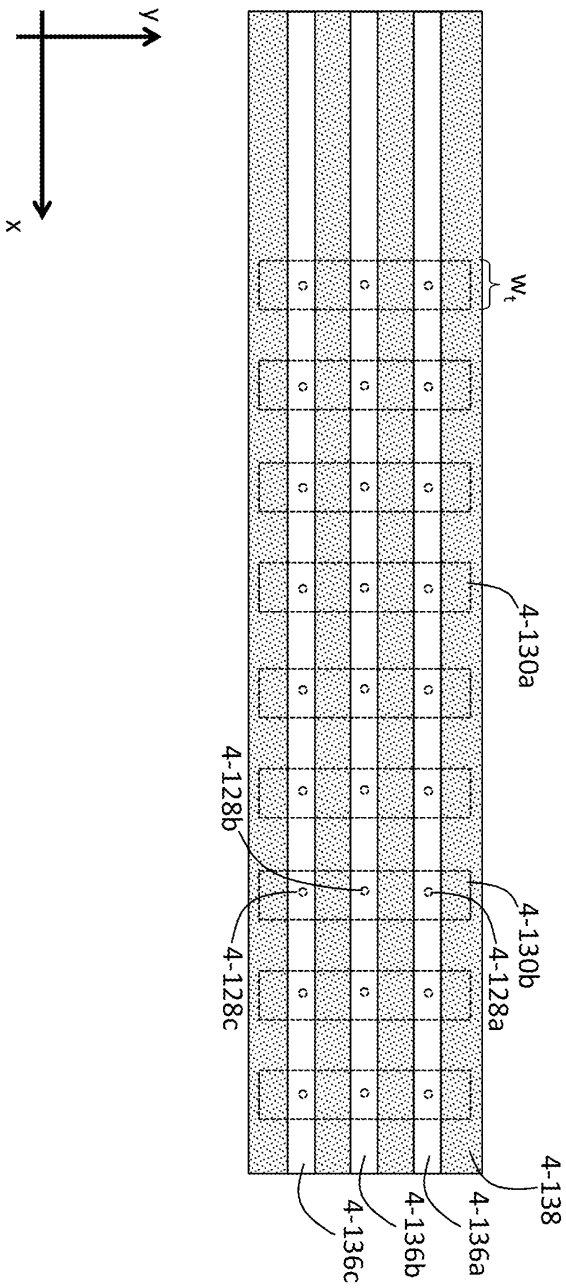
도면4ab



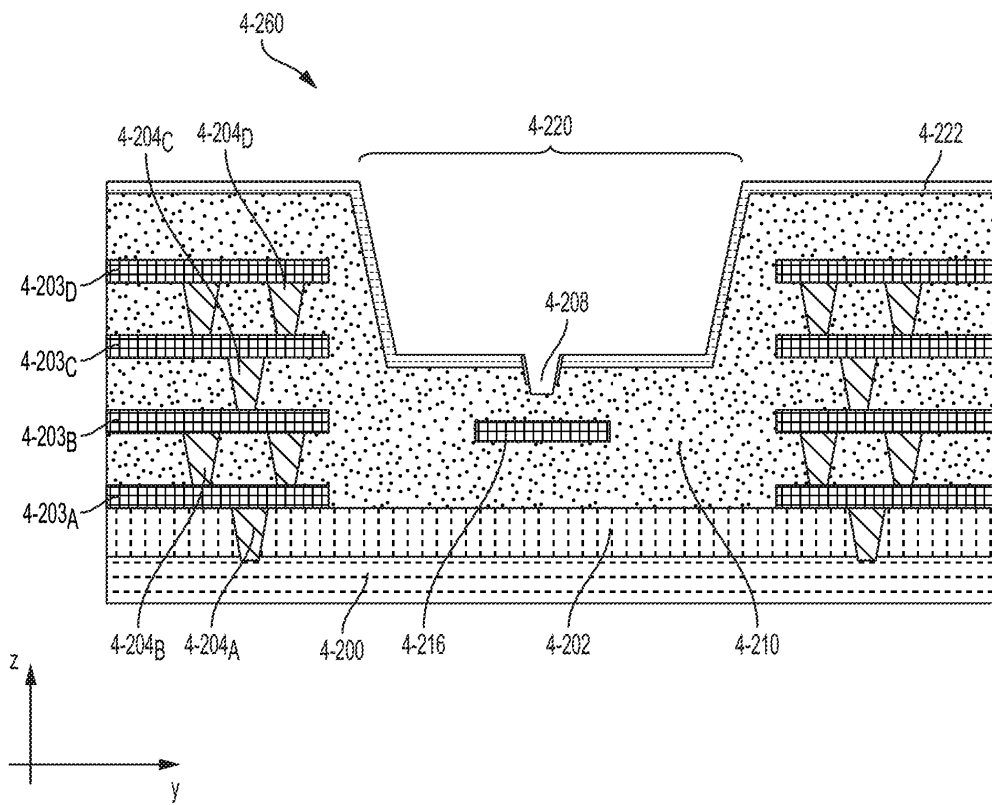
도면4ac



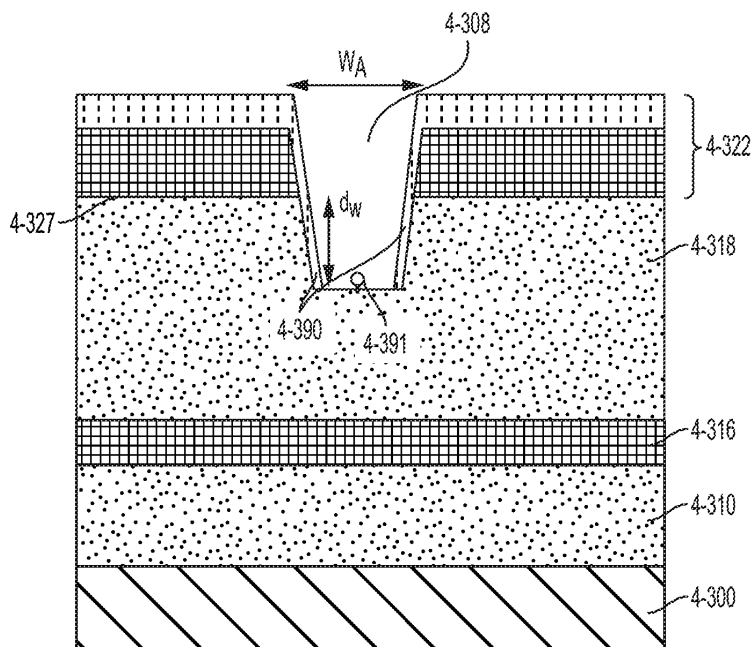
도면4ad



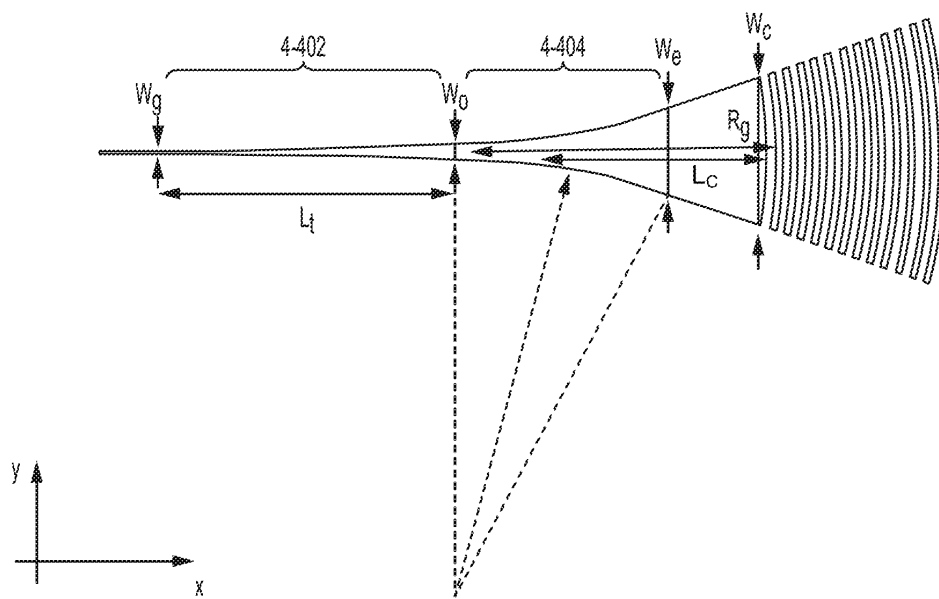
도면4b



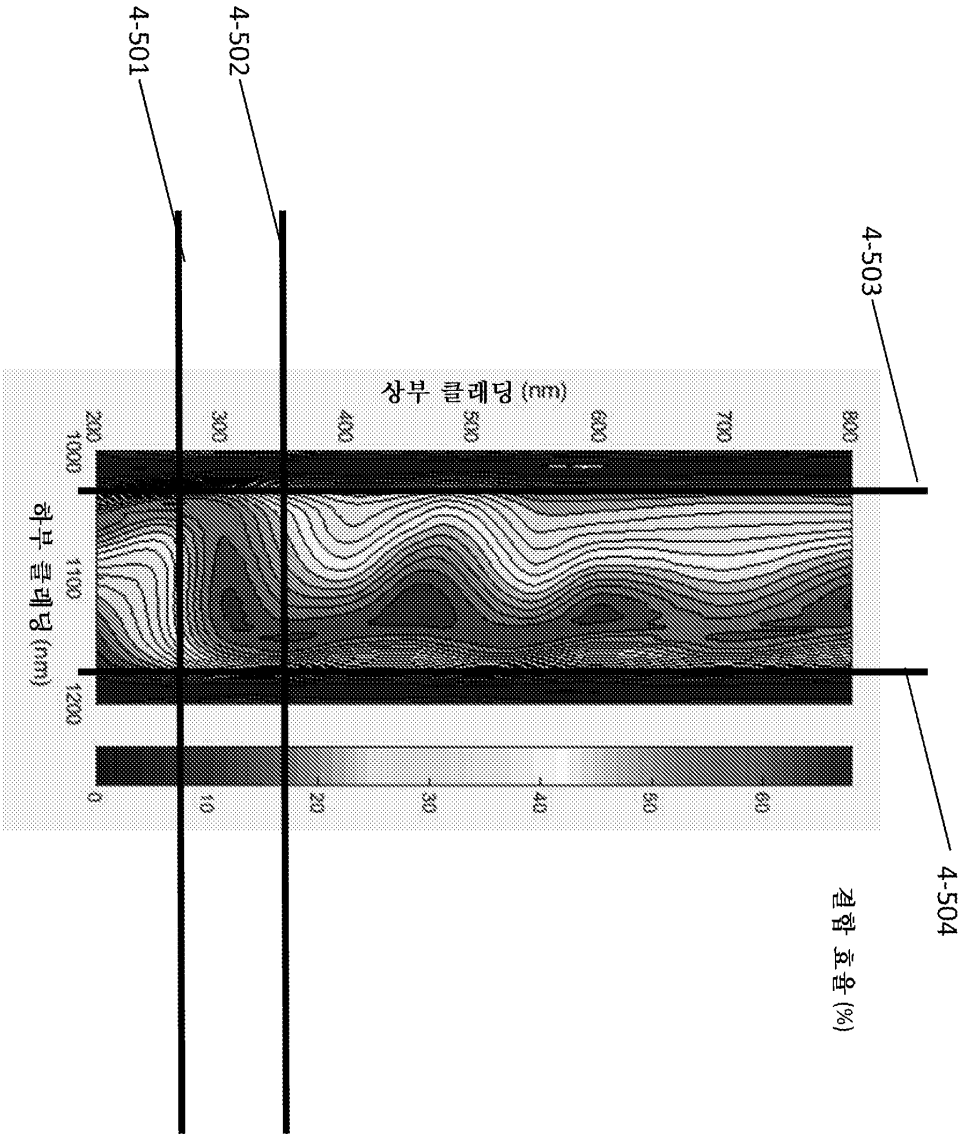
도면4c



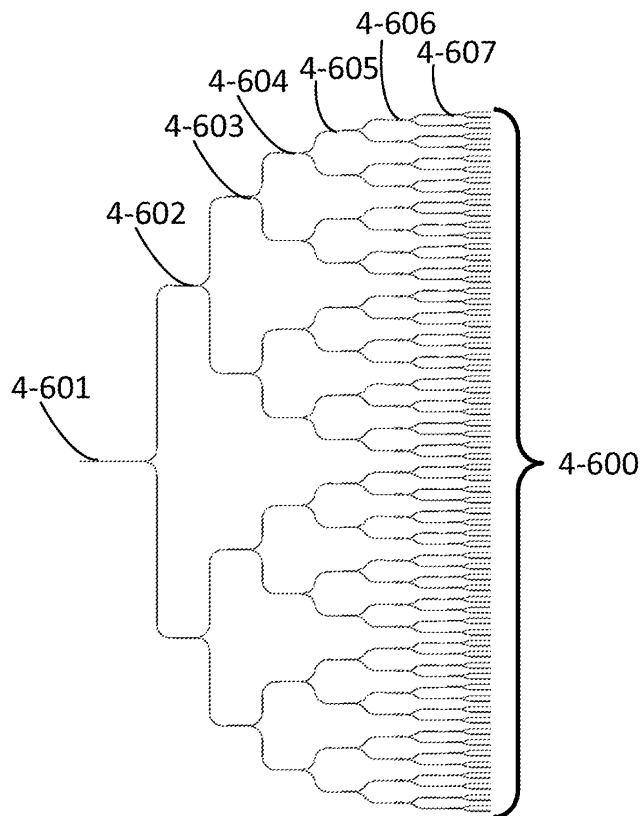
도면4d



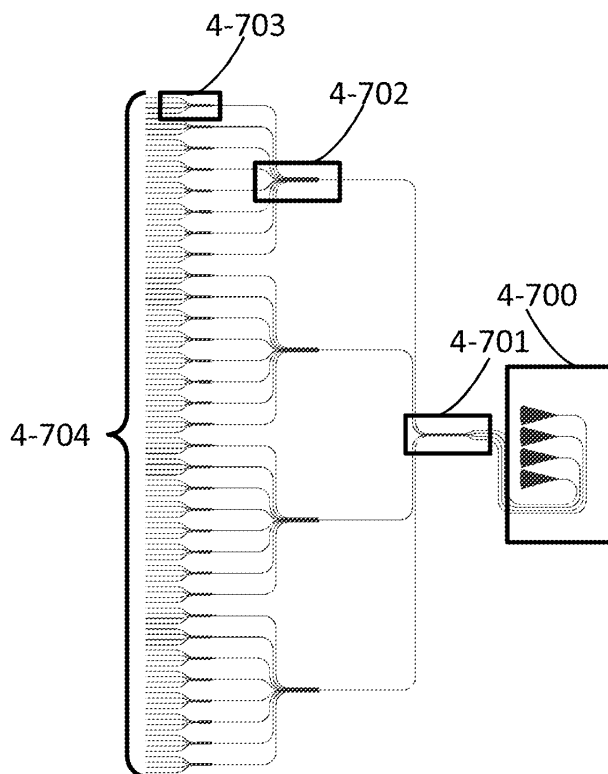
도면4e



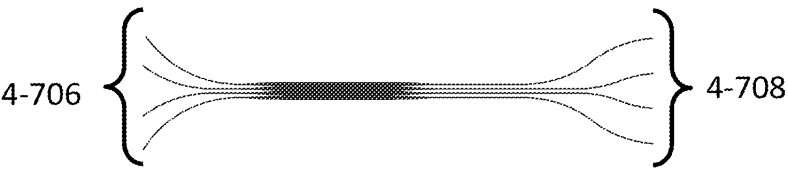
도면4f



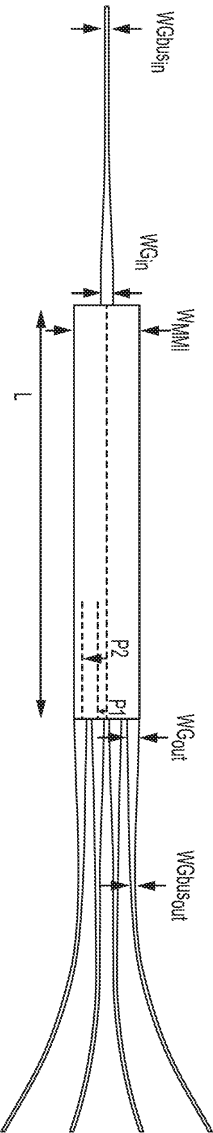
도면4ga



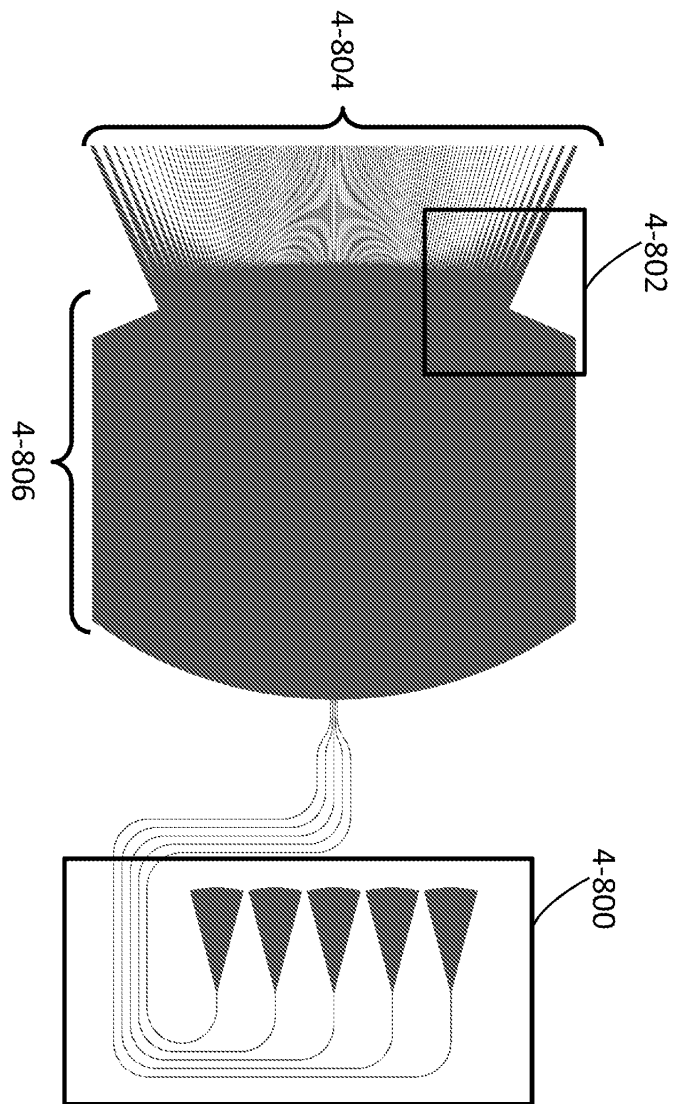
도면4gb



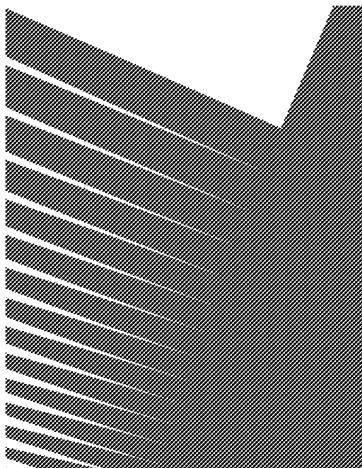
도면4gc



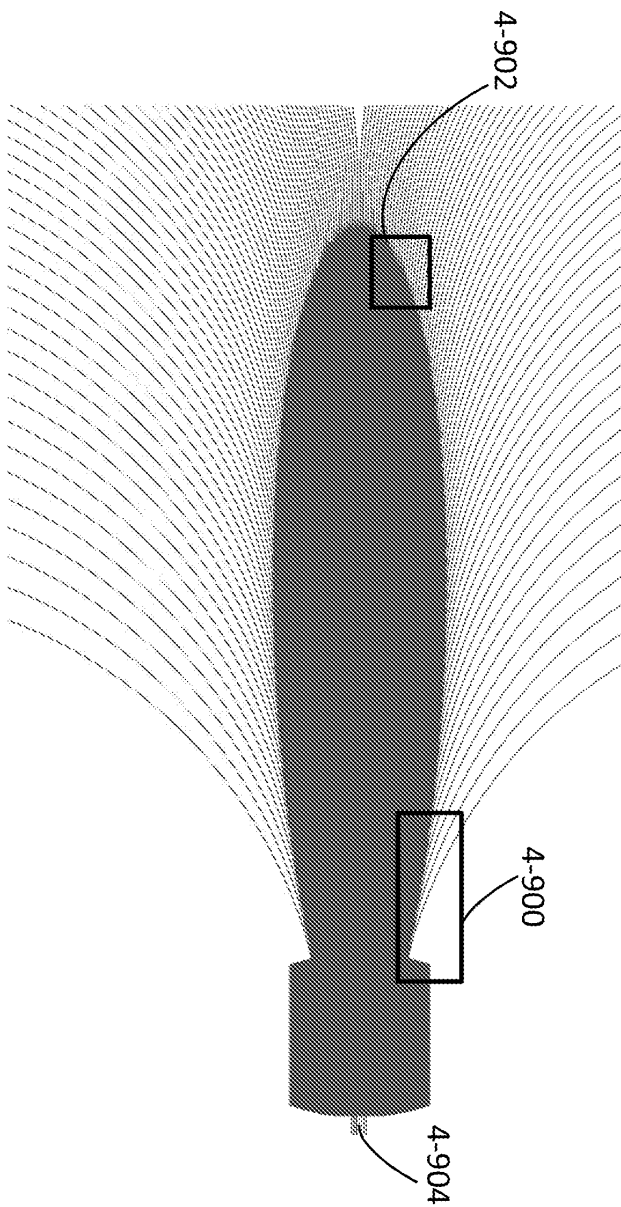
도면4ha



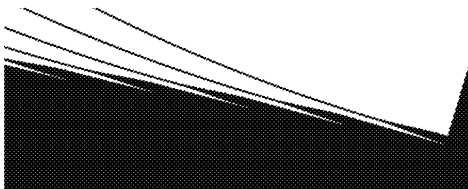
도면4hb



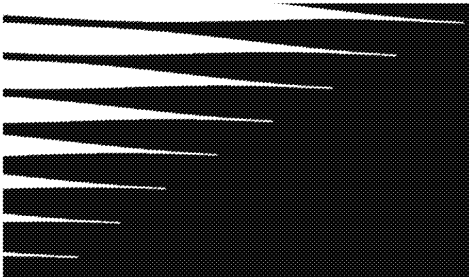
도면4ia



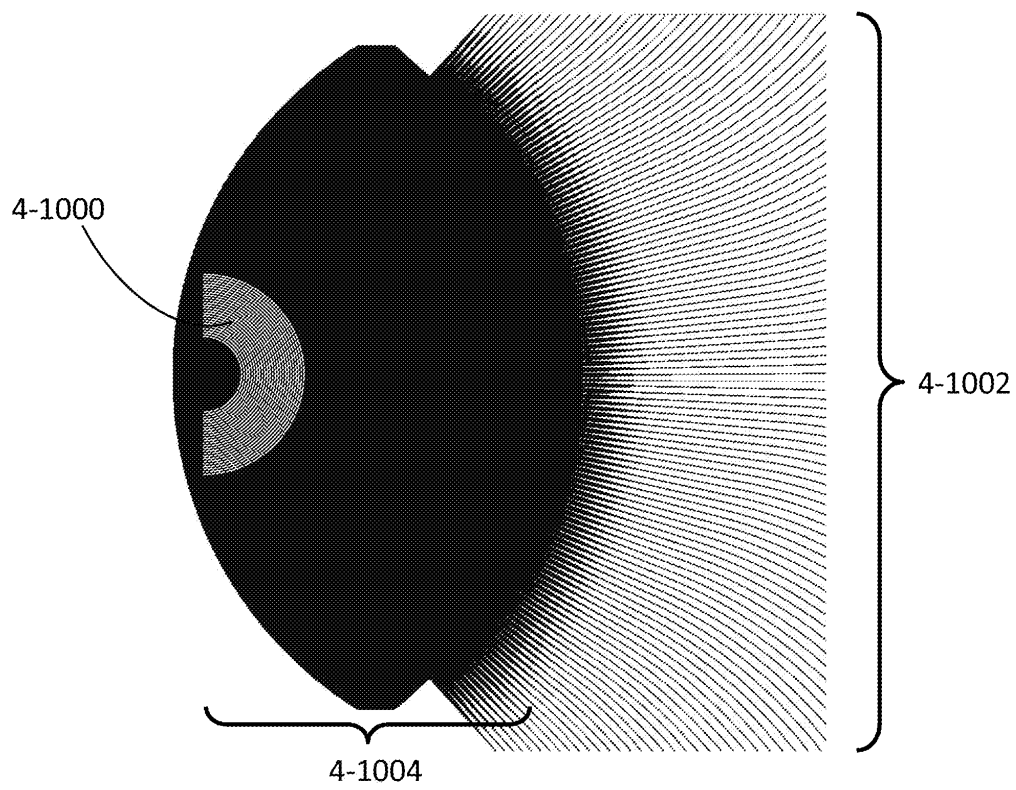
도면4ib



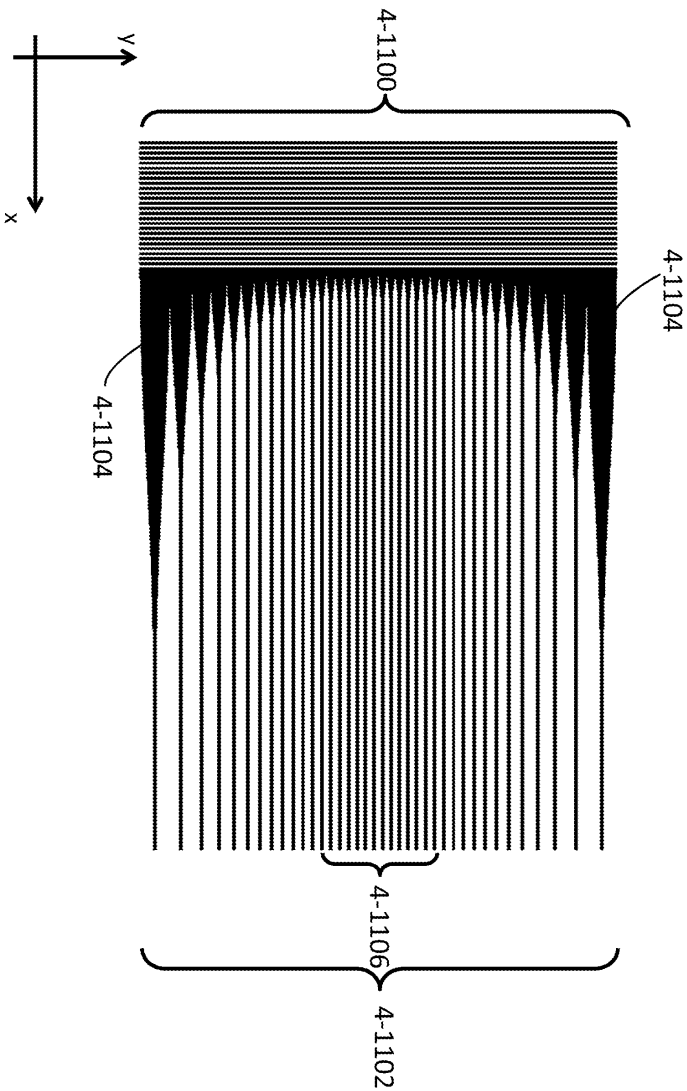
도면4ic



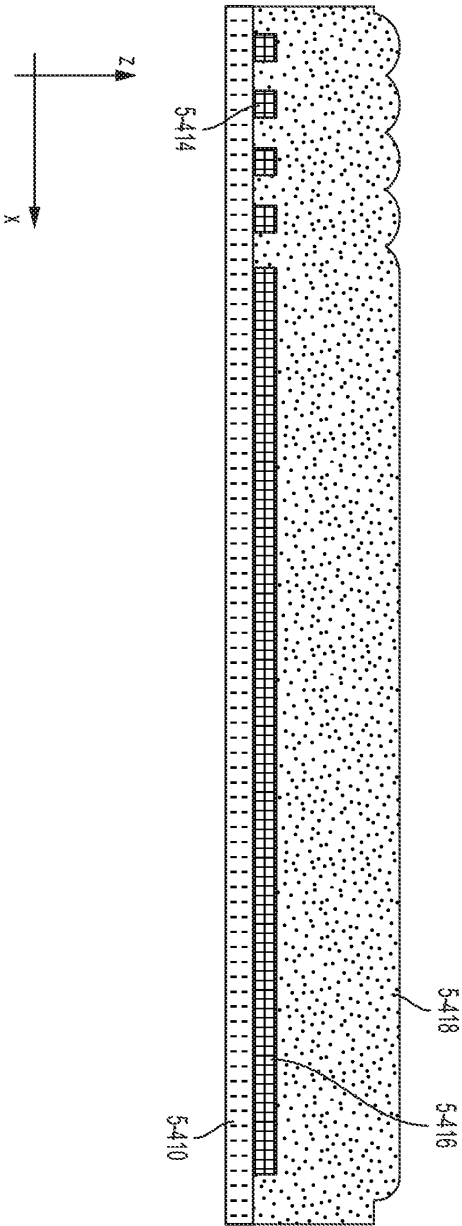
도면4j



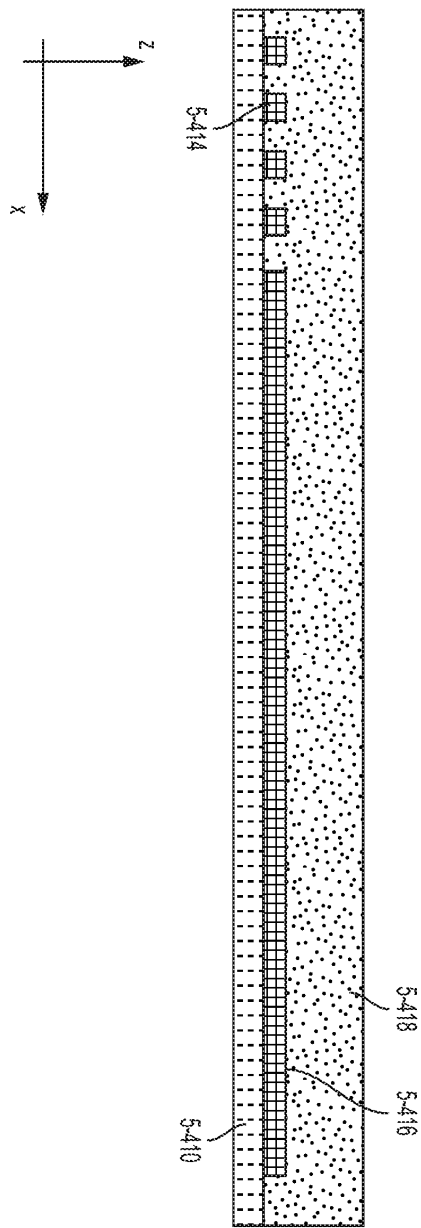
도면4k



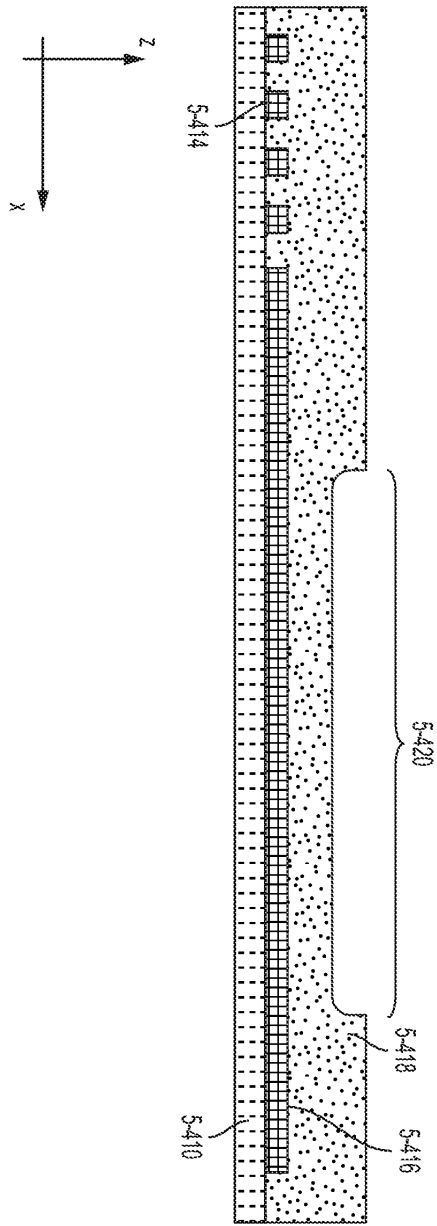
도면5aa



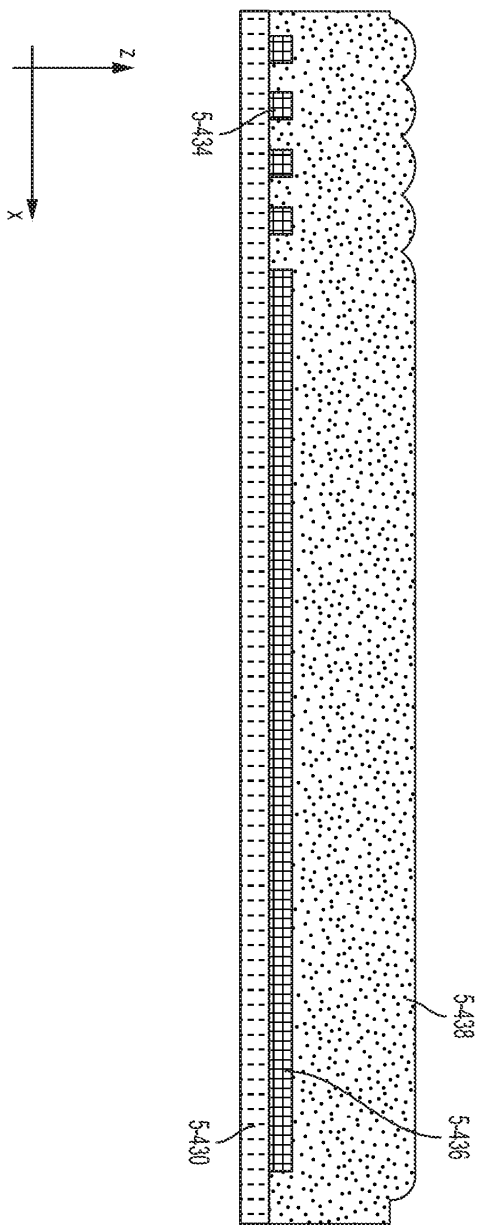
도면5ab



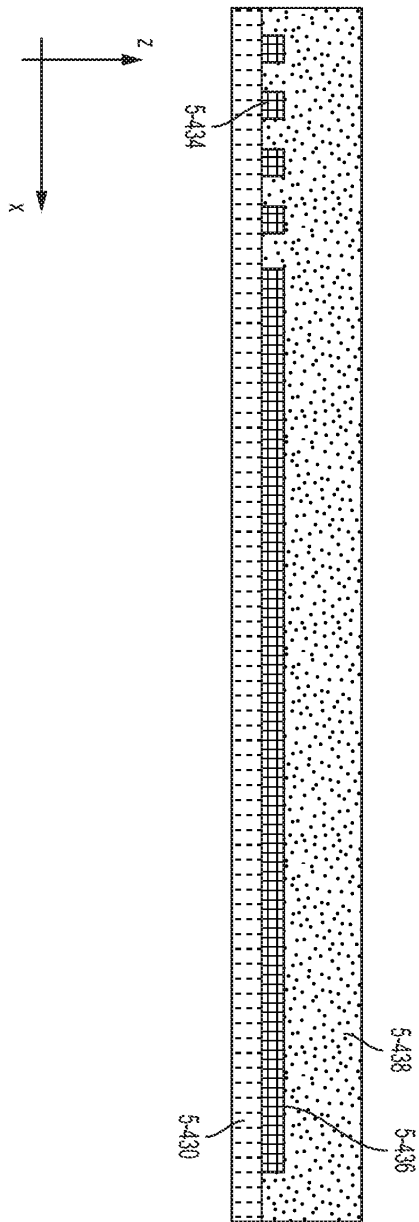
도면5ac



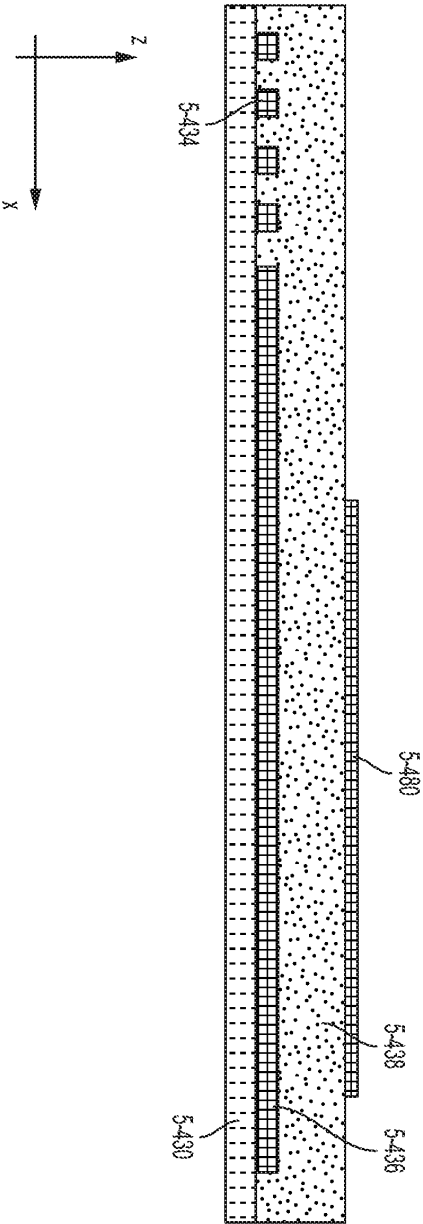
도면5ba



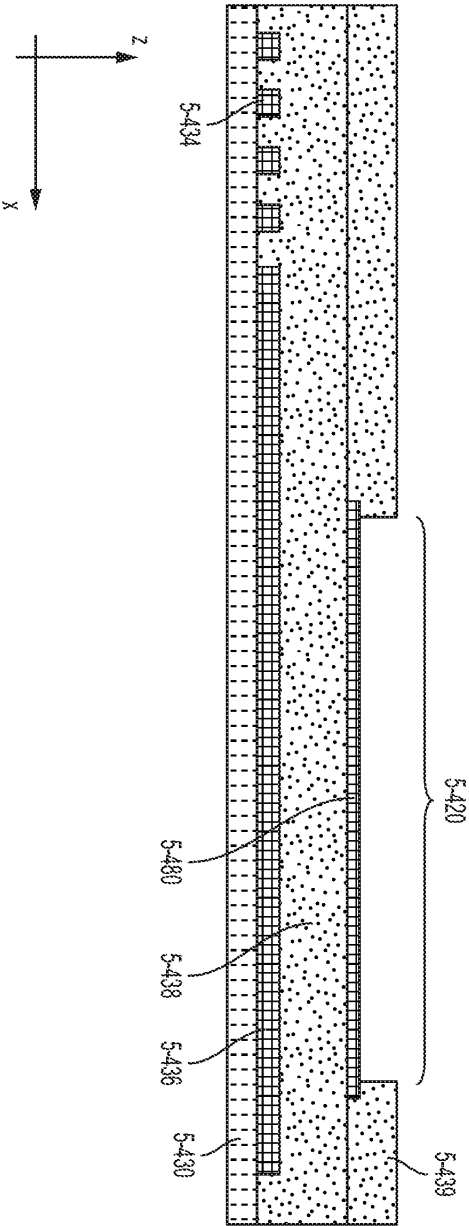
도면5bb



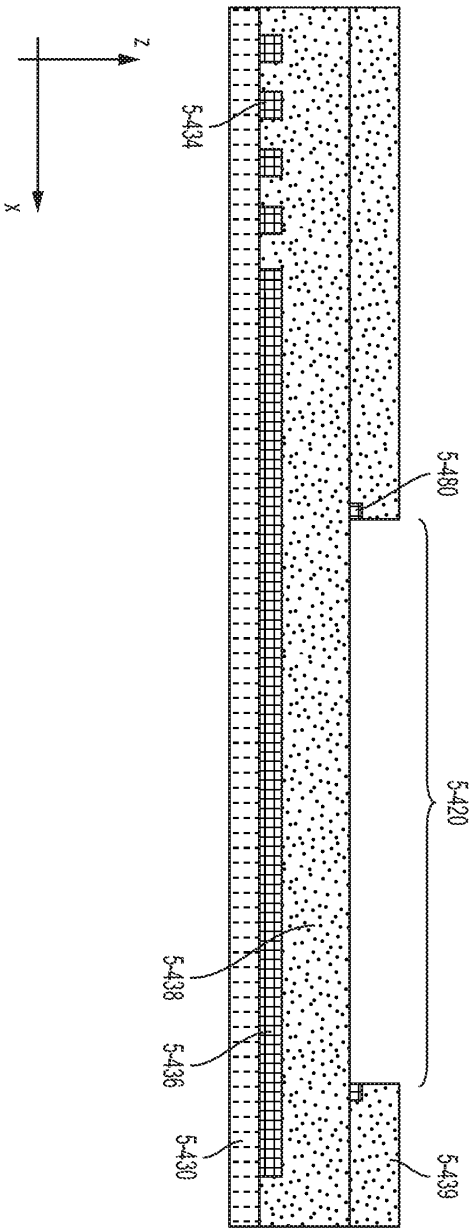
도면5bc



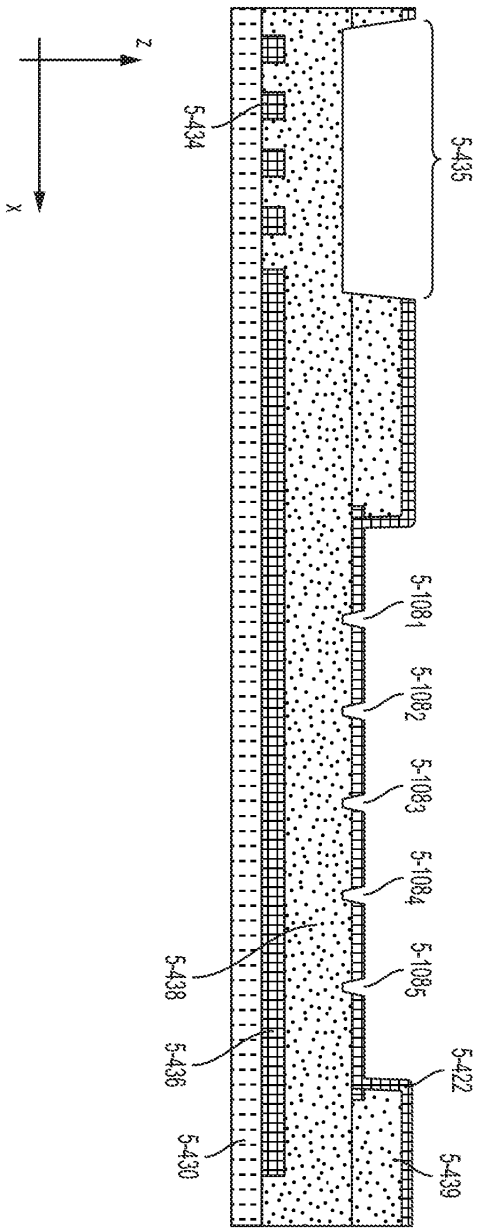
도면5bd



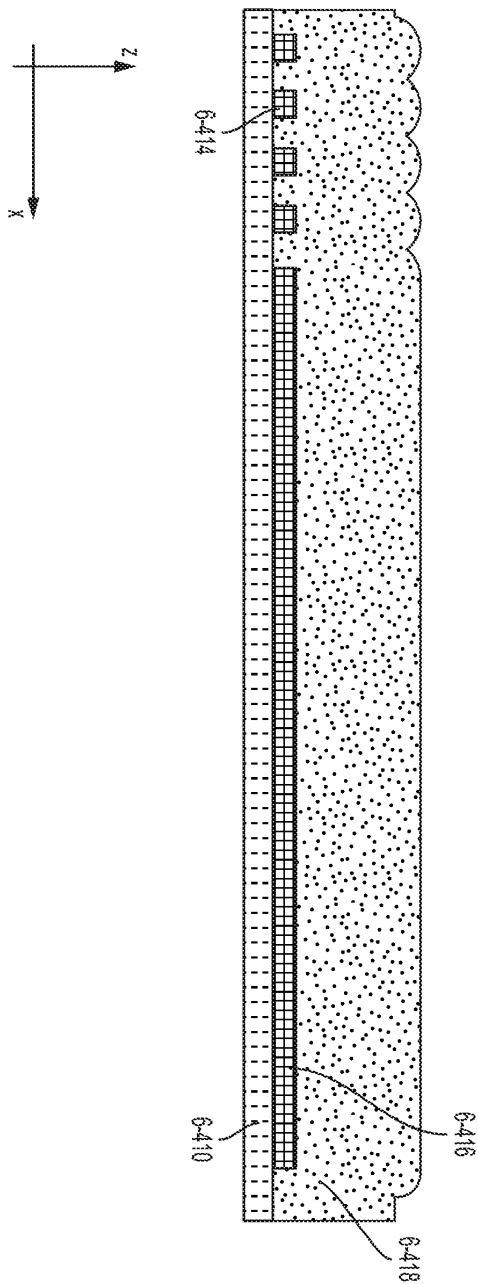
도면5be



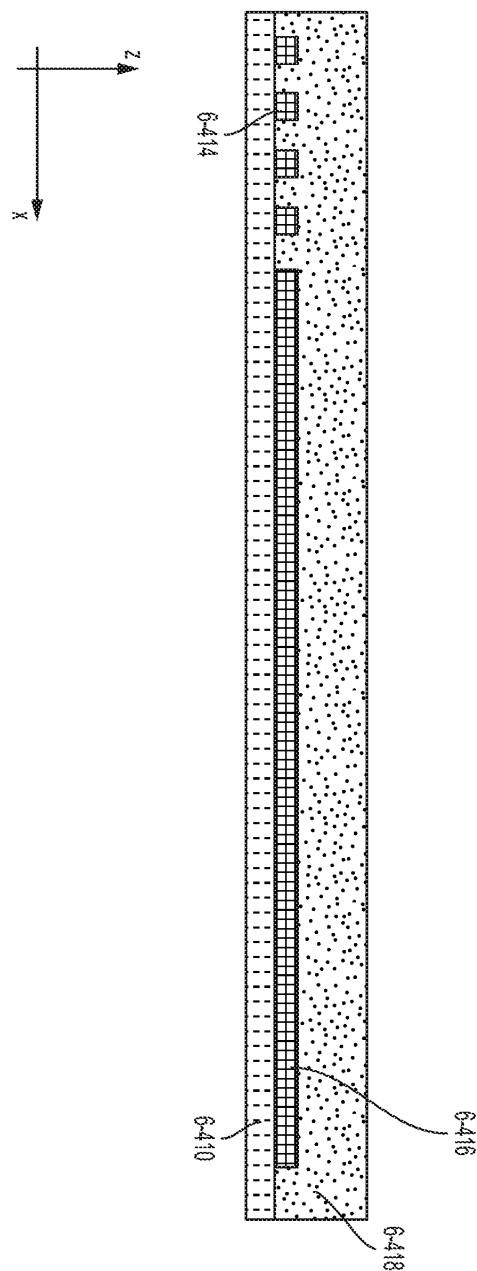
도면5bf



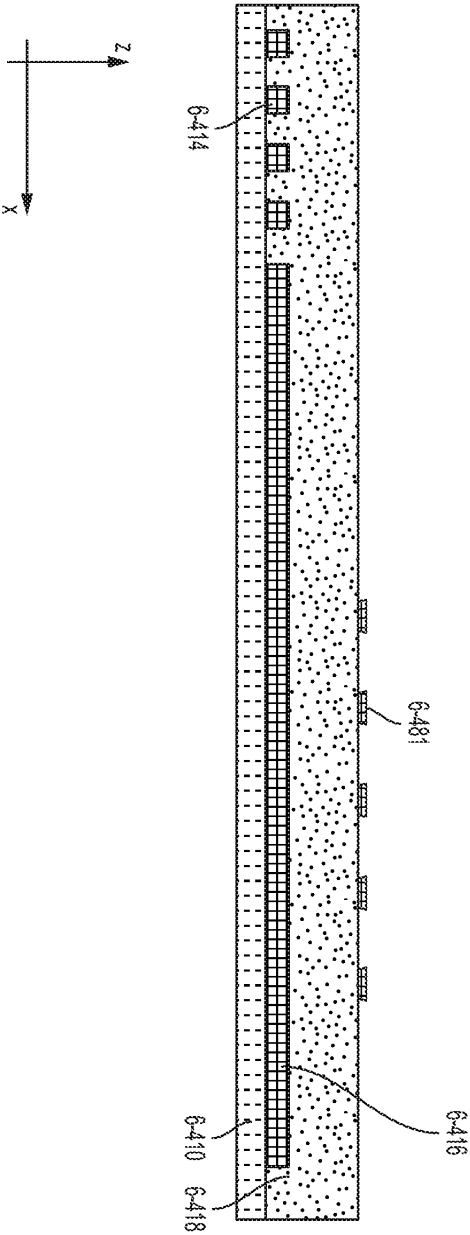
도면5ca



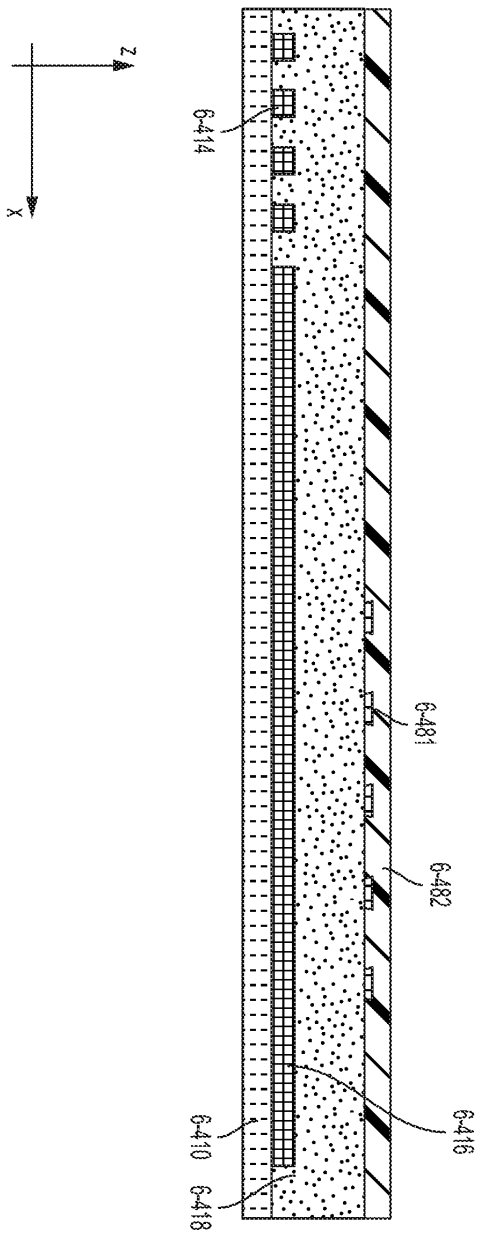
도면5cb



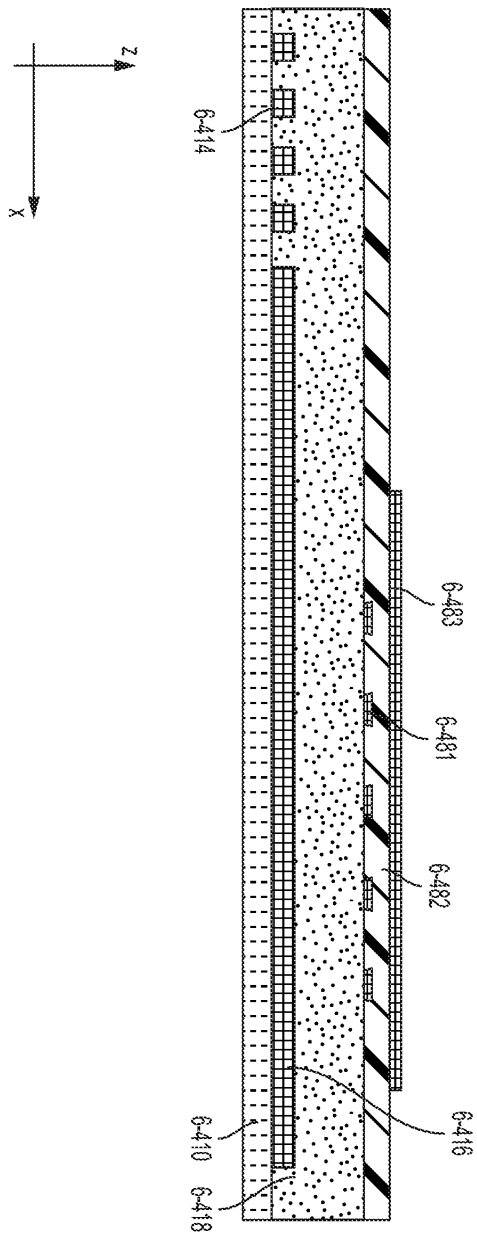
도면5cc



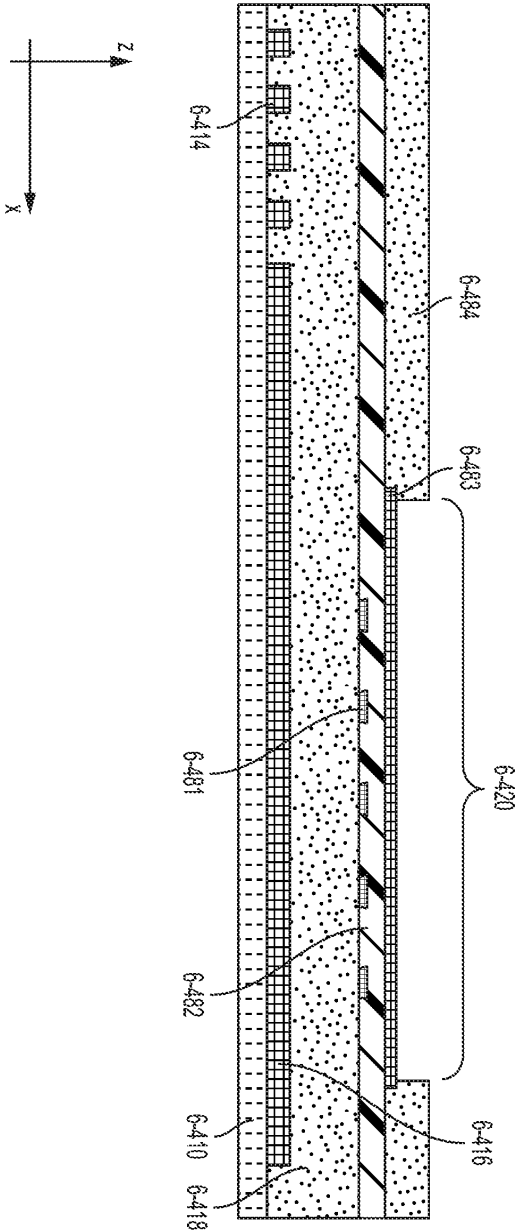
도면5cd



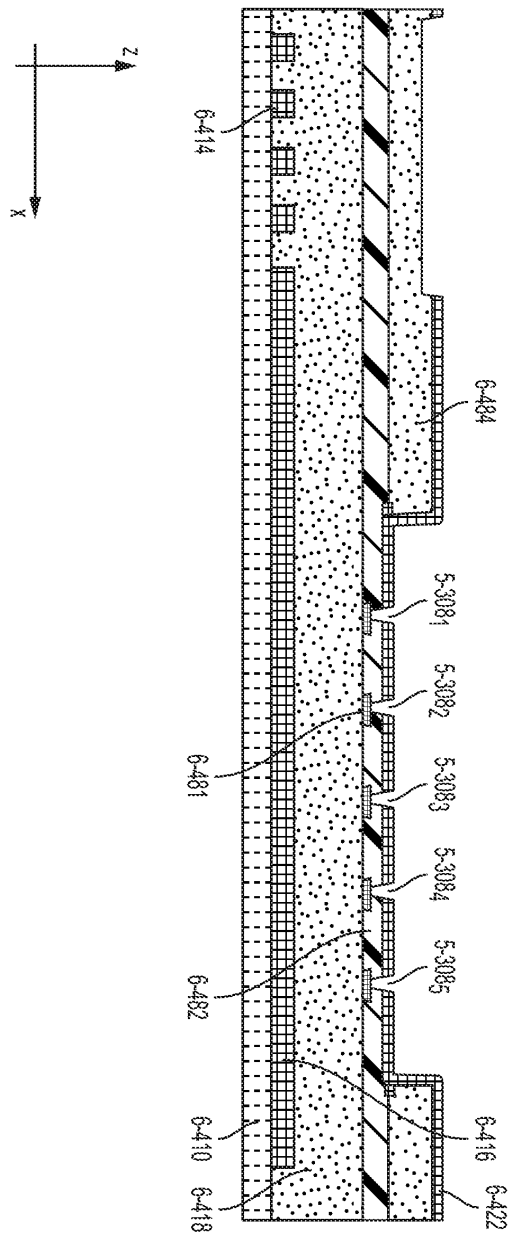
도면5ce



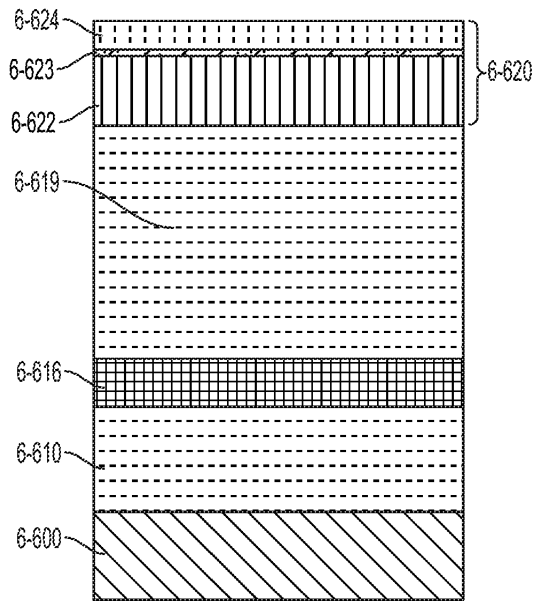
도면5cf



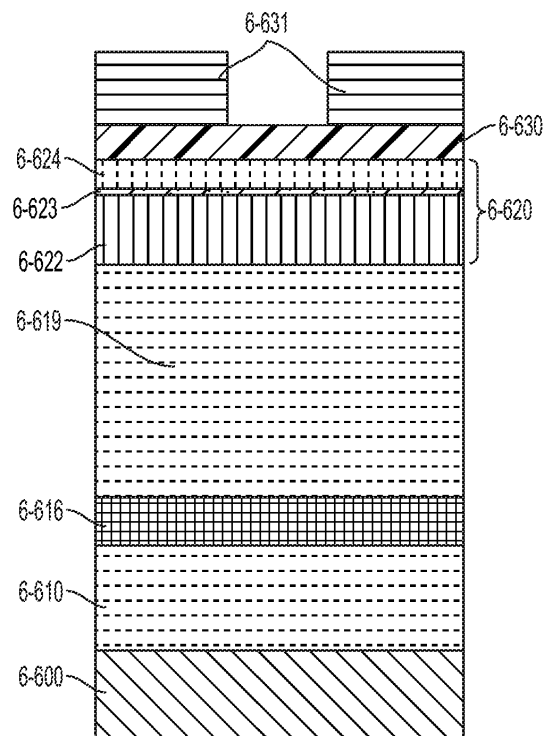
도면5cg



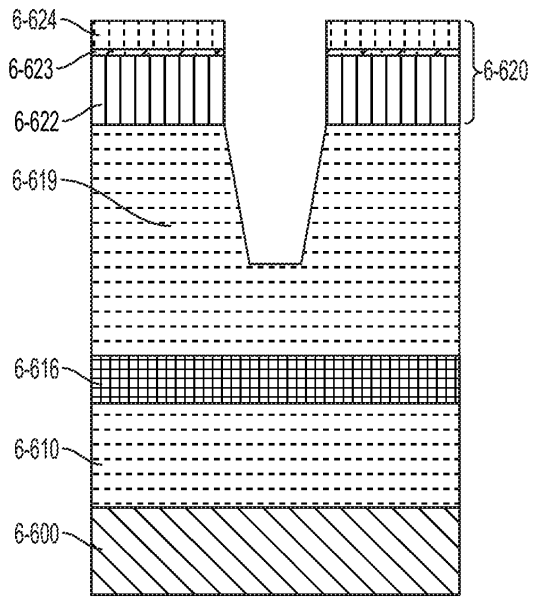
도면6aa



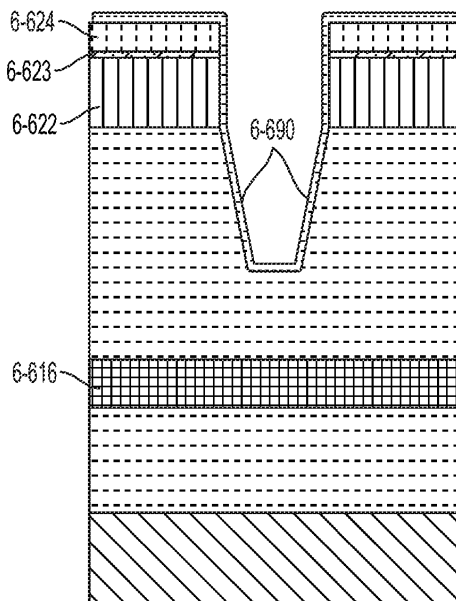
도면6ab



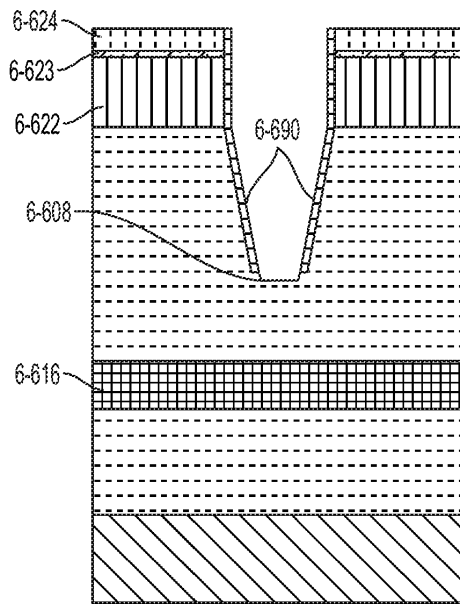
도면6ac



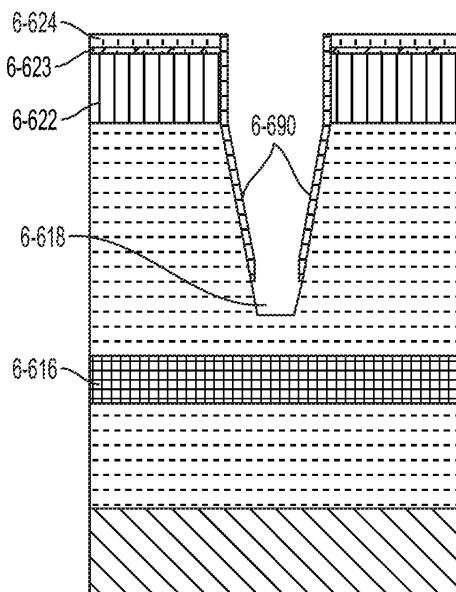
도면6ad



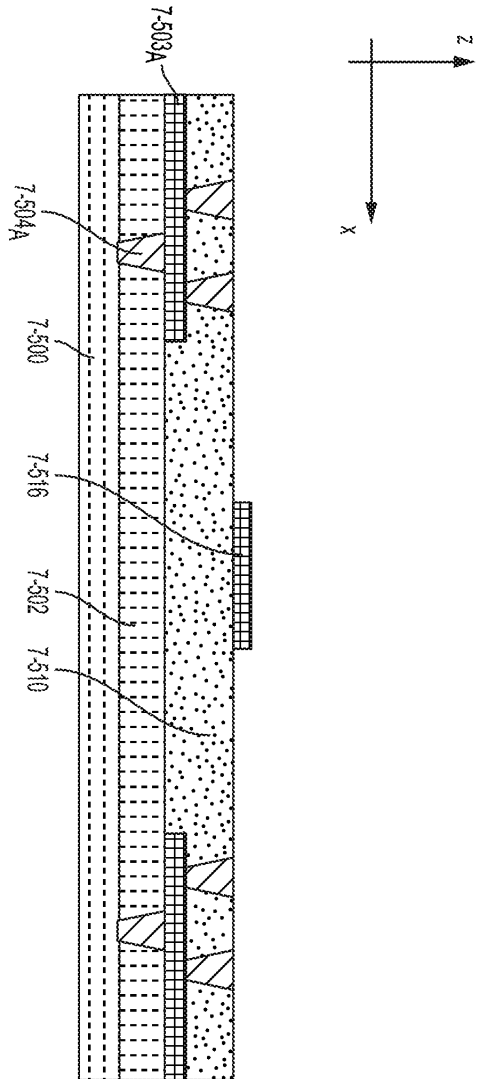
도면6ae



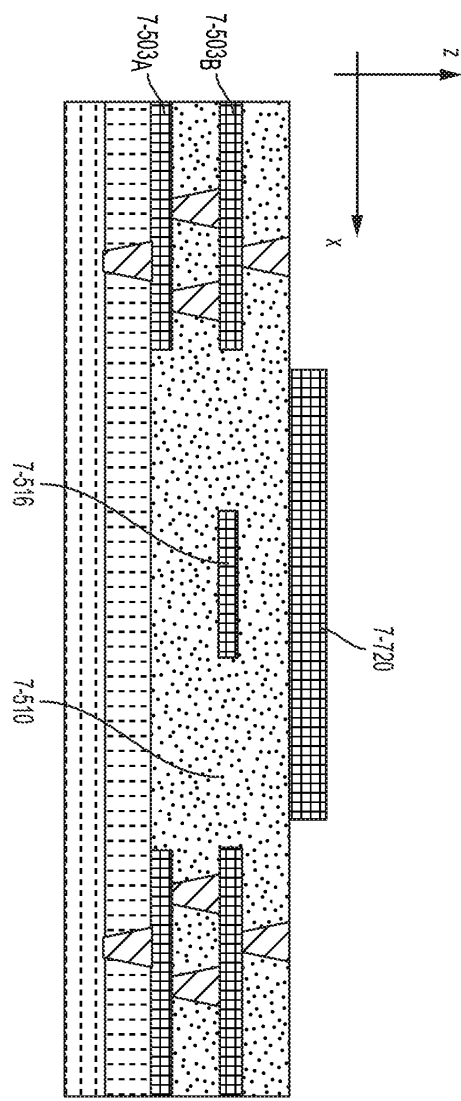
도면6af



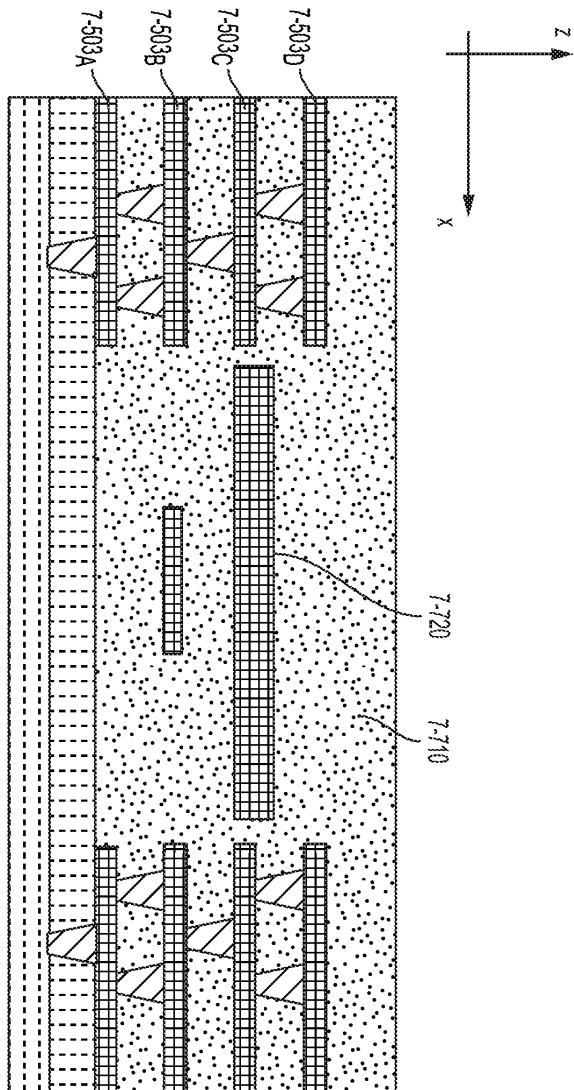
도면7aa



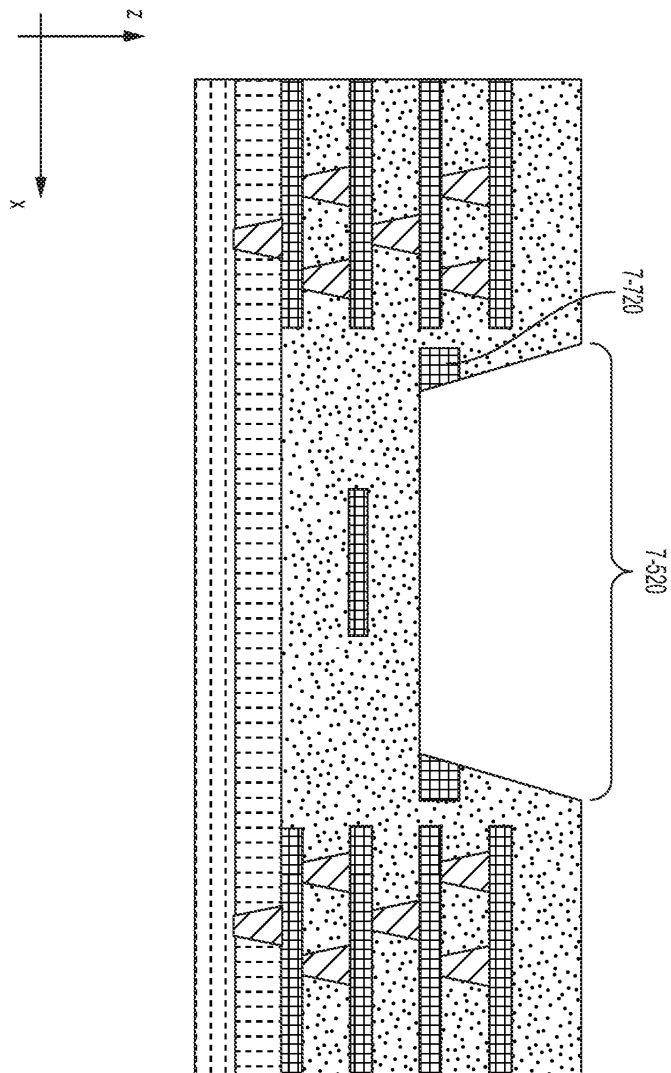
도면7ab



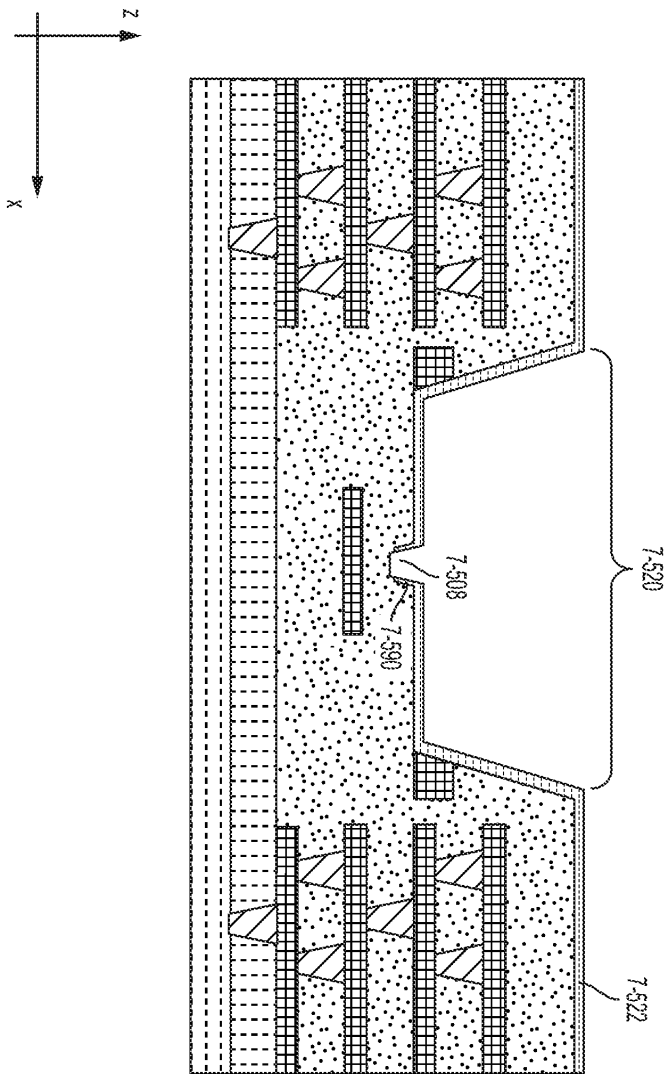
도면7ac



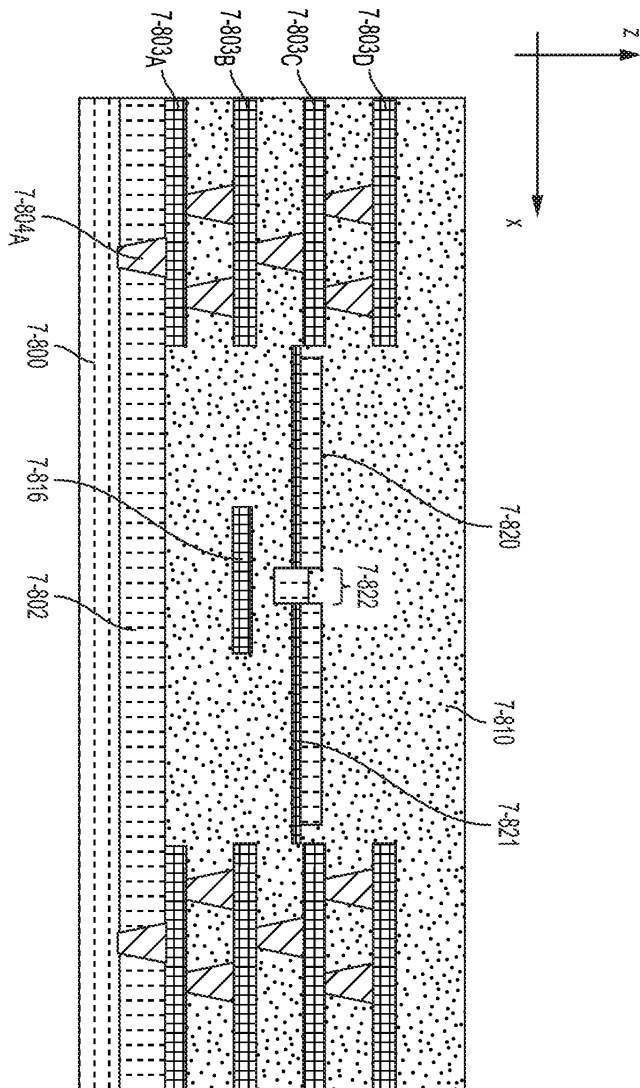
도면7ad



도면7ae



도면7ba



도면7bb

