

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2017-204510

(P2017-204510A)

(43) 公開日 平成29年11月16日(2017.11.16)

(51) Int.Cl.	F I	テーマコード (参考)
H O 1 L 27/14 (2006.01)	H O 1 L 27/14 D	4 M 1 1 8
H O 1 L 21/02 (2006.01)	H O 1 L 21/02 C	5 C O 2 4
H O 1 L 21/768 (2006.01)	H O 1 L 21/02 B	5 F O 3 3
H O 1 L 23/522 (2006.01)	H O 1 L 21/90 B	
H O 1 L 21/3205 (2006.01)	H O 1 L 21/88 J	
審査請求 未請求 請求項の数 13 O L (全 18 頁) 最終頁に続く		

(21) 出願番号 特願2016-94171 (P2016-94171)
 (22) 出願日 平成28年5月9日 (2016.5.9)

(71) 出願人 000001007
 キヤノン株式会社
 東京都大田区下丸子3丁目30番2号
 (74) 代理人 100126240
 弁理士 阿部 琢磨
 (74) 代理人 100124442
 弁理士 黒岩 創吾
 (72) 発明者 桑原 英司
 東京都大田区下丸子3丁目30番2号キヤ
 ノン株式会社内
 (72) 発明者 浮ヶ谷 信貴
 東京都大田区下丸子3丁目30番2号キヤ
 ノン株式会社内

最終頁に続く

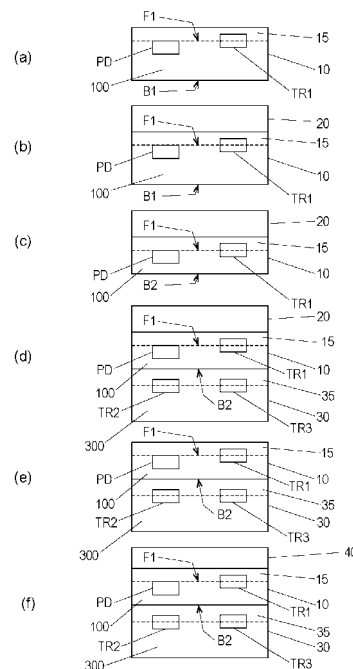
(54) 【発明の名称】 光電変換装置の製造方法

(57) 【要約】

【課題】 光電変換装置の性能を向上する

【解決手段】 光電変換素子が設けられた半導体層を含む第1基板を、第2基板に固定する工程と、第2基板に固定された第1基板を、第1基板に対して第2基板の側とは反対側から薄化する工程と、薄化された第1基板を、半導体素子が設けられた第3基板が第1基板に対して第2基板の側とは反対側に位置するように、第3基板に固定する工程と、第1基板を第3基板に固定する工程の後に、第2基板を除去する工程と、を備える。

【選択図】 図1



【特許請求の範囲】**【請求項 1】**

光電変換素子が設けられた半導体層を含む第 1 基板を、第 2 基板に固定する工程と、
前記第 2 基板に固定された前記第 1 基板を、前記第 1 基板に対して前記第 2 基板の側とは反対側から薄化する工程と、

前記薄化された第 1 基板を、半導体素子が設けられた第 3 基板が前記第 1 基板に対して前記第 2 基板の側とは反対側に位置するように、前記第 3 基板に固定する工程と、

前記第 1 基板を前記第 3 基板に固定する工程の後に、前記第 2 基板を除去する工程と、
を備えることを特徴とする光電変換装置の製造方法。

【請求項 2】

10

前記第 2 基板を除去する工程の後に、前記第 1 基板に対して前記第 3 基板の側とは反対側に集光部および波長選択部の少なくともいずれかを形成する工程を更に備える、請求項 1 に記載の光電変換装置の製造方法。

【請求項 3】

前記第 2 基板に固定する工程において、前記第 1 基板にはトランジスタが設けられている、請求項 1 または 2 に記載の光電変換装置の製造方法。

【請求項 4】

前記第 2 基板に固定する工程において、前記第 1 基板には配線部材が設けられている、請求項 1 乃至 3 のいずれか 1 項に記載の光電変換装置の製造方法。

【請求項 5】

20

前記第 2 基板を除去する工程の後に、前記第 1 基板に対して前記第 3 基板の側とは反対側に配線部材を形成する工程を更に備える、請求項 1 乃至 4 のいずれか 1 項に記載の光電変換装置の製造方法。

【請求項 6】

前記第 2 基板に固定する工程において前記第 1 基板はコンタクトプラグを含み、前記第 2 基板を除去する工程の後に、前記第 1 基板に対して前記第 3 基板の側とは反対側に複数の配線層を形成する工程を更に備える、請求項 1 乃至 3 のいずれか 1 項に記載の光電変換装置の製造方法。

【請求項 7】

30

前記第 2 基板を除去する工程の後に、前記第 1 基板に対して前記第 3 基板の側とは反対側に導光部を形成する工程を更に備える、請求項 1 乃至 6 のいずれか 1 項に記載の光電変換装置の製造方法。

【請求項 8】

前記半導体層を貫通する導電部材を形成する工程を更に備える、請求項 1 乃至 7 のいずれか 1 項に記載の光電変換装置の製造方法。

【請求項 9】

前記第 3 基板に固定する工程の前に、前記導電部材を形成する、請求項 8 に記載の光電変換装置の製造方法。

【請求項 10】

40

前記第 3 基板に固定する工程の後に、前記導電部材を形成する、請求項 8 に記載の光電変換装置の製造方法。

【請求項 11】

前記第 2 基板に固定する工程において、前記第 1 基板は前記半導体層と、前記半導体層に設けられた孔の中に配された導電部材と、を含み、前記薄化する工程では、前記第 1 基板に対して前記第 2 基板の側とは反対側に前記導電部材を露出させる、請求項 1 乃至 7 のいずれか 1 項に記載の光電変換装置の製造方法。

【請求項 12】

前記第 2 基板に固定する工程において、前記第 1 基板は、前記半導体層に対して前記第 2 基板の側とは反対側に位置する基体と、前記半導体層と前記基体との間に配された絶縁体層と、を含み、前記薄化する工程では、少なくとも前記基体の一部を除去する、請求項

50

1乃至11のいずれか1項に記載の光電変換装置の製造方法。

【請求項13】

前記薄化する工程の後において、前記第1基板の前記半導体層の厚さが10 μ mより大きく100 μ mより小さい、請求項1乃至12のいずれか1項に記載の光電変換装置の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、光電変換装置に関する。

【背景技術】

10

【0002】

光電変換素子が設けられた受光基板と、半導体素子が設けられた回路基板と、を積層した光電変換装置が提案されている。複数の基板を積層することにより、光電変換装置の性能の向上が期待される。

【0003】

特許文献1には、光電変換素子を有する第1の基板と、周辺回路部を有する第2の基板とを積層した、裏面照射型の固体撮像装置が開示されている。

【先行技術文献】

【特許文献】

【0004】

20

【特許文献1】特開2011-138841号公報

【発明の概要】

【発明が解決しようとする課題】

【0005】

複数の基板を積層すると光電変換装置が厚くなってしまうため、基板を薄くする要求がある。特許文献1ではフォトダイオード形成部材の薄膜化を行っているが、薄膜化によって新たに形成される面が受光面となるため、薄膜化に起因したノイズが生じやすい。そのため、光電変換装置の性能の向上が十分ではないという課題があった。

【0006】

本発明は、光電変換装置の性能を向上することを目的とする。

30

【課題を解決するための手段】

【0007】

上記課題を解決するための手段の一つの観点は、光電変換素子が設けられた半導体層を含む第1基板を、第2基板に固定する工程と、前記第2基板に固定された前記第1基板を、前記第1基板に対して前記第2基板の側とは反対側から薄化する工程と、前記薄化された第1基板を、半導体素子が設けられた第3基板が前記第1基板に対して前記第2基板の側とは反対側に位置するように、前記第3基板に固定する工程と、前記第1基板を前記第3基板に固定する工程の後に、前記第2基板を除去する工程と、を備えることを特徴とする光電変換装置の製造方法である。

【発明の効果】

40

【0008】

本発明によれば、性能を向上した光電変換装置を提供することができる。

【図面の簡単な説明】

【0009】

【図1】光電変換装置の製造方法を説明する模式図。

【図2】光電変換装置の製造方法の実施例1を説明する模式図。

【図3】光電変換装置の製造方法の実施例1を説明する模式図。

【図4】光電変換装置の製造方法の実施例1を説明する模式図。

【図5】光電変換装置の製造方法の実施例1を説明する模式図。

【図6】光電変換装置の製造方法の変形例を説明する模式図。

50

【図 7】光電変換装置の製造方法の実施例 2 を説明する模式図。

【図 8】光電変換装置の製造方法の実施例 2 を説明する模式図。

【図 9】光電変換装置の製造方法の実施例 2 を説明する模式図。

【図 10】光電変換装置の製造方法の実施例 3 を説明する模式図。

【図 11】光電変換装置の製造方法の実施例 3 を説明する模式図。

【図 12】光電変換装置の製造方法の実施例 3 を説明する模式図。

【図 13】光電変換装置の製造方法の実施例 4 を説明する模式図。

【図 14】光電変換装置の製造方法の実施例 4 を説明する模式図。

【発明を実施するための形態】

【0010】

10

以下、図面を参照して、本発明を実施するための形態を説明する。なお、以下の説明および図面において、複数の図面に渡って共通の構成については共通の符号を付している。そして、共通する構成を断りなく複数の図面を相互に参照して説明する場合がある。また、共通の符号を付した構成については説明を省略する場合がある。

【0011】

図 1 では、光電変換装置の断面模式図を用いて光電変換装置の製造方法を工程順に示している。

【0012】

図 1 (a) に示す工程 A では、光電変換素子 PD が設けられた受光基板 10 を用意する。受光基板 10 には光電変換素子 PD 以外に半導体素子 TR 1 が設けられていてもよい。受光基板 10 は光電変換素子 PD や半導体素子 TR 1 の少なくとも一部を含む半導体層 100 を有する。工程 A において半導体層 100 は表面 F 1 と裏面 B 1 とを有する。受光基板 10 における表面 F 1 は最終的な光電変換装置における半導体層 100 の受光面となる。なお、受光基板 10 の裏面は半導体層 100 の裏面 B 1 に一致しうが、受光基板 10 の裏面が半導体層 100 以外の層で構成されていてもよい。半導体素子 TR 1 は例えば n 型の MOS トランジスタである。半導体素子 TR 1 は光電変換素子 PD と共に画素回路を構成しうる。受光基板 10 は半導体層 100 の上に設けられた第 1 配線部材 15 を含むことができる。第 1 配線部材 15 は、半導体装置で一般的に用いられる配線構造（多層配線構造）の複数の構成要素の少なくともいずれかを含みうる。配線構造（多層配線構造）の複数の構成要素とは、コンタクトプラグ、配線層、ビアプラグ、コンタクトプラグ用や配線層用のエッチングストップ層、層間絶縁層、配線層の拡散防止層、およびバッシベーション層である。受光基板 10 は第 1 配線部材 15 を含まなくてもよい。

20

30

【0013】

図 1 (b) に示す工程 B では、光電変換素子 PD が設けられた受光基板 10 を支持基板 20 に固定する。工程 B において、受光基板 10 が第 1 配線部材 15 を含む場合には、第 1 配線部材 15 が半導体層 100 と支持基板 20 との間に位置する。

【0014】

図 1 (c) に示す工程 C では、支持基板 20 に固定された受光基板 10 を、受光基板 10 に対して支持基板 20 の側とは反対側（裏面 B 1 側）から薄化する。半導体層 100 の薄化とは半導体層 100 の厚さを小さくすることである。薄化においては、受光基板 10 のうち、受光基板 10 の支持基板 20 の側とは反対側の面（裏面 B 1）を含む部分が除去される。工程 C における半導体層 100 の薄化によって、半導体層 100 には新たな裏面 B 2 が形成される。

40

【0015】

図 1 (d) に示す工程 D では、薄化された受光基板 10 を、半導体素子 TR 2 が設けられた回路基板 30 に固定する。この固定は、回路基板 30 が受光基板 10 に対して支持基板 20 の側とは反対側（裏面 B 2 側）に位置するように行われる。回路基板 30 には半導体素子 TR 2 以外に半導体素子 TR 3 が設けられていてもよい。回路基板 30 は半導体素子 TR 2 や半導体素子 TR 3 の少なくとも一部を含む半導体層 300 を有する。半導体素子 TR 2 は例えば n 型の MOS トランジスタであり、半導体素子 TR 3 は例えば p 型の M

50

ＯＳトランジスタである。半導体素子ＴＲ２と半導体素子ＴＲ３は共にアナログ信号処理回路やデジタル信号処理回路、ＡＤ変換回路あるいは駆動回路を構成しうる。回路基板３０には光電変換素子が設けられていてもよい。回路基板３０に設けられた光電変換素子は、受光基板１０を透過した光を受光することができる。

【００１６】

回路基板３０は半導体層３００の上に設けられた第２配線部材３５を含むことができる。第２配線部材３５は、第１配線部材１５と同様に半導体装置で一般的に用いられる配線構造（多層配線構造）における構成要素の少なくともいずれかを含みうる。回路基板３０は第２配線部材３５を含まなくてもよい。図１（ｄ）に示すように、工程Ｄにおいて、回路基板３０が第２配線部材３５を含む場合には、第２配線部材３５が半導体層３００と受光基板１０との間に位置しうる。これに限らず、半導体層３００が第２配線部材３５と受光基板１０との間に位置するように、回路基板３０を配置することもできる。

10

【００１７】

図１（ｅ）に示す工程Ｅでは、回路基板３０に固定された受光基板１０の上から支持基板２０を除去する。支持基板２０は完全に除去することが好ましいが、支持基板２０の少なくとも一部が除去されればよく、受光に影響を与えない範囲で支持基板２０の一部が受光基板１０の上に残っていてもよい。

【００１８】

図１（ｆ）示す工程Ｆでは、支持基板２０を除去する工程Ｅの後に、受光基板１０に対して回路基板３０の側とは反対側（表面Ｆ１側）に光学部材４０を形成する。光学部材４０はトップレンズ（マイクロレンズ）や層内レンズなどの集光部、カラーフィルタなどの波長選択部、およびコアクラッド構造を有する導光部（導光路、光導波路とも言う）、遮光部の少なくともいずれかを含みうる。

20

【００１９】

なお、工程Ｂにおいて受光基板１０が第１配線部材１５を含まない場合には、工程Ｅと工程Ｆとの間に、第１配線部材１５に相当する配線部材を形成してもよい。工程Ａで第１配線部材１５の一部を形成し、工程Ｅと工程Ｆとの間に第１配線部材１５の残りの一部を形成してもよい。

【００２０】

この後、受光基板１０と回路基板３０の積層体をダイシングして、複数基板を積層したチップを得ることができる。チップはパッケージングされる。

30

【００２１】

本実施形態によれば、受光基板１０を薄化することにより回路基板３０を設けても光電変換装置の厚みの増加を抑制できる。

【００２２】

また、本実施形態によれば、支持基板２０とは反対側の面から受光基板１０を薄化し、支持基板２０側の面を受光面として用いることができるため、薄化に伴って生じ得るノイズを低減することができる。

【００２３】

また、本実施形態によれば、支持基板２０を除去することにより、支持基板２０による半導体層１００への入射光の減衰を抑制できる。

40

【００２４】

また、本実施形態によれば、光学部材４０を支持基板２０の除去後に形成することで、光学部材４０が、支持基板２０の着脱時（工程Ｂ、Ｅ）や受光基板１０の薄化時（工程Ｃ）に損傷することを避けることができる。よって、光学特性に優れた光電変換装置を得ることができる。同様に、第１配線部材１５の少なくとも一部を支持基板２０の除去後に形成すれば、第１配線部材１５の損傷を低減することができる。そのため、電気的特性や信頼性に優れた光電変換装置を得ることができる。このように、受光面上に配されることになる部材の少なくとも一部を、薄化する工程Ｃの前ではなく、支持基板２０を除去する工程Ｅの後に行うことで、受光面上に配される部材に、薄化時や支持基板２０の固定時ある

50

いは除去時に生じるダメージを低減することができる。よって、信頼性の高い光電変換装置を製造することができ、また、歩留まり良く光電変換装置を製造することができる。

【0025】

受光基板10と回路基板30は電氣的に相互接続される。この電氣的接続は、チップの外でワイヤボンディング接続やフリップチップ接続によって実現することができる。あるいは、受光基板10と回路基板30との接続を、チップ内で半導体層100および/または半導体層300を貫通する導電部材である貫通電極によって実現することができる。貫通電極の形成には、スルーシリコンビア(TSV)技術を用いることができる。

【0026】

貫通電極の形成は、導電部材の形成と、導電部材による半導体層の貫通の実現の2つに分けて考えることができる。貫通電極の形成の第1例では、工程Cの後に、受光基板10に対して支持基板20とは反対側から、受光基板10の半導体層100に貫通孔を形成する。そして、貫通孔内に導電部材を形成する。これにより、半導体層100を貫通する導電部材である貫通電極を形成する。その後、回路基板30が貫通電極に接続するように工程Dを行う。

10

【0027】

貫通電極の形成の第2例では、工程Eの後に、受光基板10に対して回路基板30とは反対側から、受光基板10の半導体層100に貫通孔を、形成する。そして、貫通孔内に導電部材を形成する。これにより、半導体層100を貫通する導電部材である貫通電極を形成する。貫通孔を回路基板30に達するように形成することで、半導体層100を貫通する導電部材を回路基板30に接続できる。

20

【0028】

貫通電極の形成の第3例では、工程Bの前に、受光基板10の半導体層100に孔を形成する。そして、この孔の中に導電部材を形成する。そして、工程Cで、受光基板10に対して支持基板20側とは反対側に導電部材を露出させる。これにより、半導体層100を貫通する導電部材である貫通電極を形成する。支持基板20側とは反対側に露出した導電部材を回路基板30に接続できる。

【0029】

ウエハレベルチップサイズパッケージ(WLCSP)型の光電変換装置を製造することもできる。WLCSP型の光電変換装置では、受光基板10と回路基板30の積層体のダイシング前にガラスウエハなどの透光基板(不図示)に受光基板10と回路基板30の積層体を接着する。このとき、透光基板と回路基板30との間に受光基板10が位置することになる。そして、透光基板と受光基板10と回路基板30とを併せてダイシングする。これにより、透光基板、受光基板、回路基板がこの順で積層された光電変換装置を得ることができる。

30

【0030】

また、チップオンボード(COB)型の光電変換装置を製造することもできる。COB型の光電変換装置では、配線基板に受光基板10と回路基板30の積層体を接続する。このとき、受光基板10と配線基板との間に回路基板30が位置することになる。そして、受光基板10と回路基板30と配線基板を併せてダイシングする。これにより、受光基板、回路基板、配線基板がこの順で積層された光電変換装置を得ることができる。もちろん、WLCSP型とCOB型を組み合わせ、透光基板、受光基板、回路基板、配線基板がこの順で積層された光電変換装置を得ることができる。

40

【0031】

以上説明した光電変換装置は、カメラに用いられる撮像装置(イメージセンサ)として使用できる。この他、焦点検出(AF:オートフォーカス)用のセンサや測光(AE:オートエクスポージャー)用のセンサ、測距用のセンサにも適用できる。

【0032】

カメラは、撮像装置としての光電変換装置以外に、信号処理装置、記憶装置、表示装置および光学装置の少なくともいずれかを備えることができる。信号処理装置は、例えばC

50

P UやD S Pであり、撮像装置から得られた信号を処理する。記憶装置は、例えばD R A Mやフラッシュメモリであり、撮像装置から得られた信号に基づく情報を記憶する。表示装置は、例えば液晶ディスプレイや有機E Lディスプレイであり、撮像装置で得られた信号に基づく情報を表示する。光学装置は、例えばレンズやミラー、シャッター、フィルタであり、撮像装置へ光を導く。ここでいうカメラとはスチルカメラやビデオカメラ、監視カメラ等のカメラ専用機器以外に、撮影機能を有する情報端末や撮影機能を有する移動体（車両や飛行体）も包含する。

【0033】

以下、実施例1～3を挙げて、詳細に説明する。なお実施例1～3で重複する事項は説名を省略する。

【実施例1】

【0034】

図2(a)～(c)に示す工程は、図1で説明した工程Aに相当する。

【0035】

図2(a)に示すように、半導体層100を有する半導体ウエハを用意する。

【0036】

図2(b)に示す工程では、半導体層100の素子部（活性部）を画定する素子分離部101を形成する。ここで、素子分離部101は酸化シリコン膜等のフィールド絶縁膜によって構成され、L O C O S、S T Iの何れの方法で形成しても良い。そして、半導体層100にフォトダイオードである光電変換素子P Dやトランジスタである半導体素子T R 1を形成する。半導体素子T R 1は、M O S構造を有するゲート111、サイドスペーサ112、ソース、ドレインの不純物領域113を有する。ウェル、ゲート絶縁膜及びL D D用の不純物領域については図が細くなる為、敢えて図示していない。フォトダイオードである光電変換素子P Dは、電荷蓄積領域であるn型の不純物領域121と、その周囲のp型の不純物領域を含む。さらに、不純物領域121と半導体層100の表面との間にはp型の不純物領域122が設けられており、これによって、光電変換素子P Dは埋め込み型フォトダイオードとなっている。転送ゲート123は浮遊拡散領域（フローティングディフュージョン）であるn型の不純物領域124に電荷（電子）を転送する。

【0037】

図2(c)に示す工程では、受光基板10を形成する。受光基板10は半導体層100の上に配線部材を有する。配線部材は、層間絶縁層130、層間絶縁層130を貫通するコンタクトプラグ131を含む。配線部材は、さらに、第1配線層132、第1配線層132上の層間絶縁層140、第1配線層132と第2配線層142の間の第1ビアプラグ141、第2配線層142を含む。配線部材は、さらに、第2配線層142上の層間絶縁層150、第2配線層142と第3配線層152の間の第2ビアプラグ151、第3配線層152、第3配線層152上のパッシベーション膜としての絶縁体膜160を含む。このように、受光基板10には、第3配線層152上のパッシベーション膜としての絶縁体膜160まで設けられている。以上のようにして受光基板10が用意される。

【0038】

図2(d)、(e)に示す工程は、図1で説明した工程Bに相当する。図2(d)は、パッシベーション膜としての絶縁体膜160まで形成した受光基板10と支持基板20の接合前の状態を示している。図2(e)は、受光基板10と支持基板20の接合後の状態を示している。受光基板10と支持基板20の接合方法は直接接合あるいは各種接着剤を用いた何れの方法でも構わない。支持基板20はシリコンウエハでもよいし、ガラスウエハでもよいが、熱膨張率の違いによる反りを考慮すると、受光基板10がシリコンウエハであれば、支持基板20もシリコンウエハであることが好ましい。

【0039】

図3(f)は、図1で説明した工程Cに相当する。受光基板10をバックグラインド（B G）、化学機械研磨（C M P）、および/またはウェットエッチングにより受光基板10を薄化した状態を表わしている。詳細には、受光基板10の半導体層100の一部が除

10

20

30

40

50

去され、半導体層 100 が薄くなる。この時、半導体層 100 の厚さは薄い方が後の貫通電極用の孔を形成する際のエッチング工程で有利である。一方、半導体層 100 が薄過ぎるとフォトダイオード特性に影響がある。薄化後の半導体層 100 の厚さは、5 μm 以上であることが好ましく、10 μm より大きいことがより好ましい。また、薄化後の半導体層 100 の厚さは、100 μm より小さいことが好ましく、50 μm 以下であることがより好ましい。薄化によって現れる半導体層 100 の裏面と受光面となる表面との距離が 10 μm より大きければ、裏面の近傍で生じるノイズの影響を低減できる。

【0040】

図3(g)~(k)は、貫通電極を形成する工程を示す。

【0041】

図3(g)は受光基板10の薄化後、裏面(研磨面)に絶縁膜180を形成する工程を示している。

【0042】

図3(h)は、半導体層100に貫通孔181を形成する工程を示している。貫通孔181は、受光基板10の裏面にレジストを塗布し、レジストの露光、現像を行なってマスクを形成する。マスクを用いて半導体層100をドライエッチングすることにより第1配線層132の接続電極135に達する貫通孔181を形成する。なお、貫通孔181が接続電極135に達するために、半導体層100のエッチングに続いて、素子分離部101のフィールド絶縁膜や層間絶縁層130もエッチングする。図3(h)は、貫通孔181の形成後に、レジストマスクを除去した状態を示している。

【0043】

図3(i)は、貫通孔181の内面および半導体層100の裏面上に絶縁膜182を形成した状態を示している。

【0044】

図4(j)は、絶縁膜182のうち、貫通孔181の底(接続電極135上)に位置する部分を、異方性エッチングにより除去した状態を示している。なお、絶縁膜182のうち、半導体層100の裏面上に位置する部分も除去される。これらの工程は、後に貫通孔181に埋め込む導電部材と半導体層100との絶縁及び、接続電極135との導通を実現する為に行なわれる。

【0045】

図4(k)は、貫通孔181の中に導電部材183を埋め込む工程を示している。導電部材183は、銅シード層および銅メッキ層の形成により導電材料を形成し、CMPにより貫通孔181外の余分な導電材料を除去することにより形成できる。

【0046】

図4(l)、図5(m)は、図1で説明した工程Dに相当する。続く図4(l)では受光基板10と、別途用意した回路基板30の接合前の状態を示している。回路基板30は半導体層300を含む。半導体層300にはトランジスタである半導体素子TR2、TR3、TR4をはじめとして、抵抗素子、容量素子などの各種の半導体素子が形成されている。回路基板30には半導体集積回路として画素回路以外の回路である周辺回路が設けられている。周辺回路は、画素回路を駆動する駆動回路や画素回路からのアナログ信号を処理するアナログ信号処理回路や、アナログ信号をデジタル信号に変換するAD変換回路、デジタル信号を処理するデジタル信号処理回路を含みうる。半導体素子TR2、TR3、TR4はMOS構造を有するゲート311、サイドスペーサ312、ソース、ドレインの不純物領域313、314、315を有する。半導体素子TR3はn型のウェル310に配されている。なお、ゲート絶縁膜は図示を省略している。半導体素子TR2、TR3、TR4はLDD用の不純物領域やHALO用の不純物領域を設けることができるが、図示を省略している。また、半導体素子TR2、TR3、TR4のゲート、ソース、ドレインにはサリサイドプロセスにより、コバルトシリサイドやニッケルシリサイドを包含するシリサイド層が設けることができるが、これも図示を省略している。

【0047】

10

20

30

40

50

半導体層 300 の上には配線部材が形成されている。配線部材は、コンタクトプラグ 331、第 1 配線層 332、ビアプラグ 341、第 2 配線層 342、ビアプラグ 351、第 3 配線層 352 含む。また、これらの配線層間には、層間絶縁層 330、340、350 が配されている。配線部材には、ダマシン構造を有する銅配線を用いることができる。パッシベーション膜としての絶縁体膜 360 も設けられている。最上層の配線層である第 3 配線層 352 に含まれる接続電極 355 が露出した状態にある。

【0048】

図 5 (m) は、パッシベーション膜としての絶縁体膜 360 まで形成した回路基板 30 と受光基板 10 の受光基板 10 と支持基板 20 の接合後の状態を示している。受光基板 10 と回路基板 30 の接合方法は直接接合あるいは各種接着剤を用いた何れの方法でも構わ

10

【0049】

図 5 (n) は、図 1 で説明した工程 E に相当する。支持基板 20 を受光基板 10 から除去する。支持基板 20 除去方法は剥離でも、機械研磨、機械化学研磨、ウェットエッチング、剥離の何れの方法でも構わない。

【0050】

図 5 (o) は、図 1 で説明した工程 F に相当する。カラーフィルタ 191、マイクロレンズ 192 を形成し、さらに絶縁体膜 160 もパッド開口 193 を形成する。その後、ウエハをダイシングしてチップを得て、必要に応じてパッケージングを行う。

20

【0051】

これにより、受光基板 10 と回路基板 30 を積層した、表面照射型 (FSI) の光電変換装置が完成する。

【0052】

実施例 1 では貫通電極が回路基板 30 の接続電極 355 から第 1 配線層 132 までとなるので、エッチング対象が、絶縁膜 180、半導体層 100、素子分離部 101 フィールド絶縁膜、層間絶縁層 130 と、少なくて済む。このことは貫通孔 181 を良好に形成する上で有利である。

【0053】

実施例 1 では第 1 配線層 132 に含まれる接続電極 135 に導電部材 183 を接続したが、貫通孔 181 の加工が可能であれば、どの配線層に含まれる接続電極と接続しても構わない。

30

【0054】

図 6 (a) は実施例 1 の第 1 変形例を示している。第 1 変形例では導電部材 183 が第 2 配線層 142 に含まれる接続電極 145 に接続されている。

【0055】

図 6 (b) は実施例 1 の第 2 変形例を示している。第 2 変形例では導電部材 183 が第 3 配線層 152 に含まれる接続電極 155 に接続されている。

【実施例 2】

40

【0056】

図 7 (a) に示す工程は、図 1 で説明した工程 A に相当する。受光基板 10 には、ビアプラグ 151 と絶縁体膜 160 までが形成されている。実施例 1 とは第 3 配線層 152 が形成されていない点が相違する。

【0057】

図 7 (b) に示す工程は、図 1 で説明した工程 B に相当する。受光基板 10 に支持基板 20 を貼り合わせ、相互に固定する。

【0058】

図 7 (c) に示す工程は、図 1 で説明した工程 C に相当する。受光基板 10 を機械研磨 (MP)、化学機械研磨 (CMP)、あるいはウェットエッチングにより薄化する。

50

【 0 0 5 9 】

図 7 (d) に示す工程は、図 1 で説明した工程 D に相当する。実施例 2 においては、回路基板 3 0 の接続電極 3 5 5 は絶縁膜 3 8 0 で覆われている。絶縁膜 3 8 0 は受光基板 1 0 と回路基板 3 0 との接合の前に回路基板 3 0 に設けられている。なお、本例では実施例 1 における絶縁膜 1 8 0 に相当する絶縁膜を省略して、絶縁膜 3 8 0 と半導体層 1 0 0 が接するようにしている。半導体層 1 0 0 の上に絶縁膜 1 8 0 を設けて、絶縁膜 1 8 0 と絶縁膜 3 8 0 とが直接接合するあるいは、接着剤を介して接合するようにしてもよい。

【 0 0 6 0 】

図 8 (e) に示す工程は、図 1 で説明した工程 E に相当する。支持基板 2 0 は受光基板 1 0 の上から除去されている。

10

【 0 0 6 1 】

図 8 (f) ~ 図 9 (h) に示す工程は、貫通電極を形成する工程である。

【 0 0 6 2 】

図 8 (f) に示す工程では、受光基板 1 0 に対して回路基板 3 0 とは反対側から、半導体層 1 0 0 を貫通する貫通孔 3 8 1 を形成する。

【 0 0 6 3 】

貫通孔 3 8 1 は、受光基板 1 0 の裏面にレジストを塗布し、レジストの露光、現像を行なってマスクを形成する。マスクを用いて半導体層 1 0 0 をドライエッチングすることにより第 3 配線層 3 5 2 の接続電極 3 5 5 に達する貫通孔 3 8 1 を形成する。なお、半導体層 1 0 0 のエッチングの前に、絶縁体膜 1 6 0、層間絶縁層 1 5 0、1 4 0、1 3 0 および素子分離部 1 0 1 のフィールド絶縁膜もエッチングする。また、貫通孔 3 8 1 が接続電極 3 5 5 に達するために、半導体層 1 0 0 のエッチングの後に、絶縁膜 3 8 0 もエッチングする。

20

【 0 0 6 4 】

また、絶縁体膜 1 6 0 には凹部 3 8 3 を形成する。凹部は絶縁体膜 1 6 0 のエッチングによって形成できる。凹部 3 8 3 と貫通孔 3 8 1 はどちらを先に形成してもかまわない。さらに、貫通孔 3 8 1 および凹部 3 8 3 の内面に絶縁膜 3 8 2 を形成する。

【 0 0 6 5 】

図 8 (g) に示す工程では、絶縁膜 3 8 2 のうち、貫通孔 3 8 1 の底 (接続電極 3 5 5 上) に位置する部分と、ビアプラグ 1 5 1 上に位置する部分とを、異方性エッチングにより除去した状態を示している。なお、絶縁膜 3 8 2 のうち、絶縁体膜 1 6 0 に位置する部分も除去される。これらの工程は、後に貫通孔 3 8 1 に埋め込む導電部材と半導体層 1 0 0 との絶縁と、ビアプラグ 1 5 1 や接続電極 3 5 5 との導通を実現する為に行なわれる。

30

【 0 0 6 6 】

図 9 (h) は、貫通孔 3 8 1 の中に導電部材 3 8 3 を埋め込む工程を示している。導電部材 3 8 3 は、銅シード層および銅メッキ層の形成により導電材料を形成し、CMP により貫通孔 1 8 1 外の余分な導電材料を除去することにより形成できる。

【 0 0 6 7 】

図 9 (i) は、パッド電極 3 8 5、カラーフィルタ 1 9 1、マイクロレンズ 1 9 2、パッド開口 1 9 3 を形成する工程を示している。

40

【 0 0 6 8 】

実施例 2 では、貫通孔 3 8 1 の形成を受光基板 1 0 の表面側で行なえるので、実施例 1 よりも重ね合わせ精度を高く出来る。

【 実施例 3 】

【 0 0 6 9 】

図 1 0 (a) ~ (g) に示す工程は、図 1 で説明した工程 A に相当する。

【 0 0 7 0 】

図 1 0 (a) は、半導体層 1 0 0 を有する半導体ウエハとして、SOIウエハを用いていることを示している。SOIウエハは、半導体層 1 0 0 を支持する基体 1 2 0 と、半導体層 1 0 0 と基体 1 2 0 との間に配された絶縁体層 1 1 0 と、を含む。

50

【 0 0 7 1 】

図 1 0 (b) に示すように、各種半導体素子が形成された半導体層 1 0 0 の上に、層間絶縁層 1 3 0 を形成する。

【 0 0 7 2 】

図 1 0 (c) に示すように、層間絶縁層 1 3 0 を貫通して半導体素子に接続されたコンタクトプラグ 1 3 1 を形成する。

【 0 0 7 3 】

図 1 0 (d) は、半導体層 1 0 0 に孔 2 8 1 を形成する工程を示している。絶縁体膜 1 6 0 の上にレジストを塗布し、レジストの露光、現像を行なってマスクを形成する。マスクを用いて半導体層 1 0 0 をドライエッチングすることにより、半導体層 1 0 0 に孔 2 8 1 を形成する。本例において、孔 2 8 1 は半導体層 1 0 0 および絶縁体層 1 1 0 を貫通して基体 1 2 0 に達しているが、孔 2 8 1 を絶縁体層 1 1 0 内で止めてもよいし、半導体層 1 0 0 内で止めてもよい。なお、孔 2 8 1 が半導体層 1 0 0 に達するために、半導体層 1 0 0 のエッチングの前に、層間絶縁層 1 3 0 や素子分離部 1 0 1 のフィールド絶縁膜もエッチングする。図 1 0 (c) は、孔 2 8 1 の形成後に、レジストマスクを除去した状態を示している。なお、孔 2 8 1 とコンタクトプラグ 1 3 1 の形成はどちらが先でもよく、エッチングレートの違いを利用して同時に形成してもよい。

【 0 0 7 4 】

図 1 0 (e) は孔 2 8 1 内に絶縁膜 2 8 2 を形成した状態を示している。

【 0 0 7 5 】

図 1 0 (f) は孔 2 8 1 内にタンゲステン (W) を含む導電部材 2 8 3 を埋め込んだ工程を示している。

【 0 0 7 6 】

図 1 0 (g) は、層間絶縁層 1 3 0 の上に、導電部材 2 8 3 およびコンタクトプラグ 1 3 1 を覆う様に保護膜 2 4 0 を形成する工程を示している。

【 0 0 7 7 】

図 1 1 (h) に示す工程は、図 1 で説明した工程 B に相当する。受光基板 1 0 に支持基板 2 0 を貼り合わせ、相互に固定する。

【 0 0 7 8 】

図 1 1 (i) に示す工程は、図 1 で説明した工程 C に相当する。受光基板 1 0 を機械研磨 (M P) 、化学機械研磨 (C M P) 、あるいはウェットエッチングにより薄化する。本例では、受光基板 1 0 に対して支持基板 2 0 の側とは反対側に、孔 2 8 1 内の導電部材 2 8 3 を露出させる。受光基板 1 0 の薄化において除去されるべき部分は、孔 2 8 1 の深さに応じて設定される。孔 2 8 1 が絶縁体層 1 1 0 を貫通していれば、基体 1 2 0 を除去すれば導電部材 2 8 3 を露出できる。孔 2 8 1 が絶縁体層 1 1 0 を貫通していれば、基体 1 2 0 を除去すれば導電部材 2 8 3 を露出できる。孔 2 8 1 が絶縁体層 1 1 0 内にとどまっていれば、基体 1 2 0 および絶縁体層 1 1 0 の少なくとも一部を除去すれば導電部材 2 8 3 を露出できる。孔 2 8 1 が半導体層 1 0 0 を貫通していなければ、絶縁体層 1 1 0 を除去し、さらに半導体層 1 0 0 の一部を除去する必要がある。絶縁体層 1 1 0 を残しておく方が半導体層 1 0 0 に生じるダメージを低減できる。

【 0 0 7 9 】

図 1 1 (j) では受光基板 0 0 1 と回路基板 3 0 とを接合する工程を示している。回路基板 3 0 には各種トランジスタ、抵抗、容量、配線が形成されており、最上層の配線層 3 5 2 に含まれる接続電極 3 5 5 が露出した状態にある。受光基板 0 0 1 と回路基板 3 0 とを接合することで、受光基板 1 0 側の導電部材 2 8 3 と回路基板 3 0 の電極 3 5 5 が導通する。

【 0 0 8 0 】

図 1 1 (k) に示す工程は、図 1 で説明した工程 E に相当する。支持基板 2 0 を受光基板 1 0 上から除去する。除去方法は剥離でも、B G、C M P、ウェットエッチング何れの方法でも構わない。

10

20

30

40

50

【 0 0 8 1 】

図 1 1 (1) に示す工程では、保護膜 2 4 0 を除去する。

【 0 0 8 2 】

図 1 2 (m) に示す工程では、層間絶縁層 1 3 0 の上に、第 1 配線層 1 3 2、層間絶縁層 1 4 0、ビアプラグ 1 4 1、第 2 配線層 1 4 2、層間絶縁層 1 5 0、ビアプラグ 1 5 1、絶縁体膜 1 6 0 を形成する。なお、図 1 1 (1) に示す工程で保護膜 2 4 0 を除去せずに、保護膜 2 4 0 を層間絶縁層として利用してもよい。

【 0 0 8 3 】

図 1 2 (n) に示す工程では、図 1 で説明した工程 F に相当する。受光基板 1 0 の上に、カラーフィルタ 1 9 1、マイクロレンズ 1 9 2 を形成する。

10

【 0 0 8 4 】

実施例 3 では、配線層を形成する前に、支持基板 2 0 の接合と受光基板 1 0 の薄化、および支持基板 2 0 の除去を行なっている。これにより、カラーフィルタ 1 9 1 やマイクロレンズ 1 9 2 だけでなく、配線層へのダメージを抑制する事が出来る。また、銅配線を用いた場合、配線層と絶縁層あるいは配線層と拡散防止層の界面で剥がれを抑制できる。

【 実施例 4 】

【 0 0 8 5 】

図 1 3 (a) に示す工程は、図 1 で説明した工程 A に相当する。配線層 1 3 2、1 4 2 はダマシン構造を有する、銅配線である。第 1 配線層 1 3 2 はシングルダマシン構造、第 2 配線層 1 4 2 はデュアルダマシン構造を有する。また、第 1 配線層 1 3 2 と層間絶縁層 1 5 0 の間には拡散防止層 1 3 3 が配されており、第 2 配線層 1 4 2 と層間絶縁層 1 5 0 の間には拡散防止層 1 4 3 が配されている。拡散防止層 1 4 3 の上には絶縁層 1 6 1 が配されている。

20

【 0 0 8 6 】

図 1 3 (b) に示す工程は、図 1 で説明した工程 B に相当する。受光基板 1 0 の絶縁層 1 6 1 上に支持基板 2 0 が接合される。

【 0 0 8 7 】

図 1 3 (c) に示す工程は、図 1 で説明した工程 C に相当する。受光基板 1 0 の半導体層 1 0 0 が薄化される。

【 0 0 8 8 】

30

図 1 3 (d) に示す工程は、実施例 1 における貫通電極を形成する工程に相当する。半導体層 1 0 0 を貫通する導電部材 2 8 3 が形成される。

【 0 0 8 9 】

図 1 3 (e) に示す工程は、図 1 で説明した工程 D に相当する。受光基板 1 0 に回路基板 3 0 が接合される。

【 0 0 9 0 】

図 1 4 (f) に示す工程は、図 1 で説明した工程 E に相当する。支持基板 2 0 が受光基板 1 0 の上から除去される。

【 0 0 9 1 】

図 1 4 (g)、(h) に示す工程は、図 1 で説明した工程 F に相当する。

40

【 0 0 9 2 】

図 1 4 (g) に示す工程では、導光部 1 7 0 を形成する。まず、光電変換素子 P D 上に開口を有するマスクを用いて、層間絶縁層 1 6 1、1 5 0、1 4 0、1 3 0 および拡散防止層 1 4 3、1 3 3 をエッチングする。これによって、開口部 1 7 5 を形成する。開口部 1 7 5 を形成する際に、図 1 3 (a) に示す工程で層間絶縁層 1 3 0 の下に配された絶縁層 1 2 9 がエッチングストップ層として機能する。さらに、開口部 1 7 5 の中に窒化シリコンや樹脂などの透光材料を埋め込むことにより、導光部 1 7 0 が形成される。開口部 1 7 5 の外に位置する透光材料は必要に応じて除去される。

【 0 0 9 3 】

図 1 4 (g) に示す工程では、導光部 1 7 0 を覆って層間絶縁層 1 6 2 が形成される。

50

さらに層間絶縁層 162、161 にビアプラグ 151 を形成し、ビアプラグ 151 の上にパッド電極 152 を形成する。パッド電極 152 を覆うようにパッシベーション膜としての絶縁体膜 160 を形成する。絶縁体膜 160 をエッチバック法等を用いて集光部 161 を有するように加工することができる。集光部 161 は層内レンズとして機能する。集光部 161 を形成する上で好適な絶縁体膜 160 は窒化シリコン膜でありうる。絶縁体膜 160 の上に樹脂からなる平坦化膜 163 を形成する。平坦化膜 163 の上にカラーフィルタ 191、マイクロレンズ 192 を形成する。導光部 170 や集光部 161、平坦化膜 163、カラーフィルタ 191、マイクロレンズ 192 は図 1 で説明した光学部材 40 に相当する。また、ビアプラグ 151 やパッド電極 152、層間絶縁層 162 は、支持基板 20 の除去後に形成された配線部材 50 である。

10

【0094】

本実施形態は、導光部 170 を設けているために、半導体層 100 の受光面上に複数の配線層があっても、迷光等を抑制でき、また、光利用効率を向上できる。

【0095】

さらに、導光部 170 を、支持基板 20 の除去後に形成しているため、薄化時のダメージや支持基板 20 の除去時に生じ得るダメージが導光部 170 に与える影響を低減できる。

【0096】

なお、本実施例では、実施例 1 のようにして配線層を薄化間に形成したが、実施例 2 のように、支持基板 20 の除去後に、複数の配線層や層間絶縁層を形成することもできる。また、貫通電極の形成は実施例 2 と同様でもよいし、実施例 3 と同様でもよい。

20

【0097】

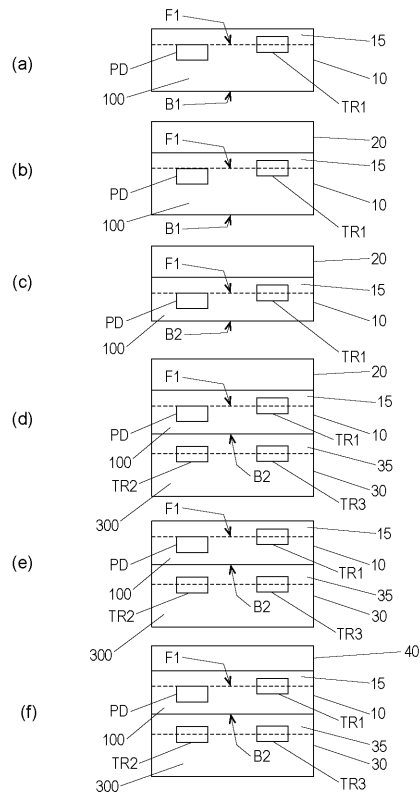
以上説明した実施形態に関しては、本明細書に明確な記載がなくとも、添付の図面や技術常識から把握できる事項も本開示の一部を構成する。また、本発明は、本開示の技術思想の範囲を逸脱しない限り、適宜な変更が可能である。

【符号の説明】**【0098】**

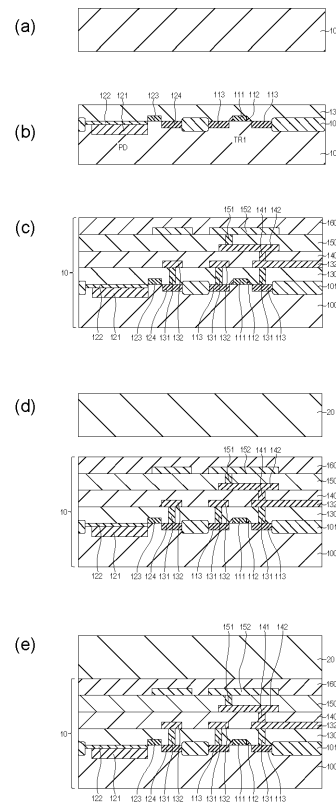
- 10 受光基板
- P D 光電変換素子
- 20 支持基板
- 30 回路基板
- T R 2、T R 3 半導体素子

30

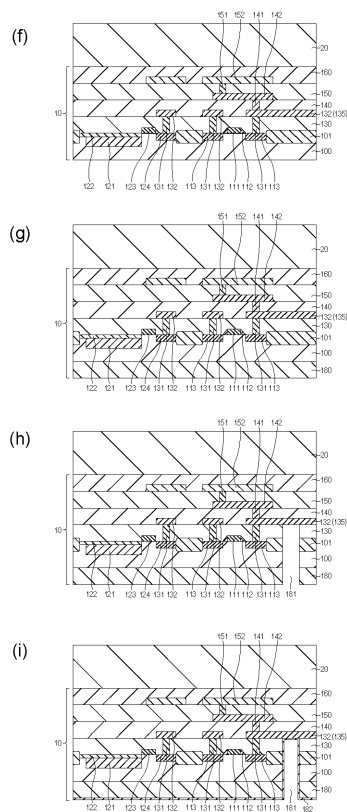
【図 1】



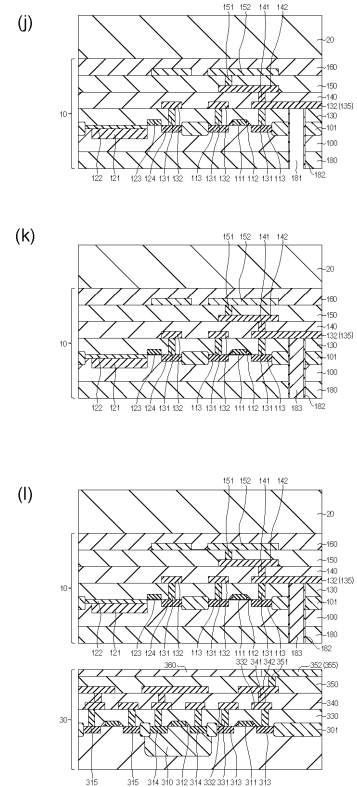
【図 2】



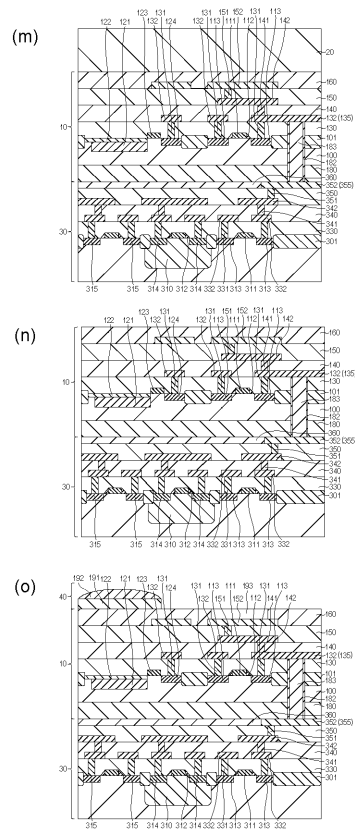
【図 3】



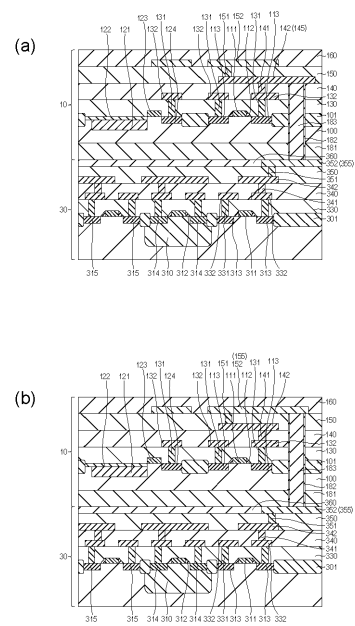
【図 4】



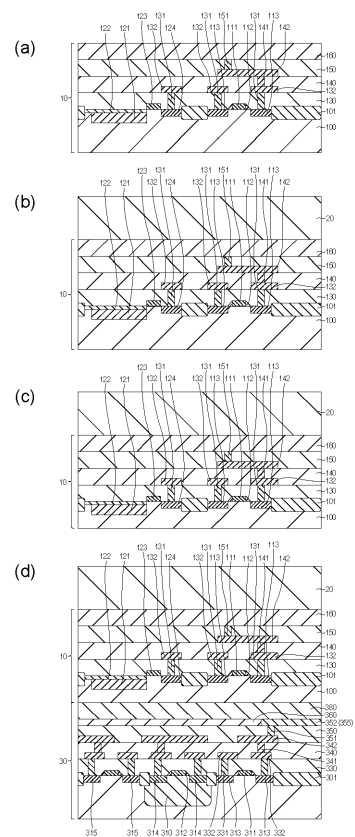
【 図 5 】



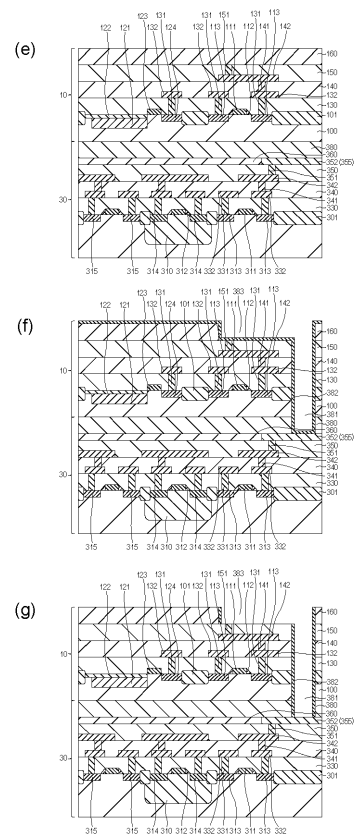
【 図 6 】



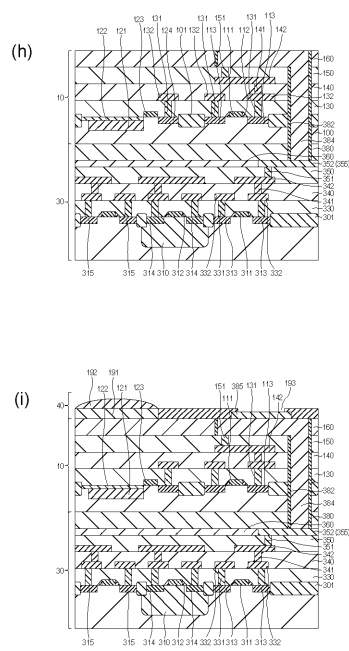
【 図 7 】



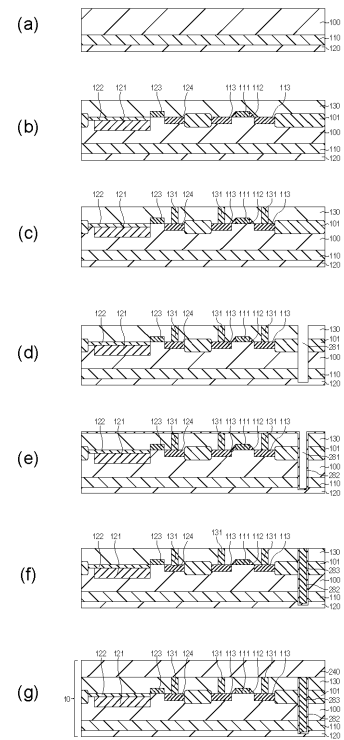
【 図 8 】



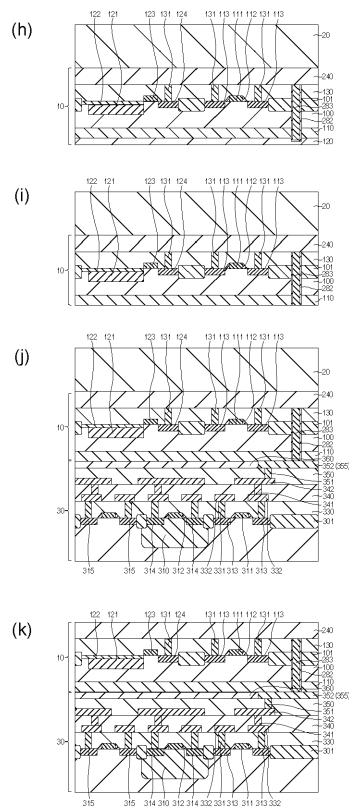
【図 9】



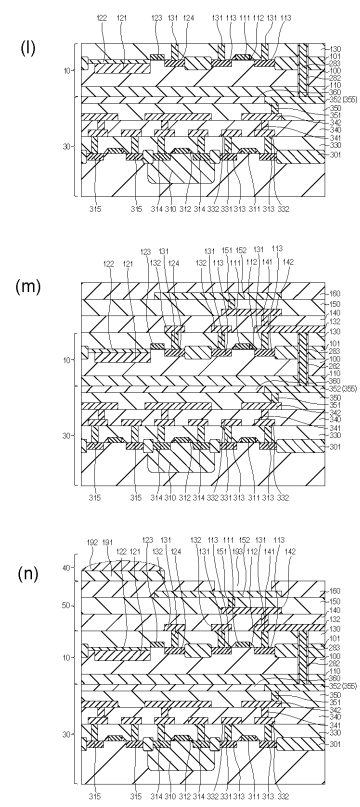
【図 10】



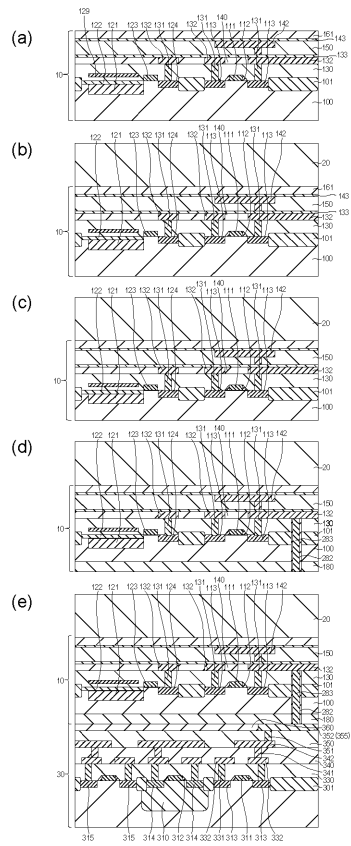
【図 11】



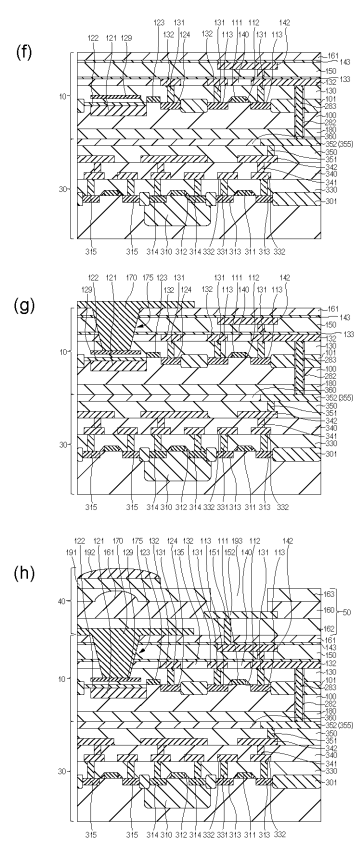
【図 12】



【図 13】



【図 14】



 フロントページの続き

(51)Int.Cl.		F I		テーマコード(参考)
H 0 4 N	5/369	(2011.01)	H 0 1 L 21/88 T	
			H 0 4 N 5/335 6 9 0	

F ターム(参考) 4M118 AA10 AB01 BA14 BA19 CA04 CA22 DD04 EA01 EA14 FA28
 GA09 GB03 GC07 GD04 GD11 HA02 HA21 HA22 HA24 HA25
 HA30 HA33
 5C024 BX04 CY47 EX42 EX43 EX52 GX07
 5F033 HH11 JJ11 KK11 MM01 MM30 PP27 PP28 QQ09 QQ11 QQ48