

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2009-88488

(P2009-88488A)

(43) 公開日 平成21年4月23日(2009.4.23)

(51) Int.Cl.	F I	テーマコード (参考)
H O 1 L 21/8242 (2006.01)	H O 1 L 27/10 3 2 1	5 F 0 8 3
H O 1 L 27/108 (2006.01)	H O 1 L 29/78 6 1 3 B	5 F 1 1 0
H O 1 L 29/786 (2006.01)		

審査請求 未請求 請求項の数 8 O L (全 15 頁)

(21) 出願番号	特願2008-221814 (P2008-221814)	(71) 出願人	000002185
(22) 出願日	平成20年8月29日 (2008. 8. 29)		ソニー株式会社
(31) 優先権主張番号	特願2007-234910 (P2007-234910)		東京都港区港南1丁目7番1号
(32) 優先日	平成19年9月11日 (2007. 9. 11)	(74) 代理人	100098785
(33) 優先権主張国	日本国 (JP)		弁理士 藤島 洋一郎
		(74) 代理人	100109656
			弁理士 三反崎 泰司
		(74) 代理人	100130915
			弁理士 長谷部 政男
		(74) 代理人	100155376
			弁理士 田名網 孝昭
		(72) 発明者	木島 公一朗
			東京都港区港南1丁目7番1号 ソニー株式会社内

最終頁に続く

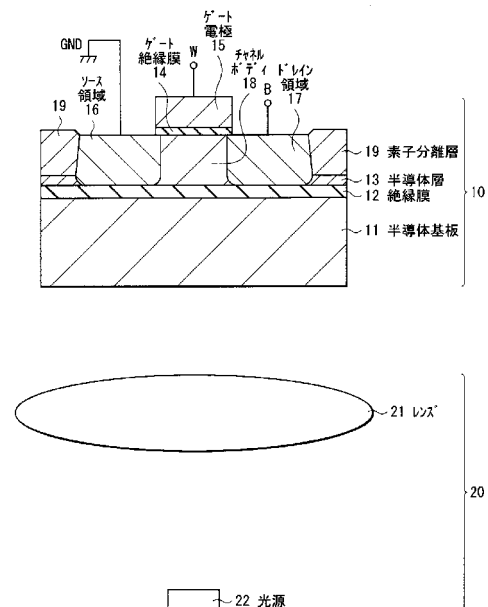
(54) 【発明の名称】 記憶装置

(57) 【要約】

【課題】ピンチオフ以上の大きな電圧を印加しなくても、チャネルボディに電荷を蓄積させることの可能な記憶装置を提供する。

【解決手段】記憶装置1は、MOSトランジスタ10および光照射装置20を備える。MOSトランジスタ10は、半導体基板11上に絶縁膜12および半導体層13を半導体基板11側からこの順に積層してなるSOI基板の半導体層13に形成されており、半導体層13のうちゲート電極15直下の部位に、電氣的に浮遊したチャネルボディ18を有している。光照射装置20は、半導体基板11の裏面側に配置されており、レンズ21および光源22を半導体基板11側からこの順に配置して構成されている。光照射装置20は、光源22から発せられた光を、レンズ21を介してチャネルボディ18に照射する。

【選択図】 図2



【特許請求の範囲】**【請求項 1】**

絶縁膜上の半導体層に形成されると共に、電氣的に浮遊したチャネルボディを有する 1
または複数の MOS トランジスタと、
前記チャネルボディに光を照射する光源と
を備えた記憶装置。

【請求項 2】

前記光源は、前記絶縁膜を介して前記チャネルボディに光を照射する請求項 1 に記載の
記憶装置。

【請求項 3】

前記絶縁膜と前記光源との間に、レンズと、パターニングされたマスクとを前記絶縁膜
側からこの順に備えた請求項 2 に記載の記憶装置。

【請求項 4】

前記半導体層に形成されると共に、前記 MOS トランジスタから得られた信号を処理す
る信号処理用トランジスタと、
前記絶縁膜と前記レンズとの間に形成されると共に、前記光源からの光が前記信号処理
用トランジスタに入射するのを遮る遮光膜と
を備えた請求項 3 に記載の記憶装置。

【請求項 5】

前記遮光膜は、前記絶縁膜の表面に設けられている請求項 4 に記載の記憶装置。

【請求項 6】

前記半導体層に 1 または複数の光導波路を備え、
前記チャネルボディは前記光導波路内に形成されている請求項 1 に記載の記憶装置。

【請求項 7】

前記半導体層に 1 または複数の光導波路を備え、
前記チャネルボディは前記光導波路に接して形成されている請求項 1 に記載の記憶装置

。

【請求項 8】

前記光源は、前記光導波路を介して前記チャネルボディに光を照射する請求項 6 または
請求項 7 に記載の記憶装置。

【発明の詳細な説明】**【技術分野】****【0001】**

本発明は、絶縁膜上に MOS (Metal Oxide Semiconductor) トランジスタを備えた記
憶装置に関する。

【背景技術】**【0002】**

コンピュータ等の情報機器においては、高速動作の可能な高密度の DRAM (Dynamic
Random Access Memory) が広く用いられている。DRAM は、キャパシタおよび FET (Field effect transistor) によって構成されるメモリセルを記憶単位として、複数のメ
モリセルをシリコン基板上にマトリクス状に形成したものであり、横方向の行アドレスと
縦方向の列アドレスを指定して複数のメモリセルの中から 1 つを選択するようになってい
る。DRAM では、例えば、メモリセル内のキャパシタに電荷が蓄えてある場合には「1
」、電荷が無い場合には「0」とすることによりデータが記憶される。

【0003】

DRAM のメモリセルのサイズは、微細化技術の向上に伴い年々縮小化の傾向にあるが
、サイズがあまりに小さくなると動作の信頼性を確保することが困難となることから、限
界に近づいていると言われている。

【0004】

そこで、従来の DRAM の代替として、SOI 基板上に、電氣的に浮遊したチャネルボ

10

20

30

40

50

ディを有するM O S トランジスタを形成し、1つのM O S トランジスタだけでメモリセルを構成した単純なセル構造のR A Mが提案されている。このR A Mでは、ソースドレイン間にピンチオフ以上の電圧を印加してインパクトイオン化を起こすことにより、チャネルボディに電荷が蓄積され、ドレインに負電圧を印加してチャネルボディとドレインとの間に順方向電流を流すことにより、チャネルボディから電荷が消去される（特許文献1の図10参照）。つまり、このR A Mでは、M O S トランジスタに電荷の蓄積および消去の機能を担わせることにより、メモリセル内にキャパシタを設けなくても、データの記憶を可能にしているので、従来のD R A Mよりも更なる微細化が可能である。

【0005】

【特許文献1】特開2007-149790号公報

10

【発明の開示】

【発明が解決しようとする課題】

【0006】

しかし、インパクトイオン化を起こすためには、ピンチオフ以上の大きな電圧を印加する必要があるという問題があった。

【0007】

本発明はかかる問題点に鑑みてなされたもので、その目的は、ピンチオフ以上の大きな電圧を印加しなくても、チャネルボディに電荷を蓄積させることの可能な記憶装置を提供することにある。

【課題を解決するための手段】

20

【0008】

本発明の記憶装置は、絶縁膜上の半導体層に、電氣的に浮遊したチャネルボディを有する1または複数のM O S トランジスタを備えており、さらに、チャネルボディに光を照射する光源を備えている。

【0009】

本発明の記憶装置では、電氣的に浮遊したチャネルボディに光源からの光が照射される。これにより、例えば、M O S トランジスタのソースドレイン間に電圧が印加されていない場合や、M O S トランジスタのソースドレイン間にピンチオフより小さな電圧が印加される場合であっても、インパクトイオン化を補助したり、二光子吸収（two-photon-absorption）現象を利用して、チャネルボディにキャリアを発生させることができる。

30

【発明の効果】

【0010】

本発明の記憶装置によれば、電氣的に浮遊したチャネルボディに光源からの光を照射するようにしたので、ピンチオフ以上の大きな電圧を印加しなくても、チャネルボディにキャリアを発生させ、電荷を蓄積させることができる。

【発明を実施するための最良の形態】

【0011】

以下、本発明の実施の形態について、図面を参照して詳細に説明する。

【0012】

[第1の実施の形態]

40

本発明の第1の実施の形態に係る記憶装置1は、メモリセルを記憶単位としてマトリクス状に配置したものである。図1は、この記憶装置1のメモリセルを拡大して表したものである。このメモリセルは、M O S トランジスタ10と、光照射装置20とを備えている。

【0013】

図2は、M O S トランジスタ10の断面構成の一例と、光照射装置20の内部構成の一例とを表すと共に、M O S トランジスタ10と光照射装置20との位置関係を表したものである。M O S トランジスタ10は、半導体基板11上に絶縁膜12および半導体層13を半導体基板11側からこの順に積層してなるS O I基板の半導体層13に形成されたものである。

50

【0014】

ここで、半導体基板11は、例えばシリコン(Si)からなる。絶縁膜12は、例えばシリコン酸化物(SiO_2)からなり、半導体層13は、例えばp型シリコン(Si)からなる。

【0015】

なお、これら半導体基板11、絶縁膜12および半導体層13からなるSOI基板は、例えば、シリコン基板の表面から高濃度の酸素イオンを高エネルギーで注入して、シリコン基板の表面から所定の深さのところに酸素イオン層を形成したのち、高温でアニール処理を施し、注入された酸素イオンとシリコンとを互いに反応させて、シリコン基板内にシリコン酸化物(SiO_2)からなる絶縁膜を形成することにより形成可能である。

10

【0016】

MOSトランジスタ10は、ゲート絶縁膜14、ゲート電極15、ソース領域16、ドレイン領域17およびチャネルボディ18を有している。

【0017】

ここで、ゲート絶縁膜14は、例えば、シリコン酸化物(SiO_2)からなり、半導体層13の表面上に帯状に形成されている。ゲート電極15は、例えば、p型ポリシリコン層と、シリサイド層とを半導体層13の側から順に積層した2層構造となっており、ゲート絶縁膜14の表面上に帯状に形成されている。ゲート電極15は、ワード線Wに電氣的に接続されており、ワード線Wを介して電圧が印加されるようになっている。ソース領域16およびドレイン領域17は、例えば、n型不純物(例えばリン)を半導体層13の表面にドーピングすることにより形成されたものであり、半導体層13のうちゲート電極15の両側であって、かつ素子分離層19で囲まれた部位に形成されている。ソース領域16およびドレイン領域17のいずれか一方(図2ではソース領域16)は固定電位(図2では接地電位)となっている。他方(図2ではドレイン領域17)はビット線Bに電氣的に接続されており、ビット線Bを介してソース領域16とドレイン領域17との間(つまりチャネルボディ18)に電圧が印加されるようになっている。

20

【0018】

チャネルボディ18は、半導体層13のうちゲート電極15直下の部位を指しており、ソース領域16と電氣的に接続されたソース電極(図示せず)と、ドレイン領域17と電氣的に接続されたドレイン電極(図示せず)との間に電圧を印加すると共にゲート電極15に電圧を印加したときにチャネルの形成される部位に対応している。このチャネルボディ18は、絶縁膜12、ゲート絶縁膜14、ソース領域16およびドレイン領域17で囲まれ、他の部位と電氣的に接続されておらず、電氣的に浮遊している。

30

【0019】

光照射装置20は、半導体基板11の裏面(MOSトランジスタ10側とは反対側の面)側に配置されており、レンズ21および光源22を半導体基板11側からこの順に配置して構成されている。

【0020】

レンズ21は、例えば集光レンズであり、光源22からの光をチャネルボディ18に集光するようになっている。光源22は、絶縁膜12を介してチャネルボディ18に光を照射するものである。この光源22は、半導体基板11、絶縁膜12および半導体層13によって吸収されない波長領域(例えばシリコンに対して透明な1100nm以上の波長領域)の光を発するものであり、例えば波長1550nmの光を発するレーザである。この光源22は、インパクトイオン化を利用してチャネルボディ18に電荷を蓄積させる場合には、少なくともチャネルボディ18におけるインパクトイオン化を補助することの可能な程度の強度の光を発することができるようになっており、二光子吸収現象を利用してチャネルボディ18に電荷を蓄積させる場合には、レンズ21でレーザ光を絞った焦点において線形吸収を持たない波長帯域においても二個の光子により原子が励起される二光子吸収現象を起こさせるのに十分な強度の光を発することができるようになってい

40

【0021】

50

このような構成の記憶装置 1 では、例えば、ソース電極が接地電位にされると共に、ビット線 B を介してドレイン電極にピンチオフより小さな正電圧が印加された状態で、ゲート電極 15 に書込電圧（正電圧）が印加される。すると、チャンネルボディ 18 にチャンネルが形成され、チャンネルボディ 18 内に生じた電界によって電子がソース領域 16 からドレイン領域 17 へ向かって加速されてエネルギーを得る。このとき、電子はシリコンのバンドギャップよりも小さなエネルギーしか得ていないので、インパクトイオン化が起こることとはない。

【0022】

しかし、本実施の形態では、さらに、図 3 に示したように、光照射装置 20 からチャンネルボディ 18 に対して光 L が照射される。これにより、照射された光のエネルギーを電子が得て、電子のエネルギーがシリコンのバンドギャップを超えるので、インパクトイオン化が起こる。このとき、チャンネルボディ 18 にキャリア（電子とホールペア）が大量に発生するが、移動度の大きな電子はチャンネルボディ 18 内の電界で加速されてチャンネルボディ 18 から消失し、移動度の小さなホールはチャンネルボディ 18 内をゆっくりと移動する。その後、光源 22 から発せられていた光がオフされる。これにより、図 4 に示したように、過剰のホール H がチャンネルボディ 18 に残留し、チャンネルボディ 18 にホール H が蓄積される。このように、チャンネルボディ 18 にホール H が蓄積されている状態を例えば「1」とする。

【0023】

その後、ビット線 B を介してドレイン電極に負電圧が印加されると、チャンネルボディ 18 とドレイン領域 17 との間の p n 接合に順方向電圧が印加されることとなるので、チャンネルボディ 18 に蓄積されていたホール H がドレイン領域 17 に流れ出してチャンネルボディ 18 から消失する。このように、チャンネルボディ 18 にホール H が残存していない状態を例えば「0」とする。

【0024】

ここで、例えば、チャンネルボディ 18 にホール H が蓄積されている状態で、ソース電極が接地電位にされ、ゲート電極 15 に読出電圧（正電圧）が印加され、さらにドレイン電極に低い電圧 V_d が印加されることにより MOS トランジスタ 10 が駆動されると、図 5 の実線で示したようにソースドレイン間に電流 I_1 （ $>$ 基準値 I_r ）が流れ、他方、チャンネルボディ 18 にホール H が残存していない状態で、MOS トランジスタ 10 が駆動されると、図 5 の一点鎖線で示したようにソースドレイン間に電流 I_0 （ $<$ 基準値 I_r ）が流れる。したがって、ソースドレイン間に流れる電流の大きさが閾値 I_r を上回った場合には、そのメモリセルには「1」が記憶されていることを読み出すことが出来、ソースドレイン間に流れる電流の大きさが閾値 I_r を下回った場合には、そのメモリセルには「0」が記憶されていることを読み出すことが出来る。

【0025】

なお、本実施の形態の記憶装置 1 では、他の方法によっても、チャンネルボディ 18 に電荷を蓄積させることが可能である。例えば、ソース電極が接地電位にされると共に、ドレイン電極およびゲート電極 15 に電圧が印加されていない状態で、光照射装置 20 からチャンネルボディ 18 に対して、二光子吸収現象を起こさせるのに十分な強度の光を照射する。すると、チャンネルボディ 18 にキャリア（電子とホールペア）が大量に発生するが、移動度の大きな電子はチャンネルボディ 18 から消失し、移動度の小さなホールはチャンネルボディ 18 に残留する。その結果、チャンネルボディ 18 にホール H を蓄積させることができる。

【0026】

以上のことから、本実施の形態では、電気的に浮遊したチャンネルボディ 18 に対して所定の強度の光を照射するようにしたので、例えば、MOS トランジスタ 10 のソースドレイン間に電圧が印加されていない場合や、MOS トランジスタ 10 のソースドレイン間にピンチオフより小さな電圧が印加される場合など、ソースドレイン間にピンチオフ以上の大きな電圧を印加しない場合であっても、インパクトイオン化を補助したり、二光子吸収

10

20

30

40

50

現象を利用して、チャネルボディ 18 にキャリアを発生させ、電荷を蓄積させることができる。

【0027】

[第1の実施の形態の変形例]

上記実施の形態では、光照射装置 20 からの光 L が入射する部分に半導体基板 11 を設けていたが、例えば、図 6 に示したように、MOS トランジスタ 10 の上面に、MOS トランジスタ 10 を支持する支持基板 S を、接着層（図示せず）を介して貼り付け、例えばレーザ照射などにより半導体基板 11 を剥離、除去してもよい。そのようにした場合には、チャネルボディ 18 が、光照射装置 20 からの光 L が入射する表面近傍に配置されることになるので、半導体基板 11 の厚さに起因する球面収差をなくすることができる。これにより、チャネルボディ 18 に対して正確に光 L を集光させることができる。

10

【0028】

[第2の実施の形態]

本発明の第2の実施の形態に係る記憶装置 2 は、上記第1の実施の形態と同様、メモリセルを記憶単位としてマトリクス状に配置したものである。図 7 は、この記憶装置 2 のメモリセルを拡大して表したものである。このメモリセルは、MOS トランジスタ 30 と、光照射装置 40 とを備えている。

【0029】

図 8 は、MOS トランジスタ 30 を斜視的に表したものである。図 9 は、図 8 の MOS トランジスタ 30 の A - A 矢視方向の断面構成を表したものである。図 10 は、MOS トランジスタ 30 と光照射装置 40 との位置関係を表したものである。

20

【0030】

MOS トランジスタ 30 は、半導体基板 11 上に絶縁膜 12、第1半導体層 31、絶縁膜 32 および第2半導体層 33 を半導体基板 11 側からこの順に積層してなる二重 SOI 基板の第1半導体層 31、絶縁膜 32 および第2半導体層 33 に形成されたものである。

【0031】

ここで、第1半導体層 31 および第2半導体層 33 は、例えば p 型シリコン (Si) からなる。第1半導体層 31 には、積層方向と直交する方向に延在するリッジ部 31A が形成されており、そのリッジ部 31A の上面を除く表面全体に絶縁膜 32 が形成されている。この絶縁膜 32 は、例えばシリコン酸化物 (SiO₂) からなる。第2半導体層 33 には、MOS トランジスタ 30 のソース領域 16 およびド레인領域 17 に対応して開口部 33A が形成されている。

30

【0032】

なお、上記二重 SOI 基板は、例えば以下のようにして形成することが可能である。まず、SOI 基板の表面のうちリッジ部 31A を形成することとなる部位と対応する領域にシリコン酸化膜などからなるマスクを形成する。次に、そのマスクを含む表面全体に対して高濃度の酸素イオンを高エネルギーで注入して、SOI 基板中の絶縁膜に到達しない深さのところに酸素イオン層を形成する。これにより、酸素イオン層がリッジ形状となる。次に、マスクを除去したのち、高温でアニール処理を施し、注入された酸素イオンとシリコンとを互いに反応させて、SOI 基板内にシリコン酸化物 (SiO₂) からなる絶縁膜を形成する。このようにして上記二重 SOI 基板が形成される。

40

【0033】

MOS トランジスタ 30 は、ゲート絶縁膜 34、ゲート電極 35、ソース領域 36、ド레인領域 37 およびチャネルボディ 38 を有している。

【0034】

ここで、ゲート絶縁膜 34 は、例えば、シリコン酸化物 (SiO₂) からなり、リッジ部 31A の上面に、リッジ部 31A の延在方向と平行な方向に延在して形成されている。ゲート電極 35 は、例えば、p 型ポリシリコン層と、シリサイド層とをリッジ部 31A の側から順に積層した 2 層構造となっており、ゲート絶縁膜 34 の表面上に、リッジ部 31A の延在方向と平行な方向に延在して形成されている。ゲート電極 35 は、ワード線 W に

50

電氣的に接続されており、ワード線Wを介して電圧が印加されるようになっている。ソース領域36およびドレイン領域37は、例えば、n型不純物（例えばリン）をリッジ部31A（第1半導体層31）の表面にドーブすることにより形成されたものであり、リッジ部31Aのうちゲート電極35の両側に形成されている。ソース領域36およびドレイン領域37のいずれか一方（図9ではソース領域36）は固定電位（図9では接地電位）となっている。他方（図9ではドレイン領域37）はビット線Bに電氣的に接続されており、ビット線Bを介してソース領域36とドレイン領域37との間（つまりチャネルボディ38）に電圧が印加されるようになっている。

【0035】

チャネルボディ38は、リッジ部31Aのうちゲート電極35直下の部位を指しており、ソース領域36と電氣的に接続されたソース電極（図示せず）と、ドレイン領域37と電氣的に接続されたドレイン電極（図示せず）との間に電圧を印加すると共にゲート電極35に電圧を印加したときにチャネルの形成される部位に対応している。このチャネルボディ38は、絶縁膜12、ゲート絶縁膜34、ソース領域36およびドレイン領域37で囲まれ、他の部位と電氣的に接続されておらず、電氣的に浮遊している。

【0036】

また、絶縁膜12、絶縁膜32およびゲート絶縁膜34のそれぞれの誘電率は、リッジ部31Aの誘電率よりも高くなっている。これにより、リッジ部31A、絶縁膜12、絶縁膜32およびゲート絶縁膜34は、積層方向と、積層方向と直交する方向とにおいて光を閉じ込める構造となっており、光導波路39として機能するようになっている。従って、チャネルボディ38は、光導波路39内に形成されている。なお、リッジ部31Aを導波する光は絶縁膜12や、絶縁膜32、ゲート絶縁膜34の外側に多少染み出すことから、図9では、その染み出しを考慮して光導波路39の範囲が例示されている。

【0037】

光照射装置40は、半導体基板11の側面（リッジ部31Aの延在方向）に配置されており、レンズ41および光源42を半導体基板11側からこの順に配置して構成されている。

【0038】

レンズ41は、例えば集光レンズであり、光源42からの光を、リッジ部31Aのうち半導体基板11の側面に露出している部分に集光するようになっている。光源42は、光導波路39を介してチャネルボディ18に光を照射するものである。この光源42は、半導体基板11、絶縁膜12、第1半導体層31、絶縁膜32、第2半導体層33およびゲート絶縁膜34によって吸収されない波長領域（例えばシリコンに対して透明な1100nm以上の波長領域）の光を発するものであり、例えば波長1550nmの光を発するレーザーである。この光源42は、インパクトイオン化を利用してチャネルボディ38に電荷を蓄積させる場合には、少なくともチャネルボディ38におけるインパクトイオン化を補助することの可能な程度の強度の光を発することができるようになっており、二光子吸収現象を利用してチャネルボディ38に電荷を蓄積させる場合には、レンズ41でレーザー光を絞った焦点において線形吸収を持たない波長帯域においても二個の光子により原子が励起される二光子吸収現象を起こさせるのに十分な強度の光を発することができるようになっている。

【0039】

このような構成の記憶装置2では、例えば、ソース電極が接地電位にされると共に、ビット線Bを介してドレイン電極にピンチオフより小さな正電圧が印加された状態で、ゲート電極35に書込電圧（正電圧）が印加される。すると、チャネルボディ38にチャネルが形成され、チャネルボディ38内に生じた電界によって電子がソース領域36からドレイン領域37へ向かって加速されてエネルギーを得る。このとき、電子はシリコンのバンドギャップよりも小さなエネルギーしか得ていないので、インパクトイオン化が起こることはない。

【0040】

10

20

30

40

50

しかし、本実施の形態では、さらに、図 11 に示したように、光照射装置 40 から光導波路 39 を介してチャネルボディ 38 に対して光 L が照射される。これにより、照射された光のエネルギーを電子が得て、電子のエネルギーがシリコンのバンドギャップを超えるので、インパクトイオン化が起こる。このとき、チャネルボディ 38 にキャリア（電子とホールのペア）が大量に発生するが、移動度の大きな電子はチャネルボディ 38 内の電界で加速されてチャネルボディ 38 から消失し、移動度の小さなホールはチャネルボディ 38 内をゆっくりと移動する。その後、光源 42 から発せられていた光がオフされる。これにより、過剰のホールがチャネルボディ 38 に残留し、チャネルボディ 38 にホールが蓄積される。このように、チャネルボディ 38 にホールが蓄積されている状態を例えば「1」とする。

10

【0041】

その後、ビット線 B を介してドレイン電極に負電圧が印加されると、チャネルボディ 38 とドレイン領域 37 との間の p n 接合に順方向電圧が印加されることとなるので、チャネルボディ 38 に蓄積されていたホールがドレイン領域 37 に流れ出してチャネルボディ 38 から消失する。このように、チャネルボディ 38 にホールが残存していない状態を例えば「0」とする。

【0042】

ここで、例えば、チャネルボディ 38 にホールが蓄積されている状態で、ソース電極が接地電位にされ、ゲート電極 35 に読出電圧（正電圧）が印加され、さらにドレイン電極に低い電圧 V_d が印加されることにより MOS トランジスタ 30 が駆動されると、図 5 の実線で示したようにソースドレイン間に電流 I_1 （ $>$ 基準値 I_r ）が流れ、他方、チャネルボディ 38 にホールが残存していない状態で、MOS トランジスタ 30 が駆動されると、図 5 の一点鎖線で示したようにソースドレイン間に電流 I_0 （ $<$ 基準値 I_r ）が流れる。したがって、ソースドレイン間に流れる電流の大きさが閾値 I_r を上回った場合には、そのメモリセルには「1」が記憶されていることを読み出すことが出来、ソースドレイン間に流れる電流の大きさが閾値 I_r を下回った場合には、そのメモリセルには「0」が記憶されていることを読み出すことが出来る。

20

【0043】

なお、本実施の形態の記憶装置 2 では、他の方法によっても、チャネルボディ 38 に電荷を蓄積させることが可能である。例えば、ソース電極が接地電位にされると共に、ドレイン電極およびゲート電極 35 に電圧が印加されていない状態で、光照射装置 40 からチャネルボディ 38 に対して、二光子吸収現象を起こさせるのに十分な強度の光を照射する。すると、チャネルボディ 38 にキャリア（電子とホールのペア）が大量に発生するが、移動度の大きな電子はチャネルボディ 38 から消失し、移動度の小さなホールはチャネルボディ 38 に残留する。その結果、チャネルボディ 38 にホールを蓄積させることができる。

30

【0044】

以上のことから、本実施の形態では、電氣的に浮遊したチャネルボディ 38 に対して所定の強度の光を照射するようにしたので、例えば、MOS トランジスタ 30 のソースドレイン間に電圧が印加されていない場合や、MOS トランジスタ 30 のソースドレイン間にピンチオフより小さな電圧が印加される場合など、ソースドレイン間にピンチオフ以上の大きな電圧を印加しない場合であっても、インパクトイオン化を補助したり、二光子吸収現象を利用して、チャネルボディ 38 にキャリアを発生させ、電荷を蓄積させることができる。

40

【0045】

[第 2 の実施の形態の変形例]

上記第 2 の実施の形態では、チャネルボディ 38 がリッジ部 31 A の内部、つまり光導波路 39 内に設けられていたが、リッジ部 31 A の直上、つまり光導波路 39 に接して設けられていてもよい。例えば、図 12、図 13（図 12 の A - A 矢視方向の断面図）に示したように、リッジ部 31 A の上面と第 2 半導体層 33 との間にも絶縁膜 32 を形成し、

50

第2半導体層33のうちリッジ部31Aの直上に対応する部分にチャネルボディ38が配置されるようにMOSトランジスタ30を設けるようにしてもよい。これにより、絶縁膜32の外側、つまりチャネルボディ38に染み出した光の作用によって、チャネルボディ38にキャリアを発生させ、電荷を蓄積させることができる。

【0046】

また、上記第2の実施の形態では、光源42からの光をリッジ部31Aの側面から入射させ、光導波路39を導波してきた光をチャネルボディ38に照射するようにしていたが、例えば、上記第1の実施の形態と同様に、光源42からの光を半導体基板11側から絶縁膜12を介してチャネルボディ38に照射するようにしてもよい。この場合には、個々のチャネルボディ38に別個に光を照射することが可能となる。なお、そのようにした場合には、上記第1の実施の形態の変形例と同様に、MOSトランジスタ30の上面に、MOSトランジスタ30を支持する支持基板Sを、接着層（図示せず）を介して貼り付け、例えばレーザ照射などにより半導体基板11を剥離、除去してもよい。そのようにした場合には、チャネルボディ38が、光照射装置40からの光Lが入射する表面近傍に配置されることになるので、半導体基板11の厚さに起因する球面収差をなくすることができる。これにより、チャネルボディ38に対して正確に光Lを集光させることができる。

【0047】

[上記各実施の形態の変形例]

また、上記各実施の形態では、光源からの光を一つのMOSトランジスタに照射するようにしていたが、例えば、図14に示したように、上記各実施の形態のMOSトランジスタ10またはMOSトランジスタ30をマトリクス状に集積化したチップ50を用意し、チップ50の半導体基板11側（ゲート電極35などの形成されていない側）に、レンズ21またはレンズ41と、所定のパターン（図14ではアルファベットのA）が形成されたマスク60と、光源22または光源42とをチップ50側から順に配置した上で、光源22または光源42から光をマスク60に向けて照射するようにしてもよい。これにより、一度の光照射で、マスク60にパターニングされたデータを一括してチップ50に書き込むことができるので、大量のデータを高速に書き込むことができる。

【0048】

ここで、チップ50が半導体基板11の除去されたものによって構成されている場合には、半導体基板11の厚さに起因する球面収差をなくすることができる。これにより、レンズ21またはレンズ41に対して、球面収差を補正するような設計を行う必要がないので、正確なイメージを容易に得ることができる。

【0049】

また、チップ50内に、MOSトランジスタ10またはMOSトランジスタ30から得られた信号を処理する信号処理用トランジスタを設けるようにしてもよい。この信号処理用トランジスタは、例えば、MOSトランジスタ10またはMOSトランジスタ30と同一面（具体的には絶縁膜12または絶縁膜32の表面）上に設けられており、半導体層13、半導体層31または半導体層33に設けられている。この信号処理用トランジスタは、例えば、MOSトランジスタ10またはMOSトランジスタ30と同様、電氣的に浮遊したチャネルボディを有するMOSトランジスタであり、MOSトランジスタ10またはMOSトランジスタ30の出力に接続されている。

【0050】

ただし、信号処理用トランジスタ70を、MOSトランジスタ10に照射する光Lが入射する領域内に配置した場合には、例えば、図15に示したように、MOSトランジスタ10またはMOSトランジスタ30に照射する光Lが信号処理用トランジスタ70に入射するのを遮る遮光膜71を設けることが好ましい。この遮光膜71は、例えば、図15に示したように、少なくとも信号処理用トランジスタ70との対向領域を覆っており、少なくともMOSトランジスタ10のチャネルボディ18との対向領域に開口71Aを有している。このように、信号処理用トランジスタ70への光入射を遮る遮光膜71を設けた場合には、光源22または光源42からの光Lが信号処理用トランジスタ70に入射して、

信号処理用トランジスタ70にノイズが発生するのを防止することができる。その結果、信号処理用トランジスタ70から出力される信号に含まれるノイズを低く抑えることができる。

【0051】

また、半導体基板11を取り除き、遮光膜71を絶縁膜12の表面に設けた場合には、遮光膜71の開口71Aを、チャネルボディ18に最も近づけて配置することができる。これにより、半導体基板11を取り除かず、半導体基板11の表面に遮光膜71を設けた場合と比べて、開口71Aの設計が容易となるので、ノイズの少ないイメージを得ることができる。

【0052】

10

[実施例]

次に、上記実施の形態の記憶装置1の実施例について説明する。

【0053】

“Limitations of active carrier removal in silicon Roman amplifiers and lasers”, D.Dimitropoulos, S.Fathpour, and B.Jalali, University of California, Los Angeles, Los Angeles, California 90095-1594”に記載の計算式によって導かれる量のキャリア（電子とホールペア）が二光子吸収現象によって発生するものとして、シミュレーションを行った。

【0054】

このシミュレーションにおいて、チャネルボディ18の不純物濃度を $5.0 \times 10^{17} \text{ cm}^{-3}$ 、ゲート幅を $1.0 \mu\text{m}$ 、絶縁膜12の厚さを $0.2 \mu\text{m}$ 、光源22の波長を $1.55 \mu\text{m}$ とした。また、チャネルボディ18への光照射を終えたあと、MOSトランジスタ10を 1 kHz の周波数にて駆動した場合のドレイン電流を計算し、その結果を図16に示した。なお、図16には、ゲート電圧を 0.2 V 一定とした上で、ドレイン電圧を 0 V から 2 V まで徐々に大きくしたのち 2 V から 0 V まで徐々に小さくしたときのドレイン電流の値が示されている。

20

【0055】

図16から、 0.04 mW 以上の光を照射することに対応する、 $6.0 \times 10^{17} \text{ cm}^{-3}$ 以上のキャリアが発生した場合には、光を照射しない場合と比べて、ドレイン電流の特性に明らかな変化が見られる。もっとも、ドレイン電圧を 2 V から 0 V まで徐々に小さくしたときのドレイン電流の特性においては、光照射の有無による差が少なかった。

30

【0056】

また、図16は 1 kHz の周波数にてドレイン電圧を変化させたときのデータであることから、チャネルボディ18の不純物濃度以上の濃度のキャリアが発生した場合には、光の照射を終えた 0.5 m 秒後においてもトランジスタ特性に変化が見られることがわかった。これは、光の照射によるキャリア発生においても基板浮遊効果（ヒストリー効果）が発生していることを示している。これらのことから、本実施例のような基板浮遊効果を応用したRAMに関して光の照射によるデータの書き込みが可能であることがわかった。

【図面の簡単な説明】

【0057】

40

【図1】本発明の第1の実施の形態に係る記憶装置の回路構成図である。

【図2】図1のMOSトランジスタおよび光照射装置の内部構成図である

【図3】図1の記憶装置における光照射について説明するための概念図である。

【図4】図1の記憶装置におけるホール蓄積について説明するための概念図である。

【図5】図1の記憶装置におけるドレイン電圧とソースドレイン電流の関係図である。

【図6】図2のMOSトランジスタの内部構成の一変形例を表す内部構成図である。

【図7】本発明の第2の実施の形態に係る記憶装置の回路構成図である。

【図8】図7のMOSトランジスタの斜視図である。

【図9】図8のMOSトランジスタのA-A矢視方向の断面構成図である。

【図10】図7の記憶装置の配置図である。

50

【図 1 1】図 7 の記憶装置における光照射について説明するための概念図である。

【図 1 2】図 7 の MOS トランジスタの一変形例の斜視図である。

【図 1 3】図 1 2 の MOS トランジスタの A - A 矢視方向の断面構成図である。

【図 1 4】図 2 または図 1 0 の記憶装置の一変形例を表す斜視図である。

【図 1 5】図 1 4 のチップの一変形例の断面成図である。

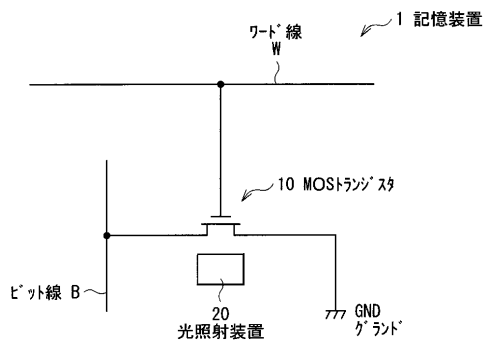
【図 1 6】1 k H z の周波数にてドレイン電圧を変化させたときのドレイン電圧とドレイン電流の関係図である。

【符号の説明】

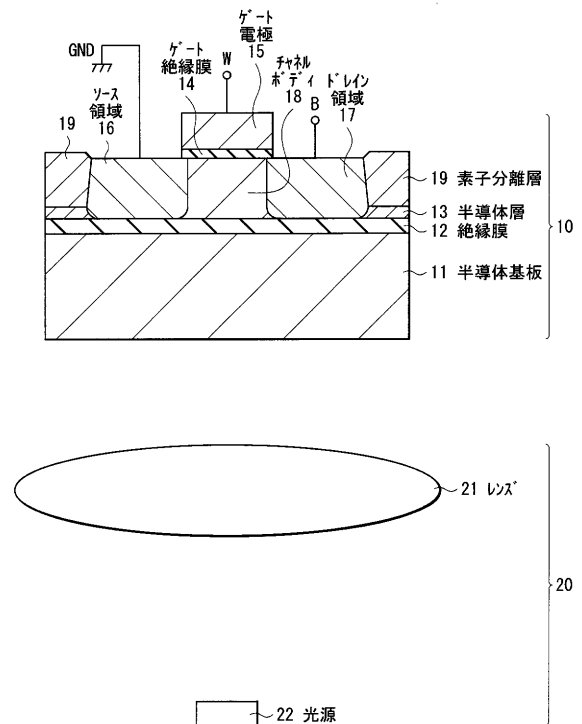
【 0 0 5 8 】

1, 2 ... 記憶装置、10, 30 ... MOS トランジスタ、11 ... 半導体基板、12, 32 ... 絶縁膜、13 ... 半導体層、14, 34 ... ゲート絶縁膜、15, 35 ... ゲート電極、16, 36 ... ソース領域、17, 37 ... ドレイン領域、18, 38 ... チャネルボディ、19 ... 素子分離層、20, 40 ... 光照射装置、21 ... レンズ、22 ... 光源、31 ... 第 1 半導体、31A ... リッジ部、33 ... 第 2 半導体、33A ... 開口部、39 ... 光導波路、50 ... チップ、60 ... マスク、70 ... 信号処理用トランジスタ、71 ... 遮光膜、71A ... 開口、B ... ビット線、H ... ホール、L ... 光、S ... 支持基板、W ... ワード線。

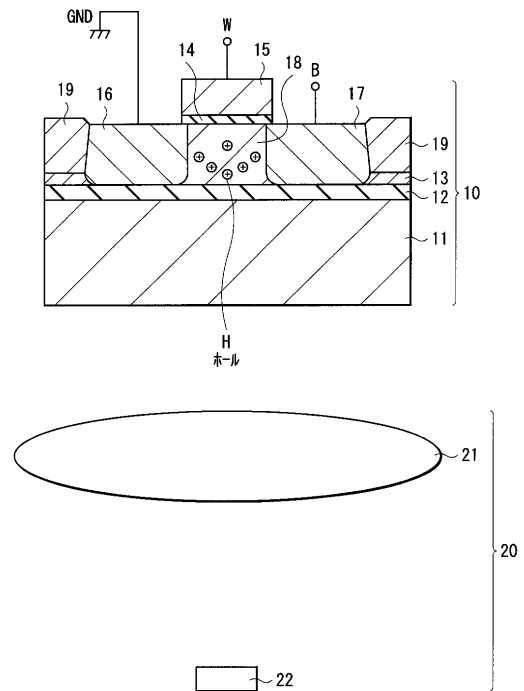
【図 1】



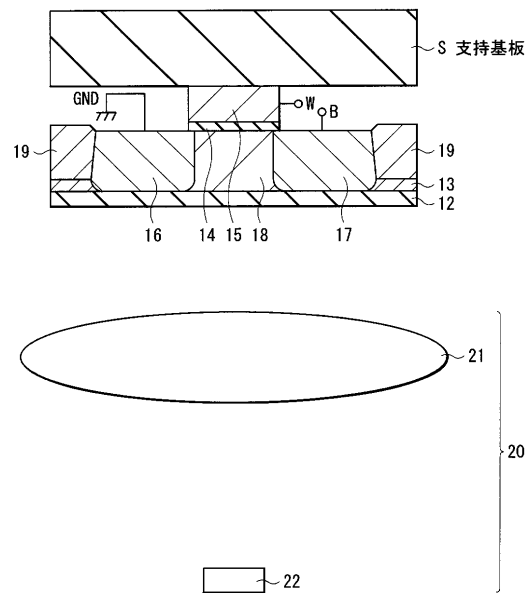
【図 2】



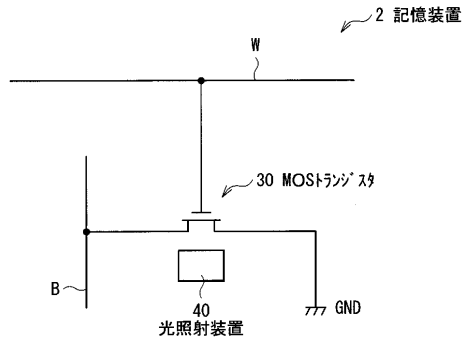
【 図 4 】



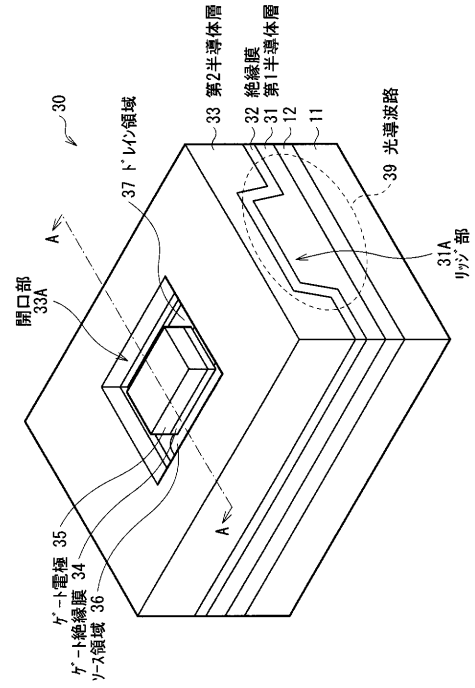
【 図 6 】



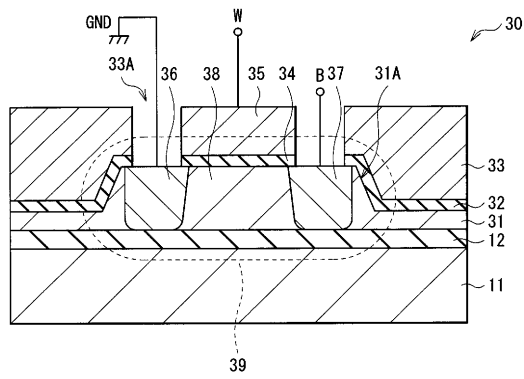
【図 7】



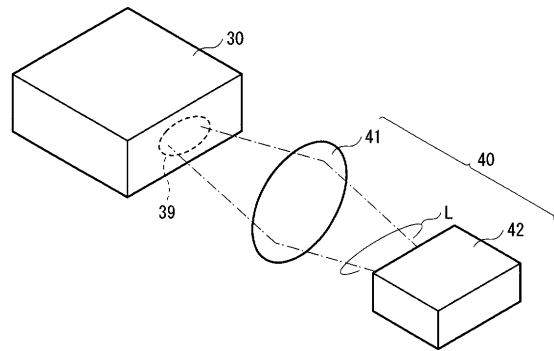
【図 8】



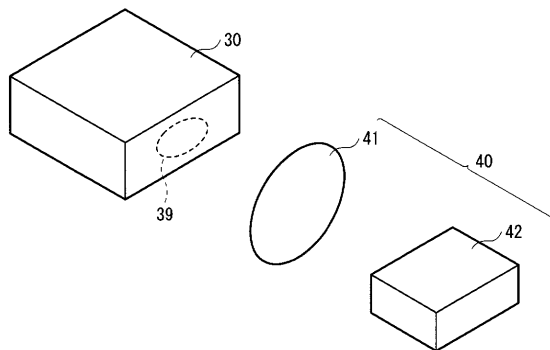
【図 9】



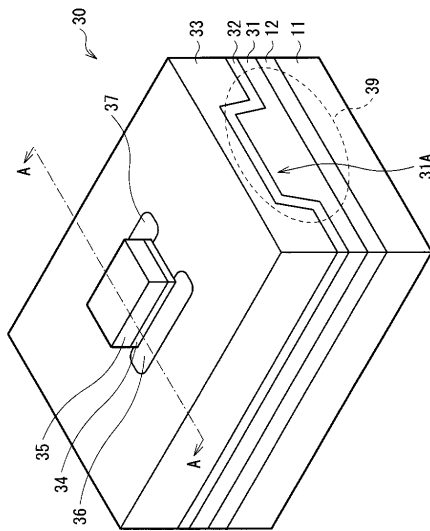
【図 11】



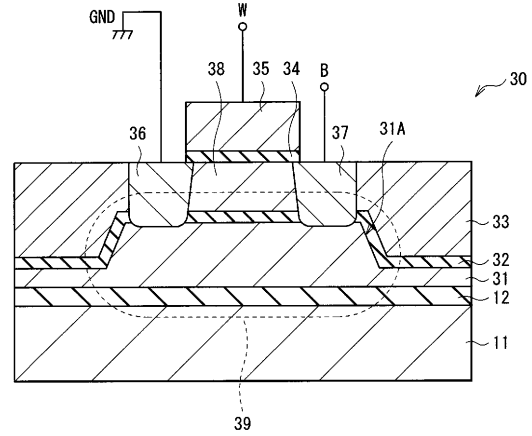
【図 10】



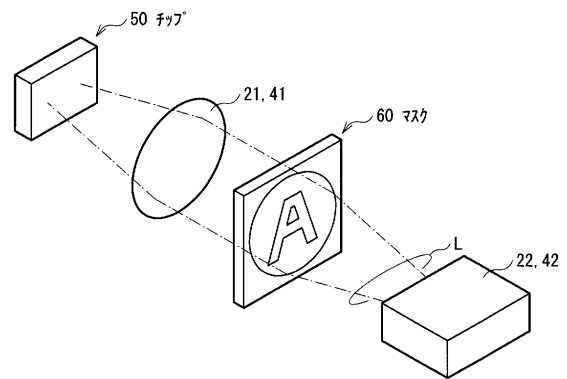
【図 1 2】



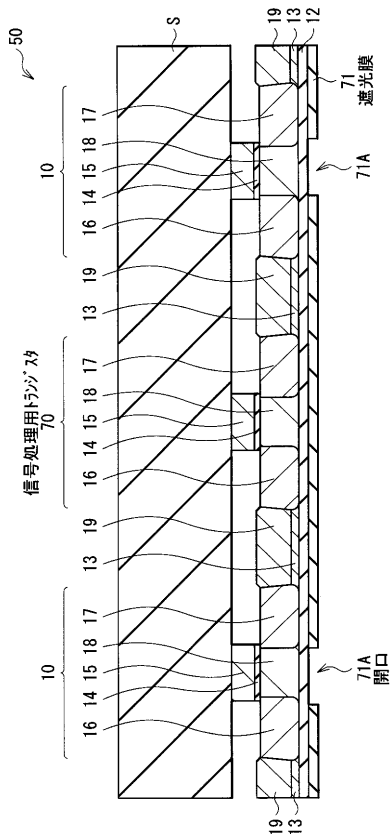
【図 1 3】



【図 1 4】



【図 1 5】



フロントページの続き

F ターム(参考) 5F083 AD02 AD69 FZ04 GA09 HA02 JA53
5F110 AA30 BB06 CC02 DD05 DD13 DD21 EE05 EE09 EE14 FF02
GG02 GG12 GG28 GG34 HJ01 QQ16