

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2010-97114

(P2010-97114A)

(43) 公開日 平成22年4月30日(2010.4.30)

(51) Int.Cl.

G02F 1/1368 (2006.01)

F I

G02F 1/1368

テーマコード (参考)

2H092

審査請求 未請求 請求項の数 6 O L (全 15 頁)

(21) 出願番号 特願2008-269671 (P2008-269671)  
 (22) 出願日 平成20年10月20日(2008.10.20)

(71) 出願人 304053854  
 エプソンイメージングデバイス株式会社  
 長野県安曇野市豊科田沢6925  
 (74) 代理人 100095728  
 弁理士 上柳 雅誉  
 (74) 代理人 100107261  
 弁理士 須澤 修  
 (74) 代理人 100127661  
 弁理士 宮坂 一彦  
 (72) 発明者 太田 昭雄  
 長野県安曇野市豊科田沢6925 エプソ  
 ンイメージングデバイス株式会社内

最終頁に続く

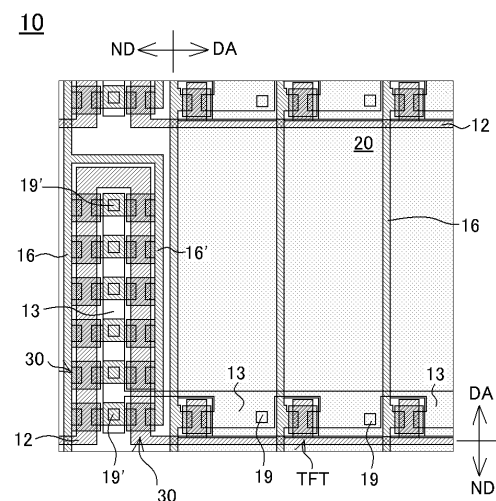
(54) 【発明の名称】 液晶表示装置

## (57) 【要約】

【課題】表示領域の周囲に形成された非表示領域に複数個の静電気保護用のスイッチング素子が形成された液晶表示装置を提供すること。

【解決手段】本発明の液晶表示装置10のアレイ基板は、表示領域DAの周囲の非表示領域NDに形成された走査線12又は信号線16に屈曲部が形成され、この屈曲部に沿って複数のスイッチング素子としての保護TFT30が形成されており、これらの複数の保護TFT30は互いに並列に接続されて保護TFT30のドレイン電極Dはコモン電位に接続されている。

【選択図】図2



**【特許請求の範囲】****【請求項 1】**

液晶層を挟持して対向配置された第 1 基板及び第 2 基板を有し、前記第 1 基板の液晶層側には、マトリクス状に配置された複数の走査線及び信号線と、表示領域の前記各走査線及び信号線の交差部近傍に配置されたスイッチング素子と、前記表示領域の前記各走査線及び信号線で囲まれた画素領域毎にそれぞれ配置されているとともに前記スイッチング素子に電氣的に接続された画素電極と、前記表示領域の周囲に非表示領域が形成された液晶表示装置において、

前記非表示領域には、前記走査線又は信号線に屈曲部が形成され、前記屈曲部に沿って複数のスイッチング素子が形成され、前記複数のスイッチング素子は互いに並列に接続されて前記スイッチング素子の電極の一つはコモン電位に接続されていることを特徴とする液晶表示装置。

10

**【請求項 2】**

前記非表示領域に形成されたスイッチング素子は、前記画素領域に形成されたスイッチング素子と略同一の大きさであることを特徴とする請求項 1 に記載の液晶表示装置。

**【請求項 3】**

前記非表示領域には、前記走査線に屈曲部が形成され、前記信号線は前記走査線の屈曲部の外周囲に沿って延びる分岐信号線が形成されていることを特徴とする請求項 1 に記載の液晶表示装置。

**【請求項 4】**

前記非表示領域には、前記信号線に屈曲部が形成され、前記走査線は前記信号線の屈曲部に交差するように延びる分岐走査線が形成されていることを特徴とする請求項 1 に記載の液晶表示装置。

20

**【請求項 5】**

前記スイッチング素子は薄膜トランジスタであり、前記非表示領域に形成されている薄膜トランジスタは、それぞれソース電極が前記信号線に接続され、ゲート電極が前記走査線に接続され、ドレイン電極が前記コモン電位に接続されていることを特徴とする請求項 1 ～ 4 のいずれかに記載の液晶表示装置。

**【請求項 6】**

前記非表示領域に形成されている薄膜トランジスタは、前記表示領域に形成されている薄膜トランジスタのチャネル幅及びチャネル長よりも小さくなっていることを特徴とする請求項 5 に記載の液晶表示装置。

30

**【発明の詳細な説明】****【技術分野】****【0001】**

本発明は、液晶表示装置に関し、特に表示領域の周囲に形成された非表示領域に複数の静電気保護用のスイッチング素子が形成された液晶表示装置に関する。

**【背景技術】****【0002】**

一般に液晶表示装置には薄型軽量、低消費電力という特徴があり、特に、スイッチング素子として薄膜トランジスタ T F T (Thin Film Transistor) を用いたアクティブマトリクス型の液晶表示装置は、携帯電話機、携帯端末から大型テレビに至るまで幅広く利用されている。しかしながら、液晶表示装置は、製造工程中や使用中に、表示領域内に静電気が浸入すると、液晶表示装置としてでき上がった段階で表示欠陥が生じる。特に中小型機種においては高精細化が進むにつれて今まで以上に静電気不良が発生しやすくなっている。静電気は、製造工程においても、パネルを搬送する際にも、他のものと接触するだけで発生してしまう。また、配向膜のラビング時には摩擦により最も静電気が発生しやすい。したがって、液晶表示装置の製造技術分野では、静電気による表示欠陥が生じないようにすることが要求されている。

40

**【0003】**

50

このような静電気による画素欠陥の発生を防止するために、下記特許文献 1 には、表示領域の周辺部にダミー画素を形成し、このダミー画素内に静電気保護用の複数の微小なダミー画素電極とスイッチング素子を形成した液晶表示装置の発明が開示されている。ここで、下記特許文献 1 が開示されている液晶表示装置のダミー画素部分の構成を図 8 ~ 図 10 を用いて説明する。

【0004】

図 8 は下記特許文献 1 が開示されているアレイ基板のダミー画素領域の拡大平面図である。図 9 は図 8 の IX 部分の拡大平面図である。図 10 は図 9 の X - X 線の断面図である。

【0005】

従来例の液晶表示装置 50 は、半透過型液晶表示装置であり、第 1 の透光性基板 51 上にゲート絶縁膜を挟んでマトリクス状に設けられた複数の走査線及び信号線が設けられている。なお、図 8 には走査線としては走査線  $X_{n-2}$ 、 $X_{n-1}$ 、 $X_n$ 、 $X_{n+1}$ 、 $X_{n+2}$  の部分のみ、信号線としては  $Y_1$ 、 $Y_2 \cdots Y_m$  の部分のみが示されている。このうち、複数の走査線  $X_1$ 、 $X_2 \cdots X_n$  及び信号線  $Y_1$ 、 $Y_2 \cdots Y_m$  で囲まれた領域が表示領域であり、複数の走査線  $X_n$ 、 $X_{n+1}$ 、 $X_{n+2}$  及び信号線  $Y_1$ 、 $Y_2 \cdots Y_m$  で囲まれた領域が非表示領域となっている。

【0006】

この表示領域においては、各走査線及び信号線で囲まれた領域毎に、表示に寄与する画素電極 52 及び反射板 65 が設けられている。また、TFT 54 においては、そのソース電極 S は信号線  $Y_1$ 、 $Y_2 \cdots Y_m$  に接続され、ゲート電極 G は走査線  $X_1$ 、 $X_2 \cdots X_n$  に接続され、さらに、ドレイン電極 D はコンタクトホール（図示せず）を介して画素電極 52 及び反射板 65 に電氣的に接続されている。また、ドレイン電極 D の下部には補助容量電極 53 が設けられている。このような構成の液晶表示装置 50 の動作原理は、既に周知のものであるので、その詳細な説明は省略する。

【0007】

一方、液晶表示装置 50 の表示領域の周囲には、走査線  $X_n$ 、 $X_{n+1}$ 、 $X_{n+2}$  及び信号線  $Y_1$ 、 $Y_2 \cdots Y_m$  で囲まれた非表示領域が形成され、この非表示領域には、TFT 66 及び表示に寄与しないダミー画素電極 67 を有するダミー画素がそれぞれの信号線  $Y_1$ 、 $Y_2 \cdots Y_m$  毎に複数個設けられている。このダミー画素の TFT 66 のソース電極 S は、各信号線  $Y_1$ 、 $Y_2 \cdots Y_m$  毎に並列に接続され、ゲート電極 G は各走査線  $X_{n+1}$ 、 $X_{n+2}$  毎に並列に接続され、更にドレイン電極 D は、図 10 に示すように、コンタクトホール 68 を介して層間膜 69 上に設けられたダミー画素電極 67 に接続されている。そして、このダミー画素の TFT 66 は、表示に寄与する画素電極 52 に接続されている TFT 64 のチャンネル幅及びチャンネル長よりも小さくなっており、それによって表示に寄与する画素電極 52 に接続されている TFT 54 よりも優先的に静電破壊されるようになっている。

【0008】

ダミー画素電極 67 の面積は、表示領域における 1 画素分の表示に寄与する画素電極 52 及び反射板 65 の面積を合わせたものよりも小さくされている。なお、図 8 及び図 9 においては、ダミー画素電極 67 のそれぞれの面積を表示領域における 1 画素分の表示に寄与する画素電極 52 及び反射板 65 の面積の  $1/10$  とし、走査線  $X_n$  と  $X_{n+1}$  の間及び  $X_{n+1}$  及び  $X_{n+2}$  の間にそれぞれ 10 個づつ、計 20 個設けたものが示されている。

【0009】

このような構成の液晶表示装置 50 においては、信号線用入力端子 62 から静電気が浸入すると、信号線用入力端子 62 に最も近いダミー画素領域の TFT 66 1 が静電破壊を起こして静電気を放電する。その後、再度信号線用入力端子 62 から静電気が浸入すると、最初に静電破壊を起こしたダミー画素領域の TFT 66 1 の隣りの TFT 66 2 が静電破壊することにより静電気を放電する。そのため、この液晶表示装置 50 の製造工程時には、表示領域の薄膜トランジスタ 54 が破壊されるような静電気浸入は 20 回まで

10

20

30

40

50

許容できることになるから、実質的に表示欠陥が生じることがない半透過型液晶表示装置 50 が得られるというものである。

【特許文献 1】特開 2006 - 276590 号公報

【発明の開示】

【発明が解決しようとする課題】

【0010】

しかしながら、上記特許文献 1 に開示されている液晶表示装置 50 に示されているダミー画素は、平面視で表示領域の上下側の非表示領域に形成されているものである。そのため、平面視で表示領域の上下側の非表示領域では、1 画素分の領域内に複数個のダミー画素が形成されているので、信号線側からの複数回の静電気進入に対処することができる。しかしながら、平面視で表示領域の左右側の非表示領域においては、1 画素分の領域内に複数個のダミー画素を形成し難いので、走査線側からの複数回の静電気進入に対処できるようにするためには、平面視で表示領域の左右の両側において外側に向かって複数のダミー画素を形成する必要がある。そのため、平面視で表示領域の左右側の非表示領域の幅を狭くすることは困難となる。加えて、上記特許文献 1 に開示されている液晶表示装置 50 に示されているダミー画素は、TF T 6 6 とダミー画素電極 6 7 とを備えているために構成が複雑となっている。

10

【0011】

本発明は、上述の従来技術の問題点を解決するためになされたものである。すなわち、本発明は、全ての非表示領域においても 1 画素分の領域内に簡単な構成の静電保護素子を複数個形成することができ、しかも、非表示領域の幅を増加させることなく、多数回の静電気浸入に対処できる液晶表示装置を提供することを目的とする。

20

【課題を解決するための手段】

【0012】

上記目的を達成するため、本発明の液晶表示装置は、液晶層を挟持して対向配置された第 1 基板及び第 2 基板を有し、前記第 1 基板の液晶層側には、マトリクス状に配置された複数の走査線及び信号線と、表示領域の前記各走査線及び信号線の交差部近傍に配置されたスイッチング素子と、前記表示領域の前記各走査線及び信号線で囲まれた画素領域毎にそれぞれ配置されているとともに前記スイッチング素子に電気的に接続された画素電極と、前記表示領域の周囲に非表示領域が形成された液晶表示装置において、前記非表示領域には、前記走査線又は信号線に屈曲部が形成され、前記屈曲部に沿って複数のスイッチング素子が形成され、前記複数のスイッチング素子は互いに並列に接続されて前記スイッチング素子の電極の一つはコモン電位に接続されていることを特徴とする。

30

【0013】

本発明の液晶表示装置は、表示領域の周囲の非表示領域に静電保護素子としてのスイッチング素子が複数個形成されている。すなわち、本発明の液晶表示装置は、平面視で表示領域の列方向の両端側に位置する非表示領域にも、平面視で表示領域の行方向の両端側に位置する非表示領域にも複数のスイッチング素子が形成され、前記複数のスイッチング素子は互いに並列に接続され、前記スイッチング素子の電極の一つはコモン電位に接続されている。なお、非表示領域にダミー画素電極を形成してもよく、このダミー画素電極を、絶縁層に形成されたコンタクトホールを介してスイッチング素子の電極と接続し、スイッチング素子の電極をコモン電位に接続するために利用してもよい。

40

【0014】

しかも、本発明の液晶表示装置においては、走査線又は信号線に屈曲部が形成されているので、非表示領域内に位置している走査線ないし信号線の長さは長くなっている。そのため、スイッチング素子の占める面積は 1 画素分の面積に比すると小さいから、非表示領域内に多くのスイッチング素子を形成することができる。

【0015】

加えて、複数個のスイッチング素子は、走査線ないし信号線に接続されているために、走査線ないし信号線に沿って並んで形成されていることになる。しかも、複数個のスイッ

50

チング素子の電極の一つはコモン電位に接続されているから、走査線ないし信号線に静電気が進入した場合、静電気の進入箇所に近いスイッチング素子から順に静電破壊され、この静電気はコモン電位に流れて放電されるので、液晶表示装置の表示領域を有効に保護することができる。しかも、静電気の進入は、複数個のスイッチング素子の全てが静電破壊されるまで許容されるので、スイッチング素子の数を多くすることにより実質的に表示欠陥が生じることがない液晶表示装置が得られる。

【 0 0 1 6 】

なお、本発明は、T N (Twisted Nematic) モード、V A (Vertical Alignment) モード、E C B (Electrically Controlled Birefringence) モード等の縦電界方式の液晶表示装置だけでなく、I P S (In-Plane Switching) モードや、F F S (Fringe Field Switching) モード等の横電界方式の液晶表示装置に対しても適用可能である。また、本願発明で利用できるスイッチング素子としては、薄膜トランジスタ (T F T : Thin Film Transistor)、薄膜ダイオード (Thin Film Diode)、M I M (Metal Insulator Metal) 素子等を使用し得る。

10

【 0 0 1 7 】

本発明の液晶表示装置においては、前記非表示領域に形成されたスイッチング素子は、前記画素領域に形成されたスイッチング素子と略同一の大きさであることが好ましい。

【 0 0 1 8 】

非表示領域に形成されたスイッチング素子が画素領域に形成されたスイッチング素子と略同一の大きさであれば、特に非表示領域のスイッチング素子形成用のマスク等を起こす必要がなくなり、しかも、液晶表示装置のスイッチング素子の形成時に同時に形成できる。そのため、本発明の液晶表示装置は、非表示領域に複数個のスイッチング素子を備えながらも、簡単に製造できるようになる。なお、本発明における「略同一の大きさ」とは、必ずしも同一の大きさでなくてもよいが、同一の大きさであることが好ましいという意味で用いられている。

20

【 0 0 1 9 】

また、本発明の液晶表示装置においては、前記非表示領域には、前記走査線に屈曲部が形成され、前記信号線は前記走査線の屈曲部の外周囲に沿って延びる分岐信号線が形成されていることが好ましい。

【 0 0 2 0 】

本発明の液晶表示装置は、非表示領域内の走査線の長さを長くすることができるので、非表示領域の行方向の幅に拘わらず、非表示領域内に容易に複数個のスイッチング素子を形成することができる。そのため、本発明の液晶表示装置によれば、特に平面視で表示領域の左右側の非表示領域の幅を広くしなくても複数個のスイッチング素子を走査線に沿って形成できるので、平面視で表示領域の左右側の非表示領域の幅が狭くても液晶表示装置の表示領域を有効に保護することができるようになる。走査線の屈曲形態としては、通常は表示領域の画素の形状が走査線側が短辺の矩形状に形成されているため、平面視で表示領域の左右側の非表示領域内で凸状ないし凹状に屈曲していることが好ましい。表示領域の画素の形状が横長の矩形状であれば、走査線は平面視で表示領域の左右側の非表示領域内で「コ」字状にジグザグに屈曲していることが好ましい。何れの場合においても、走査線を屈曲させる場合、信号線は走査線の屈曲部の外周囲に沿って延びる分岐信号線を形成すればよい。

30

40

【 0 0 2 1 】

また、本発明の液晶表示装置においては、前記非表示領域には、前記信号線に屈曲部が形成され、前記走査線は前記信号線の屈曲部に交差するように延びる分岐走査線が形成されていることが好ましい。

【 0 0 2 2 】

本発明の液晶表示装置は、非表示領域内の信号線の長さを長くすることができるので、従来例のように平面視で表示領域の上下側の非表示領域の走査線間距離を狭くしなくても、複数個のスイッチング素子を信号線に沿って形成できるようになる。そのため、本発明

50

の液晶表示装置によれば、特に平面視で表示領域の上下側の非表示領域の幅を大きくしなくても、多くのスイッチング素子を形成できるので、液晶表示装置の表示領域を有効に保護することができるようになる。なお、信号線の屈曲形態としては、通常は表示領域の画素の形状が信号線側が長辺の矩形状に形成されているため、平面視で表示領域の上下側の非表示領域内で「コ」字状にジグザグに屈曲させることが好ましい。表示領域の画素の形状が横長の矩形状の場合には、信号線は平面視で表示領域の上下側の非表示領域内で凸状ないし凹状に屈曲していることが望ましい。何れの場合においても、走査線は信号線の屈曲部に交差するように枝状に延びているものとすればよい。

【 0 0 2 3 】

また、本発明の液晶表示装置においては、前記スイッチング素子はＴＦＴであり、前記非表示領域に形成されているＴＦＴは、それぞれソース電極が前記信号線に接続され、ゲート電極が前記走査線に接続され、ドレイン電極が前記コモン電位に接続されていることが好ましい。

【 0 0 2 4 】

ＴＦＴは液晶表示装置のスイッチング素子として汎用的に使用されているものである。そのため、本発明の液晶表示装置によれば、表示領域のスイッチング素子及び非表示領域のスイッチング素子とともにＴＦＴからなるものとしたので、これらのスイッチング素子を同時にかつ容易に製造することができるようになる。

【 0 0 2 5 】

更に、本発明の液晶表示装置においては、前記非表示領域に形成されているＴＦＴは、前記表示領域に形成されているＴＦＴのチャネル幅及びチャネル長よりも小さくなっていることが好ましい。

【 0 0 2 6 】

非表示領域に形成されているＴＦＴのチャネル幅及びチャネル長が表示領域に形成されているＴＦＴよりも小さくなっていると、より静電破壊され易くなる。そのため、本発明の液晶表示装置によれば、外部から静電気が浸入しても確実に非表示領域に形成されているＴＦＴが先に静電破壊されるので、静電気が表示領域内に進入し難くなり、液晶表示装置の表示領域を有効に保護することができるようになる。

【 発明を実施するための最良の形態 】

【 0 0 2 7 】

以下、実施形態及び図面を参照して本発明を実施するための最良の形態を説明するが、以下に示す実施形態は、本発明をここに記載したものに限定することを意図するものではなく、本発明は特許請求の範囲に示した技術思想を逸脱することなく種々の変更を行ったものにも均しく適用し得るものである。なお、この明細書における説明のために用いられた各図面においては、各層や各部材を図面上で認識可能な程度の大きさとするため、各層や各部材毎に縮尺を異ならせて表示しており、必ずしも実際の寸法に比例して表示されているものではない。

【 0 0 2 8 】

図１は実施形態の液晶パネルのアレイ基板を示す模式平面図である。図２は図１のⅡ部分の拡大平面図である。図３は図２の表示領域の１サブ画素分の拡大平面図である。図４は図３のⅣ－Ⅳ線の断面図である。図５は図２の表示領域の左右側の非表示領域の１画素分の領域の拡大平面図である。図６は図５のⅥ－Ⅵ線の断面図である。図７は変形例の表示領域の左右側の非表示領域の１画素分の領域の拡大平面図である。

【 0 0 2 9 】

[ 実施形態 ]

実施形態にかかる液晶パネル１０を図１～図６を用いて説明する。実施形態にかかる液晶パネル１０は、図４に示すように、液晶層ＬＣをアレイ基板ＡＲ及びカラーフィルタ基板ＣＦとの間に挟持している。液晶層ＬＣの厚みは図示しない柱状スペーサによって均一に維持される。また、アレイ基板ＡＲの背面及びカラーフィルタ基板ＣＦの前面にはそれぞれ偏光板（図示省略）が形成されている。そして、アレイ基板ＡＲの背面側からバック

10

20

30

40

50

ライト（図示省略）により光が照射されている。

【0030】

アレイ基板ARは、図1に示すように、各種の画像が表示される表示領域DAと、その周辺である非表示領域NDとを備えており、この非表示領域NDの一つの端部側にドライバICを載置するための第1端子部Drと、外部接続用の第2端子部Tpとが形成されている。そして、非表示領域NDには、表示領域DAの走査線を第1端子部Drへ引き回す走査線引き回し配線GL及び信号線を第1端子部Drへと引き回す信号線引き回し配線SLを備えている。また、非表示領域NDには、補助容量線13（図3及び図4参照）を第1端子部Drへと引き回すためのコモン配線COMも形成されている。

【0031】

このうち、表示領域の上下側の非表示領域には信号線引き回し配線SL側から進入してきた静電気に対する静電保護手段が形成され、表示領域の左右側の非表示領域には走査線引き回し配線GL側から進入してきた静電気に対する静電保護手段が形成されている。また、表示領域の上下側の非表示領域と左右側の非表示領域と間の角部は、信号線引き回し配線SL及び走査線引き回し配線GLの両者側から進入してきた静電気に対する静電保護手段が形成されている。なお、これらの静電保護手段の詳細な構成については後述するが、本発明においては、全ての1画素分の領域内の静電気保護手段の構成を同一とすることができるので、以下においては、一つの1画素分の領域内の静電気保護手段について説明することとする。

【0032】

まず、アレイ基板ARの構成について製造工程順に説明する。アレイ基板ARは、図3及び図4に示すように、ガラスや石英、プラスチック等からなる第1基板11の液晶LC側に、アルミニウム金属、アルミニウム合金、モリブデン等の不透明な金属からなる複数の走査線12と、この走査線12間に平行に形成された補助容量線（幅が広がっている補助容量電極として作用する部分も含む）13と、非表示領域NDに形成されたコモン配線COMを有している。このうち、走査線12及び補助容量線（幅が広がっている補助容量電極として作用する部分も含む）13は、表示領域DAだけでなく非表示領域NDにも形成される。

【0033】

この実施形態の液晶表示装置10では、開口率を大きくするため、補助容量線13は、走査線12側に沿って形成されている。また、この走査線12等の形成時に、非表示領域NDの走査線引き回し配線GL部分には第1端子部Drに向かって伸びる複数のゲート配線が形成され、信号線引き回し配線においても同じく第1端子部Drに向かって伸びる複数のゲート配線が形成される（図示省略）。

【0034】

なお、非表示領域NDにおいては、図2及び図5に示すように、1画素分の領域の形状が、表示領域DAの1画素分の領域の場合と同様に、走査線12側が短辺となる矩形状をしているため、走査線12は凸状に屈曲した形状に折れ曲げられている。これらの走査線12、補助容量線13、ゲート配線及びコモン配線COMは、第1基板11の表面全体に亘ってアルミニウム金属、アルミニウム合金、モリブデン等の不透明な金属層を形成した後、スパインコーティング法によってレジストを塗布し、所定のパターンとなるように露光及び現像処理を行った後、不要部分をエッチングすることにより作製される。なお、非表示領域NDの1画素分の領域内の補助容量線13は、中央部にベタ状に形成されており、非表示領域NDの1画素分の領域内の走査線12とは、別途絶縁膜を介して走査線12の表面を迂回され、表示領域DAの補助容量線13と電氣的に接続されている。その後、走査線12、ゲート配線、補助容量線13及び第1基板11の露出面を覆って、酸化ケイ素ないし窒化ケイ素等の無機絶縁膜からなるゲート絶縁膜14が形成される。

【0035】

次いで、ゲート絶縁膜14上に、例えばアモルファスシリコンからなる半導体層15が形成される。この半導体層15も、ゲート絶縁膜14の表面全体に亘ってアモルファスシ

10

20

30

40

50

リコン層を形成した後、スピンコーティング法によってレジストを塗布し、所定のパターンとなるように露光及び現像処理を行った後、不要部分をエッチングすることにより作製される。この半導体層 15 は、表示領域 DA だけでなく非表示領域 ND 内のスイッチング素子形成予定部分にも形成される。

#### 【0036】

次いで、非表示領域 ND 内の TFT のドレイン電極形成予定部分と補助容量線 13 とが対向する部分のゲート絶縁膜 14 に第 1 のコンタクトホール 19' を形成する。その後、半導体層 15 に一部乗り上げるようにして、ソース電極 S と、ドレイン電極 D とが形成される。この実施形態の液晶表示装置 10 では、表示領域 DA においては、半導体層 15 はゲート絶縁膜 14 を介して走査線 12 の幅が部分的に広くされた箇所と対向配置されており、この走査線 12 と平面視で重畳する部分が TFT のゲート電極 G を構成している。ソース電極 S は信号線 16 から分岐した部分からなる。信号線 16 及びドレイン電極 D は、それぞれアルミニウム金属、アルミニウム合金、モリブデン等の不透明な金属で形成され、表示領域 DA だけでなく非表示領域 ND 内にも形成される。そのため、非表示領域 ND の 1 画素分の領域内に形成されたドレイン電極 D 部分は、コンタクトホール 19' を経て、全て補助容量線 13 と電氣的に接続された状態となる。

#### 【0037】

また、信号線 16 からは一部が枝状に分岐された分岐信号線 16' が形成され、この分岐信号線 16' は折り曲げられた走査線 12 の周囲に沿って延在されている。更に、信号線 16 及びドレイン電極 D の形成時に、非表示領域 ND の走査線引き回し配線 GL には第 1 端子部 Dr に向かって伸びる複数のソース配線が形成されると共に、信号線引き回し配線 SL にも同じく第 1 端子部 Dr に向かって延びるソース配線が形成される（図示省略）。なお、本発明におけるゲート配線及びソース配線は、必ずしも液晶パネルの走査線 12 ないし信号線 16 に接続されている配線を意味するものではなく、走査線 12 と同時に形成された配線をゲート配線といい、信号線 16 と同時に形成された配線をソース配線という。したがって、上記実施形態の液晶表示装置 10 では、ゲート絶縁膜 14 の下にある配線部分がゲート配線となり、ゲート絶縁膜 14 の上にある配線部分がソース配線となり、平面視では両者間に区別はない。

#### 【0038】

そして、半導体層 15、ソース電極 S、ドレイン電極 D、信号線 16、ソース配線等及びゲート絶縁膜 14 の露出部を覆うように、表示領域 DA 及び非表示領域 ND 共に、酸化ケイ素ないし窒化ケイ素等の無機絶縁膜からなるパッシベーション膜 17 が形成される。更に、表示領域 DA においては、パッシベーション膜 17 を覆って樹脂材料からなる層間膜 18 が形成される。層間膜 18 としては、透明性が良好で、電気絶縁性に優れた感光性レジスト材料を適宜選択して使用し得る。この層間膜 18 は、パッシベーション膜 17 の表面にスピンコーティング法によってレジストを塗布し、所定のパターンとなるように露光及び現像処理を行った後、不要部分をエッチングすることにより作製される。

#### 【0039】

次いで、パッシベーション膜 17 及び層間膜 18 を貫通してドレイン電極 D に達するように第 2 のコンタクトホール 19 が形成される。更に、層間膜 18 を覆うように、表示領域 DA の画素領域毎に ITO、IZO 等の透明導電材料からなる画素電極 20 が形成される。この画素電極 20 は、第 2 のコンタクトホール 19 を経てドレイン電極 D と電氣的に接続されている。更に、画素電極 20 の表面を覆うように配向膜（図示省略）が形成されて、実施形態の液晶表示装置 10 におけるアレイ基板 AR が得られる。

#### 【0040】

次にカラーフィルタ基板 CF について説明する。カラーフィルタ基板 CF は、ガラスや石英、プラスチック等からなる第 2 基板 21 を有している。この第 2 基板 21 には、サブ画素毎に異なる色の光（R、G、B あるいは無色）を透過するカラーフィルタ層 22 と遮光層 23 が形成されている。カラーフィルタ層 22 と遮光層 23 を覆うようにしてトップコート層 24 が形成されており、トップコート層 24 を覆うようにして ITO ないし IZ

10

20

30

40

50

0からなる共通電極25が形成されている。そして、共通電極25の表面には配向膜（図示せず）が形成されて、実施形態の液晶表示装置10のカラーフィルタ基板が完成される。

#### 【0041】

そして、上述のように形成されたアレイ基板ARとカラーフィルタ基板CFと対向配置させ、周縁部をシール材（図示せず）によってシールし、液晶LCをアレイ基板ARとカラーフィルタ基板CFの間に形成された密封エリア内に封止することにより実施形態の液晶パネル10が得られる。

#### 【0042】

次に表示領域DAの周囲に形成されている非表示領域NDの1画素分の領域の構成について説明する。本実施形態の液晶表示装置10では、非表示領域NDは、表示領域DAの上下側、表示領域DAの左右側及び表示領域DAの上下側と左右側の角部に形成されるが、それぞれの1画素分の領域は全て同じ大きさ及び形状とされている。

#### 【0043】

そして、実施形態の液晶表示装置10においては、非表示領域NDの1画素分の領域内で、走査線12は隣接する信号線12に沿うように細長く凸状となるように折り曲げられている。そして、信号線16からは分岐信号線16'が折り曲げられた走査線12の周囲に沿って、隣接する信号線16との間を占めるように延在されている。折り曲げられた走査線12上にはゲート絶縁膜14を介して複数個、ここでは12個の半導体層15が形成されており、この半導体層15に部分的に重なるようにして信号線16及び分岐信号線16'側にソース電極Sが、中央側にドレイン電極Dが形成されている。非表示領域NDの1画素分の領域内の補助容量線13は、中央部にベタ状に形成されており、ドレイン電極Dはゲート絶縁膜14に形成された第1のコンタクトホール19'を経て補助容量線13と電氣的に接続されている。なお、この非表示領域NDの1画素分の領域内の補助容量線13は、凸状となるように折り曲げられた走査線12とは別途絶縁膜を介して走査線12の表面を迂回され、表示領域DAの補助容量線13と電氣的に接続されている。

#### 【0044】

すなわち、実施形態の液晶表示装置10においては、非表示領域NDの1画素分の領域内に複数個、ここでは $6 \times 2 = 12$ 個の静電保護素子としてのTF T（以下、「保護TF T」という。）30が形成されている。これらの保護TF T30は、表示領域DAに形成されているTF Tと同時に形成し易くするためにサイズは表示領域DAに形成されているTF Tと実質的に同一とされているが、チャンネル幅及びチャンネル長は表示領域DAに形成されているTF Tのものよりも小さくされている。そのため、保護TF T30は、表示領域DAに形成されているTF Tよりも静電的に弱くなるので、表示領域DAに形成されているTF Tよりも先に静電破壊される。

#### 【0045】

図2、図5及び図6の記載から明らかなように、それぞれの非表示領域NDの1画素分の領域内において、保護TF T30のゲート電極Gは同一の走査線12上に形成され、ソース電極Sは同一の信号線ないし分岐信号線16'に電氣的に接続され、更にドレイン電極Dも同一の非表示領域NDの1画素分の領域内に形成されている補助容量線13に電氣的に接続されている。すなわち、それぞれの非表示領域NDの1画素分の領域内において、複数個の保護TF T30は互いに並列接続されている。

#### 【0046】

このような構成の保護TF T30によれば、例えば、第1端子部Drないし第2端子部Tpから信号線引き回し配線SL（図1参照）を経て信号線16に沿って静電気が進入した場合、最初に最も第1端子部Drないし第2端子部Tpに近い位置の信号線16ないし分岐信号線16'に接続されている保護TF T30が静電破壊され、静電気は、第1のコンタクトホール19'、補助容量線13を経てコモン電位に流れて放電される。

#### 【0047】

同様に第1端子部Drないし第2端子部Tpから走査線線引き回し配線GLを経て走査

10

20

30

40

50

線 1 2 に沿って静電気が進入した場合においても、最初に最も第 1 端子部 D r ないし第 2 端子部 T p に近い位置の走査線 1 2 に接続されている保護 T F T 3 0 が静電破壊され、静電気は、第 1 のコンタクトホール 1 9 '、補助容量線 1 3 を経てコモン電位に流れて放電される。

【 0 0 4 8 】

そのため、本発明の液晶表示装置 1 0 によれば、信号線 1 6 側ないし走査線 1 2 側から静電気が進入してきても、最も静電気が進入してきた側に近い保護 T F T が静電破壊されることにより、他の保護 T F T 3 0 及び表示領域 D A の T F T は保護される。このような保護動作は、表示領域 D A に最も近い保護 T F T 3 0 が静電破壊されるまで継続できるので、1 走査線当たりないし 1 信号線当たりに接続されている保護 T F T 3 0 の数を増加させることにより、より多くの静電気進入に耐えることができるようになる。

10

【 0 0 4 9 】

[ 変更例 ]

上記実施形態の液晶表示装置 1 0 では、非表示領域 N D の 1 画素分の領域内の走査線 1 2 の長さを長くするために走査線 1 2 を屈曲させた例を示したが、信号線 1 6 の長さを長くするために信号線 1 6 を屈曲させることもできる。このような非表示領域 N D の 1 画素分の領域内の信号線 1 6 を屈曲させた変形例を図 7 を用いて説明する。

【 0 0 5 0 】

図 7 に示した変形例の非表示領域 N D の 1 画素分の領域では、信号線 1 6 は「コ」字状にジグザグに折り曲げられている。そして、走査線 1 2 からは枝状に分岐された分岐走査線 1 2 ' が「コ」字状にジグザグに折り曲げられた信号線 1 6 を横切るように配置されている。そして、分岐走査線 1 2 ' 上にこの分岐走査線 1 2 ' をゲート電極 G とする保護 T F T 3 0 が複数個、ここでは 8 個形成されている。また、非表示領域 N D の 1 画素分の領域内の補助容量線は、図示省略したが、それぞれのドレイン電極 D の下部に配置されており、分岐走査線 1 2 ' を跨ぐ部分は別途絶縁膜を介して表示領域 D A の補助容量線 1 3 と電気的に接続されている。なお、この変形例の非表示領域 N D の 1 画素分の領域内においては、走査線 1 2 から分岐した分岐走査線 1 2 ' の幅は、インピーダンスを下げて、全ての保護 T F T 3 0 が有効に作動するようになすため、可能な限り太くするとよい。

20

【 0 0 5 1 】

なお、この変形例の非表示領域 N D の 1 画素分の領域内においては、製造工数を増加させないようにするためには補助容量線をベタ状に配置することができないので、上述のように、適宜ゲート配線及びソース配線を利用してそれぞれの保護 T F T 3 0 のドレイン電極 D を電気的に補助容量線に接続すればよい。更には、表示領域 D A の画素電極 2 0 の場合と同様に、非表示領域 N D の 1 画素分の領域内に層間膜 1 8 及びダミー画素電極を形成し、このダミー画素電極を表示領域外でコモン配線 C O M に接続すると共に、ダミー画素電極を層間膜 1 8 及びパッシベーション膜 1 7 に形成したコンタクトホールを経て保護 T F T 3 0 のドレイン電極 D と電気的に接続してもよい。このような構成とすると特に非表示領域 N D の 1 画素分の領域内に補助容量線を形成しなくてもすむ。

30

【 0 0 5 2 】

なお、上記実施形態においては、表示領域 D A の各画素の形状が縦長であるために、非表示領域 N D の 1 画素分の領域の形状も縦長である場合について説明した。しかしながら、表示領域 D A の画素の形状が横長の矩形状である場合、非表示領域 N D の 1 画素分の領域では、走査線を屈曲させるようにする場合は「コ」字状にジグザグに屈曲しているようにすれば良く、信号線を屈曲させるようにする場合は凸状ないし凹状に屈曲しているようにすればよい。また、上記実施形態においては、全ての 1 画素分の領域内の静電気保護手段の構成を同一とした例について説明したが、表示領域 D A の左右の非表示領域 N D と上下の表示領域 N D とでそれぞれ異なる構成となしてもよい。

40

【 0 0 5 3 】

また、上記実施形態においては、T N モードの縦電界方式の透過型液晶表示装置を例にとり説明したが、本発明はこれに限らず、他のモードの縦電界方式の液晶表示装置に対し

50

ても、或いは、横電界方式の液晶表示装置に対しても、更には反射部を有する詠唱表示装置に対しても等しく適用可能である。特に、層間膜上に下電極及びスリットを有する上電極を備える構成の F F S モードの液晶表示装置においては、上電極又は下電極はコモン電位に接続されているので、上記変形例の構成を採用しても特に製造工数を増加させることなく簡単に保護 T F T 3 0 ドレイン電極 D をコモン電位に接続することができるようになる。

【図面の簡単な説明】

【 0 0 5 4 】

【図 1】実施形態の液晶パネルのアレイ基板を示す模式平面図である。

【図 2】図 1 の II 部分の拡大平面図である。

10

【図 3】図 2 の表示領域の 1 サブ画素分の拡大平面図である。

【図 4】図 3 の IV - IV 線の断面図である。

【図 5】図 2 の表示領域の左右の非表示領域の 1 画素分の領域の拡大平面図である。

【図 6】図 5 の VI - VI 線の断面図である。

【図 7】変形例の表示領域の左右の非表示領域の 1 画素分の領域の拡大平面図である。

【図 8】従来例の液晶表示装置におけるアレイ基板のダミー画素領域の拡大平面図である。

。

【図 9】図 8 の IX 部分の拡大平面図である。

【図 10】図 9 の X - X 線の断面図である。

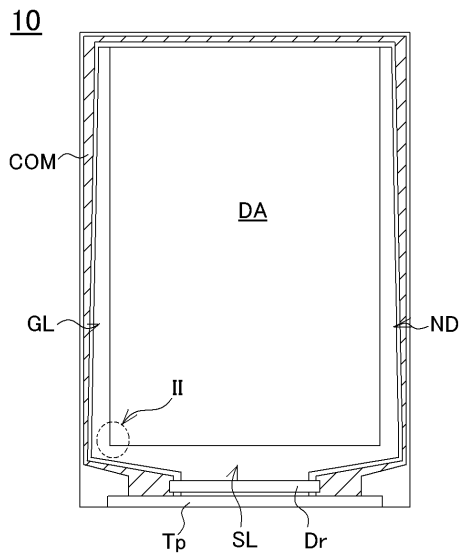
20

【符号の説明】

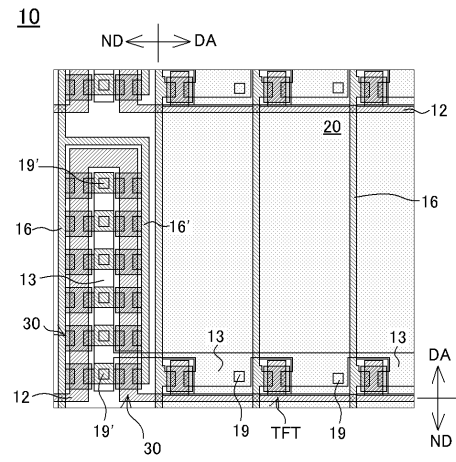
【 0 0 5 5 】

1 0 ... 液晶表示装置    1 1 ... 第 1 基板    1 2 ... 走査線    1 2 ' ... 分岐走査線    1 3 ... 補助容量線    1 4 ... ゲート絶縁膜    1 5 ... 半導体層    1 6 ... 信号線    1 6 ' ... 分岐信号線    1 7 ... パッシベーション膜    1 8 ... 層間膜    1 9、1 9 ' ... コンタクトホール    2 0 ... 画素電極    2 1 ... 第 2 基板    2 2 ... カラーフィルタ層    2 3 ... 遮光層    2 4 ... トップコート層    2 5 ... 共通電極    3 0 ... 保護 T F T    A R ... アレイ基板    C F ... カラーフィルタ基板    D A ... 表示領域    N D ... 非表示領域    C O M ... 共通配線    G L ... 走査線引き回し配線    S L ... 信号線引き回し配線

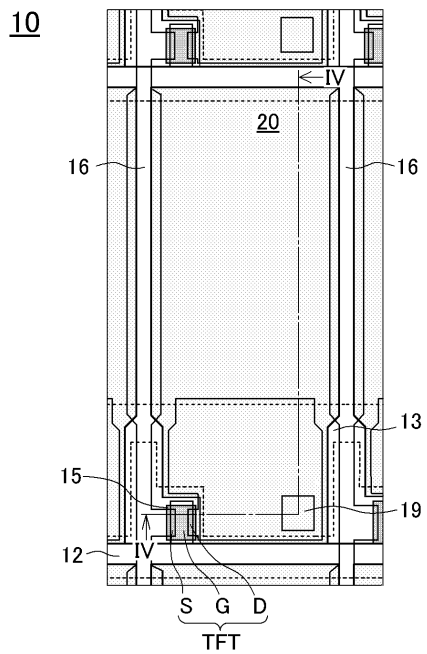
【図 1】



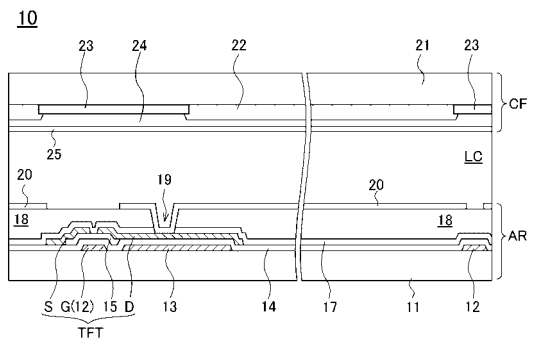
【図 2】



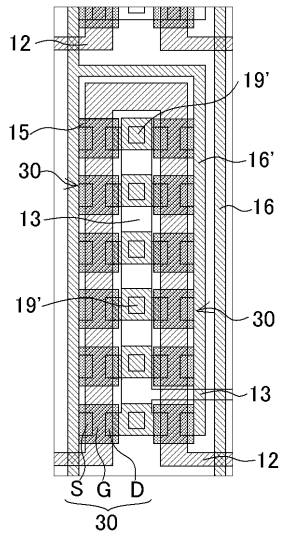
【図 3】



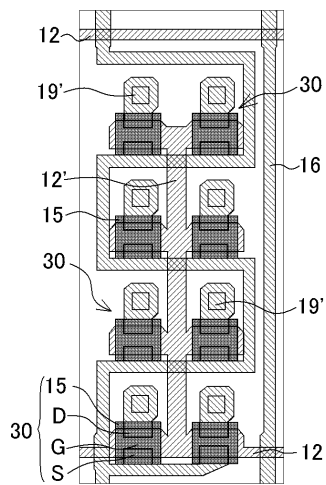
【図 4】



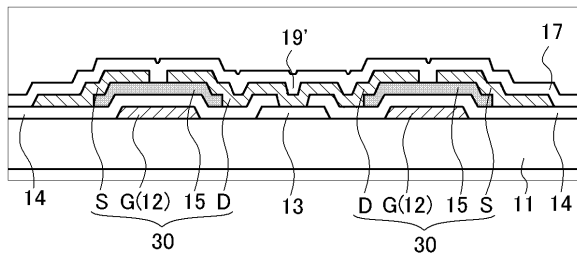
【図 5】



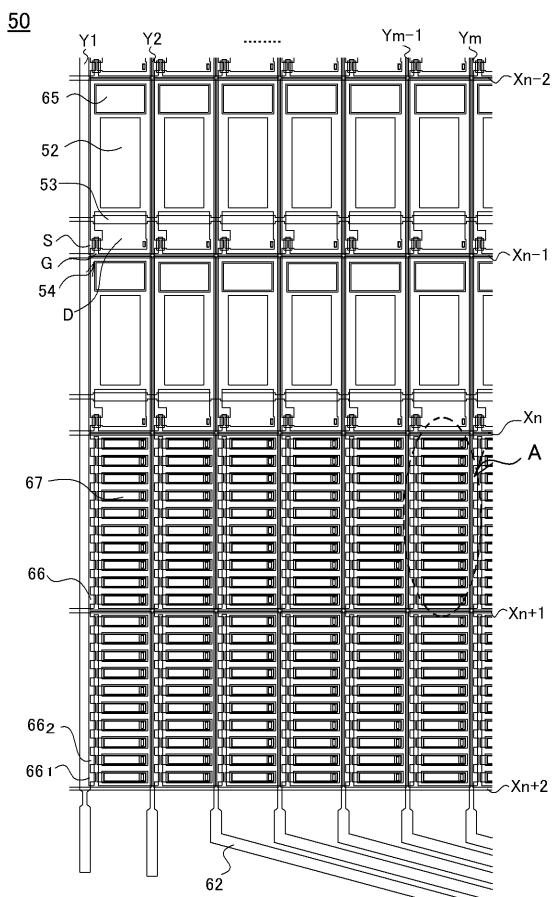
【図 7】



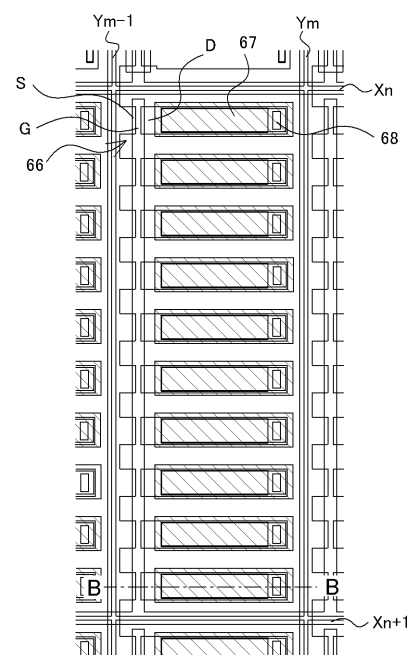
【図 6】



【図 8】



【図 9】





---

フロントページの続き

F ターム(参考) 2H092 GA60 GA64 HA12 JA26 JA46 JB13 JB63 JB69 JB79 KA05  
KA12 KA18 KB24 MA15 MA17 NA14 PA01 PA03 PA08 QA06  
QA07 QA09