

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6336830号
(P6336830)

(45) 発行日 平成30年6月6日(2018.6.6)

(24) 登録日 平成30年5月11日(2018.5.11)

(51) Int. Cl. F I
H03G 7/00 (2006.01) H03G 7/00
H03G 3/30 (2006.01) H03G 3/30 B

請求項の数 10 (全 14 頁)

(21) 出願番号	特願2014-128574 (P2014-128574)	(73) 特許権者	000116024 ローム株式会社 京都府京都市右京区西院溝崎町2 1 番地
(22) 出願日	平成26年6月23日 (2014.6.23)	(74) 代理人	100105924 弁理士 森下 賢樹
(65) 公開番号	特開2016-9935 (P2016-9935A)	(74) 代理人	100133215 弁理士 真家 大樹
(43) 公開日	平成28年1月18日 (2016.1.18)	(72) 発明者	小野寺 武志 京都府京都市右京区西院溝崎町2 1 番地 ローム株式会社内
審査請求日	平成29年5月10日 (2017.5.10)	審査官	石川 雄太郎

最終頁に続く

(54) 【発明の名称】 レベル調節回路、デジタルサウンドプロセッサ、オーディオアンプ集積回路、電子機器、オーディオ信号の自動レベル調節方法

(57) 【特許請求の範囲】

【請求項 1】

入力オーディオ信号のレベルを自動調節するレベル調節回路であって、
 複数 N 個 (N は 2 以上の整数) のフィルタであって、それぞれが前記入力オーディオ信号を受け、それぞれに設定されたバンドを通過させる N 個のフィルタと、

前記 N 個のフィルタに対応する N 個の D R C (Dynamic Range Compression) 回路であって、 i 番目 (1 ≤ i ≤ N) の D R C 回路は、 i 番目のフィルタからの信号を増幅するとともに、その出力の信号レベルが所定のしきい値レベルを超えないようにゲインが自動調節可能に構成された、 N 個の D R C 回路と、

前記 N 個の D R C 回路の出力信号を加算する加算器と、

前記 N 個のフィルタのクロスオーバー周波数に対応づけられる (N - 1) 個のバンドパスフィルタであって、 j 番目 (1 ≤ j ≤ N - 1) のバンドパスフィルタは、前記加算器の出力信号から、 j 番目と j + 1 番目のフィルタのクロスオーバー周波数を含むバンドを抽出する、 (N - 1) 個のバンドパスフィルタと、

前記 (N - 1) 個のバンドパスフィルタに対応づけられる (N - 1) 個のゲイン補正部であって、 j 番目のゲイン補正部は、 j 番目のバンドパスフィルタの出力の信号レベルに応じて、 j 番目と j + 1 番目の D R C 回路の少なくとも一方のゲインを補正可能に構成される、 N - 1 個のゲイン補正部と、

を備えることを特徴とするレベル調節回路。

【請求項 2】

10

20

前記 j 番目のゲイン補正部は、j 番目のバンドパスフィルタの出力の信号レベルが所定のしきい値レベルを超えると、j 番目と j + 1 番目の D R C 回路の少なくとも一方のゲインを低下させることを特徴とする請求項 1 に記載のレベル調節回路。

【請求項 3】

前記 j 番目のゲイン補正部は、前記 j 番目と j + 1 番目の D R C 回路が非アタック動作状態であるときに、前記 j 番目と j + 1 番目の D R C 回路のゲインを低下させることを特徴とする請求項 1 または 2 に記載のレベル調節回路。

【請求項 4】

前記 i 番目の D R C 回路は、その非アタック動作状態において、対応するゲイン補正部からゲインの低下の指示を受けたときに、ゲインを低下させることを特徴とする請求項 1 または 2 に記載のレベル調節回路。

10

【請求項 5】

ひとつの半導体基板に一体集積化されることを特徴とする請求項 1 から 4 のいずれかに記載のレベル調節回路。

【請求項 6】

請求項 1 から 5 のいずれかに記載のレベル調節回路を備えることを特徴とするデジタルサウンドプロセッサ。

【請求項 7】

電気音響変換素子と、

請求項 1 から 5 のいずれかに記載のレベル調節回路を含むデジタルサウンドプロセッサと、

20

前記デジタルサウンドプロセッサから出力されるオーディオ信号を受け、前記オーディオ信号に応じてパルス変調されたパルス信号を生成するパルス変調器と、

前記パルス信号を受け、前記電気音響変換素子を駆動する D 級アンプと、

を備えることを特徴とする電子機器。

【請求項 8】

請求項 1 から 5 のいずれかに記載のレベル調節回路を含むデジタルサウンドプロセッサと、

前記デジタルサウンドプロセッサから出力されるオーディオ信号を受け、前記オーディオ信号に応じてパルス変調されたパルス信号を生成するパルス変調器と、

30

前記パルス信号を受ける D 級アンプと、

を備えることを特徴とするオーディオアンプ集積回路。

【請求項 9】

電気音響変換素子と、

前記電気音響変換素子を駆動する請求項 8 に記載のオーディオアンプ集積回路と、

を備えることを特徴とする電子機器。

【請求項 10】

入力オーディオ信号の自動レベル調節方法であって、

前記入力オーディオ信号を複数のバンドに分割するステップと、

前記複数のバンドそれぞれにおいて、D R C (Dynamic Range Compression) 処理を行うステップと、

40

D R C 処理を経た複数のバンドを合成するステップと、

合成後の信号から、前記複数のバンドのクロスオーバー周波数を含むバンドを抽出するステップと、

前記クロスオーバー周波数を含むバンドの信号レベルに応じて、前記複数のバンドそれぞれにおける前記 D R C 処理を補正するステップと、

を備えることを特徴とする方法。

【発明の詳細な説明】

【技術分野】

【0001】

50

本発明は、オーディオ信号処理に関し、特にレベル調節回路に関する。

【背景技術】

【0002】

図1は、一般的なオーディオシステム1rのブロック図である。オーディオシステム1rは、音源2、DSP(Digital Sound Processor)4、アンプ6、電気音響変換素子8を備える。

【0003】

電気音響変換素子8は、スピーカやヘッドホンなどであり、電気信号を音響信号に変換する。DSP4は、音源2からのオーディオ信号を受け、オーディオ信号にさまざまな信号処理を施し、アナログのオーディオ信号に変換する。DSP4は、たとえばイコライザ40、ボリューム回路42、D/Aコンバータ44を含む。イコライザ40や、オーディオ信号の周波数特性を変化させる。ボリューム回路42は、ユーザが所望の音量が得られるようにオーディオ信号の信号レベル(振幅レベル)を制御する。D/Aコンバータ44は、デジタルオーディオ信号をアナログオーディオ信号に変換する。アンプ6は、アナログのオーディオ信号を増幅し、電気音響変換素子8を駆動する。

10

【0004】

イコライザ40やボリューム回路42による信号処理の結果、アンプ6に入力されるオーディオ信号の信号レベルが大きくなると、オーディオ信号が電源レールによりクリップされて歪みが発生したり、電気音響変換素子8が過大入力により損傷したり、あるいは筐体が共振を起こすという問題が生ずる。そこでこれらの問題を解決するために、DSP4には、レベル調節回路10rが設けられる。

20

【0005】

図2(a)は、レベル調節回路10rとして利用可能なDRC(Dynamic Range Compression)回路11の基本構成を示す回路図である。DRC回路11は、可変利得アンプ12およびゲインコントローラ14を含む。ゲインコントローラ14は、可変利得アンプ12の出力信号のレベルを検出し、所定のしきい値レベル(アタックレベル)を超えると、可変利得アンプ12のゲインを低下(ゲインコンプレッション)させる。また、ゲインコントローラ14は、可変利得アンプ12の出力信号がしきい値レベルを下回る状態が持続すると、可変利得アンプ12の利得を増大させる。可変利得アンプ12のゲインを低下させる動作をアタック、ゲインを元のレベルに向かって増大させる動作をリカバリとも称する。図2(b)は、DRC回路11の入出力特性を示す図である。DRC回路11によって、その出力レベルは、しきい値レベルを超えないようにクランプされ、後段のアンプ6や電気音響変換素子8への過大入力を抑制できる。

30

【0006】

DRC回路11に入力されるオーディオ信号は、低域から高域までさまざまな周波数成分を含む。たとえば低域のみが過大入力であり、中域から高域が正常レベルであるときに、ゲインコンプレッションがかかると、中域~高域成分に対するゲインまで低下するため、音声の聞き取りにくくなり、音質が劣化する。

【0007】

図3(a)、(b)は、バンドごとのDRC回路11を備えるレベル調節回路10rの構成例を示す回路図である。図3(a)のレベル調節回路10rは、複数のフィルタ16と、複数のDRC回路11と、加算器18と、を備える。複数のフィルタ16は、入力されたオーディオ信号を、複数のバンド(たとえば3バンド)に分割する。複数のDRC回路11はそれぞれ、対応するバンドに対してDRC処理を行う。加算器18は、複数のDRC回路11の出力を加算(再合成)する。図3(a)のレベル調節回路10rによれば、低域の過大入力により、中高域の聞き取りにくくなるといった音質劣化の問題を解決できる。

40

【先行技術文献】

【特許文献】

【0008】

50

【特許文献1】特開2011-082961号公報

【発明の概要】

【発明が解決しようとする課題】

【0009】

本発明者は、図3(a)のレベル調節回路10rについて検討した結果、以下の課題を認識するに至った。図4は、図3(a)のレベル調節回路10rの周波数特性を示す図である。一般的なフィルタ16の減衰傾度は6dB/Oct程度であって、クロスオーバー周波数 f_1 、 f_2 における各フィルタ16のゲインは通過バンドに比べて小さい。したがって、クロスオーバー周波数の信号が入力されたときに、それぞれのバンドの信号レベルはしきい値レベルTHを超えないため、ゲインコンプレッションがかからないこととなる。その結果、加算器18から出力される信号は、クロスオーバー周波数付近において盛り上がった周波数特性を有することとなり、音質が劣化する。

10

【0010】

この問題を解決するためには、図3(b)に示すように加算器18の後段に、DRC回路20を追加することが考えられる。しかしながらこの構成では、その前段において、複数のバンドに分割することの効果の低減することとなり、望ましくない。また前段のDRC回路11と後段のDRC回路20が同時にアタック動作、あるいはリカバリ動作を行うと、ゲイン変動が大きくなりすぎて聴感上の違和感となる。

【0011】

本発明はかかる課題に鑑みてなされたものであり、そのある態様の例示的な目的のひとつは、音質を改善したレベル調節回路の提供にある。

20

【課題を解決するための手段】

【0012】

本発明のある態様は、入力オーディオ信号のレベルを自動調節するレベル調節回路に関する。レベル調節回路は、複数 N 個(N は2以上の整数)のフィルタと、 N 個のフィルタに対応する N 個のDRC(Dynamic Range Compression)回路と、加算器と、 N 個のフィルタのクロスオーバー周波数に対応づけられる($N-1$)個のバンドパスフィルタと、($N-1$)個のバンドパスフィルタに対応づけられる($N-1$)個のゲイン補正部と、を備える。

N 個のフィルタはそれぞれ、入力オーディオ信号を受け、それぞれに設定されたバンドを通過させる。 i 番目($1 \leq i \leq N$)のDRC回路は、 i 番目のフィルタからの信号を増幅するとともに、その出力の信号レベルが所定のしきい値レベルを超えないようにゲインが自動調節可能に構成される。加算器は、 N 個のDRC回路の出力信号を加算する。 j 番目($1 \leq j \leq N-1$)のバンドパスフィルタは、加算器の出力信号から、 j 番目と $j+1$ 番目のフィルタのクロスオーバー周波数を含むバンドを抽出する。 j 番目のゲイン補正部は、 j 番目のバンドパスフィルタの出力の信号レベルに応じて、 j 番目と $j+1$ 番目のDRC回路の少なくとも一方のゲインを補正可能に構成される。

30

【0013】

この態様によると、バンドごとのDRC処理が可能となるため音質を改善できる。また、クロスオーバー周波数を含むバンドの信号レベルにもとづいて、DRC回路のゲインを補正するため、クロスオーバー周波数における信号レベルの盛り上がりを抑制することができる。

40

【0014】

j 番目のゲイン補正部は、 j 番目のバンドパスフィルタの出力の信号レベルが所定のしきい値レベルを超えると、 j 番目と $j+1$ 番目のDRC回路の少なくとも一方のゲインを低下させてもよい。

【0015】

j 番目のゲイン補正部は、 j 番目と $j+1$ 番目のDRC回路が非アタック動作状態であるときに、 j 番目と $j+1$ 番目のDRC回路のゲインを低下させてもよい。

これにより、DRC回路自体の自動利得調節と、ゲイン補正部によるゲインの補正が同

50

時に発生するのを抑制でき、聴感上の違和感を低減できる。

【0016】

レベル調節回路は、ひとつの半導体基板に一体集積化されてもよい。

「一体集積化」とは、回路の構成要素のすべてが半導体基板上に形成される場合や、回路の主要構成要素が一体集積化される場合が含まれ、回路定数の調節用に一部の抵抗やキャパシタなどが半導体基板の外部に設けられていてもよい。

回路を1つのチップ上に集積化することにより、回路面積を削減することができるとともに、回路素子の特性を均一に保つことができる。

【0017】

本発明の別の態様はデジタルサウンドプロセッサに関する。デジタルサウンドプロセッサは、上述のいずれかのレベル調節回路を備える。

10

【0018】

本発明の別の態様は電子機器に関する。電子機器は、電気音響変換素子と、上述のいずれかのレベル調節回路を含むデジタルサウンドプロセッサと、デジタルサウンドプロセッサから出力されるオーディオ信号を受け、オーディオ信号に応じてパルス変調されたパルス信号を生成するパルス変調器と、パルス信号を受け、電気音響変換素子を駆動するD級アンプと、を備える。

【0019】

本発明の別の態様はオーディオアンプ集積回路に関する。オーディオアンプ集積回路は、上述のいずれかのレベル調節回路を含むデジタルサウンドプロセッサと、デジタルサウンドプロセッサから出力されるオーディオ信号を受け、オーディオ信号に応じてパルス変調されたパルス信号を生成するパルス変調器と、パルス信号を受けるD級アンプと、を備える。

20

【0020】

本発明の別の態様の電子機器は、電気音響変換素子と、電気音響変換素子を駆動する上述のオーディオアンプ集積回路と、を備える。

【0021】

なお、以上の構成要素の任意の組み合わせ、本発明の表現を、方法、装置などの間で変換したものもまた、本発明の態様として有効である。

【発明の効果】

30

【0022】

本発明のある態様によれば、レベル調節回路の音質を改善できる。

【図面の簡単な説明】

【0023】

【図1】一般的なオーディオシステムのブロック図である。

【図2】図2(a)は、レベル調節回路として利用可能なDRC回路の基本構成を示す回路図であり、図2(b)は、DRC回路の入出力特性を示す図である。

【図3】図3(a)、(b)は、バンドごとのDRC回路を備えるレベル調節回路の構成例を示す回路図である。

【図4】図3(a)のレベル調節回路の周波数特性を示す図である。

40

【図5】実施の形態に係るレベル調節回路の回路図である。

【図6】i番目のDRC回路の構成例を示す回路図である。

【図7】DRC回路の動作を示す波形図である。

【図8】図8(a)~(c)は、図5のレベル調節回路の動作を説明する図である。

【図9】レベル調節回路を備える電子機器のブロック図である。

【図10】図10(a)~(c)は、電子機器の外観図である。

【発明を実施するための形態】

【0024】

以下、本発明を好適な実施の形態をもとに図面を参照しながら説明する。各図面に示される同一または同等の構成要素、部材、処理には、同一の符号を付するものとし、適宜重

50

複した説明は省略する。また、実施の形態は、発明を限定するものではなく例示であって、実施の形態に記述されるすべての特徴やその組み合わせは、必ずしも発明の本質的なものであるとは限らない。

【0025】

本明細書において、「部材Aが、部材Bと接続された状態」とは、部材Aと部材Bが物理的に直接的に接続される場合や、部材Aと部材Bが、電気的な接続状態に影響を及ぼさない他の部材を介して間接的に接続される場合も含む。

同様に、「部材Cが、部材Aと部材Bの間に設けられた状態」とは、部材Aと部材C、あるいは部材Bと部材Cが直接的に接続される場合のほか、電気的な接続状態に影響を及ぼさない他の部材を介して間接的に接続される場合も含む。

10

【0026】

図5は、実施の形態に係るレベル調節回路10の回路図である。レベル調節回路10は、後段のアナログ段においてオーディオ信号がクリップ(クランプ)されないように、信号レベルを自動調節し、レベル調節後の出力オーディオ信号S2を後段に供給する。レベル調節回路10は、複数N個(Nは2以上の整数)のフィルタ16₁~16_Nと、N個のDRC回路30₁~30_Nと、加算器18と、(N-1)個のバンドパスフィルタ22₁~22_{N-1}と、(N-1)個のゲイン補正部24₁~24_{N-1}と、を備える。

【0027】

入力オーディオ信号S1および出力オーディオ信号S2はいずれもデジタル信号であり、したがってレベル調節回路10はデジタル回路で構成される。本実施の形態では、N=3の場合を説明する。

20

【0028】

N個のフィルタ16₁~16_Nは、それぞれが入力オーディオ信号S1を受け、それぞれに設定されたバンドFB1~FBNを通過させる。i番目のフィルタ16_iの出力を、S3_iと記す。N=3の場合、フィルタ16₁はローパスフィルタ、フィルタ16₂はバンドパスフィルタ、フィルタ16₃は、ハイパスフィルタとして把握される。フィルタ16₁のカットオフ周波数f_{c1}と、フィルタ16₂の低域側のカットオフ周波数f_{c2L}は、第1のクロスオーバー周波数f₁の近傍に設定される。またフィルタ16₂の高域側のカットオフ周波数f_{c2H}と、フィルタ16₃のカットオフ周波数f_{c3}は、第2のクロスオーバー周波数f₂の近傍に設定される。

30

【0029】

N個のDRC回路30₁~30_Nは、N個のフィルタ16₁~16_Nに対応づけられる。i番目(1 ≤ i ≤ N)のDRC回路30_iは、i番目のフィルタ16_iからの信号S3_iを可変のゲインG_iで増幅する。DRC回路30_iは、その出力S4_iの信号レベル(振幅レベル)が所定のしきい値レベルTH2を超えないように、そのゲインG_iが自動調節可能に構成される。DRC回路30の基本構成および動作は上述した通りである。

【0030】

加算器18は、N個のDRC回路30₁~30_Nそれぞれの出力信号S4₁~S4_Nを加算する。

40

【0031】

N-1個のバンドパスフィルタ22₁~22_{N-1}は、N個のフィルタ16₁~16_Nのクロスオーバー周波数f₁~f_{N-1}に対応づけられる。j番目(1 ≤ j ≤ N-1)のバンドパスフィルタ22_jは、加算器18の出力信号S2から、j番目とj+1番目のフィルタ16のクロスオーバー周波数f_jを含むバンドS5_jを抽出する。

【0032】

N-1個のゲイン補正部24₁~24_{N-1}は、(N-1)個のバンドパスフィルタ22₁~22_{N-1}に対応づけられる。j番目のゲイン補正部24_jは、j番目のバンドパスフィルタ22_jの出力S5_jの信号レベルに応じて、j番目とj+1番

50

目のDRC回路30_j、30_{j+1}の少なくとも一方のゲインを補正可能に構成される。

【0033】

たとえばj番目のゲイン補正部24_jは、j番目のバンドパスフィルタ22_jの出力S5_jの信号レベルに応じて、j番目とj+1番目のDRC回路30_j、30_{j+1}の両方のゲインG_j、G_{j+1}を補正してもよい。

【0034】

j番目のゲイン補正部24_jは、j番目のバンドパスフィルタ22_jの出力S5_jの信号レベルが所定のしきい値レベルTH1を超えると、DRC回路30_j、30_{j+1}のゲインG_j、G_{j+1}を低下させてもよい(アタック動作)。またj番目のゲイン補正部24_jは、j番目のバンドパスフィルタ22_jの出力S5_jの信号レベルが所定のしきい値レベルTH2を下回った状態が持続すると、DRC回路30_j、30_{j+1}のゲインG_j、G_{j+1}を増大させてもよい(リカバリ動作)。ゲイン補正部24_jは、対応するDRC回路30_j、30_{j+1}の利得の増大、低下を指示するゲイン補正信号S7_jを生成し、DRC回路30_j、30_{j+1}に出力してもよい。

【0035】

ゲイン補正部24におけるしきい値レベルTH1と、DRC回路30の内部に設定されるしきい値レベルTH2は、同じ値であってもよいし、異なる値であってもよい。

【0036】

図6は、i番目のDRC回路30_iの構成例を示す回路図である。DRC回路30_iは、可変利得アンプ32、ゲインコントローラ34を備える。可変利得アンプ32は、可変のゲインG_iで、その入力信号S3_iを増幅する。ゲインG_iには初期値が設定されており、ゲインG_iは初期値を超えない範囲で変化する。

【0037】

ゲインコントローラ34は、可変利得アンプ12の出力信号S4_iに加えて、図5のゲイン補正部24_{i-1}からのゲイン補正信号S7_{i-1}ならびにゲイン補正部24_iからのゲイン補正信号S7_iにもとづいて、可変利得アンプ32のゲインG_iを制御する。

【0038】

ゲインコントローラ34は、アタック・リカバリ検出部36およびゲイン設定部38を備える。アタック・リカバリ検出部36は、可変利得アンプ32の出力信号S4_iの信号レベル(振幅)が所定のしきい値レベルTH2(アタックレベル)を超えると、アタック信号ATTをアサート(たとえばハイレベル)する。ゲイン設定部38は、アタック信号ATTがアサートされると、可変利得アンプ32のゲインG_iを現在の値から所定量を低下させる。

【0039】

また、アタック・リカバリ検出部36は、可変利得アンプ12の出力信号S4_iがしきい値レベルTH2を下回る状態が所定の判定期間、持続すると、リカバリ信号RECをアサート(たとえばハイレベル)する。ゲイン設定部38は、リカバリ信号RECがアサートされると、可変利得アンプ12のゲインG_iを所定量増大させる。したがって、出力信号S4_iがしきい値レベルTH2を下回った状態が長時間持続すると、可変利得アンプ12のゲインG_iは、時間とともに初期値に戻っていく。アタック・リカバリ検出部36は、公知技術を用いればよく、その構成は特に限定されない。

【0040】

ゲイン設定部38には、アタック・リカバリ検出部36からのアタック信号ATT、リカバリ信号RECに加えて、ゲイン補正信号S7_{i-1}、S7_iが入力されている。ゲイン設定部38は、ゲイン補正信号S7_{i-1}、S7_iの少なくともひとつが、アタック動作、つまりゲインG_iの低下を指示するとき、可変利得アンプ32のゲインG_iを所定量、低下させる。反対に、ゲイン設定部38は、ゲイン補正信号S7_{i-1}、S7_iの少なくともひとつが、リカバリ動作、つまりゲインG_iの増大を指示するとき、

10

20

30

40

50

可変利得アンプ 32 のゲイン G_i を所定量、増大させる。

【0041】

図7は、DRC回路30の基本動作を示す波形図である。

時刻 t_0 以前、可変利得アンプ 12 の出力 S_{4_i} の信号レベルは、しきい値レベル TH_2 より小さいため、ゲイン G_i は初期値で維持される。時刻 t_0 に入力 S_{3_i} が増大すると、出力 S_{4_i} の信号レベルがしきい値レベル TH_2 を超える。この状態がアタック判定時間 A_TIME 持続すると、時刻 t_1 にアタック信号 ATT がアサートされる。アタック信号 ATT がアサートされると、ゲイン G_i は、所定のアタック遷移時間 A_RATE ($t_1 \sim t_2$) にわたり、所定幅低下する。ゲイン G_i が低下すると、出力 S_{4_i} はしきい値レベル TH_2 付近に維持される。

10

【0042】

時刻 t_3 に入力 S_{3_i} が小さくなると、出力 S_{4_i} も小さくなる。出力 S_{4_i} がしきい値レベル TH_2 より小さくなり、その状態がリカバリ判定時間 R_TIME 持続すると、時刻 t_4 にリカバリ信号 REC がアサートされる。リカバリ信号 REC がアサートされると、ゲイン G_i は、所定のリカバリ遷移時間 R_RATE ($t_4 \sim t_5$) にわたり、所定幅増大する。なお、アタックとリカバリにおいて、しきい値レベル TH_2 にはヒステリシスが設定される。

【0043】

図6に戻る。 j 番目のゲイン補正部 24_j は、 j 番目と $j+1$ 番目のDRC回路 30_j 、 30_j+1 が非アタック動作状態であるときに、 j 番目と $j+1$ 番目のDRC回路 30_j 、 30_j+1 のゲインを低下させることが好ましい。「DRC回路がアタック動作状態」とは、アタック・リカバリ検出部36によるアタック信号 ATT にもとづいてゲインが遷移中の期間を意味し、「DRC回路が非アタック動作状態」とは、DRC回路がアタック動作を行っていない状態を意味する。

20

【0044】

言い換えれば、 i 番目のDRC回路 30_i は、そのアタック動作状態において、ゲイン補正信号 S_7 がアタック動作を指示したときには、そのゲイン補正信号 S_7 を無視し、現在のアタック信号 ATT にもとづくゲイン遷移を完了させる。反対に、 i 番目のDRC回路 30_i は、その非アタック動作状態において、ゲイン補正信号 S_7 がアタック動作を指示したときには、ゲイン補正信号 S_7 に応答して可変利得アンプ 32 のゲイン G_i を低下させる。

30

【0045】

DRC回路30は、アタック信号 ATT 、リカバリ信号 REC 、ゲイン補正信号 S_7 の組み合わせに応じて、以下のように動作してもよい。

【0046】

(1) アタック信号 ATT = アサート、ゲイン補正信号 S_7 = アタック

この場合、ゲイン補正部24からのアタック指示を無視し、アタック・リカバリ検出部36からのアタック信号 ATT に応答して、DRC回路30のゲインを低下させる。

(2) アタック信号 ATT = アサート、ゲイン補正信号 S_7 = リカバリ

この場合、ゲイン補正部24からのリカバリ指示を無視し、アタック・リカバリ検出部36からのアタック信号 ATT に応答して、DRC回路30のゲインを低下させる。

40

(3) リカバリ信号 REC = アサート、ゲイン補正信号 S_7 = アタック

この場合、ゲイン補正部24からのアタック指示を優先させ、DRC回路30のゲインを低下させる。

(4) リカバリ信号 REC = アサート、ゲイン補正信号 S_7 = リカバリ

この場合、ゲイン補正部24からのリカバリ指示を無視し、アタック・リカバリ検出部36からのリカバリ信号 REC に応答して、DRC回路30のゲインを増大させる。

なお、(1)~(4)それぞれの動作において、ゲイン補正信号 S_7 によるリカバリ動作は、設定により無効可能とすることが望ましい。

【0047】

50

以上がレベル調節回路10の構成である。続いてその動作を説明する。図8(a)~(c)は、図5のレベル調節回路10の動作を説明する図である。

図8(a)は、フィルタ16_1~16_3の通過特性である。図8(b)は、すべてのDRC回路30のゲインが初期値であるときのレベル調節回路10の通過特性(i)を示す。図8(c)はバンドパスフィルタ22_1、22_2により抽出されたバンドS5_1、S5_2のスペクトルである。

【0048】

ゲイン補正部24_1は、対応するバンドS5_1の信号レベルを検出し、しきい値レベルTH1と比較する。そしてDRC回路30_1、30_2が非アタック動作状態であって、かつ信号レベルがしきい値レベルTH1を超えたときに、DRC回路30_1、30_2のゲインを初期値から所定量低下させる。これによりレベル調節回路10全体の通過特性は、図8(b)の(ii)で示すように変化する。これにより、クロスオーバー周波数f1付近の盛り上がりが抑制される。

10

【0049】

同様にゲイン補正部24_2は、対応するバンドS5_2の信号レベルを検出し、しきい値レベルTH1と比較する。そしてDRC回路30_2、30_3が非アタック動作状態であって、かつ信号レベルがしきい値レベルTH1を超えたときに、DRC回路30_2、30_3のゲインを初期値から所定量低下させる。これにより、レベル調節回路10全体の通過特性は、図8(b)の(iii)で示すように変化する。これにより、クロスオーバー周波数f2付近の盛り上がりが抑制される。

20

【0050】

以上がレベル調節回路10の動作である。このレベル調節回路10によれば、バンドごとのDRC処理が可能となるため音質を改善できる。また、クロスオーバー周波数を含むバンドの信号レベルにもとづいて、DRC回路のゲインを補正するため、クロスオーバー周波数における信号レベルの盛り上がりを抑制することができる。

【0051】

また、ゲイン補正部24によるゲインの補正を、DRC回路自体の自動利得調節の状態に応じて制限することとした。これにより、DRC回路30のアタック・リカバリ検出部36によるアタック動作とゲイン補正部24によるアタック動作が同時に発生するのを抑制でき、聴感上の違和感を低減できる。

30

【0052】

また、図3(b)のレベル調節回路10rでは、あるクロスオーバー周波数(たとえばf1)付近に盛り上がりが生じた場合に、DRC回路20によって全バンドの利得が低下することになるため、音圧が低下するという問題がある。これに対して図5のレベル調節回路10によれば、あるクロスオーバー周波数f1付近に盛り上がりが生じた場合に、それと隣接するバンドの利得のみが変更され、その周波数f1と無関係なバンドの利得は維持されるため、全バンドの利得を低下させる場合比べて、音圧低下を抑制できる。

【0053】

(用途)

続いて、レベル調節回路10の用途を説明する。図9は、レベル調節回路10を備える電子機器100のブロック図である。レベル調節回路10は、サラウンドプロセッサ202、マルチバンドイコライザ204、バランス回路206、ポリウム回路208などとともに、DSP200を構成する。DSP200の機能は特に限定されず、そのほかにプリスケラやバスブースト回路を含んでもよい。また各ブロックの信号処理の順序は特に限定されない。

40

【0054】

オーディオアンプ集積回路(IC)300は、DSP機能付きのオーディオアンプであり、DSP200に加えて、オーディオ用のインタフェース回路302、制御用のインタフェース回路304、パルス変調器306、プリドライバ308、D級アンプ310P、310Nを備える。図9には1チャンネル分の構成が示されるが、オーディオアンプIC

50

300は多チャンネルのスピーカ108を駆動可能に構成される。

【0055】

インタフェース回路302はたとえばI²S (Inter IC Sound) インタフェースであり、音源102からのデジタル音声データをシリアル形式で受信する。インタフェース回路304は、たとえばI²C (Inter IC) インタフェースであり、マイクロコントローラ104からのさまざまな制御信号をシリアル形式で受信する。

【0056】

インタフェース回路302が受信したオーディオ信号は、DSP200に入力される。DSP200による信号処理後のオーディオ信号は、パルス変調器306に入力される。パルス変調器306は、DSP200からのオーディオ信号に応じてパルス幅変調されたパルス信号を生成する。プリドライバ308は、パルス変調器306からのパルス信号にもとづいて、D級アンプ310P、310Nをスイッチングする。D級アンプ310Pの出力OUTPUTは、ローパスフィルタ106Pを介してスピーカ108の+入力と接続され、D級アンプ310Nの出力OUTNは、ローパスフィルタ106Nを介してスピーカ108の-入力と接続される。オーディオアンプIC300は、スピーカ108をBTL方式で駆動する。

10

【0057】

以上が電子機器100の構成である。なお、オーディオアンプIC300は、前段のデジタルステージと、後段のD級アンプが別々の半導体チップに集積化されてもよい。

【0058】

図10(a)~(c)は、電子機器100の外観図である。図10(a)は電子機器100の一例であるディスプレイ装置600である。ディスプレイ装置600は、筐体602、スピーカ108L、108Rを備える。オーディオアンプIC300は筐体602に内蔵され、スピーカ108L、108Rを駆動する。

20

【0059】

図10(b)は電子機器1の一例であるオーディオコンポ700である。オーディオコンポ700は、筐体702、スピーカ108L、108Rを備える。オーディオアンプIC300は筐体702に内蔵され、スピーカ108L、108Rを駆動する。

【0060】

図10(c)は電子機器1の一例である小型情報端末800である。小型情報端末800は、携帯電話、PHS (Personal Handy-phone System)、PDA (Personal Digital Assistant)、タブレットPC (Personal Computer)、オーディオプレイヤなどである。小型情報端末800は、筐体802、スピーカ108、ディスプレイ804を備える。オーディオアンプIC300は筐体802に内蔵され、スピーカ108を駆動する。

30

【0061】

図10(a)~(c)に示すような電子機器にオーディオアンプIC300を用いることにより、高音質を実現できる。そのほか、オーディオアンプIC300は、インターホンなどにも利用可能である。

【0062】

以上、本発明について、実施の形態をもとに説明した。この実施の形態は例示であり、それらの各構成要素や各処理プロセスの組み合わせにいろいろな変形例が可能なこと、またそうした変形例も本発明の範囲にあることは当業者に理解されるところである。以下、こうした変形例について説明する。

40

【0063】

(第1変形例)

実施の形態では、N=3の場合を説明したが、N=2であってもよいし、4以上であってもよい。

【0064】

(第2変形例)

実施の形態では、j番目のゲイン補正部24_jは、j番目のバンドパスフィルタ22

50

— j の出力 S 5 _ j の信号レベルに応じて、 j 番目と j + 1 番目の D R C 回路 3 0 _ j 、 3 0 _ j + 1 の両方のゲインを補正する場合を説明したが、本発明はそれには限定されない。たとえば、ゲイン補正部 2 4 _ 1 は、バンドパスフィルタ 2 2 _ 1 の出力 S 5 _ 1 の信号レベルに応じて、 1 番目の D R C 回路 3 0 _ 1 のみのゲインを補正してもよいし、 2 番目の D R C 回路 3 0 _ 2 のみのゲインを補正してもよい。

【 0 0 6 5 】

実施の形態にもとづき、具体的な語句を用いて本発明を説明したが、実施の形態は、本発明の原理、応用を示しているにすぎず、実施の形態には、請求の範囲に規定された本発明の思想を逸脱しない範囲において、多くの変形例や配置の変更が認められる。

【 符号の説明 】

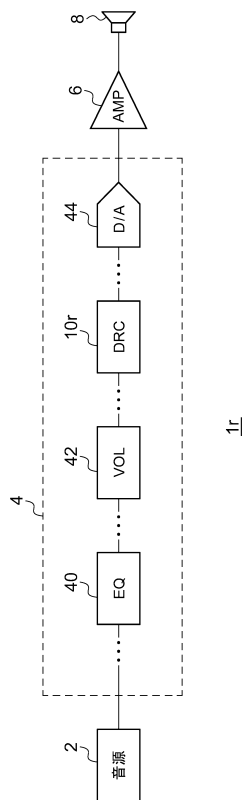
【 0 0 6 6 】

1 ... オーディオシステム、 1 0 ... レベル調節回路、 1 1 ... D R C 回路、 1 2 ... 可変利得アンプ、 1 4 ... ゲインコントローラ、 1 6 ... フィルタ、 1 8 ... 加算器、 2 0 ... D R C 回路、 2 2 ... バンドパスフィルタ、 2 4 ... ゲイン補正部、 3 0 ... D R C 回路、 3 2 ... 可変利得アンプ、 3 4 ... ゲインコントローラ、 3 6 ... アタック・リカバリ検出部、 3 8 ... ゲイン設定部、 4 0 ... イコライザ、 4 2 ... ボリウム回路、 4 4 ... D / A コンバータ、 S 1 ... 入力オーディオ信号、 S 2 ... 出力オーディオ信号、 S 7 ... ゲイン補正信号、 1 0 0 ... 電子機器、 1 0 2 ... 音源、 1 0 4 ... マイクロコントローラ、 1 0 6 ... ローパスフィルタ、 1 0 8 ... スピーカ、 2 0 0 ... D S P 、 2 0 2 ... サラウンドプロセッサ、 2 0 4 ... マルチバンドイコライザ、 2 0 6 ... バランス回路、 2 0 8 ... ボリウム回路、 3 0 0 ... オーディオアンプ I C 、 3 0 2 , 3 0 4 ... インタフェース回路、 3 0 6 ... パルス変調器、 3 0 8 ... プリドライバ、 3 1 0 ... D 級アンプ。

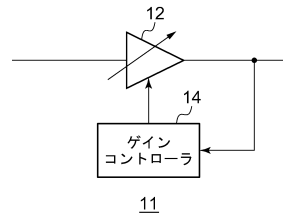
10

20

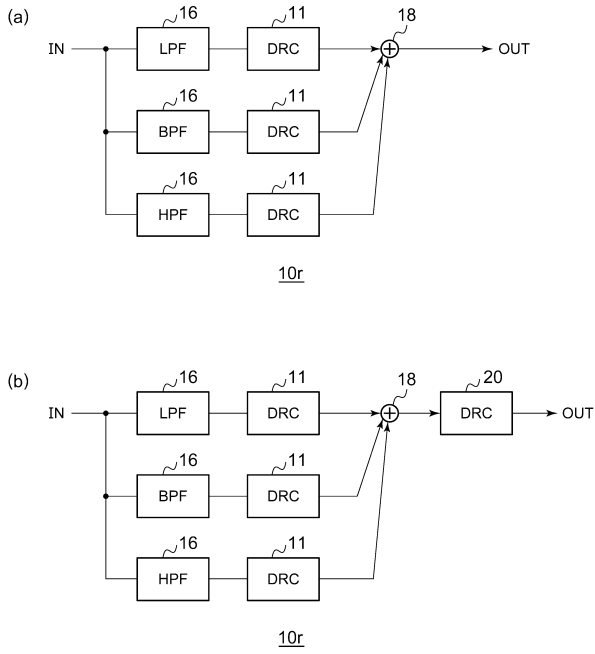
【 図 1 】



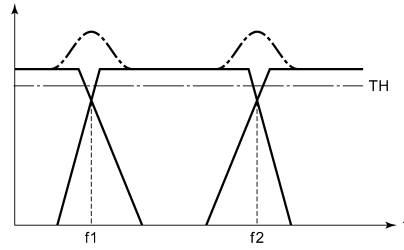
【 図 2 】



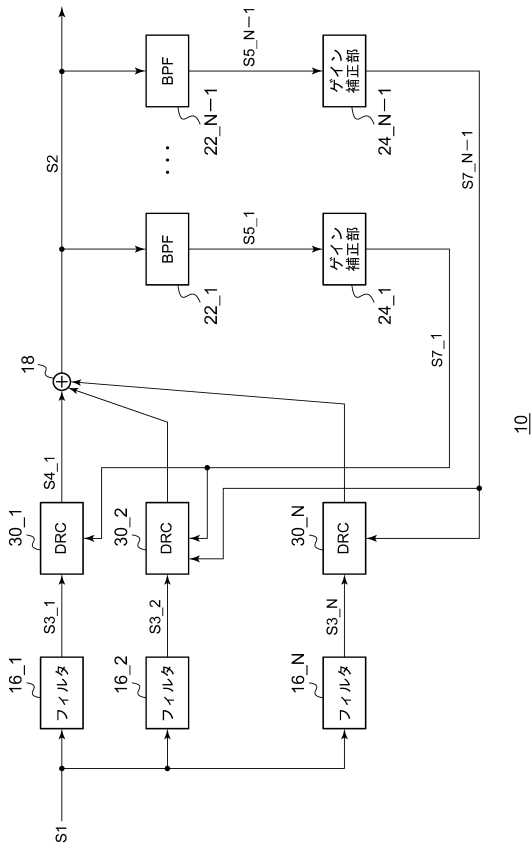
【図3】



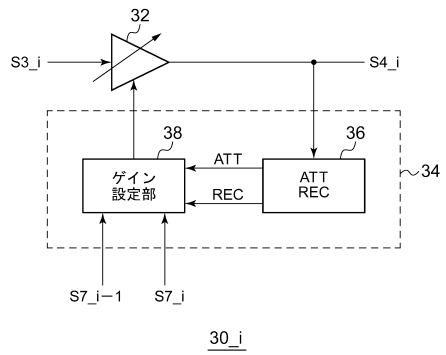
【図4】



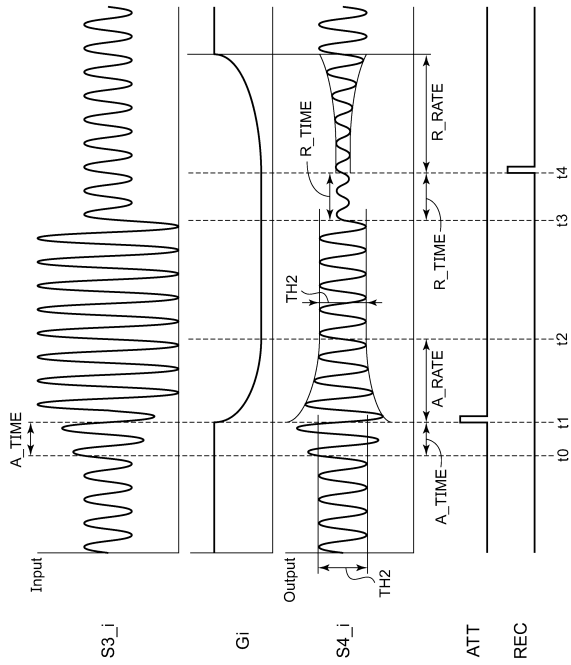
【図5】



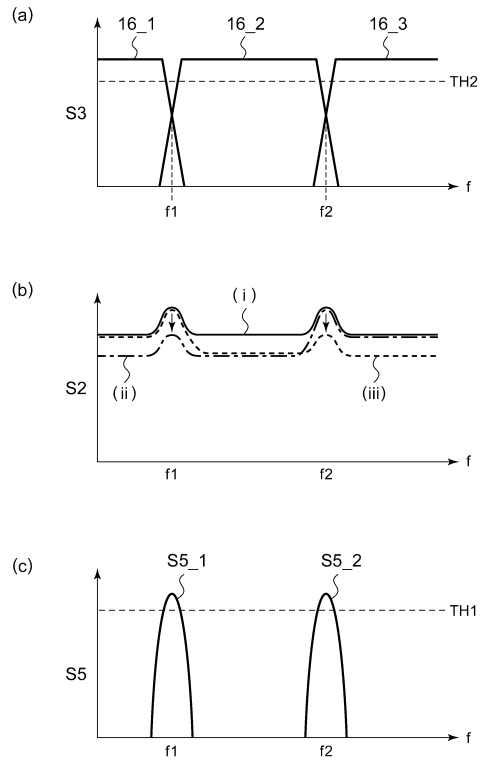
【図6】



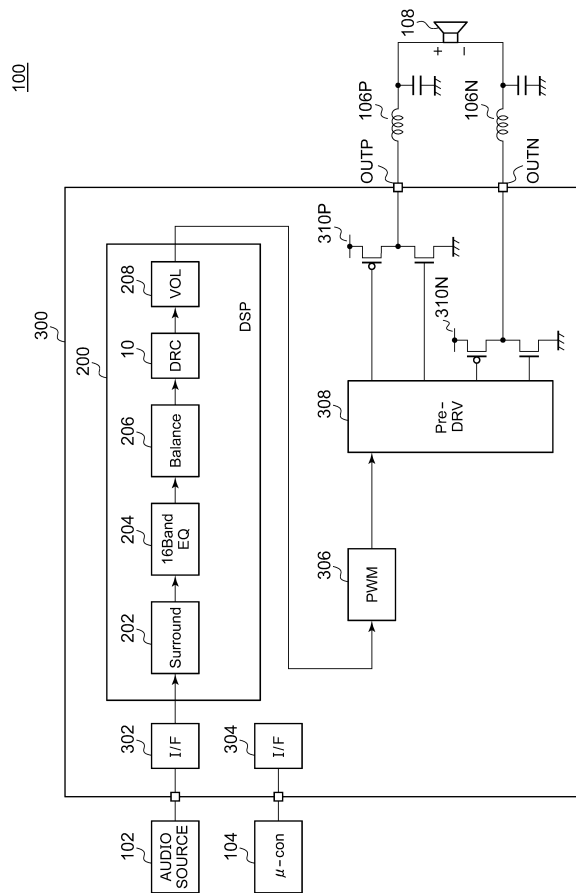
【 図 7 】



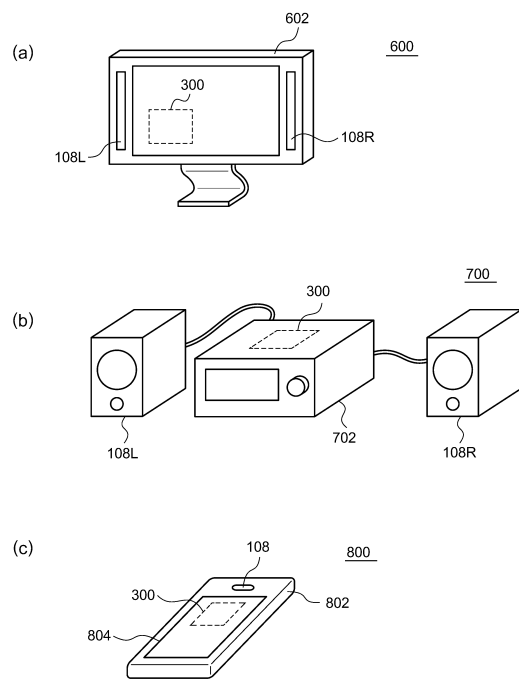
【 図 8 】



【 図 9 】



【 図 10 】



フロントページの続き

- (56)参考文献 国際公開第2013/189938(WO, A1)
特表2002-504279(JP, A)
米国特許第06097824(US, A)
米国特許出願公開第2011/0110533(US, A1)
特開昭54-007811(JP, A)
特開昭36-006551(JP, A)
特開昭55-052643(JP, A)

- (58)調査した分野(Int.Cl., DB名)
H03G 1/00-99/00