



(10) 授权公告号 CN 108538847 B

(45) 授权公告日 2022. 03. 29

(21) 申请号 201810373088.X

(22) 申请日 2013.09.11

(65) 同一申请的已公布的文献号
申请公布号 CN 108538847 A

(43) 申请公布日 2018.09.14

(30) 优先权数据

10-2012-0100516 2012.09.11 KR

10-2013-0013509 2013.02.06 KR

10-2013-0013510 2013.02.06 KR

(62) 分案原申请数据

201310412616.5 2013.09.11

(73) 专利权人 三星电子株式会社

地址 韩国京畿道水原市

(72) 发明人 刘东哲 南泌旭 梁俊圭 李雄

李宇城 金振均 严大弘

(74) 专利代理机构 北京铭硕知识产权代理有限公司 11286

代理人 刘润蓓 尹淑梅

(51) Int.Cl.

H01L 27/1157 (2017.01)

H01L 27/11582 (2017.01)

(56) 对比文件

CN 102122661 A, 2011.07.13

US 2012068255 A1, 2012.03.22

审查员 袁芳

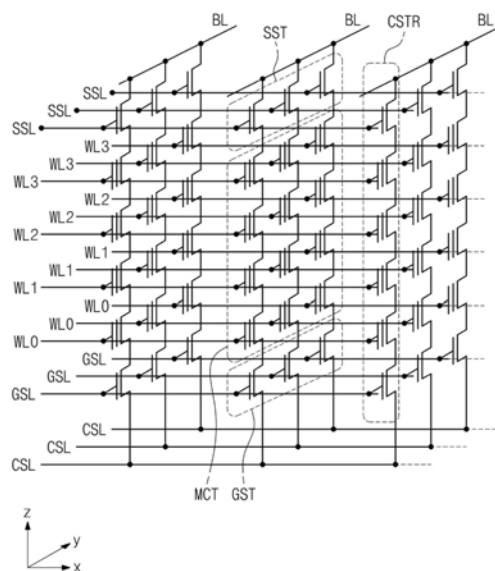
权利要求书2页 说明书27页 附图50页

(54) 发明名称

制造三维半导体存储装置的方法

(57) 摘要

提供了一种制造三维半导体存储装置的方法,所述方法包括:形成包括交替且重复地堆叠在基板上的牺牲层和绝缘层的多层结构;形成贯穿多层结构的开口,使得开口暴露基板;形成填充开口的下区域的下半导体层;在具有下半导体层的开口中形成竖直绝缘件和上半导体图案;将多层结构图案化以形成暴露基板的沟槽,使得沟槽与开口分隔开;去除被沟槽暴露的牺牲层以形成多个栅极区域;选择性地蚀刻被所述多个栅极区域中的至少最下方的栅极区域暴露的下半导体层,以形成具有凹进侧壁的下半导体图案;以及分别在所述多个栅极区域中形成栅极图案,其中,形成下半导体层的步骤包括将被开口暴露的基板用作种子来执行选择性外延生长工艺。



1. 一种制造三维半导体存储装置的方法,所述方法包括:
形成包括交替且重复地堆叠在基板上的牺牲层和绝缘层的多层结构;
形成贯穿多层结构的开口,使得开口暴露基板;
形成填充开口的下区域的下半导体层;
在具有下半导体层的开口中形成竖直绝缘件和上半导体图案;
将多层结构图案化以形成暴露基板的沟槽,使得沟槽与开口分隔开;
去除被沟槽暴露的牺牲层以形成多个栅极区域;
选择性地蚀刻被所述多个栅极区域中的至少最下方的栅极区域暴露的下半导体层,以形成具有凹进侧壁的下半导体图案;以及
分别在所述多个栅极区域中形成栅极图案,
其中,形成下半导体层的步骤包括利用被开口暴露的基板作为种子来执行选择性外延生长工艺。
2. 如权利要求1所述的方法,其中,选择性地蚀刻下半导体层的步骤包括执行湿蚀刻工艺。
3. 如权利要求1所述的方法,其中,下半导体图案的凹进侧壁具有圆形形状。
4. 如权利要求1所述的方法,其中,下半导体图案的顶表面比栅极图案中的最下方的栅极图案的顶表面高。
5. 如权利要求1所述的方法,其中,下半导体图案的底表面比栅极图案中的最下方的栅极图案的底表面低。
6. 如权利要求1所述的方法,其中,下半导体图案的最大宽度大于上半导体图案的最大宽度。
7. 如权利要求1所述的方法,其中,竖直绝缘件包括保护层、电荷存储层和隧道绝缘层。
8. 如权利要求1所述的方法,其中,栅极图案包括邻近于下半导体图案的一个下栅极图案和邻近于上半导体图案的多个上栅极图案,并且
其中,下栅极图案的水平宽度大于每个上栅极图案的水平宽度。
9. 如权利要求8所述的方法,所述方法还包括在下栅极图案和下半导体图案之间并且在竖直绝缘件和每个上栅极图案之间形成水平绝缘件,
其中,位于下栅极图案和下半导体图案之间的水平绝缘件延伸到下栅极图案的顶表面和底表面上;并且
其中,位于竖直绝缘件和每个上栅极图案之间的水平绝缘件延伸到每个上栅极图案的顶表面和底表面上。
10. 一种制造三维半导体存储装置的方法,所述方法包括:
形成包括交替且重复地堆叠在基板上的牺牲层和绝缘层的多层结构;
形成贯穿多层结构的开口,使得开口暴露基板;
形成填充开口的下区域的下半导体层;
在具有下半导体层的开口中形成竖直绝缘件和上半导体图案;
将多层结构图案化以形成暴露基板的沟槽,使得沟槽与开口分隔开;
去除被沟槽暴露的牺牲层以形成多个栅极区域;
选择性地蚀刻被所述多个栅极区域中的至少最下方的栅极区域暴露的下半导体层,以

形成具有由相对于基板的顶表面倾斜的倾斜表面限定的凹进区域的下半导体图案;以及分别在所述多个栅极区域中形成栅极图案。

11. 如权利要求10所述的方法,其中,形成下半导体层的步骤包括利用被开口暴露的基板作为种子来执行选择性外延生长工艺,

所述下半导体层的顶表面具有<100>方向。

12. 如权利要求10所述的方法,其中:

下半导体图案由硅形成;以及

倾斜表面为硅的{111}晶面。

13. 如权利要求10所述的方法,其中,选择性地蚀刻下半导体层的步骤包括利用包含卤族元素的反应气体执行气相蚀刻工艺或化学干蚀刻工艺。

14. 如权利要求10所述的方法,其中,下半导体图案的顶表面比栅极图案中的最下方的栅极图案的顶表面高。

15. 如权利要求10所述的方法,其中,下半导体图案的最大宽度大于上半导体图案的最大宽度。

16. 一种制造三维半导体存储装置的方法,所述方法包括:

形成包括交替且重复地堆叠在基板上的牺牲层和绝缘层的多层结构;

形成贯穿多层结构的开口,使得开口暴露基底;

形成填充开口的下区域的下半导体层;

在具有下半导体层的开口中形成竖直绝缘件和上半导体图案;

将多层结构图案化以形成暴露基底的沟槽,使得沟槽与开口分隔开;

去除被沟槽暴露的牺牲层以形成多个栅极区域;

选择性地蚀刻被所述多个栅极区域中的至少最下方的栅极区域暴露的下半导体层,以形成具有凹进侧壁的下半导体图案;以及

分别在所述多个栅极区域中形成栅极图案,

其中,下半导体层由硅形成,并且

其中,凹进侧壁的至少一部分包括硅的{111}晶面。

17. 如权利要求16所述的方法,其中,选择性地蚀刻下半导体层的步骤包括执行湿蚀刻工艺。

18. 如权利要求16所述的方法,其中,下半导体图案的最大宽度大于上半导体图案的最大宽度。

19. 如权利要求16所述的方法,其中,栅极图案包括邻近于下半导体图案的一个下栅极图案和邻近于上半导体图案的多个上栅极图案,并且

其中,下栅极图案的水平宽度大于每个上栅极图案的水平宽度。

20. 如权利要求19所述的方法,所述方法还包括在下栅极图案和下半导体图案之间并且在竖直绝缘件和每个上栅极图案之间形成水平绝缘件,

其中,位于下栅极图案和下半导体图案之间的水平绝缘件延伸到下栅极图案的顶表面和底表面上;并且

其中,位于竖直绝缘件和每个上栅极图案之间的水平绝缘件延伸到每个上栅极图案的顶表面和底表面上。

制造三维半导体存储装置的方法

[0001] 本申请是申请日为2013年9月11日、申请号为201310412616.5、题为“三维半导体存储装置及其制造方法”的专利申请的分案申请。

技术领域

[0002] 实施例涉及包括竖直堆叠的存储单元的三维半导体存储装置和制造该三维半导体存储装置的方法。

背景技术

[0003] 半导体装置可以变得更高度集成来满足客户的需求(例如,高性能且低成本)。半导体存储装置的集成密度会直接影响半导体存储装置的成本。因此,高度集成的半导体存储装置会是所期望的。传统的二维(2D)或平面的半导体存储装置的集成密度可能主要受到单位存储单元占据的平面区域的影响。因此,集成密度会受到精细图案形成技术的水平的影响。然而,图案精细度可能因设备成本高和/或半导体制造工艺的难度而受到限制。

发明内容

[0004] 实施例涉及一种包括竖直堆叠的存储元件的三维半导体存储装置和一种制造该三维半导体存储装置的方法。

[0005] 实施例还可以通过提供三维(3D)半导体存储装置来实现,所述三维(3D)半导体存储装置包括:绝缘层,堆叠在基板上;水平结构,位于绝缘层之间,水平结构分别包括栅电极;竖直结构,贯穿绝缘层和水平结构,竖直结构分别包括半导体柱;以及外延图案,每个外延图案位于基板和每个竖直结构之间,其中,外延图案的最小宽度小于竖直结构中的相对应的竖直结构的宽度。

[0006] 水平结构中的最下方的水平结构与外延图案接触;每个外延图案具有凹进侧壁;以及最下方的水平结构具有沿着每个外延图案的凹进侧壁的凸部。

[0007] 每个外延图案具有横向凹进的侧壁。

[0008] 水平结构中的最下方的水平结构比水平结构中的其他水平结构厚;外延图案的顶表面高于最下方的水平结构的顶表面。

[0009] 水平结构的厚度彼此基本相等;外延图案与最接近于基板的至少两个竖直相邻的水平结构接触。

[0010] 每个水平结构还包括位于每个栅电极和半导体柱之间的第一阻挡绝缘层和第二阻挡绝缘层;第一阻挡绝缘层和第二阻挡绝缘层均包括氧化硅层和氧化铝层中的至少一种。

[0011] 每个竖直结构还包括保护层、电荷存储层和隧道绝缘层;邻近于竖直结构的水平结构与竖直结构的每个电荷存储层接触。

[0012] 实施例可以通过提供制造三维(3D)半导体存储装置的方法来实现,所述方法包括:形成包括交替地且重复地堆叠在基板上的绝缘层和牺牲层的成型堆叠结构;形成贯穿

成型堆叠结构的通孔,通孔暴露基板;在每个通孔中形成外延层;在每个通孔中形成竖直结构,使得竖直结构包括半导体柱;使成型堆叠结构图案化以形成沟槽;去除被沟槽暴露的牺牲层以形成凹进区域;蚀刻被凹进区域中的至少最下方的凹进区域暴露的外延层以形成具有凹进侧壁的外延图案;以及在凹进区域中分别形成水平结构,使得每个水平结构包括栅电极,其中,至少一个水平结构与外延图案接触。

[0013] 形成外延层的步骤包括:将被通孔暴露的基板用作种子来执行选择性外延生长工艺;其中,外延层的顶表面比水平结构中的最下方的水平结构的顶表面高。

[0014] 形成竖直结构的步骤包括:在每个通孔中顺序地形成保护层、电荷存储层和隧道绝缘层;在每个通孔中的隧道绝缘层上形成半导体柱。

[0015] 所述方法还可以包括在形成凹进区域之后选择性地去除被凹进区域暴露的保护层,以暴露电荷存储层。

[0016] 通过相同的蚀刻工艺同时执行选择性地去除保护层的步骤和蚀刻外延层的步骤。

[0017] 牺牲层中的接触外延层的一个牺牲层由相对于牺牲层中的其他牺牲层具有蚀刻选择性的材料形成;通过相同的蚀刻工艺执行去除牺牲层、选择性地去除保护层和蚀刻外延层。

[0018] 栅电极的分别邻近于外延图案的两个凹进侧壁的部分之间的距离小于竖直结构的宽度。

[0019] 每个竖直结构还包括电荷存储层和隧道绝缘层;每个水平结构还包括阻挡绝缘层。

[0020] 实施例还可以通过提供三维(3D)半导体存储装置来实现,所述三维(3D)半导体存储装置包括:下结构,包括下栅极图案和贯穿下栅极图案的下半导体图案,下半导体图案连接到基板;以及上结构,包括堆叠在下结构上的上栅极图案、贯穿上栅极图案的上半导体图案以及位于上半导体图案和上栅极图案之间的竖直绝缘件,上半导体图案连接到下半导体图案,其中,下半导体图案具有邻近于下栅极图案的凹进区域,下半导体图案的凹进区域由相对于基板的顶表面倾斜的倾斜表面限定。

[0021] 下半导体图案的最小宽度小于上半导体图案的下宽度。

[0022] 下半导体图案的最大宽度大于上半导体图案的最大宽度。

[0023] 下栅极图案的竖直厚度小于下半导体图案的最大宽度。

[0024] 下结构包括堆叠在基板上的多个下栅极图案和位于下栅极图案之间的绝缘层;下半导体图案的邻近于绝缘层的水平截面具有基本上圆形的形状;以及下半导体图案的在凹进区域处的水平截面具有基本上四边形的形状。

[0025] 下半导体图案的最小宽度大约等于下半导体图案的最大宽度与下栅极图案的竖直厚度之差。

[0026] 下半导体图案由硅形成;倾斜表面为硅的{111}晶面。

[0027] 下栅极图案的水平宽度大于每个上栅极图案的水平宽度。

[0028] 3D半导体存储装置还可以包括位于下栅极图案和下半导体图案之间且位于竖直绝缘件和每个上栅极图案之间的水平绝缘件,其中,在下栅极图案和下半导体图案之间的水平绝缘件延伸到下栅极图案的顶表面和底表面上;以及在竖直绝缘件和每个上栅极图案之间的水平绝缘件延伸到每个上栅极图案的顶表面和底表面上。

[0029] 实施例还可以通过提供制造三维 (3D) 半导体存储装置的方法来实现,所述方法包括:形成包括交替且重复地堆叠在基板上的牺牲层和绝缘层的多层结构;形成贯穿多层结构的开口,使得开口暴露基板;形成填充开口的下区域的下半导体层;在具有下半导体层的开口中形成竖直绝缘件和上半导体图案;将多层结构图案化以形成暴露基板的沟槽,使得沟槽与开口分隔开;去除被沟槽暴露的牺牲层以形成栅极区域;选择性地蚀刻被栅极区域中的至少最下方的栅极区域暴露的下半导体层,以形成具有由相对于基板的顶表面倾斜的倾斜表面限定的凹进区域的下半导体图案;以及分别在栅极区域中形成栅极图案。

[0030] 形成下半导体层的步骤包括将被开口暴露的基板用作种子来执行选择性外延生长工艺。

[0031] 选择性地蚀刻下半导体层的步骤包括利用包含卤族元素的反应气体执行气相蚀刻工艺或化学干蚀刻工艺。

[0032] 下半导体图案的最大宽度大于上半导体图案的最大宽度。

[0033] 下半导体图案的最小宽度小于上半导体图案的下宽度。

[0034] 实施例还可以通过提供三维 (3D) 半导体存储装置来实现,所述三维 (3D) 半导体存储装置包括:堆叠结构,包括竖直堆叠在基板上的绝缘层和位于绝缘层之间的下栅极图案;以及下半导体图案,贯穿下栅极图案并连接到基板,下半导体图案具有由相对于基板的顶表面倾斜的倾斜表面限定的凹进区域,凹进区域邻近于下栅极图案,其中,凹进区域的沿垂直于基板的顶表面的最大宽度小于邻近的绝缘层之间的竖直距离。

[0035] 相邻的绝缘层之间的竖直距离小于下半导体图案的最大宽度。

[0036] 下半导体图案的邻近于每个绝缘层的水平截面具有基本上圆形的形状;下半导体图案的凹进区域处的水平截面具有基本上四方形的形状。

[0037] 下半导体图案由硅形成;倾斜表面为硅的 {111} 晶面。

[0038] 所述3D半导体存储装置还可以包括位于下栅极图案和下半导体图案之间的水平绝缘件,水平绝缘件延伸到下栅极图案的顶表面和底表面上。

[0039] 所述3D半导体存储装置还可以包括:上栅极图案,堆叠在下栅极图案上;上半导体图案,贯穿上栅极图案并连接到下半导体图案;以及竖直绝缘件,位于上半导体图案和上栅极图案之间。

[0040] 下半导体图案的最小宽度小于上半导体图案的下宽度。

[0041] 下半导体图案的最大宽度大于上半导体图案的最大宽度。

[0042] 下栅极图案的水平宽度大于每个上栅极图案的水平宽度。

[0043] 实施例还可以通过提供制造三维 (3D) 半导体存储装置的方法来实现,所述方法包括:形成包括连接到基板的下半导体层和堆叠在基板上的绝缘层的下结构,使得绝缘层限定暴露下半导体层的侧壁的一部分的下栅极区域;选择性地蚀刻被下栅极区域暴露的下半导体层,以形成具有由相对于基板的顶表面倾斜的倾斜表面限定的凹进区域;各向同性地蚀刻被下栅极区域暴露的绝缘层,以形成暴露下半导体图案的垂直于基板的顶表面的侧壁的一部分的放大的下栅极区域;以及在放大的下栅极区域中形成栅极图案。

[0044] 放大的下栅极区域的竖直高度小于下半导体图案的最大宽度。

[0045] 选择性地蚀刻被下栅极区域暴露的下半导体层的步骤利用包含卤族元素的反应气体执行气相蚀刻工艺或化学干蚀刻工艺。

[0046] 所述方法还可以包括在形成下半导体图案之前在下结构上形成上结构,其中,上结构包括:上半导体图案,竖直地连接到下半导体图案;竖直绝缘件,围绕上半导体图案的外侧壁;以及上绝缘层,竖直地堆叠在下结构上并限定暴露竖直绝缘件的侧壁的一部分的上栅极区域。

[0047] 下半导体图案的最大宽度大于上半导体图案的最大宽度。

[0048] 下半导体图案的最小宽度小于上半导体图案的下宽度。

附图说明

[0049] 通过参照附图详细地描述示例性实施例,特征对于本领域技术人员将变得清楚,在附图中:

[0050] 图1示出了根据实施例的三维(3D)半导体存储装置的单元阵列的示意性电路图;

[0051] 图2示出了示出根据实施例的3D半导体存储装置的透视图;

[0052] 图3至图14示出了根据实施例的用于制造3D半导体存储装置的方法中的阶段的剖视图;

[0053] 图15示出了根据对比实施例的3D半导体存储装置的剖视图;

[0054] 图16示出了根据实施例的用于制造3D半导体存储装置的方法的修改示例的剖视图;

[0055] 图17示出了根据实施例的用于制造3D半导体存储装置的方法的另一修改示例的剖视图;

[0056] 图18示出了根据实施例的3D半导体存储装置的剖视图;

[0057] 图19示出了图18的部分‘A’的放大图;

[0058] 图20示出了根据实施例的3D半导体存储装置的下半导体图案的透视图;

[0059] 图21示出了根据实施例的3D半导体存储装置的修改示例的透视图;

[0060] 图22至图30示出了根据实施例的用于制造3D半导体存储装置的方法中的阶段的剖视图;

[0061] 图31至图35示出了根据实施例的用于制造3D半导体存储装置的方法中的阶段的局部剖视图;

[0062] 图36至图38示出了根据实施例的用于制造3D半导体存储装置的方法中的阶段的局部剖视图;

[0063] 图39至图42示出了根据实施例的3D半导体存储装置的局部剖视图;

[0064] 图43至图46示出了根据实施例的用于制造3D半导体存储装置的方法中的阶段的局部剖视图;

[0065] 图47至图49示出了根据实施例的用于制造3D半导体存储装置的方法中的阶段的局部剖视图;

[0066] 图50示出了包括根据实施例的3D半导体存储装置的电子系统的示例的示意性框图;

[0067] 图51示出了包括根据实施例的3D半导体存储装置的存储卡的示例的示意性框图;

[0068] 图52示出了包括根据实施例的3D半导体存储装置的信息处理系统的示例的示意性框图。

具体实施方式

[0069] 现在将在下文中参照附图更充分地描述实施例,在附图中示出了示例性实施例。通过将参照附图更详细地描述的下面的示例性实施例,实施例的优点和特征以及实现实施例的方法将变得清楚。然而,应该注意到,实施例不限于下面的示例性实施例,而是可以以各种形式来实施。因此,提供示例性实施例仅为了公开该实施例,并使本领域技术人员了解实施例的范畴。在图中,实施例不限于这里提供的具体示例,并且为了清晰起见可以夸大实施例。

[0070] 这里使用的术语仅出于描述特定实施例的目的,并不意图限制范围。如这里使用的,除非上下文另外明确指明,否则单数术语“一个/种”、“所述”和“该”也意图包括复数形式。如这里使用的,术语“和/或”包括一个或多个相关列出项的任意和所有组合。将理解的是,当元件被称为“连接”或“结合”到另一元件时,该元件可以直接连接到或结合到所述另一元件,或者可以存在中间元件。

[0071] 类似地,将理解的是,当诸如层、区域或基板的元件被称为“在”另一元件“上”时,该元件可以直接在所述另一元件上,或者可以存在中间元件。相反,术语“直接”意味着不存在中间元件。进一步将理解的是,当这里使用术语“包括”或“包含”时,说明存在所述特征、整体、步骤、操作、元件和/或组件,但不排除存在或添加一个或多个其他特征、整体、步骤、操作、元件、组件和/或它们的组。

[0072] 另外,将利用作为理想示例性视图的剖视图来描述具体实施方式中的实施例。因此,可以根据制造技术和/或容许误差来修改示例性视图的形状。因此,实施例不限于示例性视图中示出的具体形状,而是可以包括可以根据制造工艺产生的其他形状。附图中例示的区域具有常规属性,并用于示出元件的具体形状。因此,这不应被解释为限制实施例的范围。

[0073] 还将理解的是,尽管这里可以使用术语第一、第二、第三等来描述各个元件,但是这些元件不应受这些术语限制。这些术语仅用来将一个元件与另一元件区分开。因此,在不脱离实施例的教导的情况下,一些实施例中的第一元件可以称为其他实施例中的第二元件。这里解释并示出的示例性实施例可以包括它们的补充相对物。在整个说明书中,相同的标号或相同的标记表示相同的元件。

[0074] 另外,这里参照作为理想化的示例性视图的剖视图和/或平面图来描述示例性实施例。因此,预计将出现例如由制造技术和/或公差引起的视图的形状的变化。从而,示例性实施例不应被解释为在此示出的区域的形状,而将包括例如由制造导致的形状的变形。例如,示出为矩形的蚀刻区域可以通常具有圆形或曲线的特征。因此,附图中示出的区域实质上是示意性的,其形状没有意图示出装置的区域的实际形状,并且没有意图限制示例实施例的范围。

[0075] 根据实施例的三维(3D)半导体存储装置可以包括例如单元阵列区域、外围电路区域和连接区域。存储单元、位线和字线可以设置在单元阵列区域中。可以提供位线和字线用于存储单元的电连接。用于驱动存储单元且用于感测存储单元中的数据的外围电路可以设置在外围电路区域中。例如,字线驱动器、感测放大器、行译码器、列译码器以及控制电路可以设置在外围电路区域中。连接区域可以设置在单元阵列区域和外围电路区域之间。将位线和字线电连接到外围电路的互连结构可以设置在连接区域中。

[0076] 图1示出了根据实施例的三维 (3D) 半导体存储装置的单元阵列的示意性电路图。

[0077] 参照图1,根据实施例的3D半导体存储装置的单元阵列可以包括共源极线CSL、位线BL以及位于共源极线CSL和位线BL之间的多个单元串CSTR。

[0078] 位线BL可以二维排列。多个单元串CSTR可以并联连接到每个位线BL。单元串CSTR可以共同地连接到共源极线CSL。例如,多个单元串CSTR可以位于共源极线CSL和位线BL之间。在实施例中,多个共源极线CSL可以二维排列。可以向多个共源极线CSL施加恒定的电压。可选择地,多个共源极线CSL可以被彼此单独地电控制。

[0079] 每个单元串CSTR可以包括:接地选择晶体管GST,连接到共源极线CSL;串选择晶体管SST,连接到位线BL;以及多个存储单元晶体管MCT,位于接地选择晶体管GST和串选择晶体管SST之间。接地选择晶体管GST、多个存储单元晶体管MCT以及串选择晶体管SST在每个单元串CSTR中可以彼此串联连接。

[0080] 共源极线CSL可以共同连接到接地选择晶体管GST的源极。接地选择线GSL、多个字线WL0至WL3和串选择线SSL (它们设置在共源极线CSL和位线BL之间) 可以分别用作接地选择晶体管GST的栅电极、存储单元晶体管MCT的栅电极和串选择晶体管SST的栅电极。每个存储单元晶体管MCT可以包括存储元件。

[0081] 图2示出了示出根据实施例的3D半导体存储装置的透视图。

[0082] 参照图2,电极结构115可以设置在基板100上。电极结构115可以包括交替地并重复地堆叠在基板100上的绝缘层111a和111与水平结构150a和150。绝缘层111a和111以及水平结构150a和150可以沿第一方向延伸。绝缘层111a和111可以是例如氧化硅层。绝缘层111a和111中的最下方的绝缘层111a可以比绝缘层111a和111中的其他绝缘层111薄。水平结构150a和150中的每个可以包括第一阻挡绝缘层142、第二阻挡绝缘层143和栅电极145。电极结构115可以包括沿与第一方向交叉的第二方向彼此面对的多个电极结构115。第一方向和第二方向可以分别对应于图2的x轴方向和y轴方向。沟槽140可以限定在邻近的电极结构115之间。沟槽140可以沿第一方向延伸。共源极线CSL可以设置在被沟槽140暴露的基板100中。共源极线CSL可以是利用掺杂剂重掺杂的掺杂剂区域。即使图2中未示出,但是隔离绝缘层可以填充沟槽140。

[0083] 竖直结构130可以贯穿电极结构115。在实施例中,竖直结构130在平面图中可以以矩阵形式沿着第一方向和第二方向布置。例如,当从平面图观看时,贯穿每个电极结构115的竖直结构130可以沿着第一方向布置成线。在另一实施例中,当从平面图观看时,贯穿每个电极结构115的竖直结构可以以Z字形形式沿着第一方向布置。每个竖直结构130可以包括保护层124、电荷存储层125、隧道绝缘层126以及半导体柱127。在实施例中,半导体柱127可以具有中空管形状。在这种情况下,填充层128可以填充半导体柱127的中空区域。漏极区域D可以设置在半导体柱127的上部分中,导电图案129可以设置在漏极区域D上。导电图案129可以连接到位线BL。位线BL可以沿着与水平结构150a和150交叉的方向(例如,沿第二方向)延伸。在实施例中,沿第二方向布置的竖直结构130可以连接到一个位线BL。

[0084] 第一阻挡绝缘层142和第二阻挡绝缘层143(在水平结构150a和150中的每个中)与电荷存储层125和隧道绝缘层126(在每个竖直结构130中)可以被定义为数据存储元件。例如,数据存储元件的一部分可以被包括在竖直结构130中,数据存储元件的剩余部分可以被包括在水平结构150a或150中。根据实施例,数据存储元件的电荷存储层125和隧道绝缘层

126可以被包括在竖直结构130中,数据存储元件的第一阻挡绝缘层142和第二阻挡绝缘层143可以被包括在水平结构150a或150中。

[0085] 外延图案122可以设置在基板100和每个竖直结构130之间。外延图案122可以使竖直结构130连接到基板100。外延图案122可以与水平结构的至少一个底层或至少一个水平面接触。换言之,如通过前述描述并通过附图本领域普通技术人员将清楚的是,如图2中所示,外延图案122可以与水平结构150和水平结构150a中的至少一个(例如,最下方的水平结构150a)接触。在另一实施例中,外延图案122可以与多个(例如,两层或两个水平面)水平结构接触。换言之,如通过前述描述并通过附图本领域普通技术人员将清楚的是,外延图案122可以与水平结构150和150a中的至少两个接触。下面将参照图16对此进行更详细的描述。同时,如果如图2中所示外延图案122与最下方的水平结构150a接触,则最下方的水平结构150a可以比其他水平结构150厚。最下方的水平结构150a(接触外延图案122)可以对应于参照图1描述的3D半导体存储装置中的单元阵列的接地选择线GSL。水平结构150(接触竖直结构130)可以包括图1中的多条字线WL0至WL3。

[0086] 每个外延图案122可以具有凹进侧壁122a。因此,最下方的水平结构150a(接触外延图案122)可以沿着外延图案122的凹进侧壁122a的轮廓设置。例如,最下方的水平结构150a可以具有朝着外延图案122的凹进侧壁122a的凸部。最下方的水平结构150a的凸部可以填充由外延图案122的凹进侧壁122a限定的凹进区域。外延图案122的最小宽度W2可以小于竖直结构130的宽度W1。根据实施例,外延图案122可以具有横向凹进的侧壁122a。因此,在形成接触外延图案122的最下方的水平结构150a的工艺中可以确保工艺余量(process margin)。结果,可以实现稳定性得到改善的3D半导体存储装置。

[0087] 在下文中,将参照附图更详细地描述根据实施例的3D半导体存储装置和制造该3D半导体存储装置的方法。

[0088] 图3至图14示出了根据实施例的用于制造3D半导体存储装置的方法中的阶段的剖视图。

[0089] 参照图3,可以在基板100上形成成型堆叠结构110。基板100可以包括具有半导体性质的材料、绝缘材料和被绝缘材料覆盖的半导体或导体中的至少一种。例如,基板100可以为硅片。在实施例中,可以向基板100中注入第一导电型的掺杂剂,以形成阱区(未示出)。

[0090] 成型堆叠结构110可以包括多个绝缘层111a和111以及多个牺牲层112a和112。绝缘层111a、绝缘层111、牺牲层112a和牺牲层112可以交替地并重复地堆叠在基板100上。牺牲层112a和112可以由相对于绝缘层111a和111具有蚀刻选择性的材料形成。例如,当利用预定的蚀刻方法(etch recipe)蚀刻牺牲层112a和112时,牺牲层112a和112的蚀刻速率可以使绝缘层111a和111的蚀刻最小化。绝缘层111a和绝缘层111中的每个可以包括氧化硅层和氮化硅层中的至少一个。牺牲层112a和牺牲层112中的每个可以包括硅层、氧化硅层、碳化硅层和氮化硅层中的至少一个,并且与绝缘层111a和绝缘层111不同。在下文中,出于易于且便于解释的目的,将氧化硅层的绝缘层111a和绝缘层111与氮化硅层的牺牲层112a和牺牲层112作为示例来描述。

[0091] 在实施例中,牺牲层112a和牺牲层112中的至少一个牺牲层的厚度可以与牺牲层112a和牺牲层112中的另一牺牲层的厚度不同。例如,牺牲层112a和牺牲层112中的最下方

的牺牲层112a可以比牺牲层112a和牺牲层112中的另一牺牲层112厚。最下方的牺牲层112a可以限定在其中将形成图1中的接地选择线GSL的区域。绝缘层111a和绝缘层111中的至少一个绝缘层可以具有与绝缘层111a和绝缘层111中的另一绝缘层的厚度不同的厚度。例如,绝缘层111a和绝缘层111中的最下方的绝缘层111a可以比另一绝缘层111薄。然而,实施例不限于此。可以以不同方式修改绝缘层111a、111和牺牲层112a、112的厚度。此外,可以以不同方式修改构成成型堆叠结构110的层数。可以通过例如化学气相沉积(CVD)方法形成绝缘层111a、绝缘层111、牺牲层112a和牺牲层112。在另一实施例中,可以通过热氧化工艺形成最下方的绝缘层111a。

[0092] 参照图4,可以形成通孔120以贯穿成型堆叠结构110。通孔120可以暴露基板100。例如,可以各向异性地蚀刻绝缘层111a、绝缘层111、牺牲层112a和牺牲层112,直到基板100的顶表面被暴露,从而形成通孔120。接下来,可以在通孔120中形成图2的外延图案122和竖直结构130。与图2的竖直结构130相似,在平面图中通孔120可以以矩阵形式沿着第一方向和第二方向布置。可选择地,在平面图中通孔120可以以Z字形形式沿着第一方向布置。第一方向和第二方向可以分别对应于图2的x轴方向和y轴方向。

[0093] 参照图5,可以形成外延层121以部分地填充每个通孔120。可以将被通孔121暴露的基板100用作种子(seed)通过选择性外延生长(SEG)工艺形成外延层121。因此,如果基板100由单晶硅形成,则外延层121也可以由单晶硅形成。外延层121可以形成为覆盖最下方的牺牲层112a的被通孔120暴露的侧壁。例如,外延层121的顶表面可以设置在基本等于或高于最下方的牺牲层112a的顶表面的水平面的水平面处。在实施例中,外延层121的顶表面可以高于最下方的牺牲层112a的顶表面并低于直接设置在最下方的牺牲层112a上的绝缘层111的顶表面(例如相对于基板100的表面)。

[0094] 参照图6,可以在外延层121上形成保护层124。保护层124可以包括例如氧化硅层。保护层124可以共形地形成在其中具有外延层121的通孔120中。保护层124可以保护在后面的工艺中形成的电荷存储层125。例如,可以通过原子层沉积(ALD)工艺形成保护层124。可以在保护层124上形成电荷存储层125。电荷存储层125可以包括具有导电纳米粒子的电荷捕获层和/或绝缘层。电荷捕获层可以包括例如氮化硅层。然后,在电荷存储层125上形成隧道绝缘层126。隧道绝缘层126可以是单层或包括多个薄层的多层。隧道绝缘层126可以包括例如氧化硅层。可以通过例如ALD方法形成电荷存储层125和隧道绝缘层126。

[0095] 根据实施例,电荷存储层125和隧道绝缘层126可以形成在通孔120中。因此,可以降低3D半导体存储装置的竖直尺度。

[0096] 参照图7,可以在每个通孔120中的隧道绝缘层126上形成半导体柱127。半导体柱127可以是单层或多层。在实施方式中,形成半导体柱127的步骤可以包括:在隧道绝缘层126上形成第一半导体层;以及各向异性地蚀刻第一半导体层以暴露外延层121。此时,在隧道绝缘层126的设置在通孔120的侧壁上的侧壁上可以剩余部分第一半导体层。接下来,可以在通孔120的第一半导体层上形成第二半导体层。因此,可以在通孔120中形成半导体柱127。第二半导体层可以与第一半导体层和外延层121的被暴露的部分接触。外延层121的顶表面可以具有接触半导体柱127的第一部分和没有接触半导体柱127的第二部分。在实施例中,外延层121的顶表面的第一部分可以与外延层121的顶表面的第二部分基本共面。在另一实施例中,如图7中所示,外延层121的顶表面的第一部分可以低于外延层121的顶表面的

第二部分(例如相对于基板100的表面)。例如,半导体柱127的底表面可以低于外延层121的顶表面的第二部分。可以通过ALD工艺形成构成半导体柱127的层。在实施例中,半导体柱127可以包括非晶硅。在这种情况下,可以执行热处理工艺以将半导体柱127的非晶硅转变成多晶硅或单晶硅。在实施例中,半导体柱127的第二半导体层可以部分地填充通孔120,然后可以在第二半导体层上形成填充层128以填充通孔120。接下来,可以使填充层128和第二半导体层平坦化,直至最上方的绝缘层111被暴露。在另一实施例中,半导体柱127可以完全填充通孔120。在这种情况下,可以省略填充层128。

[0097] 结果,可以在每个通孔120中形成竖直结构130。竖直结构130可以包括顺序地形成在通孔120中的保护层124、电荷存储层125、隧道绝缘层126、半导体柱127和填充层128。竖直结构130可以通过外延层121连接到基板100。

[0098] 参照图8,半导体柱127的顶表面和填充层128可以凹进成比最上方的绝缘层111的顶表面低。导电图案129可以形成在每个通孔120中的半导体柱127和填充层128的凹进的顶表面上。导电图案129可以包括掺杂的多晶硅和/或金属。可以将掺杂剂离子注入到导电图案129和/或导电柱127的上部中以形成漏极区域D。漏极区域D可以掺杂有N型掺杂剂。

[0099] 沟槽140可以形成为将成型堆叠结构110划分成多个成型堆叠图案。沟槽140可以形成在竖直结构130之间。可以使绝缘层111a、绝缘层111、牺牲层112a和牺牲层112顺序地图案化,以形成暴露基板100的沟槽140。沟槽140可以沿着第一方向(即,图2的x轴方向)延伸,以将成型堆叠结构110划分成多个成型堆叠图案。成型堆叠图案110可以沿着第二方向(即,图2的y轴方向)彼此分隔开。

[0100] 参照图9,可以去除例如选择性地或完全去除图8的牺牲层112a和112(被沟槽140暴露),以形成凹进区域141a和141。凹进区域141a和141可以对应于从其去除牺牲层112a和112的区域。凹进区域141a和141可以被竖直结构130、绝缘层111a和绝缘层111限定。可以通过去除最下方的牺牲层112a来形成凹进区域141a和141中的最下方的凹进区域141a。最下方的凹进区域141a可以暴露外延层121。在实施例中,如果牺牲层112a和112由氮化硅层或氮氧化硅层形成,则可以利用包括磷酸的蚀刻溶液去除牺牲层112a和112。其他凹进区域141可以暴露保护层124。例如,保护层124可以保护电荷存储层125免受用于去除牺牲层112a和112的蚀刻溶液影响。

[0101] 然后,可以选择性地去除保护层124(例如,保护层124的被凹进区域141暴露的部分),以暴露电荷存储层125的一部分。可以利用相对于电荷存储层125具有蚀刻选择性的蚀刻方法或蚀刻剂来选择性地蚀刻保护层124。在实施例中,在保护层124的选择性去除期间可以不蚀刻被最下方的凹进区域141a暴露的外延层121。例如,如果保护层124由氧化硅层形成,且外延层121由硅形成,则可以利用选择性蚀刻氧化硅层的蚀刻方法或蚀刻剂来去除保护层124。例如,可以由包括氢氟酸的蚀刻溶液去除保护层124。

[0102] 参照图10,可以选择性地蚀刻图9的被暴露的外延层121,以暴露具有凹进侧壁122a的外延层122。可以部分地蚀刻外延层121的侧壁(被最下方的凹进区域141a暴露),以形成外延图案122。可以通过相对于电荷存储层125具有蚀刻选择性的蚀刻工艺来蚀刻外延层121,使得在形成外延图案122期间可以不蚀刻被暴露的电荷存储层125。对外延层121执行的蚀刻工艺可以包括湿蚀刻工艺或干蚀刻工艺。在实施例中,如果利用湿蚀刻工艺各向异性地蚀刻外延层121,则外延图案122的凹进侧壁122a可以具有圆形形状。因此,外延图案

122的最小宽度W2可以小于竖直结构130或通孔120的宽度W1。

[0103] 在另一实施例中,可以通过单个蚀刻工艺同时执行图9的去除保护层124的步骤和形成外延图案122的步骤。例如,如果保护层124是氧化硅层,并且外延层121由硅形成,则可以利用同时蚀刻氧化硅层和硅的蚀刻方法或蚀刻剂执行单个蚀刻工艺。因此,在选择性去除保护层124期间或者在选择性去除保护层124时可以形成具有凹进侧壁122a的外延图案122。在这种情况下,单个蚀刻工艺的蚀刻方法或蚀刻剂相对于电荷存储层125可以具有蚀刻选择性,使得可以不蚀刻电荷存储层125。例如,可以通过利用 O_3 HF、标准清洗1 (standard cleaning 1) (SC1) 溶液或氨水的湿蚀刻工艺或者通过利用气体的干蚀刻工艺蚀刻外延层121。

[0104] 在另一实施例中,可以通过相同的蚀刻工艺同时执行形成凹进区域141a和141的步骤和形成外延图案122的步骤。在这种情况下,最下方的牺牲层112a可以由相对于其他牺牲层112具有蚀刻选择性的材料形成。换言之,接触外延层121的牺牲层112a可以由与接触竖直结构130的其他牺牲层112的蚀刻速率不同的蚀刻速率的材料形成。例如,牺牲层112a和112可以包括氮化硅,最下方的牺牲层112a的氮浓度可以高于其他牺牲层112的氮浓度。例如,最下方的牺牲层112a可以包括富含氮的氮化硅,其他牺牲层112可以包括氮化硅。因此,当通过去除牺牲层112a和112形成凹进区域141a和141时,最下方的牺牲层112a的蚀刻速率可以大于其他牺牲层112的蚀刻速率,从而也可以蚀刻外延层121的侧壁以形成外延图案122。用于去除牺牲层112a和112的蚀刻工艺可以使用包括磷酸的蚀刻溶液。在这种情况下,被凹进区域141暴露的保护层124也可以被蚀刻。结果,可以通过相同的蚀刻工艺同时执行形成凹进区域141a和141的步骤、选择性地去除保护层124的步骤以及形成外延图案122的步骤。

[0105] 参照图11,可以在凹进区域141a和141的内表面上顺序地形成第一阻挡绝缘层142和第二阻挡绝缘层143。第一阻挡绝缘层142和第二阻挡绝缘层143可以共形地沿着凹进区域141a、凹进区域141和沟槽140的暴露的内表面设置。例如,第一阻挡绝缘层142可以包括氧化硅层,第二阻挡绝缘层143可以包括氧化铝层。然而,实施例不限于此。在实施例中,第一阻挡绝缘层142和第二阻挡绝缘层可以包括氧化硅层和氧化铝层中的至少一种。可以以不同方式修改第一阻挡绝缘层142和第二阻挡绝缘层143的堆叠顺序。可以通过ALD方法形成第一阻挡绝缘层142和第二阻挡绝缘层143中的每个。在实施方式中,最下方的凹进区域141a中的第一阻挡绝缘层142和第二阻挡绝缘层143可以共形地沉积在外延图案122的凹进侧壁122a上。结果,接触外延图案122的第一阻挡绝缘层142和第二阻挡绝缘层143可以具有朝着外延图案122的凸面形状。

[0106] 参照图12,可以在第二阻挡绝缘层143上形成电极层144。电极层144可以形成在图11的凹进区域141a和141中以及图11的沟槽140中。电极层144可以完全填充凹进区域141a和141,可以部分地填充沟槽140。电极层144可以共形地沉积在沟槽140的内表面上。电极层144可以包括掺杂的多晶硅层、金属层(例如,钨层)和/或金属氮化物层中的至少一种。在实施例中,电极层144可以包括顺序堆叠的屏障金属层和主体金属层。屏障金属层可以包括过渡金属(例如,钛或钽)和/或金属氮化物(例如,氮化钛、氮化钽或氮化钨),主体金属层可以包括钨。

[0107] 参照图13,可以去除图12的在图11的凹进区域141a和141外部的电极层144。因此,

可以去除沟槽140中的电极层144。例如,可以通过各向异性的蚀刻工艺去除在凹进区域141a和141的外部的电极层144。结果,可以在凹进区域141a和凹进区域141中分别共形地形成栅电极145a和栅电极145。如果电极层144包括屏障金属层和主体金属层,则可以去除沟槽140中的主体金属层和屏障金属层,以形成栅电极145a和145。在这种情况下,每个栅电极145a和145可以包括共形地设置在凹进区域141a和141中的每个凹进区域中的屏障金属图案和主体金属图案。形成栅电极145a和145,使得水平结构150a和150形成在凹进区域141a和141中。每个水平结构150a可以包括第一阻挡绝缘层142、第二阻挡绝缘层143和栅电极145a,每个水平结构150可以包括第一阻挡绝缘层142、第二阻挡绝缘层143和栅电极145。图11中的最下方的凹进区域141a中的最下方的水平结构150a可以沿着外延图案122的凹进侧壁122a形成,从而具有横向凸面形状。

[0108] 接下来,可以将大剂量的掺杂剂离子注入到被沟槽140暴露的基板100中,以在基板100中形成掺杂剂区域。掺杂剂区域对应于共源极线CSL。

[0109] 参照图14,可以形成隔离绝缘层155以填充图13的沟槽140。隔离绝缘层155在平面图中可以沿着沟槽140沿第一方向延伸。接下来,如图2中所示,可以形成位线BL。沿着第二方向布置的竖直结构130可以共同连接到一个位线BL。

[0110] 根据本实施例的3D半导体存储装置可以包括位于基板100和每个竖直结构130之间的外延图案122。外延图案122可以具有凹进侧壁122a。外延层122的最小宽度W2可以小于竖直结构130的宽度W1。因此,接触外延图案122的最下方的水平结构150a可以具有与外延图案122的凹进侧壁122a互补的凸面形状。结果,外延图案122的中心与最下方的水平结构150a的最下方的栅电极145a之间的水平距离可以基本等于或小于竖直结构130的中心与每个其他栅电极145之间的水平距离。例如,分别设置在最下方的栅电极145a的在外延图案122的两侧的部分之间的距离W3可以基本等于或小于竖直结构130的宽度W1。最下方的栅电极145a可以具有外延图案122穿过的电极孔。最下方的水平结构150a的第一阻挡绝缘层142和第二阻挡绝缘层143可以设置在最下方的栅电极145a的电极孔的内侧壁与外延图案122的凹进侧壁122a之间。最下方的栅电极145a的距离W3可以对应于限定在最下方的栅电极145a中的电极孔的最小宽度。当与对比实施例进行比较时将对此进行描述。

[0111] 图15示出了根据对比实施例的3D半导体存储装置的剖视图。

[0112] 参照图15,根据对比实施例,在最下方的栅电极145a的分别设置在外延图案122g的两侧的部分之间的距离W4可以大于竖直结构130的宽度W1。外延图案122g可以由与保护层124的材料不同的材料形成。因此,在选择性地去除保护层124以暴露电荷存储层125的工艺中可以不蚀刻外延图案122g。从而,最下方的栅电极145a的距离W4可以大于竖直结构130的宽度W1。结果,最下方的栅电极145a的占据空间可以小于其他栅电极145的占据空间,从而在最下方的栅电极145a的沉积工艺中可能发生工艺误差。然而,根据实施例的外延图案122可以形成为具有如图14中示出的凹进侧壁122a。因此,根据实施例的3D半导体存储装置可以展现改善的可靠性。

[0113] 图16示出了根据实施例的示出用于制造3D半导体存储装置的修改示例的剖视图。在本修改示例中,将由相同的标号或相同的参考标记来表示参照图1至图14描述的相同的元件,并且可以省略或简要地提及对相同元件的描述。

[0114] 参照图16,如参照图2所描述的,可以将第一阻挡绝缘层142、第二阻挡绝缘层143、

电荷存储层125和隧道绝缘层126限定为3D半导体存储装置的数据存储元件。竖直结构130中可以包括数据存储元件的一部分,水平结构150中可以包括数据存储元件的剩余部分。在本修改示例中,竖直结构130中可以包括隧道绝缘层126,水平结构150中可以包括电荷存储层125、第一阻挡绝缘层142和第二阻挡绝缘层143。

[0115] 为了实现此目的,可以在图6的工艺中的通孔中形成保护层124和隧道绝缘层126,在图11的工艺中的凹进区域中顺序地形成电荷存储层125、第一阻挡绝缘层142和第二阻挡绝缘层143。根据本修改示例的用于制造3D半导体存储装置的其他工艺可以与上面描述的相应工艺基本相同。

[0116] 图17示出了根据实施例的用于制造3D半导体存储装置的方法的另一修改示例的剖视图。在本修改示例中,将由相同的标号或相同的参考标记来表示参照图1至图16描述的相同的元件,并且可以省略或简要地提及对相同元件的描述。

[0117] 参照图17,根据本修改示例的外延图案123可以与水平结构中的两个底层或两个水平面(例如,最下方的水平结构150a和第二最下方的水平结构150a)接触。例如,外延图案123可以与水平结构中的与基板100最近的两个相邻的水平结构接触。与图2和图14中示出的3D半导体存储装置不同,在本修改示例中,水平结构150与水平结构150a的厚度可以基本相等。如图2、图14和图16的实施例中所描述的,外延图案123可以具有凹进侧壁123a。因此,栅电极145a的分别与外延图案123的两个凹进侧壁123a相接触的部分之间的距离W5可以基本等于或小于竖直结构130的宽度W1。在本修改示例中,最下方的水平结构150a和第二最下方的水平结构150a可以对应于图1的接地选择线GSL。根据本修改示例的3D半导体存储装置的制造方法可以与前述实施例的制造方法基本相同。

[0118] 图18示出了显示出根据实施例的3D半导体存储装置的剖视图。图19示出了图18的部分‘A’的放大图。图20示出了根据实施例的3D半导体存储装置的下半导体图案的透视图。

[0119] 参照图18,堆叠结构可以设置在基板100上。堆叠结构可以包括其间具有绝缘层112的下栅极图案155L和上栅极图案155U。

[0120] 基板100可以由半导体材料形成。例如,基板100可以是硅基板、锗基板或硅锗基板。基板100可以包括掺杂有掺杂剂的共源极区域107。下绝缘层105可以形成在基板100和堆叠结构之间。例如,下绝缘层105可以是通过热氧化工艺形成的氧化硅层。可选择地,下绝缘层105可以是通过沉积技术形成的氧化硅层。下绝缘层105可以比下绝缘层105上的绝缘层112薄。

[0121] 在平面图中,堆叠结构可以具有沿一个方向延伸的直线形状。多个沟道结构VCS可以贯穿堆叠结构并且可以电连接到基板100。可以沿着一个方向将贯穿堆叠结构的沟道结构VCS按线布置。可选择地,沟道区域VCS可以在平面图中沿着一个方向布置成Z字形形式,如图21中所示。

[0122] 根据实施例,堆叠结构可以包括邻近于下半导体图案LSP的下栅极图案155L和邻近于上半导体图案USP的上栅极图案155U。在实施例中,下栅极图案155L可以用作参照图1描述的接地选择晶体管GST的栅电极。例如,在3D半导体存储装置(例如,3D NAND闪速存储装置)中,下栅极图案155L可以用作接地选择晶体管GST的控制下半导体图案LSP和形成在基板100中的掺杂剂区域(即,共源极区域107)之间的电连接的栅电极。上栅极图案155U中的一些可以用作参照图1描述的存储单元晶体管MCT的栅电极。另外,设置在堆叠结构中的

最上方的层或最上方的水平面处的上栅极图案155U可以用作参照图1描述的串选择晶体管SST的栅电极。例如,设置在堆叠结构中的最上方的水平面处的上栅极图案155U在3D闪存存储装置中可以用作串选择晶体管SST的控制位线175与沟道结构VCS之间的电连接的栅电极。

[0123] 根据实施例,每个下栅极图案155L的水平宽度可以比每个上栅极图案155U的水平宽度大。每个下栅极图案155L的竖直厚度可以基本等于每个上栅极图案155U的竖直厚度。可选择地,每个下栅极图案155L的竖直厚度可以大于每个上栅极图案155U的竖直厚度。

[0124] 根据实施例,贯穿堆叠结构的每个沟道结构VCS可以包括贯穿堆叠结构的下部分的下半导体图案LSP和贯穿堆叠结构的上部分的上半导体图案USP。上半导体图案USP可以电连接到下半导体图案LSP,下半导体图案可以电连接到基板100。

[0125] 根据实施例,上半导体图案USP可以具有中空管形状或中空通心粉形状。在这种情况下,上半导体图案USP的底端可以处于封闭状态,上半导体图案USP的内部空间可以填充有填充绝缘图案135。上半导体图案USP的底表面可以低于下半导体图案LSP的顶表面(例如相对于基板100的表面)。例如,上半导体图案USP的底端可以插入在下半导体图案LSP中。在实施方式中,下半导体图案LSP的顶表面可以具有接触上半导体图案USP的底表面的第一部分和不接触上半导体图案USP的底表面的第二部分。下半导体图案LSP的顶表面的第一部分(即,上半导体图案USP的底表面)可以低于下半导体图案LSP的顶表面的第二部分(例如相对于基板100的表面)。

[0126] 上半导体图案USP可以由半导体材料形成。例如,上半导体图案USP可以包括硅、锗或它们的任何组合。上半导体图案USP可以掺杂有掺杂剂或者可以处于未掺杂状态(即,本征态)。上半导体图案USP可以具有单晶结构、非晶结构和/或多晶结构的晶体结构。可以在上半导体图案USP上设置导电焊盘137。导电焊盘137可以是掺杂有掺杂剂的掺杂剂区域或者可以由导电材料形成。

[0127] 例如,上半导体图案USP可以包括第一半导体图案131和第二半导体图案133。第一半导体图案131可以覆盖堆叠结构的内侧壁。第一半导体图案131可以具有其顶端和底端敞开的管形状(或通心粉形状)。第一半导体图案131可以与下半导体图案LSP分隔开。例如,第一半导体图案131可以不与下半导体图案LSP接触。第二半导体图案133的底端可以具有其底端封闭的管形状(或通心粉形状)。第二半导体图案133的内部空间可以填充有填充绝缘图案135。第二半导体图案133可以与第一半导体图案131的内侧壁和下半导体图案LSP的顶表面接触。例如,第二半导体图案133可以使第一半导体图案131电连接到下半导体图案LSP。

[0128] 第一半导体图案131和第二半导体图案133可以处于未掺杂状态,或者可以利用与基板100的导电类型相同的掺杂剂来掺杂。第一半导体图案131和第二半导体图案133可以处于多晶状态或单晶状态。

[0129] 下半导体图案LSP可以用作参照图1描述的接地选择晶体管GST的沟道区域。下半导体图案LSP可以由导电类型与基板100相同的半导体材料形成。在实施例中,下半导体图案LSP可以通过将基板100的半导体材料用作种子的外延技术或激光结晶技术中的一种形成的外延图案。在这种情况下,下半导体图案LSP可以具有晶粒尺寸比通过化学气相沉积(CVD)技术形成的半导体材料的晶粒尺寸大的单晶结构或多晶结构。在另一实施例中,下半

导体图案LSP可以由具有多晶结构的半导体材料(例如,多晶硅)形成。

[0130] 根据实施例,下半导体图案LSP的底表面可以低于基板100的顶表面。因此,下半导体图案LSP的底端部分可以插入在基板100中。邻近于下半导体图案LSP的绝缘层112可以与下半导体图案LSP的侧壁直接接触。下半导体图案LSP的侧壁可以具有凹进区域146。凹进区域146可以邻近于下栅极图案155L。凹进区域146可以由相对于基板100的顶表面倾斜的倾斜表面146S限定。

[0131] 例如,参照图19和图20,下半导体图案LSP的最大宽度W2可以大于上半导体图案USP的最大宽度(即,上宽度)W1。竖直相邻的绝缘层112之间的距离T1可以小于下半导体图案LSP的最大宽度W2。这里,下半导体图案LSP的最小宽度(即,凹进区域146处的宽度)W3可以小于上半导体图案USP的上宽度W1。可以根据竖直相邻的绝缘层112之间的距离T1和下半导体图案LSP的最大宽度W2来确定下半导体图案LSP的最小宽度W3。因此,可以减小绝缘层112之间的距离T1,和/或可以增大下半导体图案LSP的最大宽度W2,从而确保获得下半导体图案LSP的最小宽度W3。在实施例中,下半导体图案LSP的最小宽度W3可以对应于或者大约等于下半导体图案LSP的最大宽度W2与竖直相邻的绝缘层112之间的距离T1之差($W3=W2-T1$)。

[0132] 根据实施例,由于彼此相邻的倾斜表面146S,下半导体图案LSP的凹进区域146可以具有锥形的楔形形状。在实施例中,如果下半导体图案LSP由硅形成,则限定凹进区域146的倾斜表面146S可以是硅的{111}晶面。下半导体图案LSP的邻近于绝缘层112的水平截面可以具有圆形形状,下半导体图案LSP的形成凹进区域146处的水平截面可以具有四边形形状,其中,四边形形状的边平行于彼此交叉的<110>方向。

[0133] 再次参照图18,可以在堆叠结构和上半导体图案USP之间设置竖直绝缘件121。竖直绝缘件121可以具有其顶端和底端敞开的管形状(或通心粉形状)。在实施例中,竖直绝缘件121可以与下半导体图案LSP的顶表面接触。

[0134] 根据实施例,竖直绝缘件121可以包括闪速存储装置的存储元件。例如,竖直绝缘件121可以包括闪速存储装置的电荷存储层。例如,电荷存储层可以包括捕获绝缘层(trap insulating layer)或包括导电纳米点的绝缘层。可以利用由上半导体图案USP和栅极图案之间的电压差导致的隧道效应(Fowler-Nordheim, FN)改变存储在竖直绝缘件121中的数据。可选择地,竖直绝缘件121可以包括能够通过另一工作原理存储数据的薄层。例如,竖直绝缘件121可以包括用于相变存储元件的薄层或用于可变电阻存储元件的薄层。

[0135] 根据实施例,竖直绝缘件121可以包括顺序地堆叠的电荷存储层CTL和隧道绝缘层TIL。隧道绝缘层TIL可以与沟道结构VCS(例如,上半导体图案USP)直接接触,电荷存储层CTL可以设置在上栅极图案155U和隧道绝缘层TIL之间。根据另一实施例,竖直绝缘件121可以包括顺序地堆叠的阻挡绝缘层BIL、电荷存储层CTL和隧道绝缘层,如图39中所示。隧道绝缘层TIL可以与沟道结构VCS(例如,上半导体图案USP)直接接触,电荷存储层CTL可以设置在隧道绝缘层TIL和阻挡绝缘层BIL之间。

[0136] 电荷存储层CTL可以包括捕获绝缘层和/或含导电纳米点的绝缘层。例如,电荷存储层CTL可以包括氮化硅层、氮氧化硅层、富含硅的氮化物层、纳米晶硅层和层压捕获层中的至少一种。隧道绝缘层TIL可以包括能量带隙比电荷存储层CTL的能量带隙大的至少一种材料。例如,隧道绝缘层TIL可以包括氧化硅层。阻挡绝缘层BIL可以包括能量带隙大于电荷

存储层CTL的能量带隙的至少一种材料。例如,阻挡绝缘层BIL可以包括氧化硅层。

[0137] 同时,竖直绝缘件121还可以包括设置在上半导体图案USP和每个绝缘层112之间的覆盖层图案CP,如图19和图39所示。覆盖层图案CP可以与绝缘层112直接接触,并且可以通过上栅极图案155U彼此竖直分离。在另一实施例中,覆盖层CPL可以竖直延伸以设置在上半导体图案USP和上栅极图案155U之间,如图35中所示。覆盖层图案CP(或覆盖层CPL)可以包括相对于电荷存储层CTL具有蚀刻选择性且与绝缘层112不同的绝缘材料。在实施例中,覆盖层图案CP(或覆盖层CPL)可以包括硅层、氧化硅层、多晶硅层、碳化硅层和氮化硅层中的至少一种,并且与绝缘层112不同。在另一实施例中,覆盖层图案CP(或覆盖层CPL)可以包括诸如氧化钽(Ta_2O_5)、氧化钛(TiO_2)、氧化铪(HfO_2)和/或氧化锆(ZrO_2)的高k介电材料。

[0138] 参照图18和图19,水平绝缘件151可以共形地覆盖下栅极图案155L和上栅极图案155U的顶表面和底表面。水平绝缘件151的一部分可以在竖直绝缘件121和每个上栅极图案155U之间延伸。水平绝缘件151的另一部分可以在下半导体图案LSP和每个下栅极图案155L之间延伸。水平绝缘件151可以包括单个薄层或多个薄层。在实施例中,水平绝缘件151可以包括电荷捕获型闪速存储元件的阻挡绝缘层,如图19中所示。在另一实施例中,水平绝缘件151可以包括多个阻挡绝缘层BIL1和BIL2,如图38中所示。在另一实施例中,水平绝缘件151可以包括电荷捕获型闪速存储元件的电荷存储层CTL和阻挡绝缘层BIL,如图41中所示。

[0139] 电极隔离图案160可以填充堆叠结构之间的空间。例如,电荷隔离图案160可以设置在彼此水平相邻的下栅极图案155L之间和彼此水平相邻的上栅极图案155U之间。电极隔离图案160可以由绝缘材料形成,并且可以覆盖共源极区域107。另外,位线175可以横穿堆叠结构。位线175可以通过接触插塞171连接到设置在上半导体图案USP上的导电焊盘137。

[0140] 图22至图30示出了根据实施例的用于制造3D半导体存储装置的方法中的阶段的剖视图。图31至图35示出了根据实施例的用于制造3D半导体存储装置的方法中的阶段的局部剖视图。

[0141] 参照图22,可以将牺牲层111和绝缘层112交替地且重复地堆叠在基板100上以形成多层结构110。

[0142] 基板100可以包括具有半导体性质的材料、绝缘材料和被绝缘材料覆盖的半导体或导体中的至少一种。例如,基板100可以是硅基板、锗基板或硅锗基板。

[0143] 牺牲层111可以由相对于绝缘层112具有蚀刻选择性的材料形成。在实施例中,牺牲层111和绝缘层112在利用化学溶液的湿蚀刻工艺中可以相对于彼此具有高的蚀刻选择性,但是在利用蚀刻气体的干蚀刻工艺中可以相对于彼此具有低的蚀刻选择性。

[0144] 在实施例中,牺牲层111的厚度可以彼此基本相等。在另一实施例中,牺牲层111中最下方的牺牲层和最上方的牺牲层可以比牺牲层111中位于最下方的牺牲层和最上方的牺牲层之间的其他牺牲层厚。绝缘层112的厚度可以彼此基本相等。可选择地,至少一个绝缘层112的厚度可以与绝缘层112中的其他绝缘层的厚度不同。

[0145] 可以利用热化学气相沉积(热CVD)技术、等离子体增强CVD(PE-CVD)技术、物理CVD技术和/或原子层沉积(ALD)技术来沉积牺牲层111和绝缘层112。

[0146] 在实施例中,牺牲层111和绝缘层112可以由绝缘材料形成,牺牲层111相对于绝缘层112可以具有蚀刻选择性。例如,每个牺牲层111可以包括硅层、氧化硅层、碳化硅层、氮化硅层和氮氧化硅层中的至少一种。绝缘层112可以包括硅层、氧化硅层、碳化硅层、氮化硅层

和氮氧化硅层中的至少一种。例如,绝缘层可以包括与牺牲层111的材料不同的材料。在实施例中,牺牲层111可以由氮化硅层形成,绝缘层112可以由氧化硅层形成。在另一实施例中,牺牲层111可以由导电材料形成,绝缘层112可以由绝缘材料形成。

[0147] 可以在基板100和多层结构110之间形成下绝缘层105。例如,下绝缘层105可以是通过热氧化工艺形成的氧化硅层。可选择地,下绝缘层105可以通过沉积技术形成的氧化硅层。下绝缘层105可以比形成在下绝缘层105上的牺牲层111和绝缘层112薄。

[0148] 参照图23,可以形成开口115以贯穿多层结构110。开口115可以暴露基板100。

[0149] 根据本实施例,开口115可以形成为具有孔形状。开口115的深度可以是开口115的宽度的五倍或更多倍。此外,在平面图中可以将开口115二维地布置在基板100的顶表面(即,x-y平面)上。例如,在平面图中可以沿着x方向和y方向布置开口115,并且开口115可以彼此分隔开。在另一实施例中,如图21中所示,可以以Z字形形式沿着y方向布置开口115。在这种情况下,彼此相邻的开口115之间的距离可以等于或小于开口115的宽度。

[0150] 可以在多层结构110上形成掩模图案(未示出),然后将掩模图案(未示出)用作蚀刻掩模来各向异性地蚀刻多层结构110,从而形成开口115。在开口115的各向异性蚀刻工艺期间可以过度蚀刻基板100的顶表面。因此,基板100的被开口115暴露的部分可以凹进预定的深度。在实施方式中,开口115的下宽度通过各向异性蚀刻工艺可以比开口115的上宽度窄。

[0151] 参照图24,可以形成下半导体层117,以填充每个开口115的下区域。

[0152] 下半导体层117可以与设置在多层结构110的下部分中的牺牲层111和绝缘层112直接接触。下半导体层117可以覆盖至少一个牺牲层111的侧壁。下半导体层117的顶表面可以设置在彼此竖直相邻的牺牲层111之间的水平面处。

[0153] 例如,可以将被每个开口115暴露的基板100用作种子通过选择性外延生长(SEG)来形成下半导体层117。因此,下半导体层117可以具有填充每个开口115的下区域和基板100的蚀刻区域的柱状。在这种情况下,下半导体层117可以具有比通过化学气相沉积(CVD)技术形成的半导体层的晶粒尺寸大的晶粒尺寸的单晶结构或多晶结构。另一方面,下半导体层117可以由硅形成。然而,实施例不限于此。在其他实施例中,碳纳米结构、有机半导体材料和/或化合物半导体可以用于下半导体层117。在其他实施例中,下半导体层117可以由具有多晶结构的半导体材料(例如,多晶硅)形成。

[0154] 在实施例中,可以将具有<100>方向中的一个方向的单晶硅基板100用作种子通过SEG工艺形成下半导体层117。在这种情况下,下半导体层117的顶表面可以具有<100>方向。

[0155] 此外,下半导体层117的导电类型可以与基板100的导电类型相同。在SEG工艺过程中可以利用掺杂剂对下半导体层117进行原位掺杂。可选择地,在形成下半导体层117之后,可以将掺杂剂离子注入到下半导体层117中。

[0156] 参照图25和31,可以在每个开口115中形成竖直绝缘件121和第一半导体图案131。竖直绝缘件121和第一半导体图案131可以覆盖开口115的内侧壁,并且可以暴露下半导体层117的顶表面。

[0157] 例如,可以顺序地形成竖直绝缘层和第一半导体层,以覆盖具有下半导体层117的开口115的内侧壁。竖直绝缘层和第一半导体层可以部分填充开口115。竖直绝缘层的沉积厚度和第一半导体层的沉积厚度之和可以小于开口115的宽度的一半。因此,开口115可以

不被竖直绝缘层和第一半导体层完全填充。另外,竖直绝缘层可以覆盖下半导体层117的被开口115暴露的顶表面。竖直绝缘层可以包括多个薄层。可以通过PE-CVD技术、物理CVD技术和/或ALD技术沉积竖直绝缘层。

[0158] 竖直绝缘层可以包括用作闪速存储装置的存储元件。例如,电荷存储层可以是捕获绝缘层或包括导电纳米点的绝缘层。可选择地,竖直绝缘层可以包括用于相变存储元件的薄层或用于可变电阻存储元件的薄层。

[0159] 在实施例中,如图31中所示,竖直绝缘层可以包括顺序地堆叠的覆盖层CPL、电荷存储层CTL和隧道绝缘层TIL。覆盖层CPL可以覆盖牺牲层111和绝缘层112的侧壁以及下半导体层117的被开口暴露的顶表面。覆盖层CPL可以由相对于牺牲层111和电荷存储层CTL具有蚀刻选择性的材料形成。例如,覆盖层CPL可以由诸如氧化钽(Ta_2O_5)层、氧化钛(TiO_2)层、氧化铪(HfO_2)层和/或氧化锆(ZrO_2)层的高k介电层形成。电荷存储层CTL可以是捕获绝缘层或者包括导电纳米点的绝缘层。例如,电荷存储层CTL可以包括氮化硅层、氮氧化硅层、富含硅的氮化物层、纳米晶硅层和层压捕获层中的至少一种。隧道绝缘层TIL可以包括能量带隙比电荷存储层CTL的能量带隙大的材料。例如,隧道绝缘层TIL可以包括氧化硅层。

[0160] 第一半导体层可以共形地形成在竖直绝缘层上。在实施例中,可以通过ALD技术或CVD技术形成第一半导体层。例如,第一半导体层可以是多晶硅层、单晶硅层或非晶硅层。

[0161] 在顺序地形成竖直绝缘层和第一半导体层之后,可以各向异性地蚀刻下半导体层117的顶表面上的第一半导体层和竖直绝缘层,以暴露下半导体层117的顶表面。因此,可以在开口115的内侧壁上形成竖直绝缘件121和第一半导体图案131。例如,竖直绝缘件121和第一半导体图案131中的每个可以具有顶端和低端开口的圆柱形形状。此外,在第一半导体层和竖直绝缘层的各向异性蚀刻工艺期间可以通过过度蚀刻使下半导体层117的被第一半导体图案131暴露的顶表面凹进。

[0162] 同时,在各向异性蚀刻工艺期间可以不蚀刻竖直绝缘层的在第一半导体图案131下面的部分。在这种情况下,竖直绝缘件121可以具有设置在第一半导体图案131的底表面和下半导体层117的顶表面之间的底部。

[0163] 此外,通过对第一半导体层和竖直绝缘层执行的各向异性蚀刻工艺可以暴露多层结构110的顶表面。因此,竖直绝缘件121和第一半导体图案131可以共形地形成在每个开口115中。例如,开口115中的竖直绝缘件121和第一半导体图案131在平面图中可以二维地布置。

[0164] 另一方面,在形成竖直绝缘件121之后,可以根据图42中所示的实施例去除竖直绝缘件121的底部。例如,可以各向同性地蚀刻竖直绝缘件121的底部(设置在第一半导体图案131和下半导体层117之间),以形成底切区域。因此,可以减小竖直绝缘件121的竖直长度,并且竖直绝缘件121可以与下半导体层117隔开,如图42中所示。下切区域可以填充有在随后工艺中形成的第二半导体图案133。

[0165] 参照图26和图32,可以在具有竖直绝缘件121和第一半导体图案131的基板100上形成第二半导体图案133和填充绝缘图案135。

[0166] 例如,可以顺序地形成第二半导体层和填充绝缘层,以填充其中具有竖直绝缘件121和第一半导体图案131的开口115。接下来,可以使第二半导体层和填充绝缘层平面化,直至暴露多层结构110的顶表面,从而形成第二半导体图案133和填充绝缘图案135。

[0167] 第二半导体层可以共形地形成在开口115中。第二半导体层可以使下半导体层117电连接到第一半导体图案131。可以通过ALD技术或CVD技术形成第二半导体层。第二半导体层可以是多晶硅层、单晶硅层或非晶硅层。

[0168] 第二半导体图案133在每个开口115可以形成为管形状、空心的圆柱形形状或杯形状。在另一实施例中，第二半导体图案133可以形成为具有填充开口115的柱形状。

[0169] 填充绝缘层135可以填充第二半导体图案133形成在其中的开口115。填充绝缘图案135可以包括利用旋涂玻璃(SOG)技术形成的绝缘材料和氧化硅中的至少一种。

[0170] 第一半导体图案131和第二半导体图案133可以构成设置在下半导体层117的上半导体图案USP。上半导体图案USP形成在具有竖直绝缘件121的开口115中。因此，上半导体图案USP的最大宽度W1(即，上宽度)可以小于下半导体层117的最大宽度W2。

[0171] 参照图27，可以将多层结构110图案化以在开口115之间形成暴露基板100的沟槽140。

[0172] 例如，可以在多层结构110上形成限定沟槽140的掩模图案(未示出)，然后将掩模图案用作蚀刻掩模来对多层结构110进行各向异性蚀刻，以形成沟槽140。

[0173] 沟槽140可以与第一半导体图案131和第二半导体图案133分隔开，并且可以暴露牺牲层111和绝缘层112的侧壁。每个沟槽140在平面图中可以具有直线形状或矩形形状。沟槽140在剖视图中可以暴露基板的例如顶表面的表面。在形成沟槽140之间可以过度蚀刻基板100的被沟槽140暴露的表面。此外，沟槽140可以通过各向异性蚀刻工艺根据与基板100的距离而具有彼此不同的宽度。

[0174] 当从平面图观看时，由于沟槽140的存在，多层结构110可以具有沿一个方向延伸的直线形状。多个上半导体图案USP可以贯穿具有直线形状的一个多层结构110。

[0175] 参照图28和图33，可以去除被沟槽140暴露的牺牲层111，以在绝缘层112之间形成下栅极区域145L和上栅极区域145U。

[0176] 例如，可以利用相对于绝缘层112、竖直绝缘件121、下半导体层117和基板100具有蚀刻选择性的蚀刻方法或蚀刻剂各向同性地蚀刻牺牲层111，从而形成下栅极区域145L和上栅极区域145U。此时，可以通过各向同性蚀刻工艺完全去除牺牲层111。例如，如果牺牲层111是氮化硅层，绝缘层112是氧化硅层，则可以利用包括磷酸的蚀刻溶液执行用于去除牺牲层112的各向同性蚀刻工艺。

[0177] 下栅极区域145L可以在绝缘层112之间从沟槽140水平地延伸，并且可以分别暴露下半导体层117的侧壁的部分。上栅极区域145U可以在绝缘层112之间从沟槽140水平地延伸，并且可以分别暴露竖直绝缘件121的侧壁的部分。例如，彼此竖直邻近的绝缘层112和下半导体层117的侧壁可以限定每个下栅极区域145L。彼此竖直邻近的绝缘层112和竖直绝缘件121的侧壁可以限定每个上栅极区域145U。此外，根据图33中示出的实施例，覆盖层CPL在用于形成上栅极区域145U的各向同性蚀刻工艺期间可以用作蚀刻停止层。因此，覆盖层CPL可以有助于防止电荷存储层CTL免受各向同性蚀刻工艺中使用的蚀刻溶液的损害。例如，上栅极区域145U可以暴露竖直绝缘件121的覆盖层CPL。

[0178] 在实施例中，下栅极区域145L和上栅极区域145U中的每个栅极区域的竖直高度可以小于下半导体层117的最大宽度。下栅极区域145L的竖直高度和上栅极区域145U的竖直高度可以分别基本等于牺牲层111的厚度。下栅极区域145L的竖直高度和上栅极区域145U

的竖直高度可以彼此基本相等。在另一实施例中,下栅极区域145L的竖直高度可以大于上栅极区域145U的竖直高度。

[0179] 参照图29和图34,可以使下半导体层117的被下栅极区域145L暴露的侧壁凹进,以形成具有凹进区域146的下半导体图案LSP。

[0180] 在实施例中,在下半导体层117处形成凹进区域146可以包括选择性地蚀刻下半导体层117的被下栅极区域145L暴露的侧壁。这里,用于形成凹进区域146的蚀刻工艺可以使用具有根据半导体材料的晶向而变化的蚀刻速率的蚀刻方法或蚀刻剂。因此,相对于基板100的顶表面倾斜的倾斜表面146S可以限定凹进区域146。由于倾斜表面146S,凹进区域146可以具有锥形的楔形状。在实施例中,限定凹进区域146的倾斜表面146S可以是硅的{111}晶面。此外,下半导体图案LSP的水平截面(形成在凹进区域146处)可以具有四边形形状,其中,四边形形状的边平行于彼此交叉的<110>方向,如图20中所示。

[0181] 例如,可以利用包括含卤族的反应气体的蚀刻剂通过气相蚀刻工艺或化学干蚀刻工艺形成凹进区域146。含卤素的反应气体可以包括HCl、Cl₂、NF₃、ClF₃和F₂中的至少一种。可选择地,可以利用诸如有机碱蚀刻剂(例如,氢氧化四甲基铵(TMAH))或氢氧化铵(NH₄OH)的蚀刻溶液通过湿各向异性蚀刻工艺形成凹进区域146。

[0182] 当选择性地蚀刻由硅形成的下半导体层117时,下半导体层117的蚀刻速率可以根据硅的晶面和晶向而变化。在实施例中,当利用包含卤素的反应气体蚀刻下半导体层117的暴露的侧壁时,沿<111>方向的蚀刻速率可以比沿<110>方向的蚀刻速率大。在这种情况下,可以在{111}晶面停止蚀刻工艺。因此,可以暴露下半导体图案LSP的{111}晶面。例如,凹进区域146可以由{111}晶面限定并且可以由于具有{111}晶面的两个倾斜表面146S而具有锥形的楔形状。

[0183] 在另一实施例中,当利用氢氧化铵(NH₄OH)各向同性地蚀刻由硅形成的下半导体层117时,下半导体层117的蚀刻速率在{111}晶面可以最小,下半导体层117的蚀刻速率在{100}晶面可以最大。因此,凹进区域146的内表面具有蚀刻速率在其处最小的{111}晶面。此外,凹进区域146可以通过{111}晶面的两个内表面而具有锥形的楔形状。

[0184] 凹进区域146的内表面可能因蚀刻工艺而具有缺陷。因此,在形成凹进区域146之后,可以执行利用O₃和HF的清洁工艺,以去除凹进区域146的内表面的缺陷。

[0185] 如上面所看到的,下半导体图案LSP形成为具有凹进区域146。因此,下半导体图案LSP的最小宽度W3可以小于上半导体图案USP的上宽度W1。在实施例中,凹进区域146的深度(即,横向深度)可以根据竖直相邻的绝缘层112之间的距离T1(即,下栅极区域145L的高度T1)和下半导体图案LSP的最大宽度W2来确定。例如,凹进区域146的深度可以对应于下栅极区域145L的高度T1的大约一半。例如,下半导体图案LSP的最小宽度W3可以对应于或等于下半导体图案LSP的最大宽度W2与下栅极区域145L的高度T1之差。

[0186] 参照图30和图35,可以形成水平绝缘层151以覆盖下栅极区域145L和上栅极区域145U的内表面,可以形成下栅极图案155L和上栅极图案155U以分别填充下栅极区域145L和上栅极区域145U的剩余空间。

[0187] 例如,可以顺序地形成水平绝缘层151和导电层,以覆盖下栅极区域145L和上栅极区域145U的内表面。然后,可以去除下栅极区域145L和上栅极区域145U的外侧的导电层,以在下栅极区域145L和上栅极区域145U中分别共形地形成下栅极图案155L和上栅极图案

155U。

[0188] 在实施例中,水平绝缘层151可以在上栅极区域145U中与竖直绝缘件121直接接触。在实施例中,如图35中所示,水平绝缘层151可以与竖直绝缘件121的覆盖层CPL直接接触。水平绝缘层151可以在下栅极区域145L中与下半导体图案LSP直接接触。例如,水平绝缘层151可以在下栅极区域145L中共形地覆盖下半导体图案LSP的凹进区域145。与竖直绝缘层类似,水平绝缘层151可以包括单一薄层或多个薄层。在实施例中,水平绝缘层151可以包括电荷捕获型闪速存储元件的阻挡绝缘层BIL。阻挡绝缘层BIL可以包括能量间隙比隧道绝缘层TIL的能量间隙小且比电荷存储层CTL的能量间隙大的材料。例如,阻挡绝缘层BIL可以包括诸如氧化铝层或氧化铅层的高k介电层中的至少一个。

[0189] 在实施例中,导电层可以填充下栅极区域145L和上栅极区域145U,并且可以共形地覆盖沟槽140的内表面。在这种情况下,可以各向同性地蚀刻沟槽140中的导电层,以形成下栅极图案155L和上栅极图案155U。在另一实施例中,导电图案还可以填充沟槽140。在这种情况下,可以各向异性地蚀刻沟槽140内的导电层以形成下栅极图案155L和上栅极图案155U。根据实施例,上栅极图案155U可以分别形成在上栅极区域145U中,下栅极图案155L可以分别形成在下栅极区域145L中。这里,下栅极图案155L可以填充下半导体图案LSP的凹进区域146。因此,下栅极图案155L可以分别具有朝着下半导体图案LSP呈锥形的侧壁。例如,下栅极图案155L可以具有分别平行于倾斜表面146S的侧壁。因此,下栅极图案155L的水平宽度可以比上栅极图案155U的水平宽度大。在实施例中,形成导电层的步骤可以包括顺序地沉积屏障金属层和金属层。例如,屏障金属层可以包括诸如氮化钛层、氮化钽层或氮化钨层的金属氮化物层。例如,金属层可以包括诸如钨、铝、钛、钼、钴或铜的金属。

[0190] 参照图30,在形成下栅极图案155L和上栅极图案155U之后,可以在基板100中形成掺杂剂区域107。掺杂剂区域107可以通过离子注入工艺形成在沟槽140下面的基板100中。掺杂剂区域107可以具有与下半导体图案LSP的导电类型不同的导电类型。掺杂剂区域107和基板100可以构成PN结。另一方面,基板100的与下半导体图案LSP接触的部分可以具有与下半导体图案LSP的导电类型相同的导电类型。在实施例中,掺杂剂区域107可以彼此连接以处于等势状态。在另一实施例中,掺杂剂区域107可以彼此电分离,从而具有彼此分别不同的电势。在另一实施例中,可以将掺杂剂区域107分为多个源极组。每个源极组可以包括多个掺杂剂区域107。多个源极组可以彼此电分离,从而具有彼此分别不同的电势。

[0191] 再参照图18,电极隔离图案160可以形成在掺杂剂区域107上,以填充沟槽140。电极隔离图案160可以包括氧化硅层、氮化硅层和氮氧化硅层中的至少一种。

[0192] 此外,导电焊盘137可以形成为连接到每个上半导体图案USP的第一半导体图案131和第二半导体图案133。可以使第一半导体图案131和第二半导体图案133的上部分凹进,然后可以利用导电材料填充凹进的空间以形成导电焊盘137。导电焊盘137可以掺杂有导电类型与位于导电焊盘137下面的第一半导体图案131和第二半导体图案133的导电类型不同的掺杂剂。因此,导电焊盘137和半导体图案131和133可以构成二极管。

[0193] 接下来,可以形成接触插塞171,以分别连接到导电焊盘137,然后可以使位线175形成为连接到接触插塞171。位线175可以通过接触插塞171电连接到第一半导体图案131和第二半导体图案133。位线175可以横穿下栅极图案155L、上栅极图案155U和/或沟槽140。

[0194] 图36至图38示出了根据实施例的用于制造3D半导体存储装置的方法中的阶段的

局部剖视图。图39至图42示出了根据实施例的3D半导体存储装置的局部剖视图。

[0195] 在本实施例中,如参照图34描述的,在绝缘层112之间形成下栅极区域145L和上栅极区域145U之后,下栅极区域145L和上栅极区域145U的水平宽度和高度可以增大。

[0196] 例如,参照图36,可以各向同性地蚀刻覆盖层CPL和绝缘层112的被下栅极区域145L和上栅极区域145U暴露的部分,以形成放大的下栅极区域147L、放大的上栅极区域147U和覆盖层图案CP。放大的下栅极区域147L、放大的上栅极区域147U中的每个的竖直高度T2可以比下栅极区域145L和上栅极区域145U中的每个的竖直高度T1大。这里,在形成覆盖层图案CP之前每个栅极区域的竖直高度T1与在形成覆盖层图案CP之后每个栅极图案的竖直高度T2之差可以是覆盖层CPL的大约两倍。

[0197] 在实施例中,如果竖直绝缘件121包括覆盖层CPL、电荷存储层CTL和隧道绝缘层TIL,则在放大的下栅极区域147L和放大的上栅极区域147U的形成工艺中可以蚀刻部分覆盖层CPL以暴露部分电荷存储层CTL。因此,当形成放大的上栅极区域147U时,可以在电荷存储层CTL和绝缘层112之间形成覆盖层图案CP。

[0198] 在另一实施例中,如果竖直绝缘件121包括覆盖层CPL、阻挡绝缘层BIL、电荷存储层CTL和隧道绝缘层TIL,则可以蚀刻部分覆盖层CPL以形成暴露部分阻挡绝缘层BIL的放大的下栅极区域147L和放大的上栅极区域147U,如图39中所示。在这种情况下,覆盖层图案CP可以分别形成在阻挡绝缘层BIL和绝缘层112之间。在另一实施例中,可以蚀刻覆盖层CPL和阻挡绝缘层BIL,以暴露部分电荷存储层CTL的放大的下栅极区域147L和放大的上栅极区域147U,如图40中所示。在这种情况下,可以在电荷存储层CTL和每个绝缘层112之间形成覆盖层图案CP和阻挡绝缘层图案BIP。

[0199] 参照图37,在形成放大的下栅极区域147L和放大的上栅极区域147U之后,可以选择性地蚀刻被放大的下栅极区域147L暴露的下半导体层117,以形成凹进区域146。下半导体图案LSP的具有凹进区域146的最小宽度W4可以小于上半导体图案USP的上宽度W1。如参照图18所述的,可以利用蚀刻速率根据半导体材料的晶向而变化的蚀刻方法或蚀刻剂形成下半导体图案LSP的凹进区域146。因此,可以通过相对于基板100的顶表面倾斜的倾斜表面146S限定凹进区域146。凹进区域146因倾斜表面146S而可以具有锥形的楔形状。在实施例中,限定凹进区域146的倾斜表面146S可以是硅的{111}晶面。此外,下半导体图案LSP的形成在凹进区域146处的水平截面可以具有四边形形状,其中,四边形形状的边平行于彼此交叉的<110>方向。

[0200] 根据本实施例,放大的下栅极区域147L的竖直高度T2可以增大,使得下半导体图案LSP的凹进区域146的横向深度可以增大。例如,图37中的下半导体图案LSP的最小宽度W4可以小于图18中的下半导体图案LSP的最小宽度W3。

[0201] 在形成具有凹进区域146的下半导体图案LSP之后,可以形成水平绝缘层151、下栅极图案155L和上栅极图案155U,如参照图14所述。形成水平绝缘层151的步骤可以包括在放大的下栅极区域147L和放大的上栅极区域147U中共形地沉积第一阻挡绝缘层BIL1和第二阻挡绝缘层BIL2,如图46中所示。第一阻挡绝缘层BIL1和第二阻挡绝缘层BIL2可以分别由彼此不同的材料形成。第一阻挡绝缘层BIL1和第二阻挡绝缘层BIL2中的一个可以由能量带隙小于隧道绝缘层TIL的能量带隙且大于电荷存储层CTL的能量带隙的材料形成。在实施例中,第一阻挡绝缘层BIL1可以包括诸如氧化铝层和氧化铅层的高k介电层中的至少一种,第

二阻挡绝缘层BIL2可以包括介电常数小于第一阻挡绝缘层BIL1的介电常数的材料。在另一实施例中,第二阻挡绝缘层BIL2可以包括至少一个高k介电层,第一阻挡绝缘层BIL1可以包括介电常数小于第二阻挡绝缘层BIL2的介电常数的材料。

[0202] 根据图18至图42中示出的实施例,下半导体图案(用作选择晶体管的沟道)的最小宽度可以小于上半导体图案(用作单元晶体管的沟道)的最小宽度。因此,可以减小或确保邻近于下半导体图案的下栅极图案之间的余量。

[0203] 可以蚀刻下半导体图案的侧壁的一部分,使得下半导体图案的宽度变得小于上半导体图案的宽度。此时,可以使用具有根据硅的晶面和晶向变化的蚀刻速率的蚀刻方法和蚀刻剂。因此,可以自动地控制用于减小下半导体图案的宽度的蚀刻工艺,而无需监视下半导体图案的宽度。例如,当蚀刻下半导体图案时,可以将硅的特定晶面用作蚀刻停止面。

[0204] 在下文中,将参照图22至图30和图43至图49来描述根据实施例的用于制造3D半导体存储装置的方法。

[0205] 图43至图46示出了根据实施例的用于制造3D半导体存储装置的方法中的阶段的局部剖视图。

[0206] 在本实施例中,可以使多层结构110图案化,以形成如图27中所示的暴露基板100的沟槽140,然后可以去除被沟槽140暴露的牺牲层111,以形成在绝缘层112之间的下栅极区域145L和上栅极区域145U,如图28和图43中所示。

[0207] 例如,可以利用相对于绝缘层112、竖直绝缘件121、下半导体层117和基板100具有蚀刻选择性的蚀刻方法或蚀刻剂来各向同性地蚀刻牺牲层111,从而形成下栅极区域145L和上栅极区域145U。此时,可以通过各向同性的蚀刻工艺完全去除牺牲层111。例如,如果牺牲层111是氮化硅层,绝缘层112是氧化硅层,则可以利用包括磷酸的蚀刻溶液执行各向同性的蚀刻工艺。

[0208] 下栅极区域145L可以分别在绝缘层112之间从沟槽140水平地延伸,并可以分别暴露下半导体图案117的侧壁的一部分。上栅极区域145U可以分别在绝缘层112之间从沟槽140水平地延伸,并可以分别暴露竖直绝缘件121的侧壁的一部分。例如,每个下栅极区域145L可以被竖直相邻的绝缘层112和下半导体层117的侧壁限定。每个上栅极区域145U可以被竖直相邻的绝缘层112和竖直绝缘件121的侧壁限定。此外,根据图43中示出的实施例,在用于形成上栅极区域145U的各向同性蚀刻工艺期间可以将覆盖层CPL用作蚀刻停止层。因此,覆盖层CPL可以有助于防止电荷存储层CTL被在各向同性蚀刻工艺中使用的蚀刻溶液损害。例如,上栅极区域145U可以暴露竖直绝缘件121的覆盖层CPL。

[0209] 在实施例中,下栅极区域145L和上栅极区域145U中的每个的竖直高度可以小于下半导体层117的最大宽度,如图43中所示。下栅极区域145L的竖直高度和上栅极区域145U的竖直高度可以分别基本等于牺牲层111的厚度。下栅极区域145L的竖直高度和上栅极区域145U的竖直高度可以基本彼此相等。在另一实施例中,下栅极区域145L的竖直高度可以大于上栅极区域145U的竖直高度。

[0210] 参照图29和图44,可以使下半导体层117的被下栅极区域145S暴露的侧壁凹进,以形成具有凹进区域146的下半导体图案LSP。

[0211] 在实施例中,在下半导体层117处形成凹进区域146的步骤可以包括选择性地蚀刻下半导体层117的被下栅极区域145L暴露的侧壁。这里,用于形成凹进区域146的蚀刻工艺

可以利用蚀刻速率根据半导体材料的晶向变化的蚀刻方法或蚀刻剂。因此,凹进区域146可以被相对于基板100的顶表面倾斜的倾斜表面146S限定。凹进区域146因倾斜表面146S可以具有锥形的楔形状。在实施例,限定凹进区域146的倾斜表面146S可以是硅的{111}晶面。此外,下半导体图案LSP的形成在凹进区域146处的水平截面可以具有四边形形状,其中,四边形形状的边平行于彼此交叉的<110>方向,如图20中所示。

[0212] 例如,可以通过利用包括包含卤素的反应气体的气相蚀刻工艺或化学干蚀刻工艺形成凹进区域146。包含卤素的反应气体可以包括HCl、Cl₂、NF₃、ClF₃和F₂中的至少一种。可选择地,可以通过利用诸如有机碱蚀刻剂(氢氧化四甲基铵(TMAH))或氢氧化铵(NH₄OH)的蚀刻溶液的湿各向异性蚀刻工艺形成凹进区域146。

[0213] 当选择性地蚀刻由硅形成的下半导体层117时,下半导体层117的蚀刻速率可以根据硅的晶面和晶向而变化。在实施例,当利用包含卤素的反应气体蚀刻下半导体层117的被暴露的侧壁时,沿<111>方向的蚀刻速率可以大于沿<110>方向的蚀刻速率。在这种情况下,蚀刻工艺可以在{111}晶面停止。因此,可以暴露下半导体图案LSP的{111}晶面。例如,凹进区域146可以被{111}晶面限定并且可以由于具有{111}晶面的两个倾斜表面146S而具有锥形的楔形状。

[0214] 在另一实施例中,当利用氢氧化铵(NH₄OH)各向同性蚀刻由硅形成的下半导体层117时,下半导体层117的蚀刻速率可以在{111}晶面最小,下半导体层117的蚀刻速率可以在{100}晶面最大。因此,凹进区域146的内表面在蚀刻速率最小处可以具有{111}晶面。此外,凹进区域146可以由于{111}晶面的两个内表面而具有锥形的楔形状。

[0215] 凹进区域146的内表面可能因蚀刻工艺而具有缺陷。因此,在形成凹进区域146之后,可以执行利用O₃和HF的清洁工艺,以去除凹进区域146的内表面的缺陷。

[0216] 如上所述,下半导体图案LSP可以形成为具有凹进区域146。因此,下半导体图案LSP的最小宽度可以小于上半导体图案USP的上宽度和下宽度。在实施例,凹进区域146的沿着与基板100的顶表面平行的方向的深度(即,横向深度)可以根据下栅极区域145L的垂直高度和下半导体图案LSP的最大宽度来确定。例如,凹进区域146的深度可以对应于下栅极区域145L的高度的大约一半。在实施方式中,下半导体图案LSP的最小宽度可以对应于或等于下半导体图案LSP的最大宽度与下栅极区域145L的高度之差。

[0217] 参照图45,在形成具有凹进区域146的下半导体图案LSP之后,可以增大下栅极区域145L和上栅极区域145U的垂直高度。例如,可以各向同性地蚀刻被下栅极区域145L和上栅极区域145U暴露的绝缘层112,以形成放大的下栅极区域147L和放大的上栅极区域147U。此外,如果垂直绝缘件121包括覆盖层CPL、电荷存储层CTL和隧道绝缘层TIL,则在形成放大的下栅极区域147L和放大的上栅极区域147U的工艺中可以蚀刻部分覆盖层CPL以暴露部分电荷存储层CTL。因此,当形成放大的上栅极区域147U时,可以在电荷存储层CTL和绝缘层112之间形成覆盖层图案CP。

[0218] 例如,放大的下栅极区域147L和放大的上栅极区域147U中的每个的垂直高度T2可以大于图44中的下栅极区域145L和上栅极区域145U中的每个的垂直高度T1。这里,栅极区域145L和145U中的每个栅极区域的垂直高度T1与放大的栅极区域147L和147U中的每个的垂直高度T2之差可以为覆盖层CPL的厚度的两倍。此外,放大的下栅极区域147L也可以暴露下半导体图案LSP的与基板100的顶表面基本垂直的侧壁的一部分。

[0219] 在另一实施例中,如果在形成放大的下栅极区域145L和放大的上栅极区域145U之后形成下半导体图案LSP的凹进区域146,则下半导体图案LSP的最小宽度W3可以根据放大的下栅极区域147L的竖直高度T2来确定,使得下半导体图案LSP的最小宽度W3可以小于图19中示出的下半导体图案LSP的最小宽度W3。然而,在本实施例中,可以在形成下半导体图案LSP的凹进区域146之后形成放大的下栅极区域147L和放大的上栅极区域147U。结果,可以确保下半导体图案LSP的最小宽度W3,并且放大的栅极区域147L和147U的竖直高度可以增加。例如,可以独立于放大的下栅极区域147L和放大的上栅极区域147U的竖直高度T2来控制下半导体图案LSP的最小宽度W3。在实施方式中,可以确保下半导体图案LSP的最小宽度W3,并且图1中的选择晶体管GST、SST和单元晶体管MCT的沟道长度可以增加。

[0220] 参照图30和图46,可以形成水平绝缘层151,以覆盖放大的下栅极区域147L和放大的上栅极区域147U的内表面,并可以形成下栅极图案155L和上栅极图案155U,以分别填充放大的下栅极区域147L和放大的上栅极区域147U的剩余空间。

[0221] 例如,可以顺序地形成水平绝缘层151和导电层以覆盖放大的下栅极区域147L和放大的上栅极区域147U的内表面。然后,可以去除在放大的下栅极区域147L和放大的上栅极区域147U外侧的导电层,以分别在放大的下栅极区域147L和放大的上栅极区域147U中共形地形成下栅极图案155L和上栅极图案155U。

[0222] 水平绝缘层151可以在放大的栅极区域147U中直接接触竖直绝缘件121,并可以在放大的下栅极区域147U中直接接触下半导体图案LSP。水平绝缘层151可以在放大的下栅极区域147中共形地覆盖凹进区域146的内表面。

[0223] 与竖直绝缘层类似,水平绝缘层151可以包括单个薄层或多个薄层。在实施例中,水平绝缘层151可以包括顺序地堆叠的第一阻挡绝缘层BIL1和第二阻挡绝缘层BIL2。第一阻挡绝缘层BIL1和第二阻挡绝缘层BIL2中的一个可以由能量带隙小于隧道绝缘层TIL的能量带隙且大于电荷存储层CTL的能量带隙的材料形成。在实施例中,第一阻挡绝缘层BIL1可以包括诸如氧化铝层和氧化铅层的高k介电层中的至少一种,第二阻挡绝缘层BIL2可以包括介电常数小于第一阻挡绝缘层BIL1的介电常数的材料。在另一实施例中,第二阻挡绝缘层BIL2可以包括至少一种高k介电层,第一阻挡绝缘层BIL1可以包括介电常数小于第二阻挡绝缘层BIL2的介电常数的材料。

[0224] 在实施例中,导电层可以填充放大的下栅极区域147L和放大的上栅极区域147U,并可以共形地覆盖沟槽140的内表面。在这种情况下,可以各向同性地蚀刻沟槽140中的导电层,以形成下栅极图案155L和上栅极图案155U。在另一实施例中,导电层还可以填充沟槽140。在这种情况下,可以各向同性地蚀刻沟槽140中的导电层,以形成下栅极图案155L和上栅极图案155U。根据实施例,上栅极图案155U可以分别形成在上栅极区域145U中,下栅极图案155L可以分别形成在下栅极区域145L中。这里,下栅极图案155L可以填充下半导体图案LSP的凹进区域146。因此,下栅极图案155L可以具有分别朝着下半导体图案LSP呈锥形的侧壁。例如,下栅极图案155L可以具有分别平行于倾斜表面146S的侧壁。因此,下栅极图案155L的水平宽度可以大于上栅极图案155U的水平宽度。在实施例中,形成导电层的步骤可以包括顺序地沉积屏障金属层和金属层。例如,屏障金属层可以包括诸如氮化钛层、氮化钽层或氮化钨层的金属氮化物层。在实施方式中,金属层可以包括诸如钨、铝、钛、钼、钴或铜的金属。

[0225] 接下来,如参照图30所描述的,可以在基板100中形成掺杂剂区域107。然后,如图18中所示,可以在掺杂剂区域107上形成电极隔离层160,以填充沟槽140。

[0226] 图47至图49示出了根据实施例的用于制造3D半导体存储装置的方法中的阶段的局部剖视图。

[0227] 在本实施例中,如图47中所示出的,竖直绝缘件121可以包括覆盖层CPL、阻挡绝缘层BIL、电荷存储层CTL和隧道绝缘层TIL。因此,当形成图43的下栅极区域145L和上栅极区域145U时,上栅极区域145U可以分别暴露部分覆盖层CPL。

[0228] 参照图48,可以各向同性地蚀刻被下栅极区域145L和上栅极区域145U暴露的绝缘层,以形成放大的下栅极区域147L和放大的上栅极区域147U。在本实施例中,在形成放大的下栅极区域147L和放大的上栅极区域147U时,可以蚀刻部分覆盖层CPL和部分阻挡绝缘层BIL,以暴露部分电荷存储层CTL。因此,覆盖层图案CP和阻挡绝缘层图案BIP可以形成在电荷存储层CTL和每个绝缘层112之间。在连续地蚀刻覆盖层CPL和阻挡绝缘层BIL时,可以减小绝缘层112的竖直厚度。图48中示出的放大的下栅极区域147L和放大的上栅极区域147U中的每个栅极区域的竖直高度T3可以大于图45中示出的放大的下栅极区域147L和放大的上栅极区域147U中的每个栅极区域的竖直高度T2。

[0229] 接下来,如图49中所示,可以在放大的下栅极区域147L中形成竖直绝缘层151和下栅极图案155L,并可以在放大的上栅极区域147U中形成竖直绝缘层151和上栅极图案155U。根据本实施例,竖直绝缘层151可以与电荷存储层CTL接触,覆盖层图案CP可以通过上栅极图案155U彼此分离。此外,阻挡绝缘层图案BIP可以通过上栅极图案155U彼此分离。

[0230] 根据图43至图49的实施例,可以蚀刻下半导体图案的侧壁的一部分,使得下半导体图案的宽度变得小于上半导体图案的宽度。此时,可以使用具有根据硅的晶面和晶向变化的蚀刻速率的蚀刻方法或蚀刻剂。因此,可以自动地控制用于减少下半导体图案的宽度的蚀刻工艺,而无需监视下半导体图案的宽度。例如,在蚀刻下半导体图案时,可以将硅的特定晶面用作蚀刻停止面。

[0231] 此外,根据实施例,可以独立于下栅极图案和上栅极图案的沟道长度来控制下半导体图案的最小宽度。

[0232] 可以利用各种封装技术包封前述实施例中的3D半导体存储装置。例如,可以利用下述封装技术中的任何一种来包封根据前述实施例的3D半导体存储装置:层叠封装(POP)技术、球栅阵列(BGA)技术、芯片级封装(CSP)技术、塑料引线芯片载体(PLCC)技术、塑料双列直插式封装(PDIP)技术、华夫裸片封装(die in wafer pack)技术、晶片形式的裸片(die in wafer form)技术、板上芯片(COB)技术、陶瓷双列直插式封装(CERDIP)技术、塑料公制四方扁平封装(PMQFP)技术、塑料四方扁平封装(PQFP)技术、小外形封装(SOIC)技术、收缩型小外形封装(SSOP)技术、薄型小外形封装(TSOP)技术、薄型四方扁平封装(TQFP)技术、系统级封装(SIP)技术、多芯片封装(MCP)技术、晶片级制造封装(WFP)技术和晶片级处理堆叠封装(WSP)技术。

[0233] 可以在其中安装根据实施例的3D半导体存储装置的封装件还可以包括控制3D半导体存储装置的至少一种半导体装置(例如,控制器和/或逻辑装置)。

[0234] 图50示出了包括根据实施例的3D半导体存储装置的电子系统的示例的示意性框图。

[0235] 参照图50,根据实施例的电子系统1100可以包括控制器1110、输入/输出(I/O)单元1120、存储装置1130、接口单元1140和数据总线1150。控制器1110、I/O单元1120、存储装置1130和接口单元1140中的至少两个可以通过数据总线1150彼此通信。数据总线1150可以对应于通过其传输电信号的路径。

[0236] 控制器1110可以包括微处理器、数字信号处理器、微控制器或其他逻辑装置中的至少一个。其他逻辑装置可以具有与微处理器、数字信号处理器和微控制器中的任何一种相似的功能。I/O单元1120可以包括按键、键盘和/或显示单元。存储装置1130可以存储数据和/或命令。存储装置1130可以包括根据上面描述的实施例的3D半导体存储装置中的至少一种。存储装置1130还可以包括与上面描述的3D半导体存储装置不同的另一类型的半导体存储装置(例如,非易失性存储装置和/或静态随机存取存储(SRAM)装置)。接口单元1140可以将电数据传输到互连网,或者可以接收来自互连网的电数据。接口单元1140可以通过无线或电缆来操作。例如,接口单元1140可以包括用于无线通信的天线或用于电缆通信的收发器。尽管附图中未示出,但是电子系统1100还可以包括用作用于改善控制器1110的操作的高速缓冲存储器的快速DRAM装置和/或快速SRAM装置。

[0237] 电子系统1100可以应用于个人数字助理(PDA)、便携式计算机、网络本、无线电话、移动电话、数字音乐播放器、存储卡或其他电子产品。其他电子产品可以通过无线接收或传递信息数据。

[0238] 图51示出了包括根据实施例的3D半导体存储装置的存储卡的示例的示意性框图。

[0239] 参照图51,根据实施例的存储卡1200可以包括存储装置1210。存储装置1210可以包括根据上面提及的实施例的3D半导体存储装置中的至少一种。在其他实施例中,存储装置1210还可以包括与根据上面描述的实施例的3D半导体存储装置不同的另一类型的半导体存储装置(例如,非易失性存储装置和/或静态随机存取存储(SRAM)装置)。存储卡1200可以包括控制主机和存储装置1210之间的数据通信的存储控制器1220。

[0240] 存储控制器1220可以包括控制存储卡1200的全部操作的中央处理单元(CPU)1222。此外,存储控制器1220可以包括用作CPU 1222的操作存储器的SRAM装置1221。此外,存储控制器1220还可以包括主机接口单元1223和存储接口单元1225。主机接口单元1223可以被构造为包括存储卡1200和主机之间的数据通信协议。存储接口单元1225可以将存储控制器1220连接到存储装置1210。存储控制器1220还可以包括误差检查和校正(ECC)块1224。ECC块1224可以检测并校正从存储装置1210读出的数据的误差。虽然附图中未示出,但是存储卡1200还可以包括存储代码数据以与主机通过接口连接的只读存储器(ROM)装置。存储卡1200还可以用作便携式数据存储卡。可选择地,存储卡1200可以实现为作为计算机系统的硬盘使用的固态硬盘(SSD)。

[0241] 图52示出了包括根据实施例的3D半导体存储装置的信息处理系统的示例的示意性框图。

[0242] 参照图52,闪速存储系统1310可以安装在诸如移动装置或台式膝上型计算机的信息处理系统1300中。闪速存储系统1310可以包括根据前述实施例的3D半导体存储装置中的至少一种。根据实施例的信息处理系统1300可以包括通过系统总线1360电连接到闪速存储系统1310的调制解调器1320、中央处理单元(CPU) 1330、RAM 1340和用户接口单元1350。闪速存储系统1300可以被构造为与前述存储卡相同。闪速存储系统1310可以存储经CPU1330

处理的数据或从外部装置输入的数据。闪速存储系统1310可以包括固态硬盘(SSD)。在这种情况下,信息处理系统1300可以在闪速存储系统1310中稳定地存储大量的数据。随着闪速存储系统1310的可靠性得到改善,闪速存储系统1310可以减少用于校正误差的资源,从而向信息处理系统1300提供高速度数据交换功能。虽然附图中未描述,但是根据一些实施例的信息处理单元1300还可以包括应用芯片组、相机图像处理器(CIS)和/或输入/输出装置。

[0243] 根据实施例,基板和竖直结构(或上半导体图案)之间的外延图案(或下半导体图案)可以具有凹进侧壁(或凹进区域)。因此,邻近于外延图案的最下方的水平结构可以具有朝着凹进侧壁的凸部,外延图案的最小宽度小于竖直结构的宽度。结果,可以确保用于形成水平结构的工艺的工艺余量,以实现具有高可靠性的3D半导体存储装置。

[0244] 通过总结和回顾,可以使用三维(3D)半导体存储装置来提高集成密度。当与2D半导体存储装置相比较时,3D半导体存储装置的生产会是昂贵的,并且会关于提供可靠的产品特性而引起关注。

[0245] 实施例提供了集成密度高和可靠性得到改善的三维半导体存储装置。

[0246] 实施例还提供了用于制造能够改善集成密度和可靠性的三维半导体存储装置。

[0247] 这里已经公开了示例实施例,尽管采用了特定的术语,但是仅以普通的和描述性的含义而不是出于限制的目的来使用和解释这些术语。在某些情况下,如本领域普通技术人员将清楚的,自提交本申请之时起,除非另外具体地指出,否则结合具体实施例描述的特征、特性和/或元件可以单独地使用或者与结合其他实施例描述的特征、特性和/或元件组合使用。因此,本领域技术人员将理解的是,在不脱离如权利要求所阐述的精神和范围的情况下,可以进行形式和细节上的各种改变。

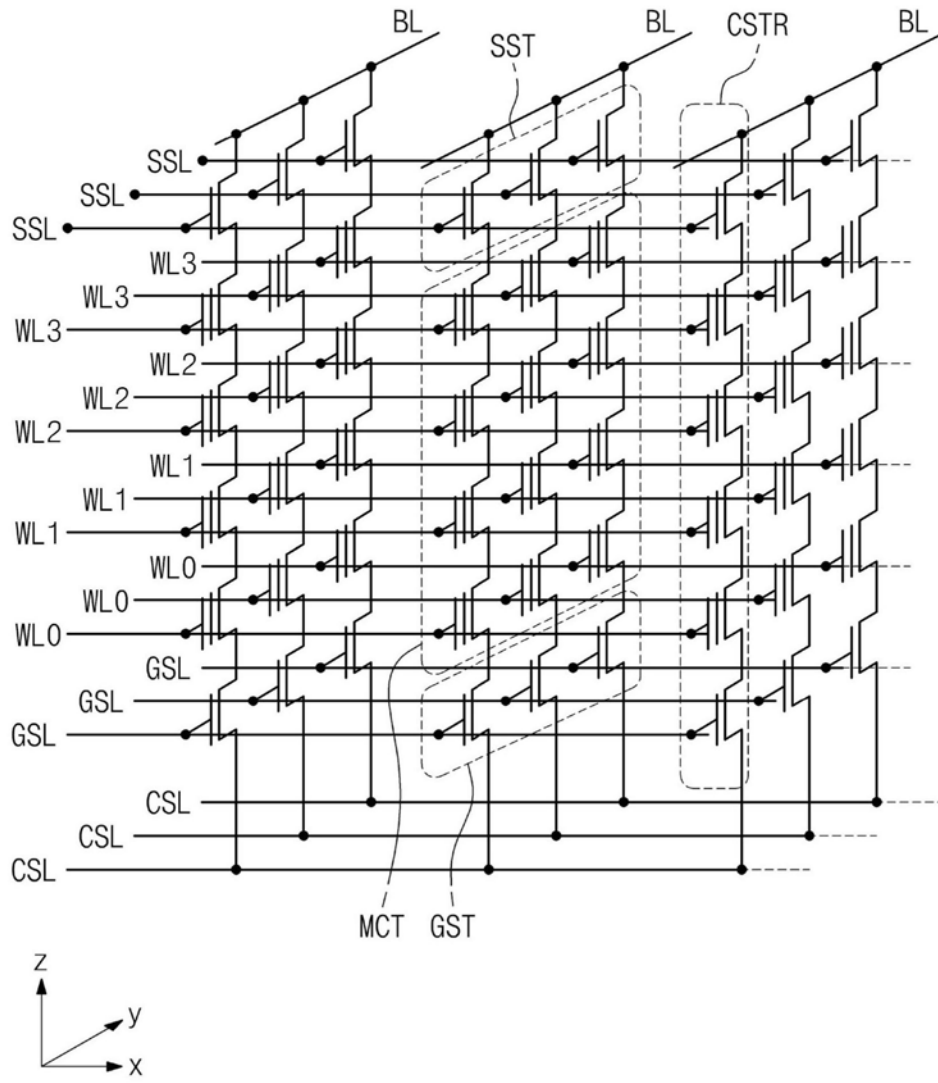


图1

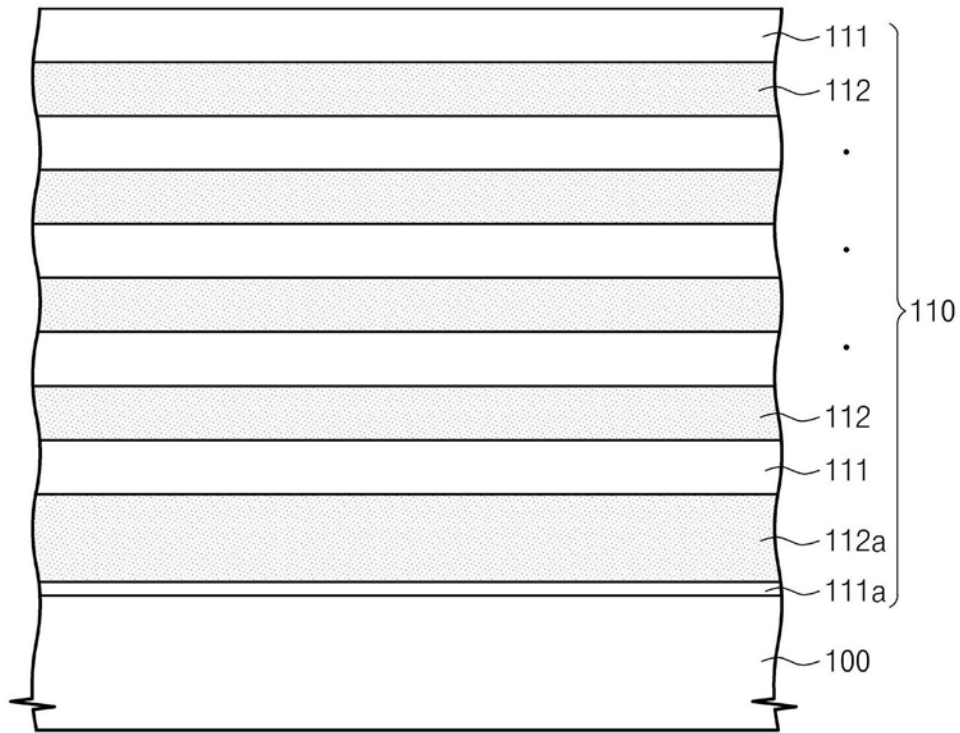


图3

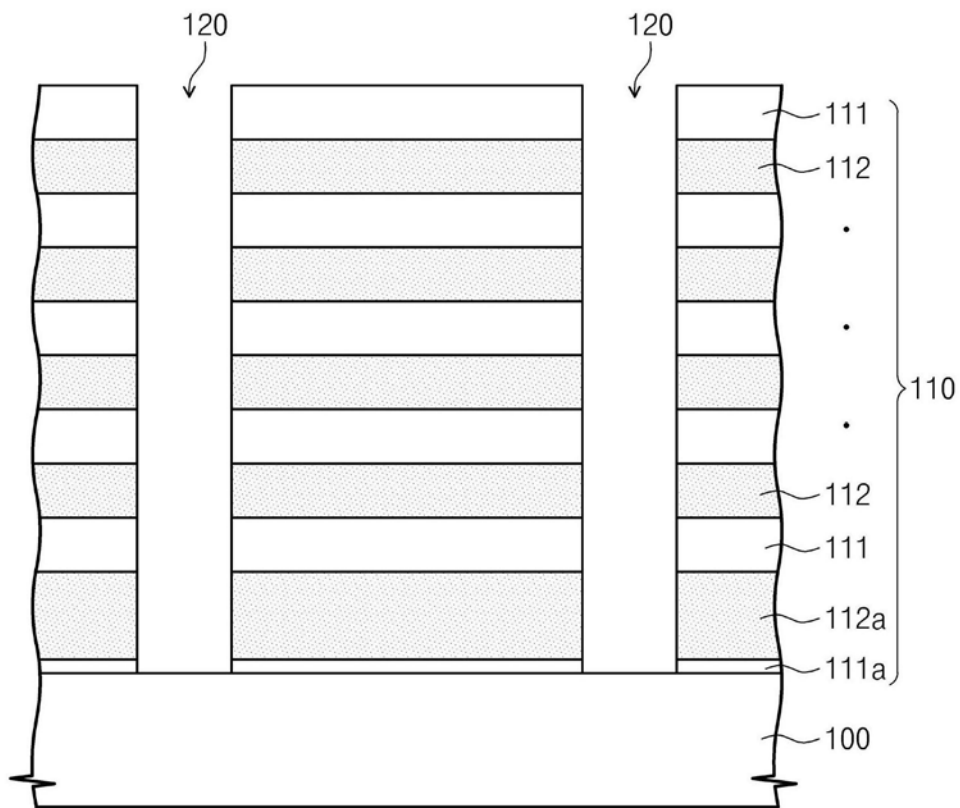


图4

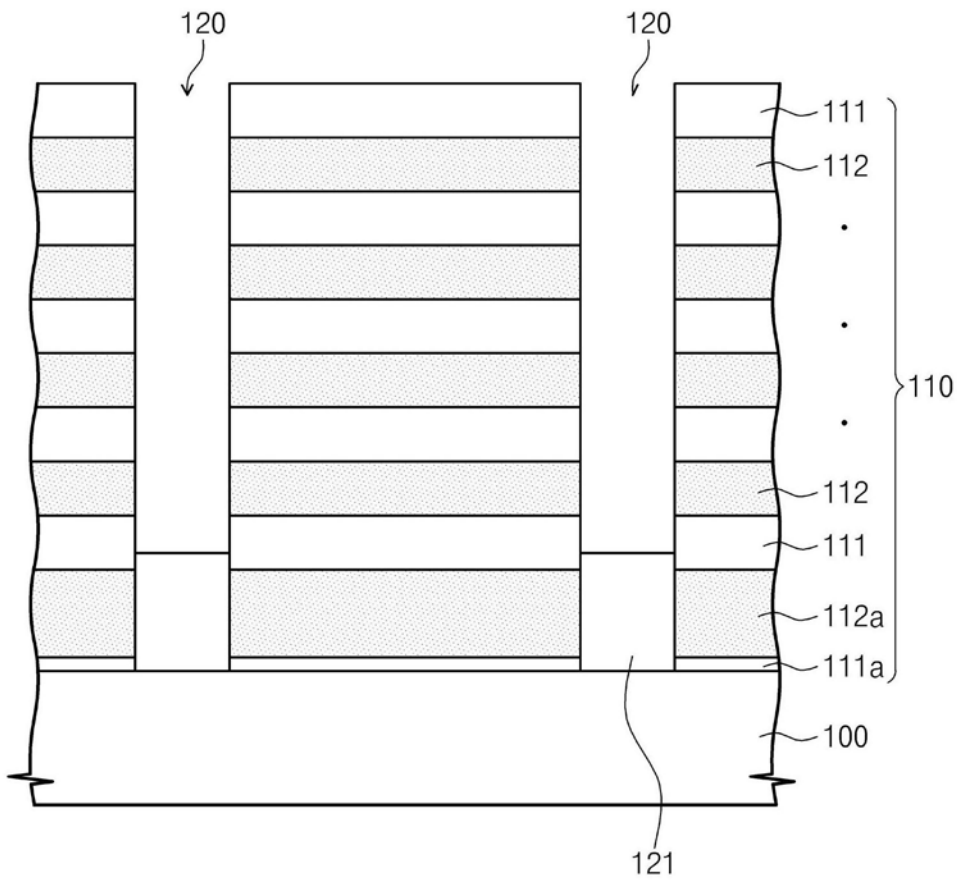


图5

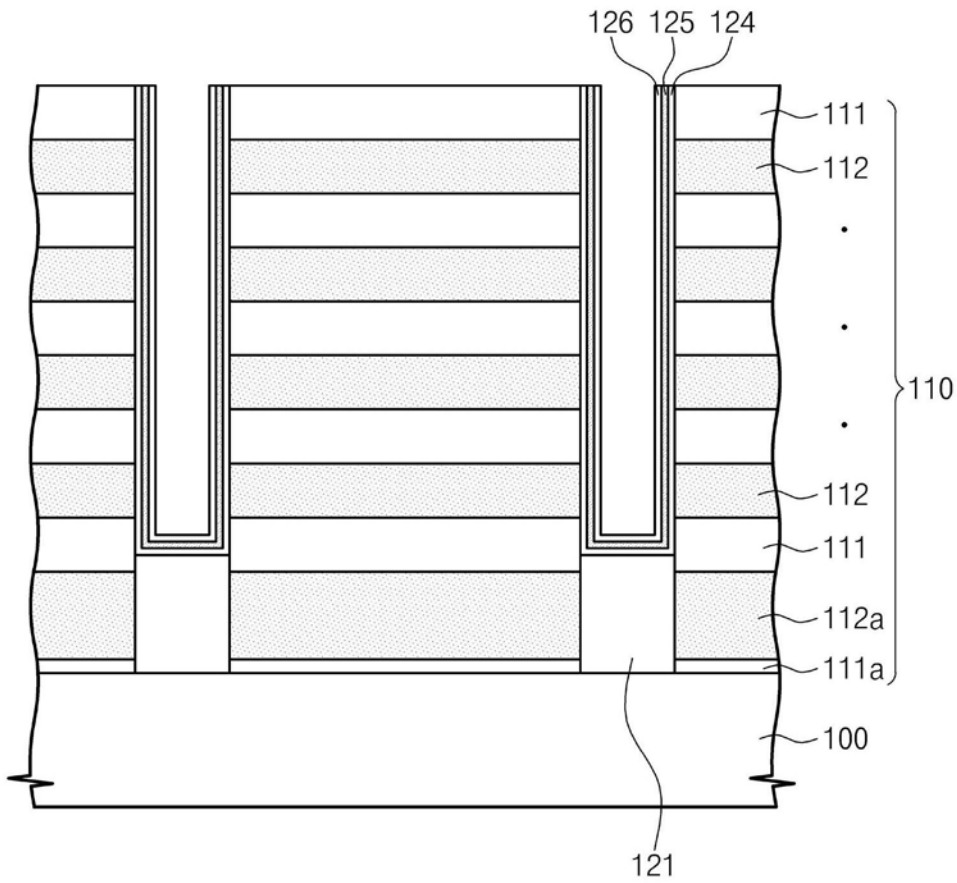


图6

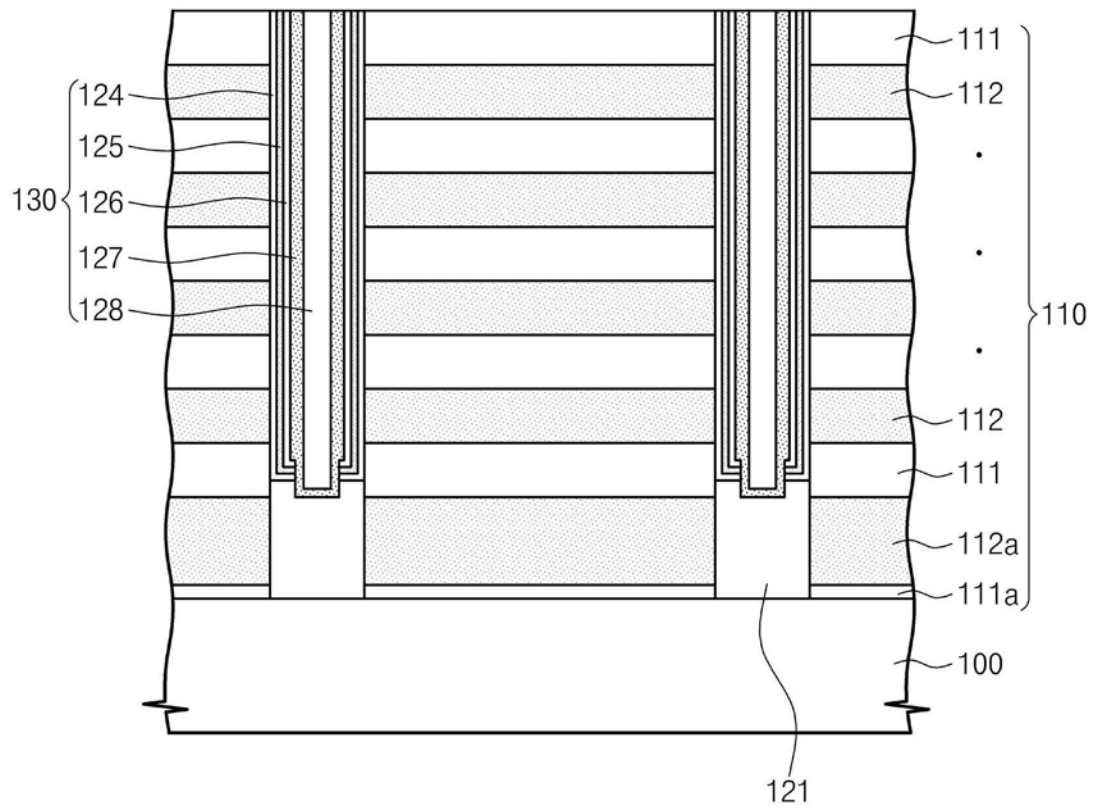


图7

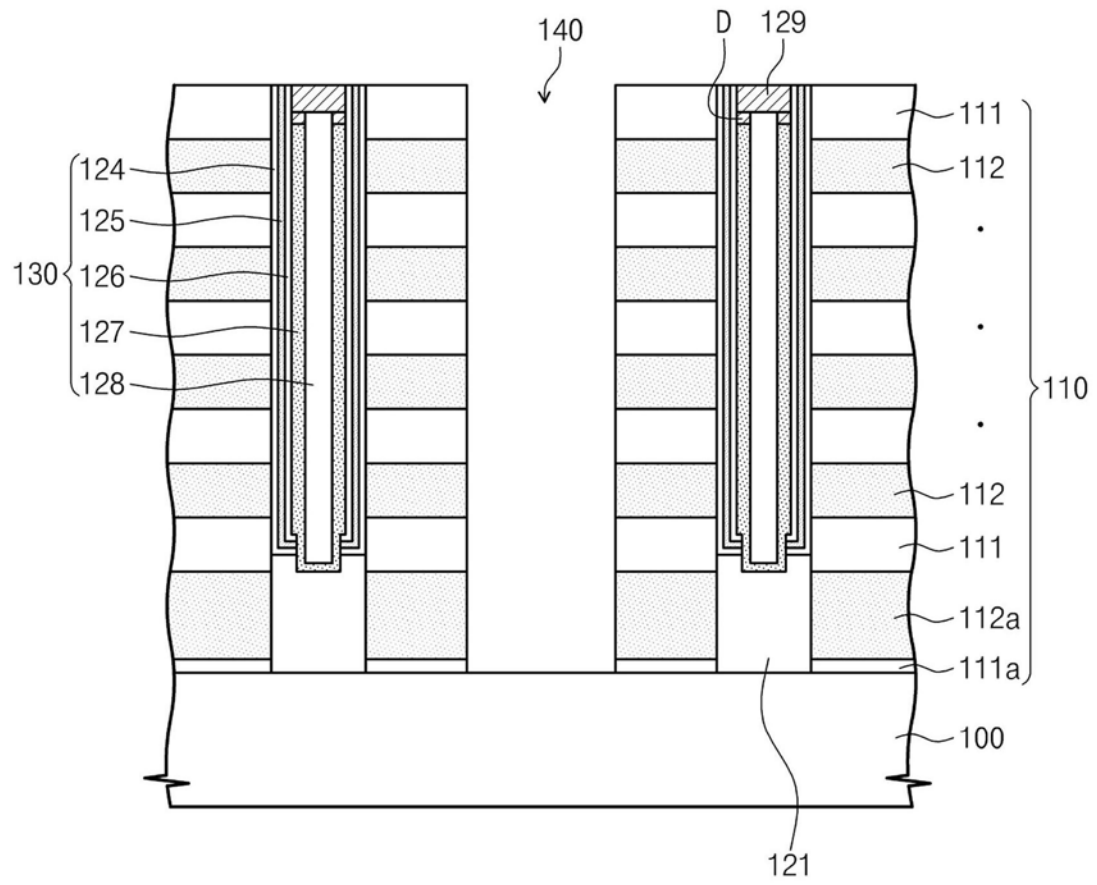


图8

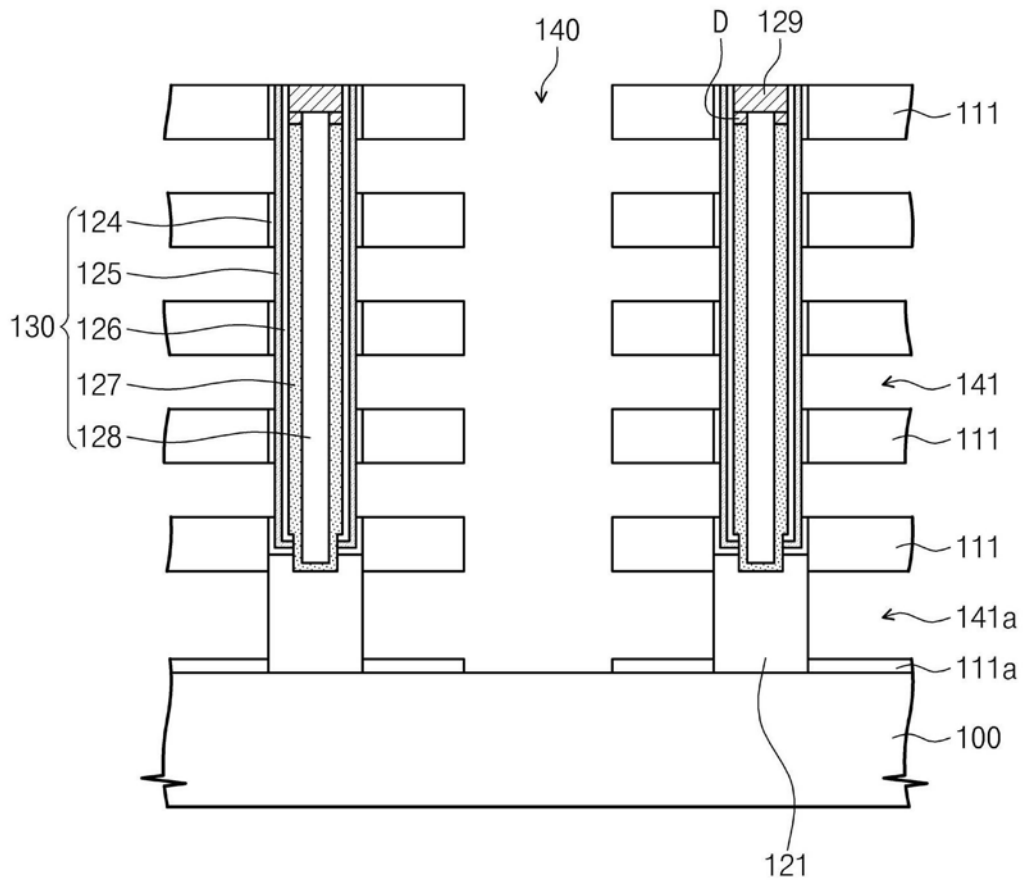


图9

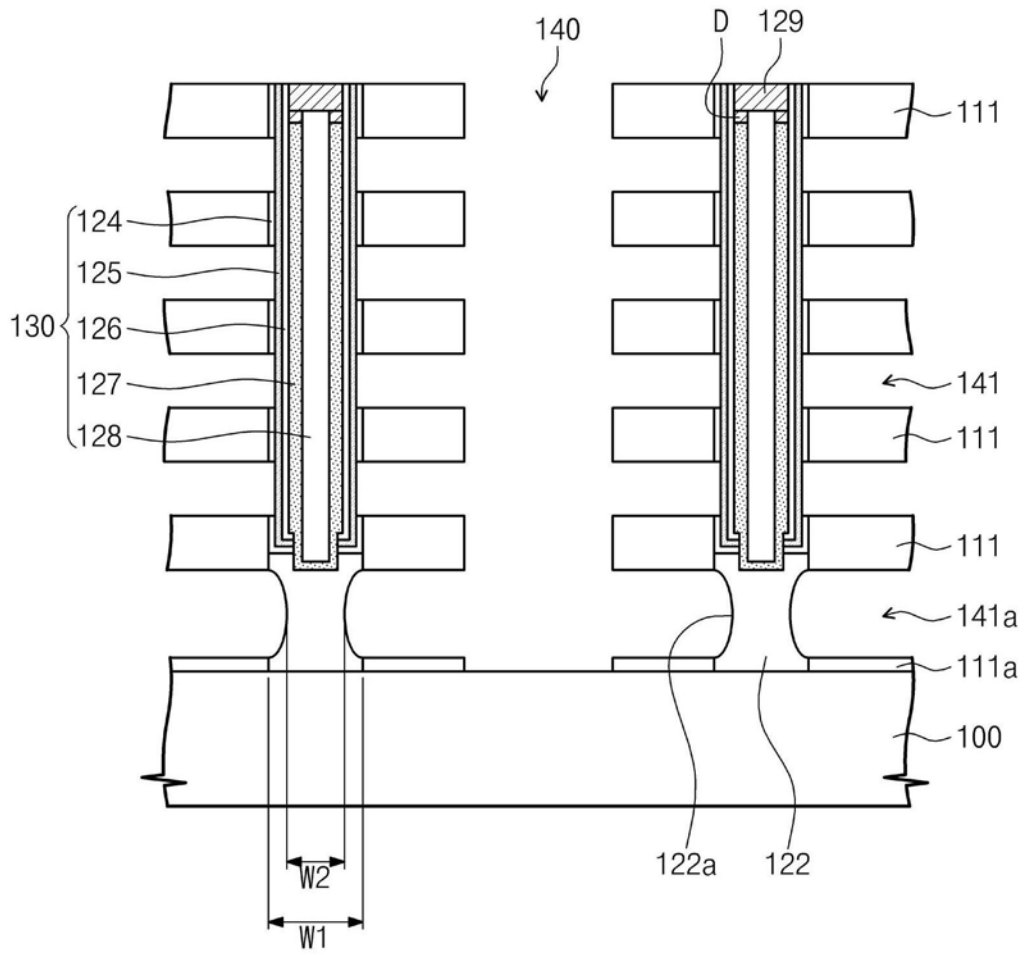


图10

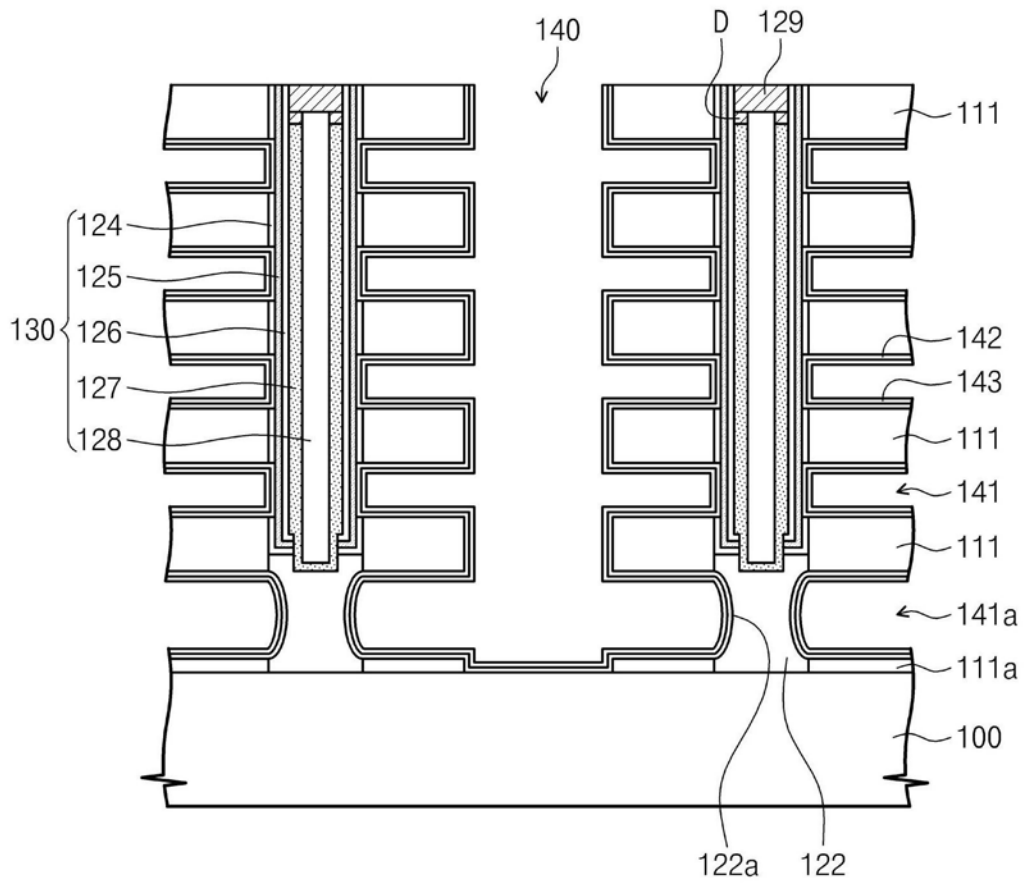


图11

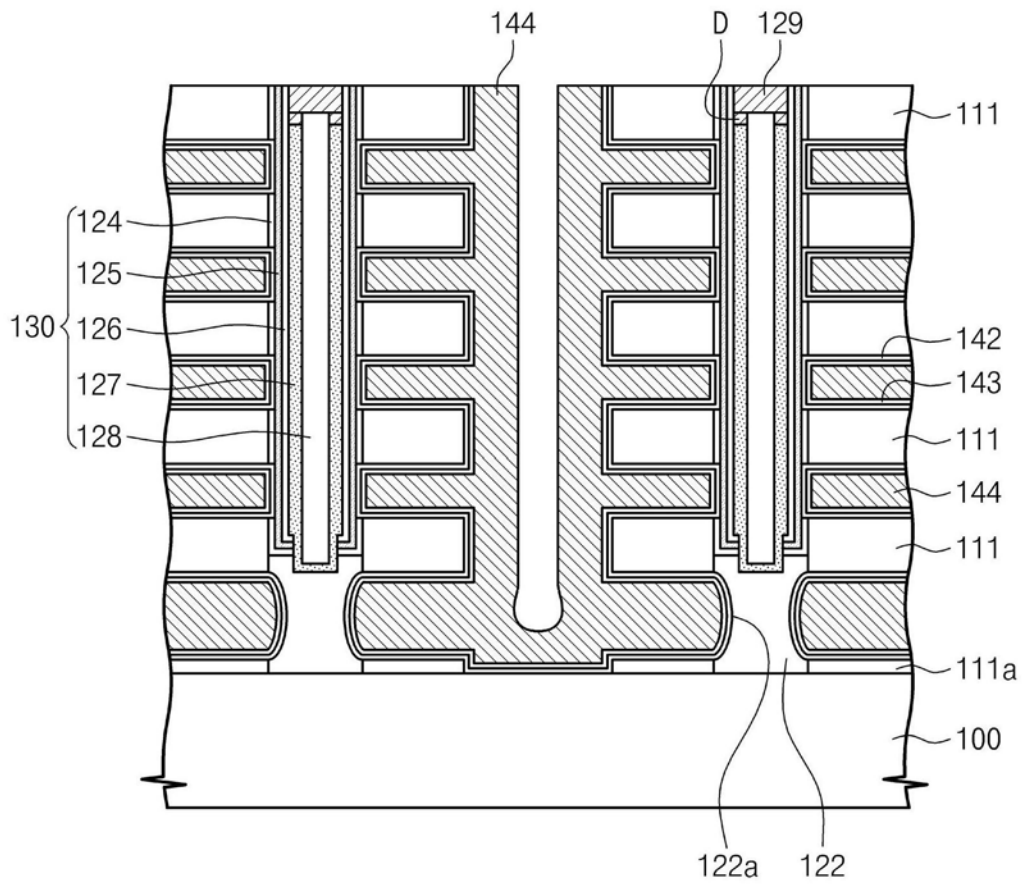


图12

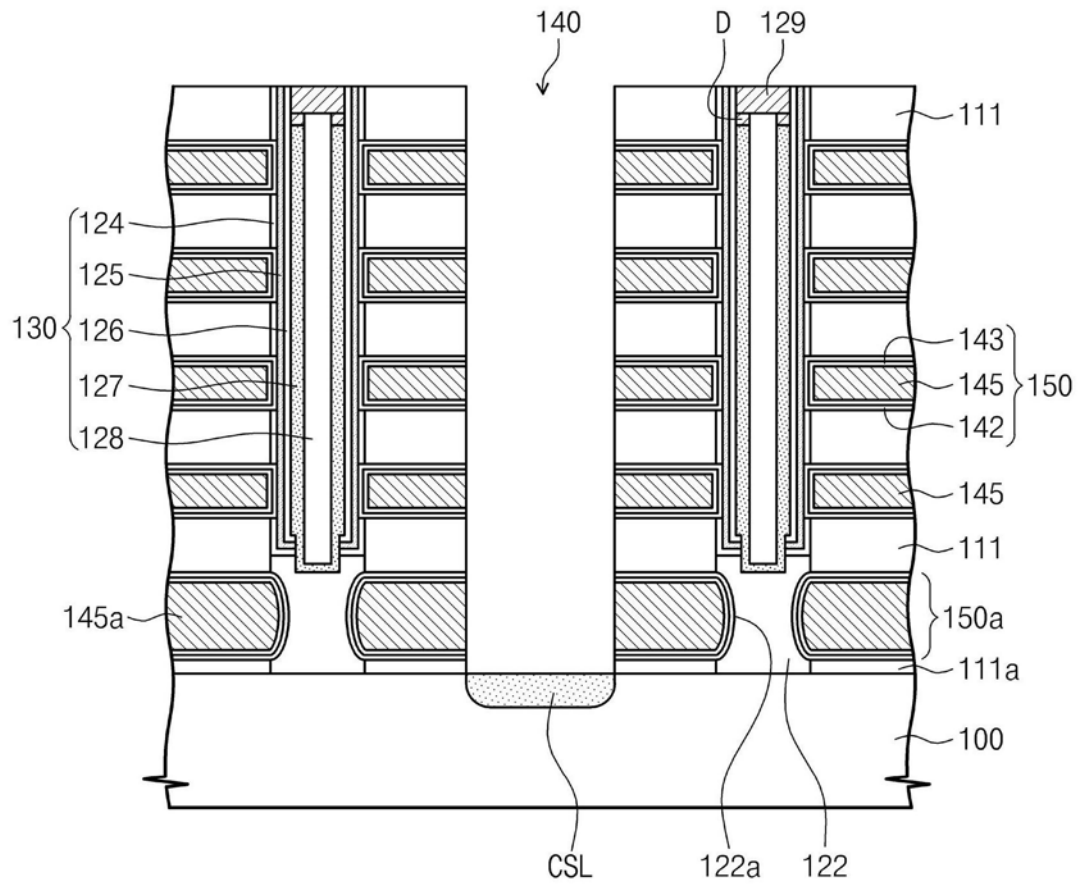


图13

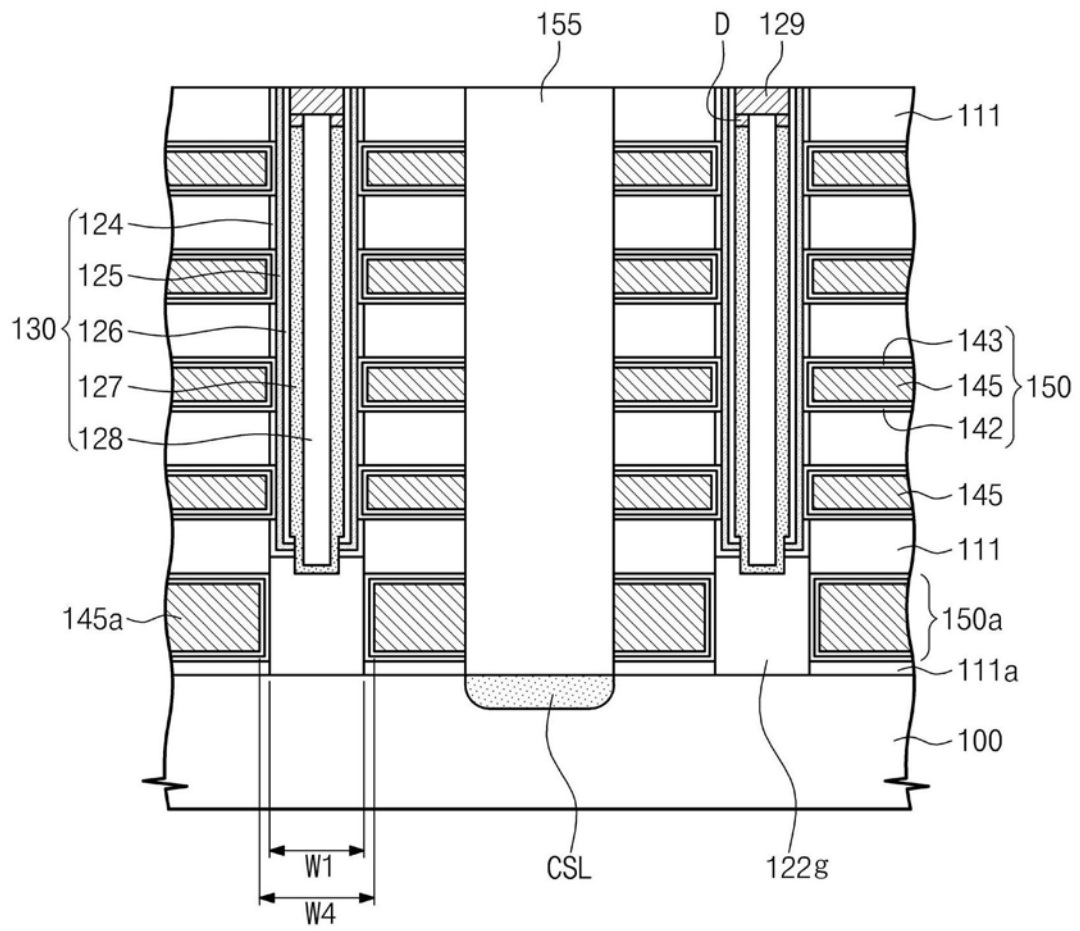


图15

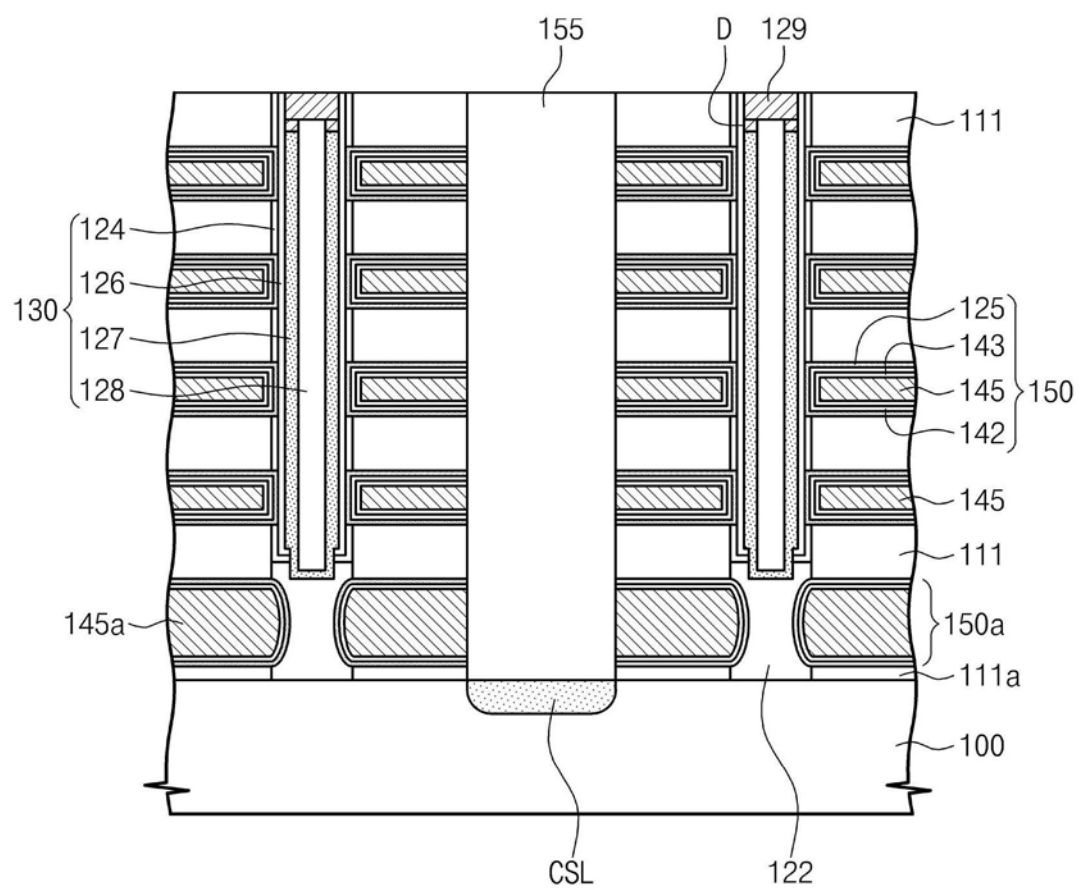


图16

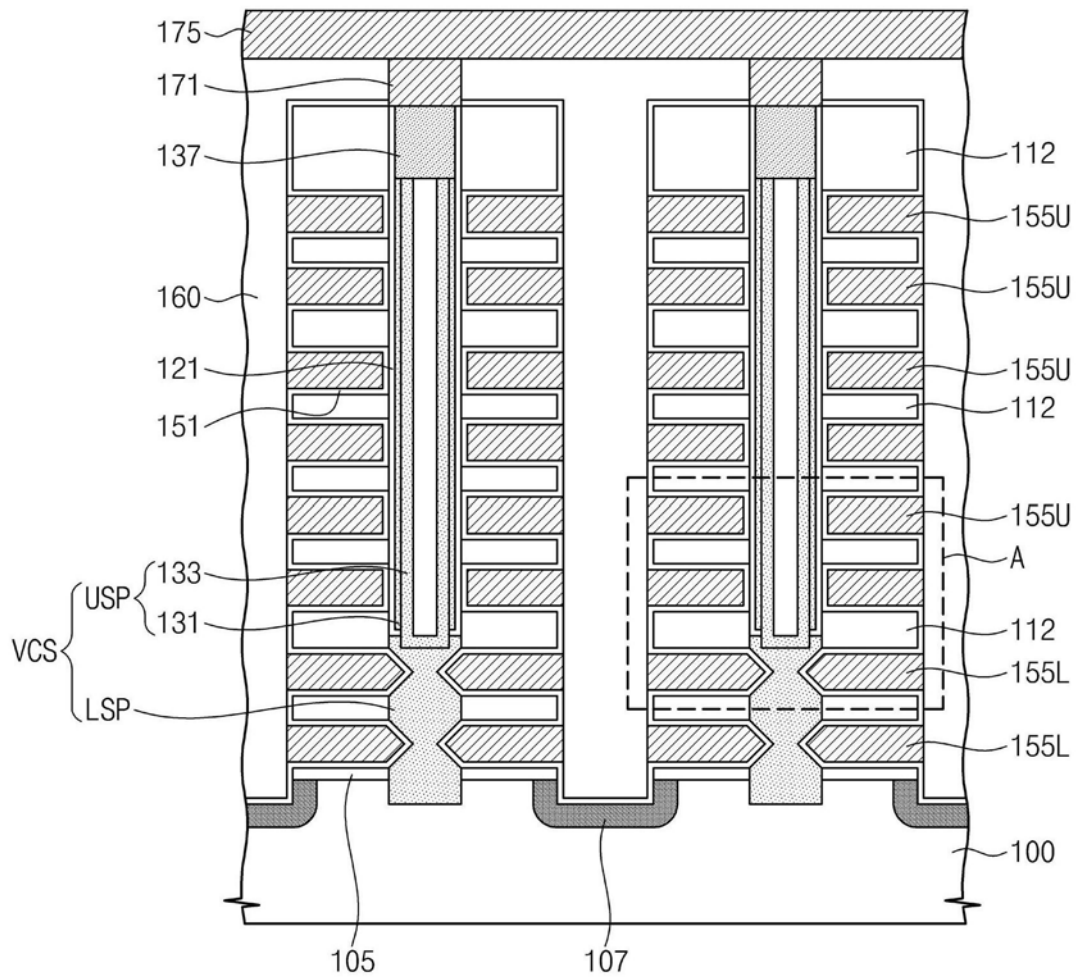


图18

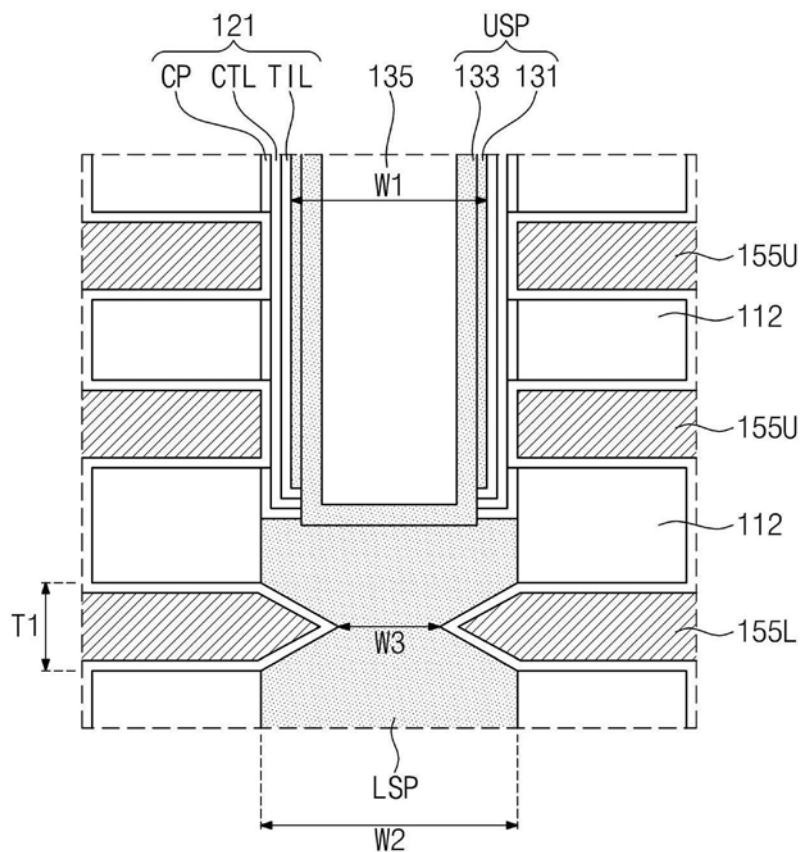


图19

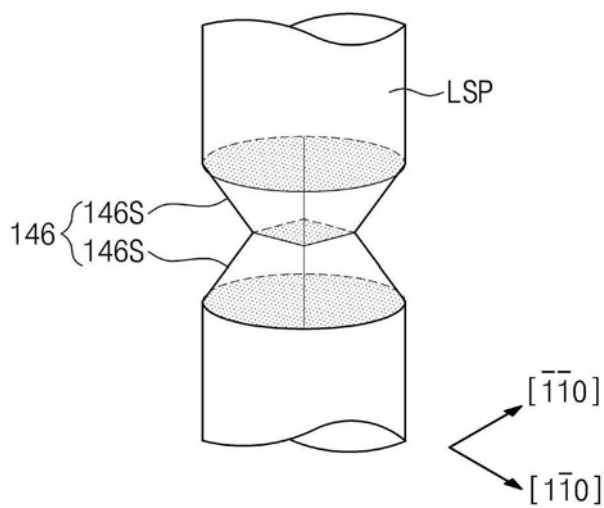


图20

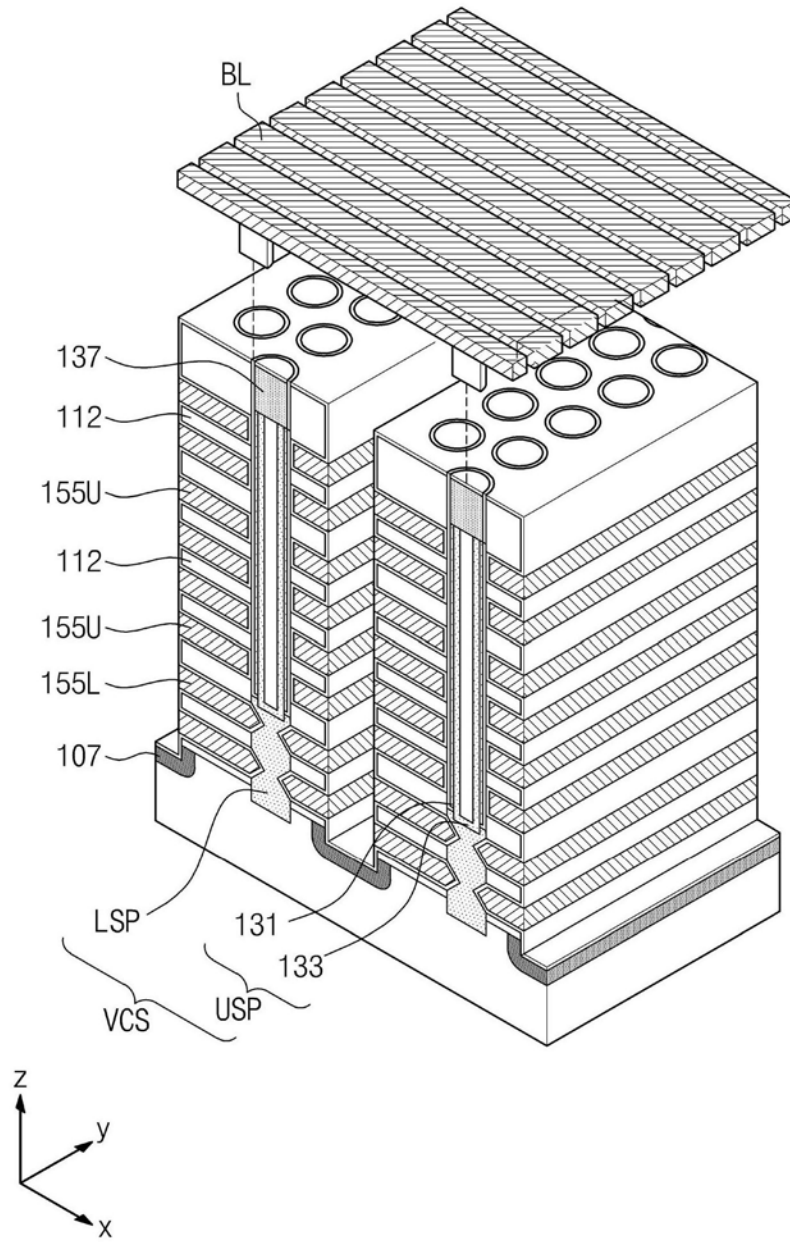


图21

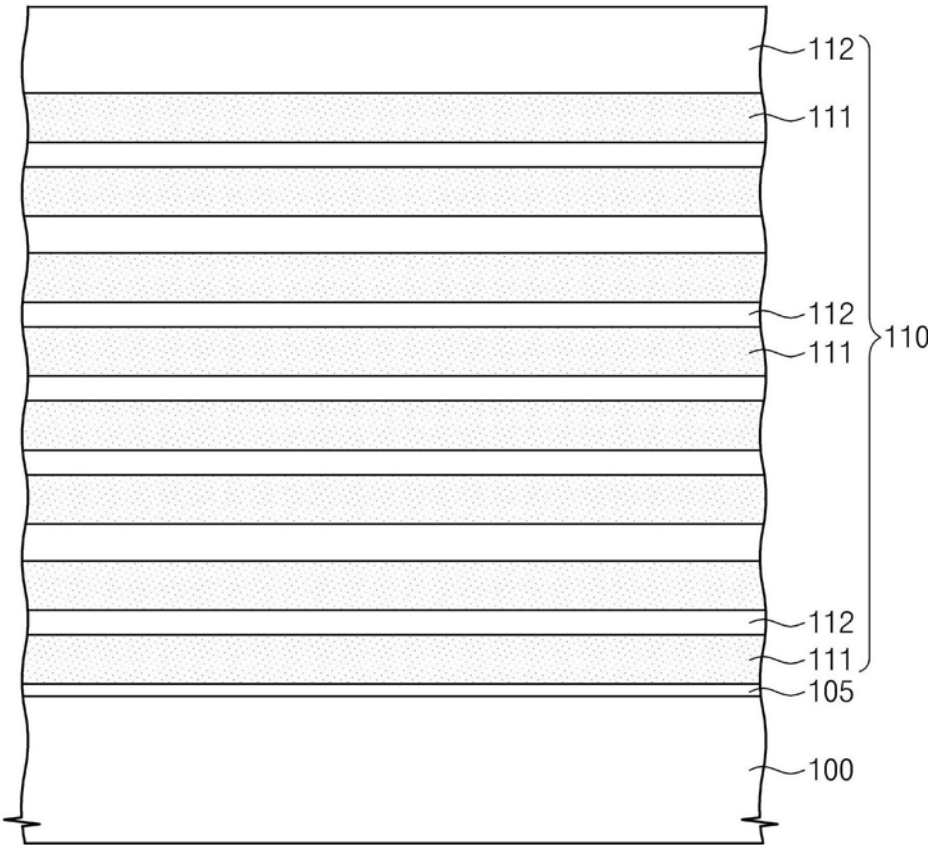


图22

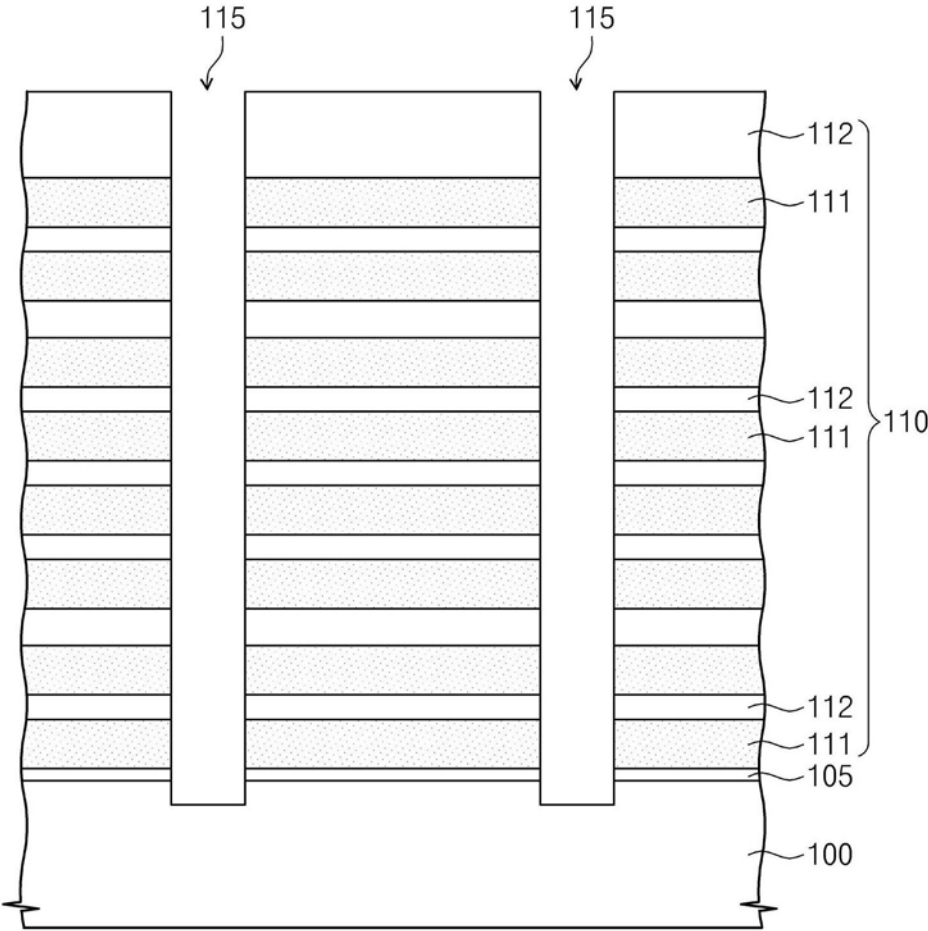


图23

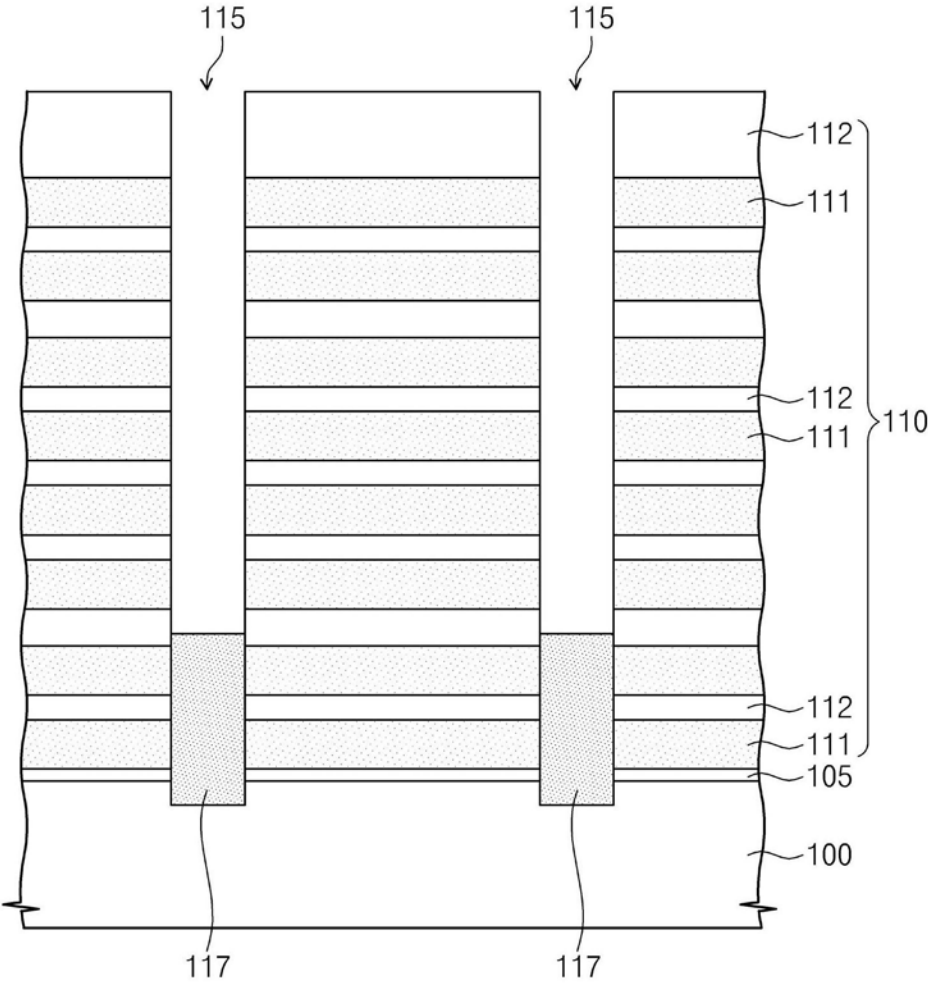


图24

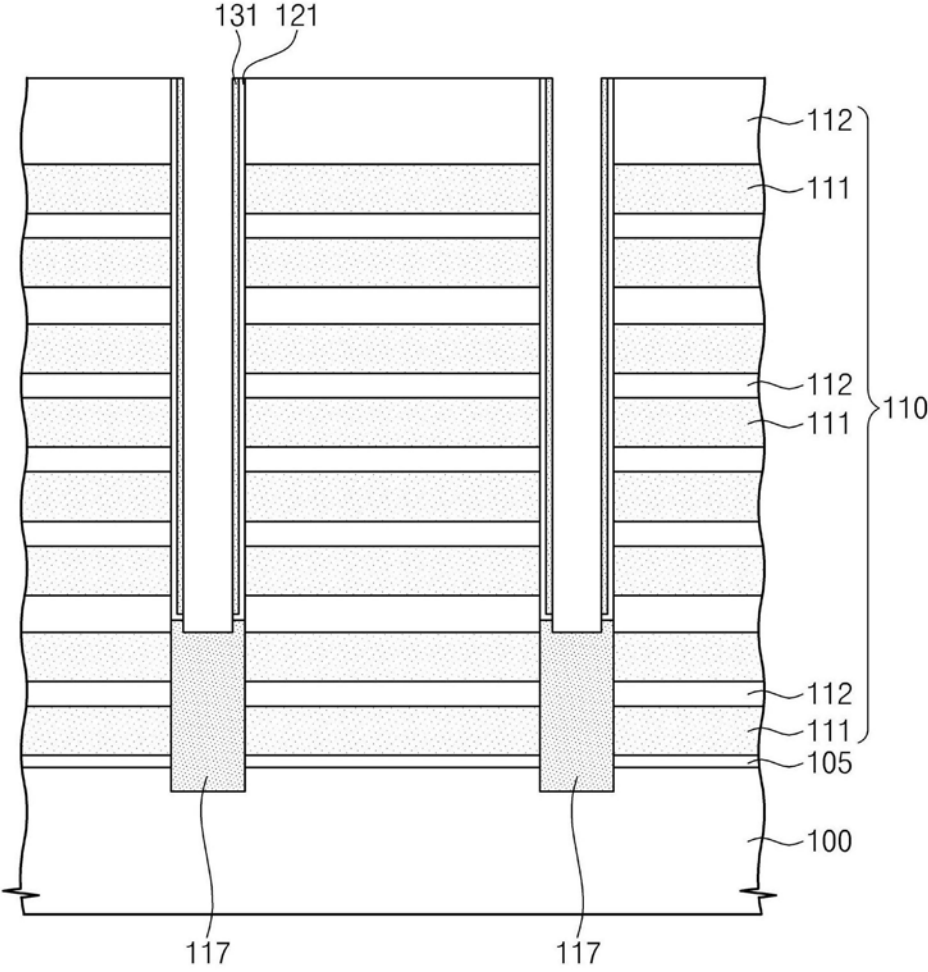


图25

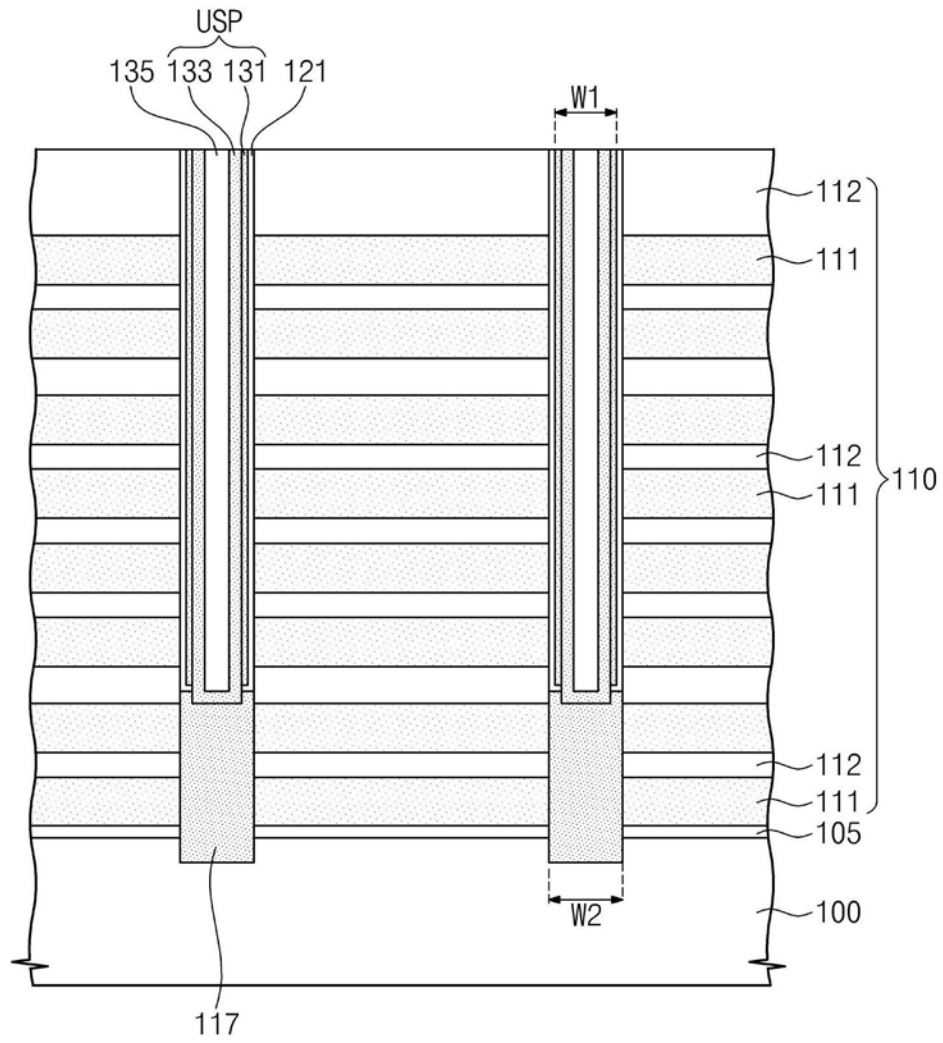


图26

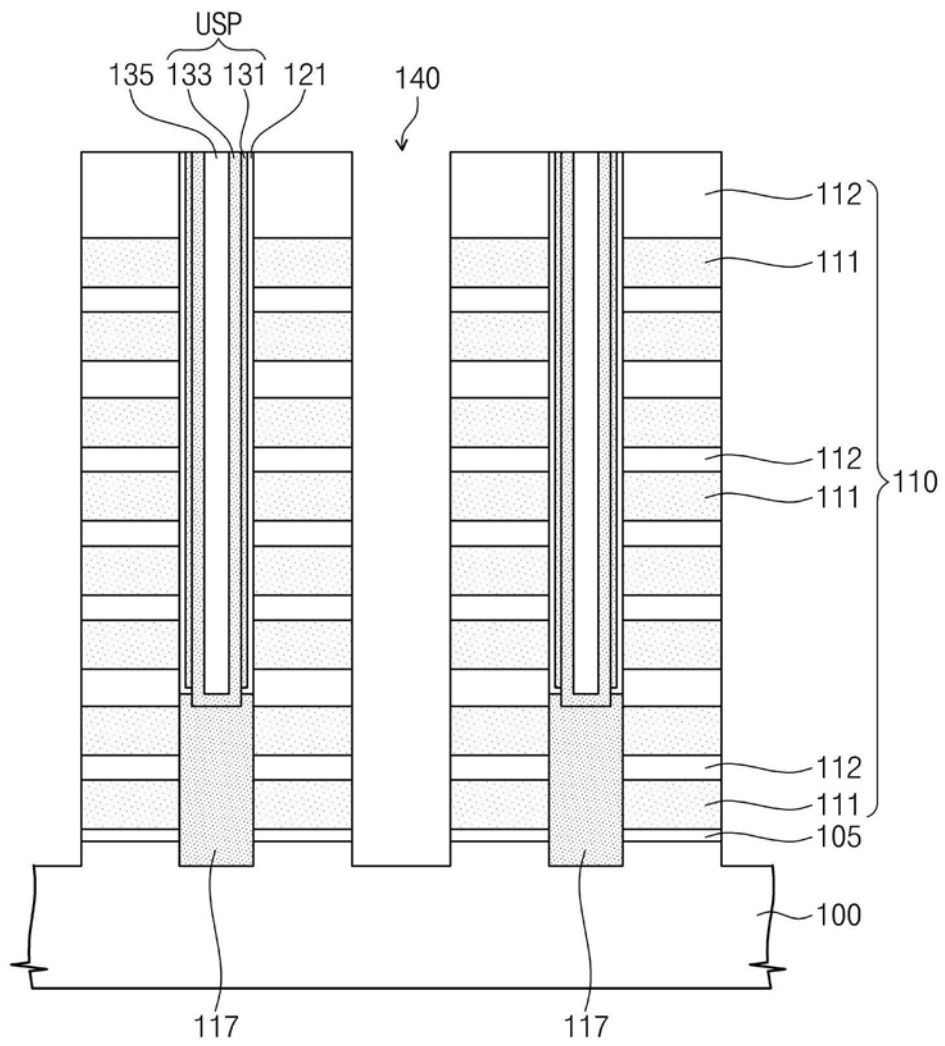


图27

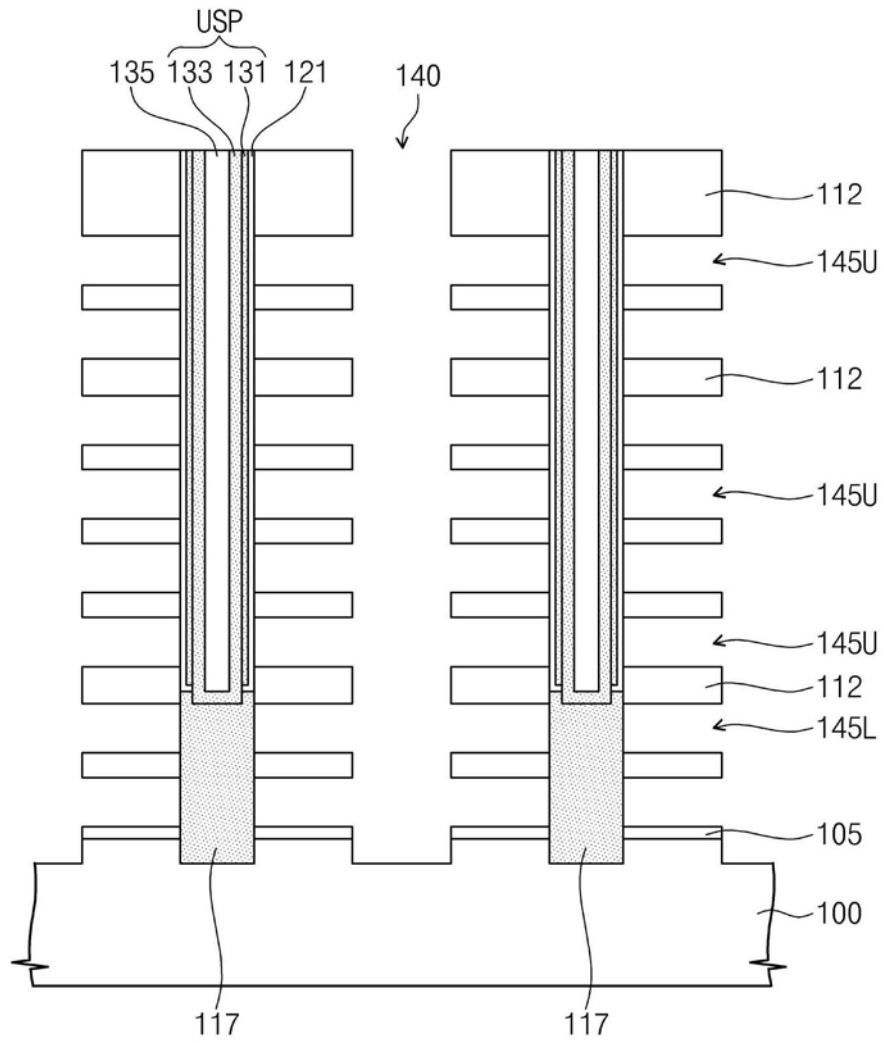


图28

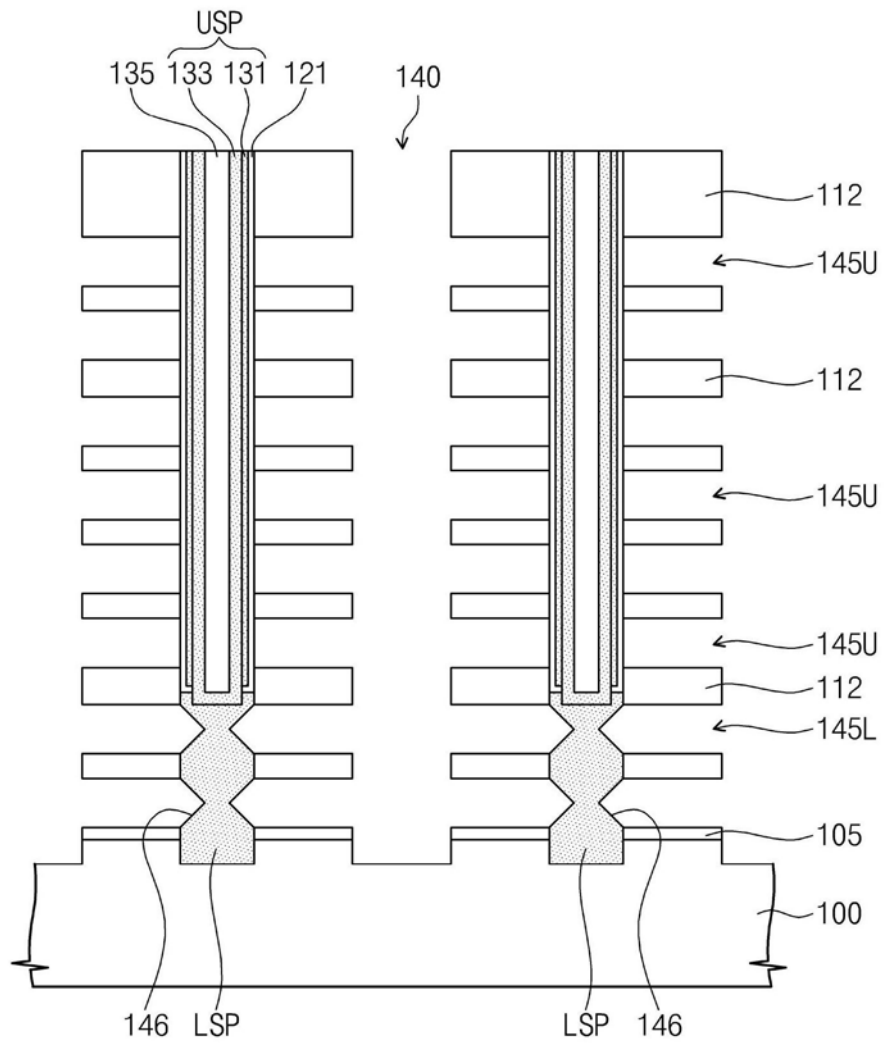


图29

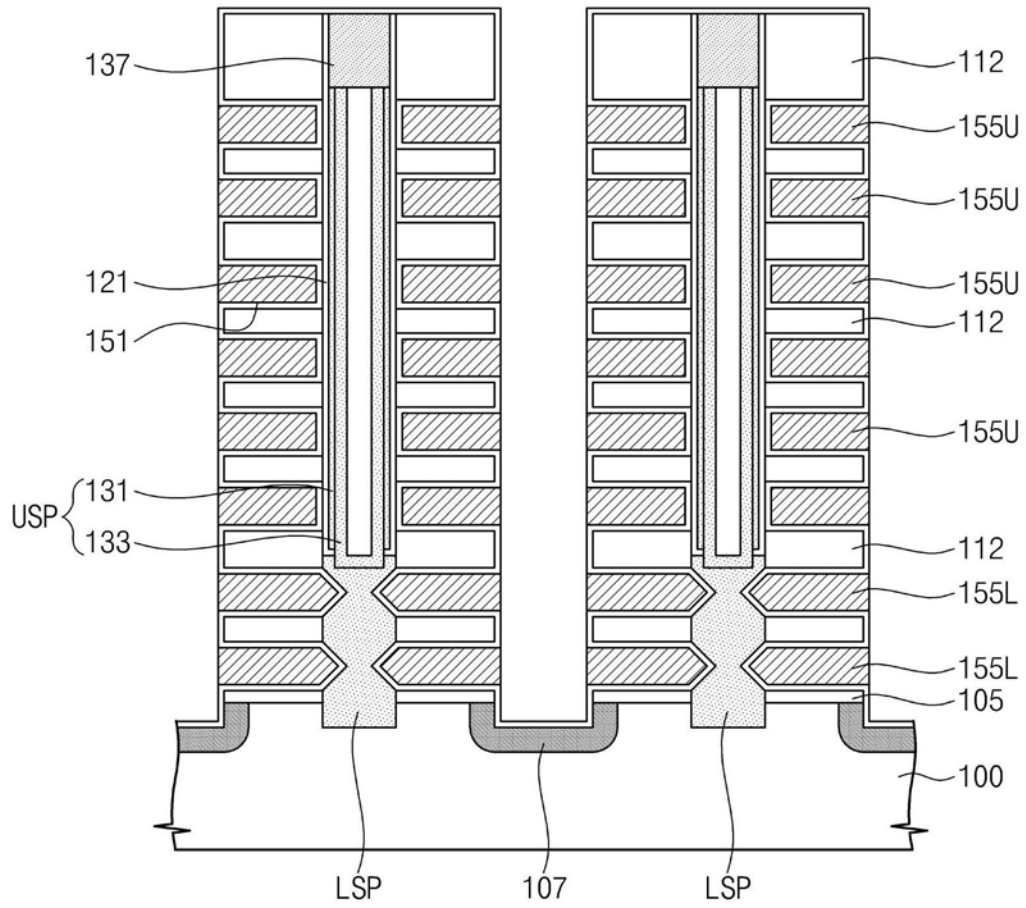


图30

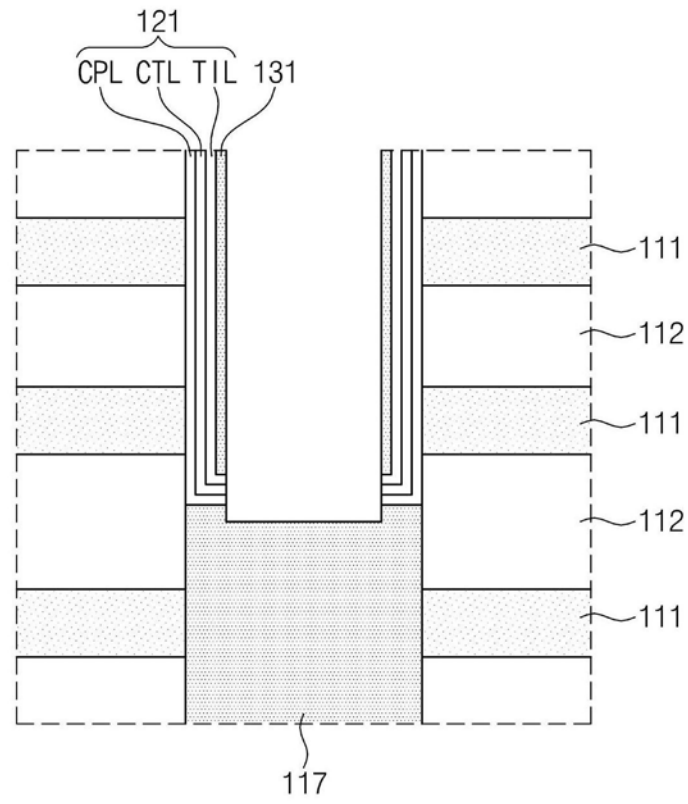


图31

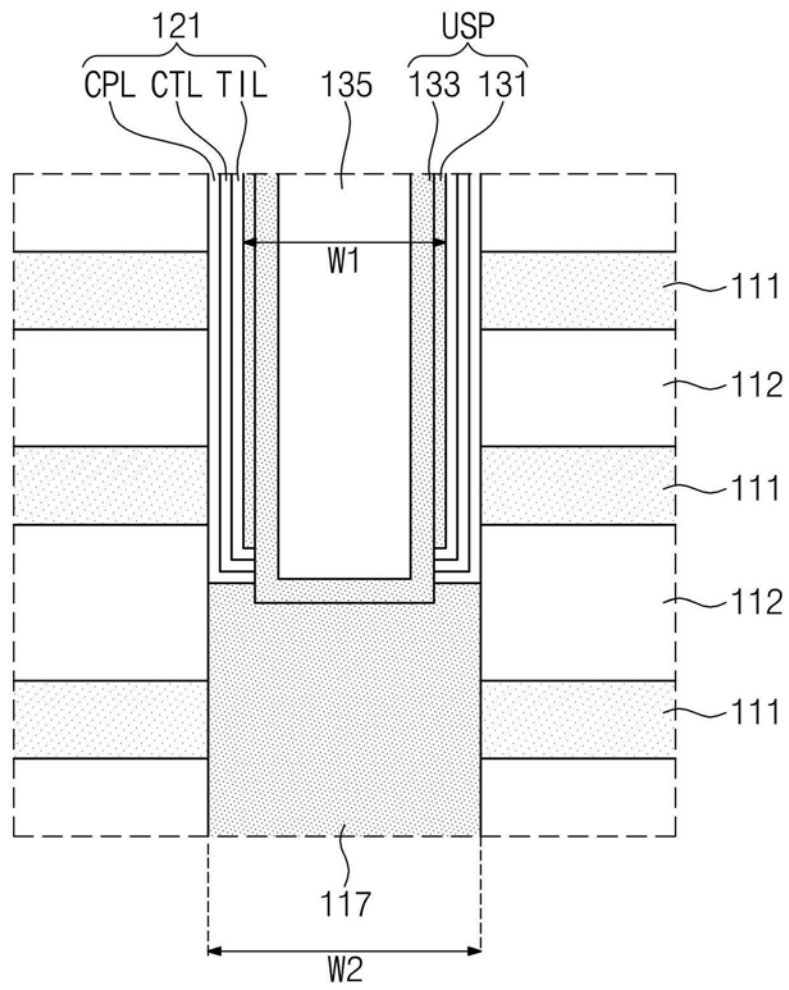


图32

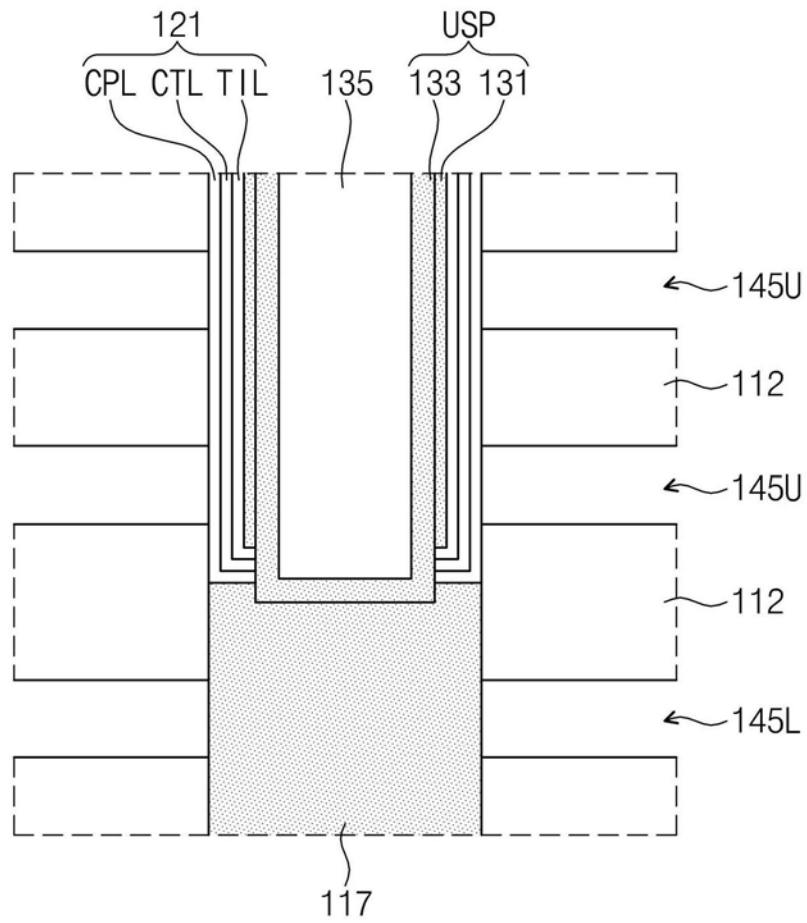


图33

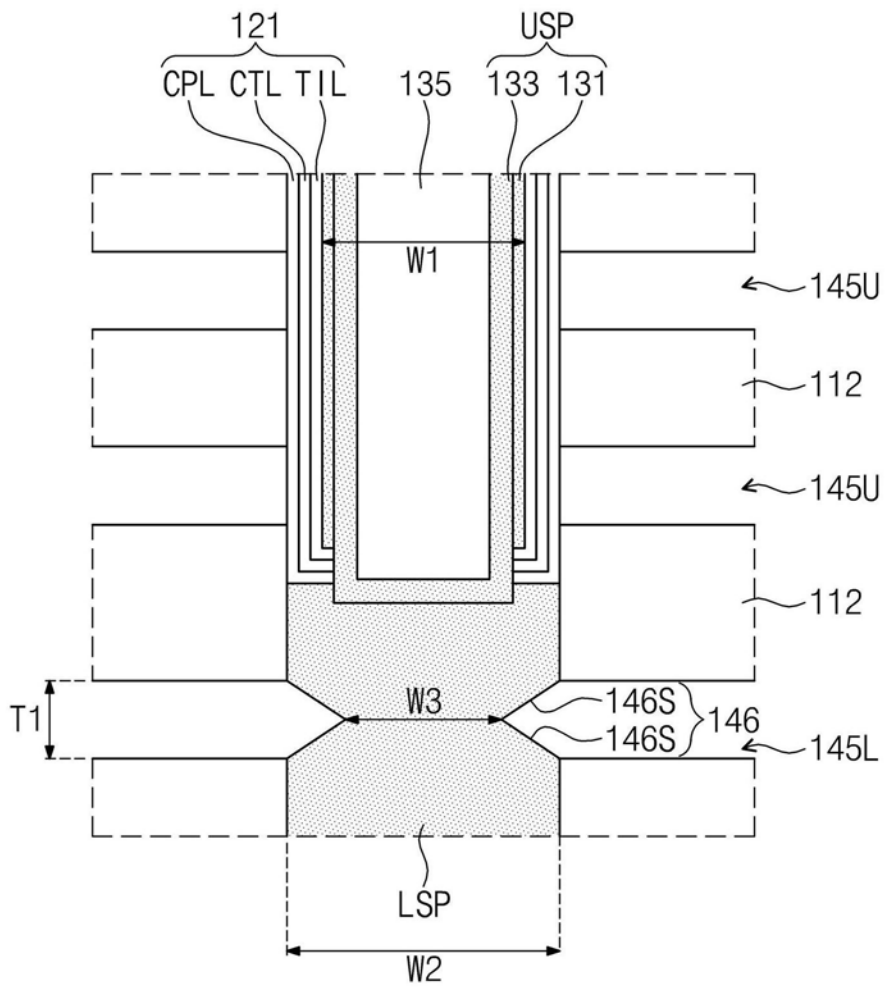


图34

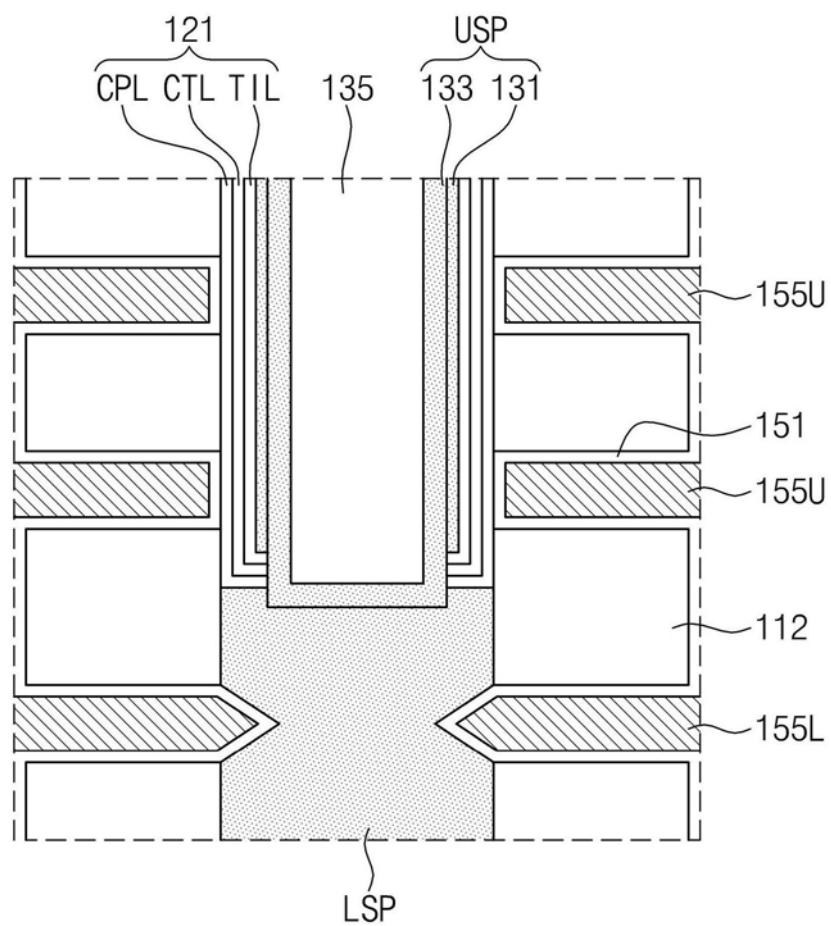


图35

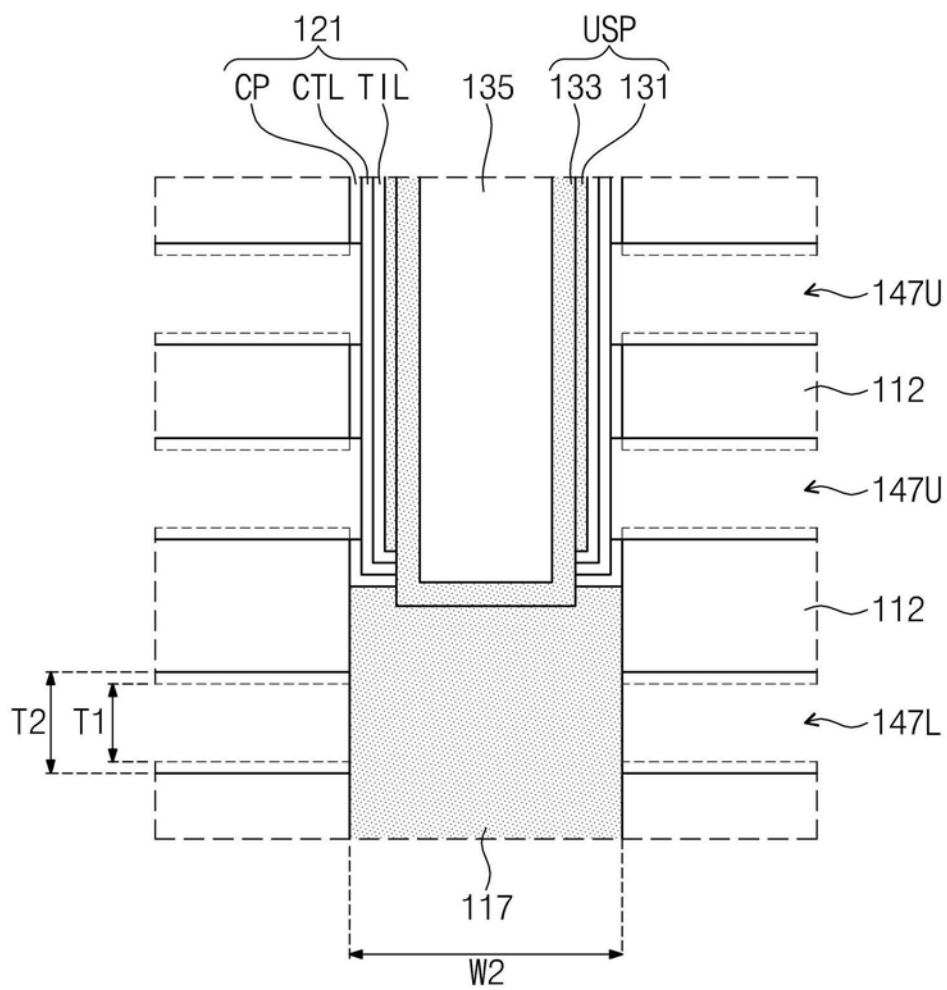


图36

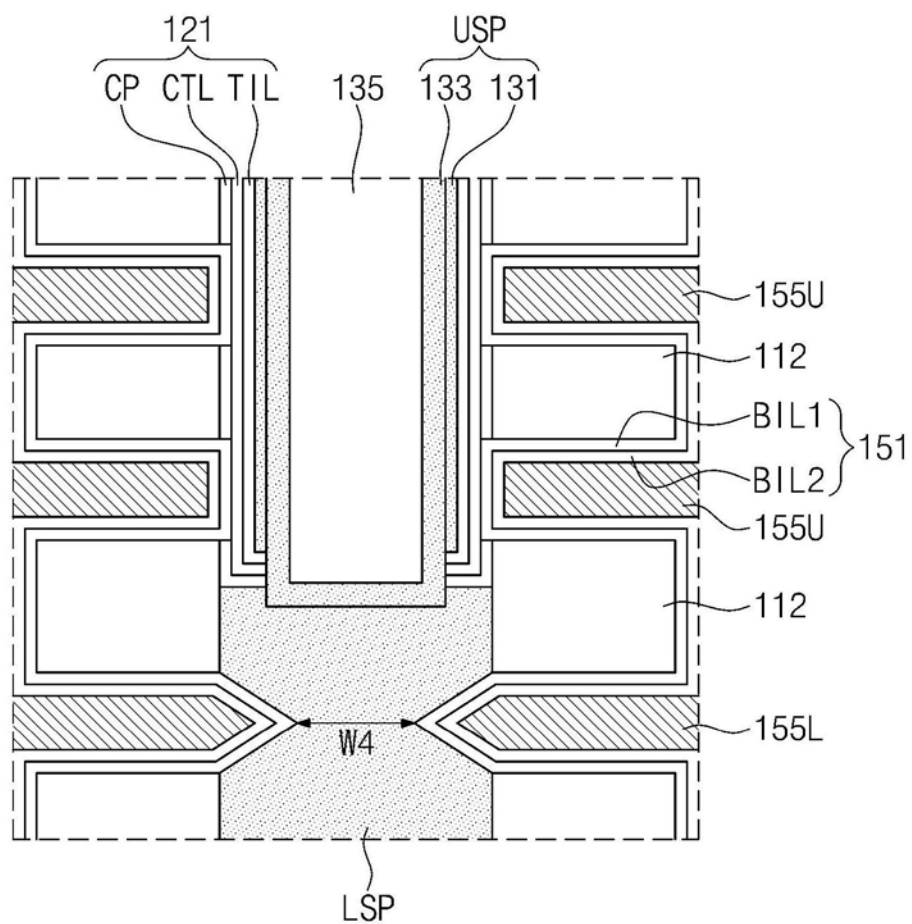


图38

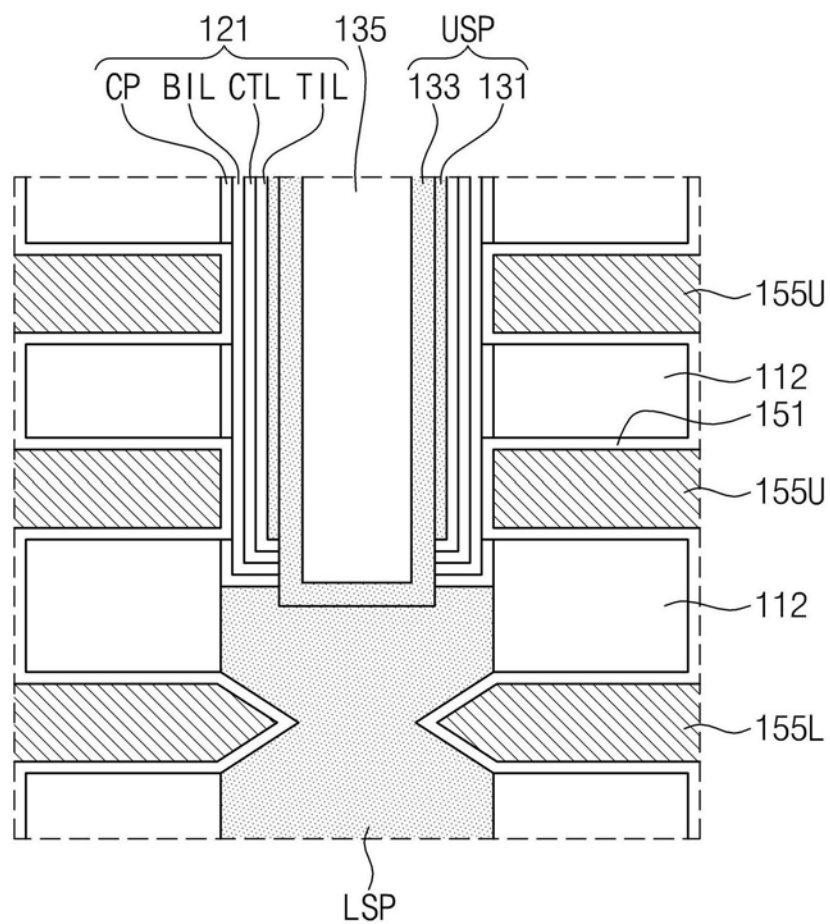


图39

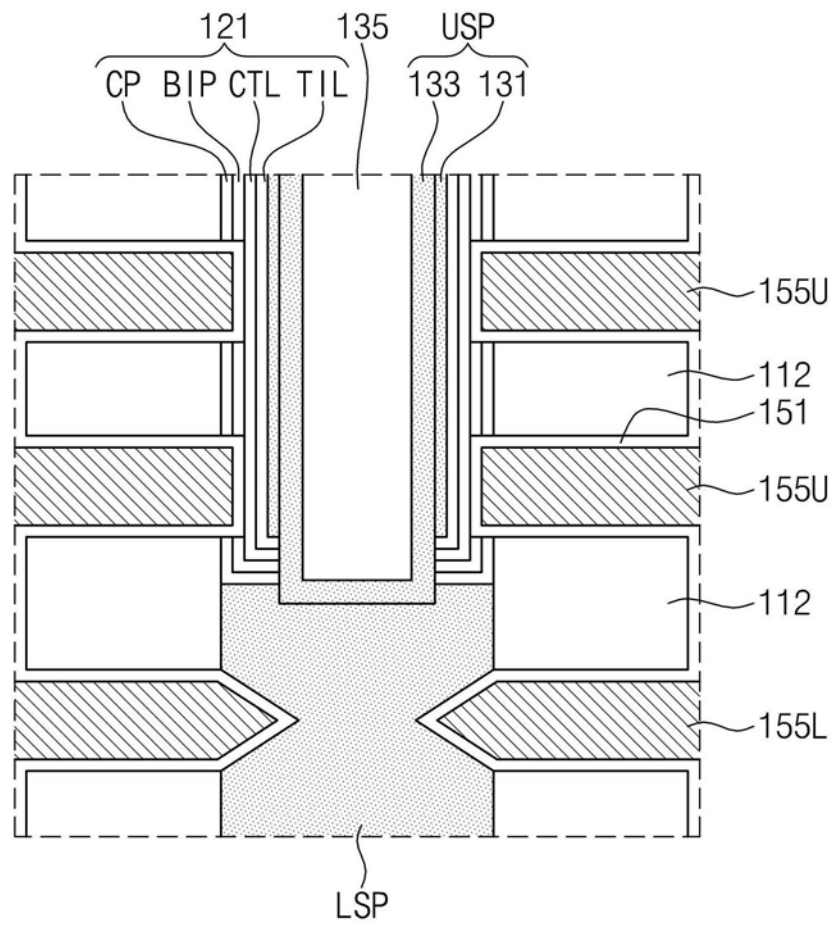


图40

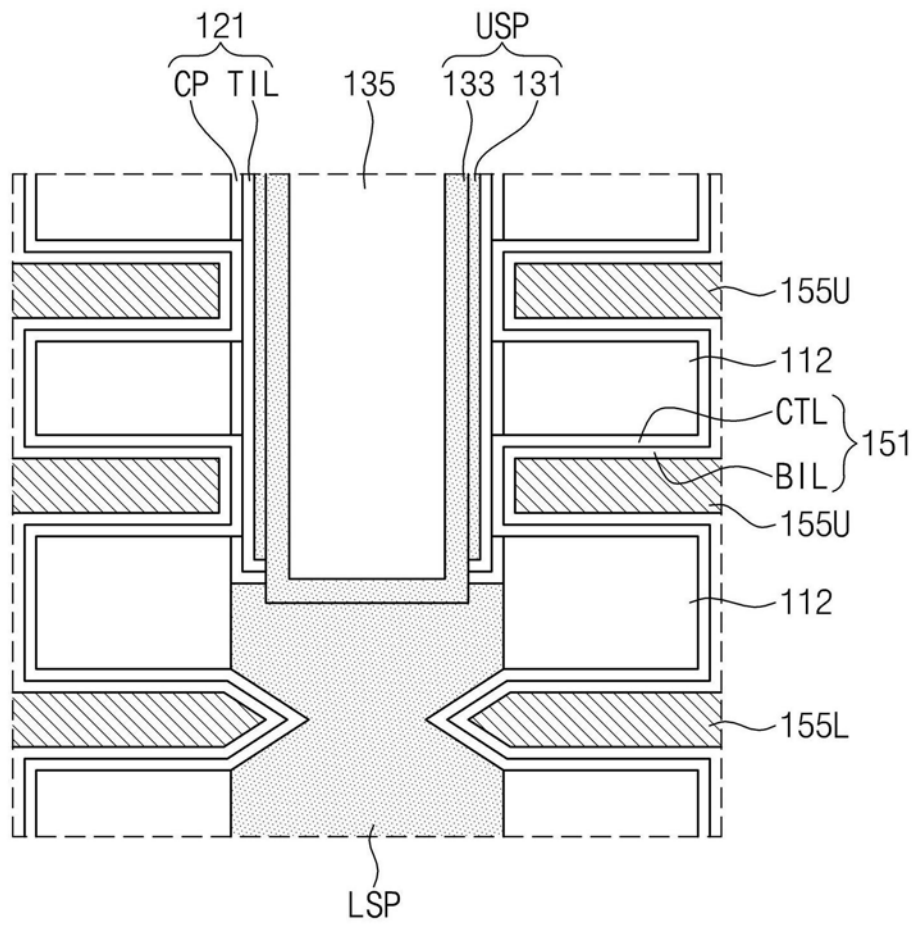


图41

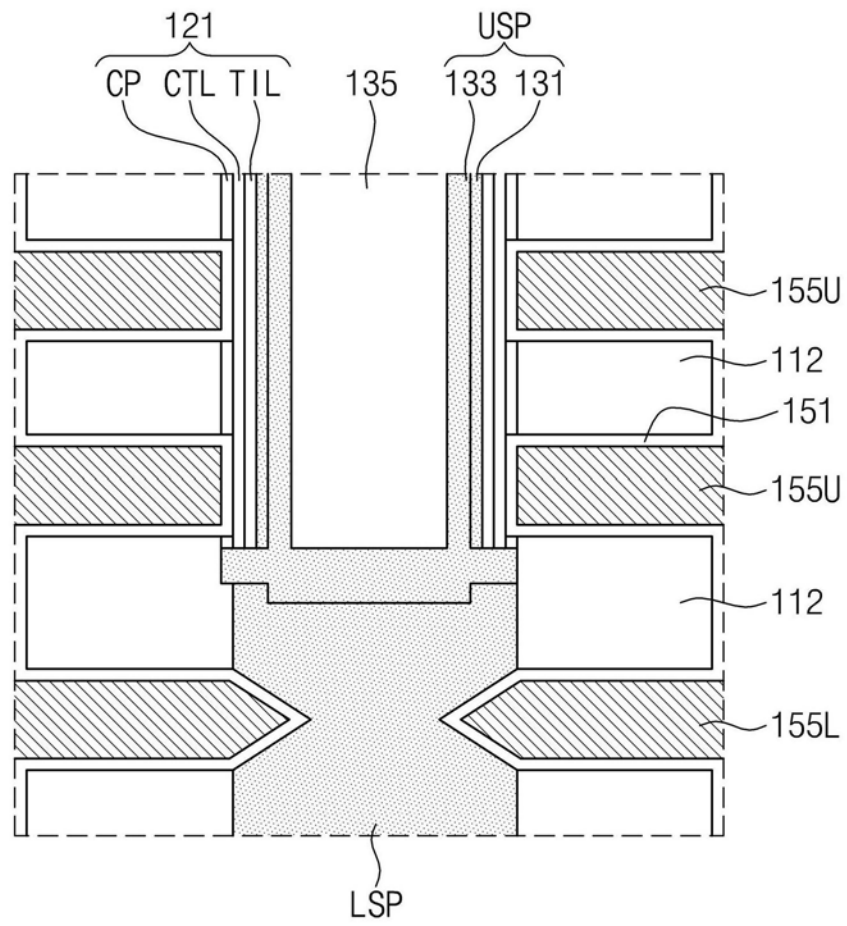


图42

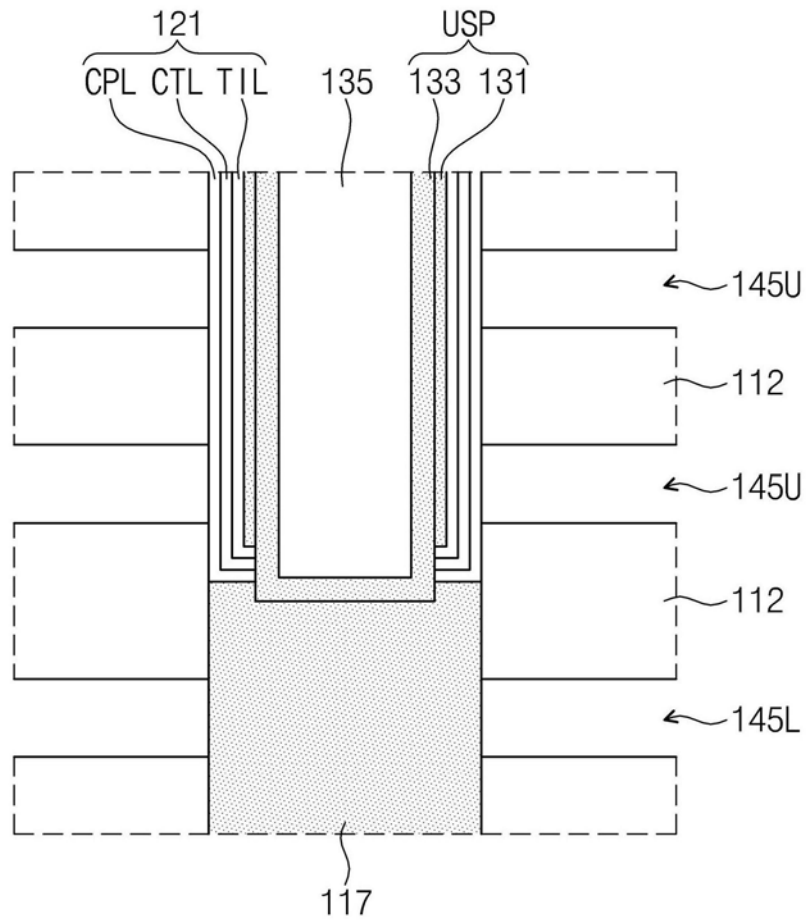


图43

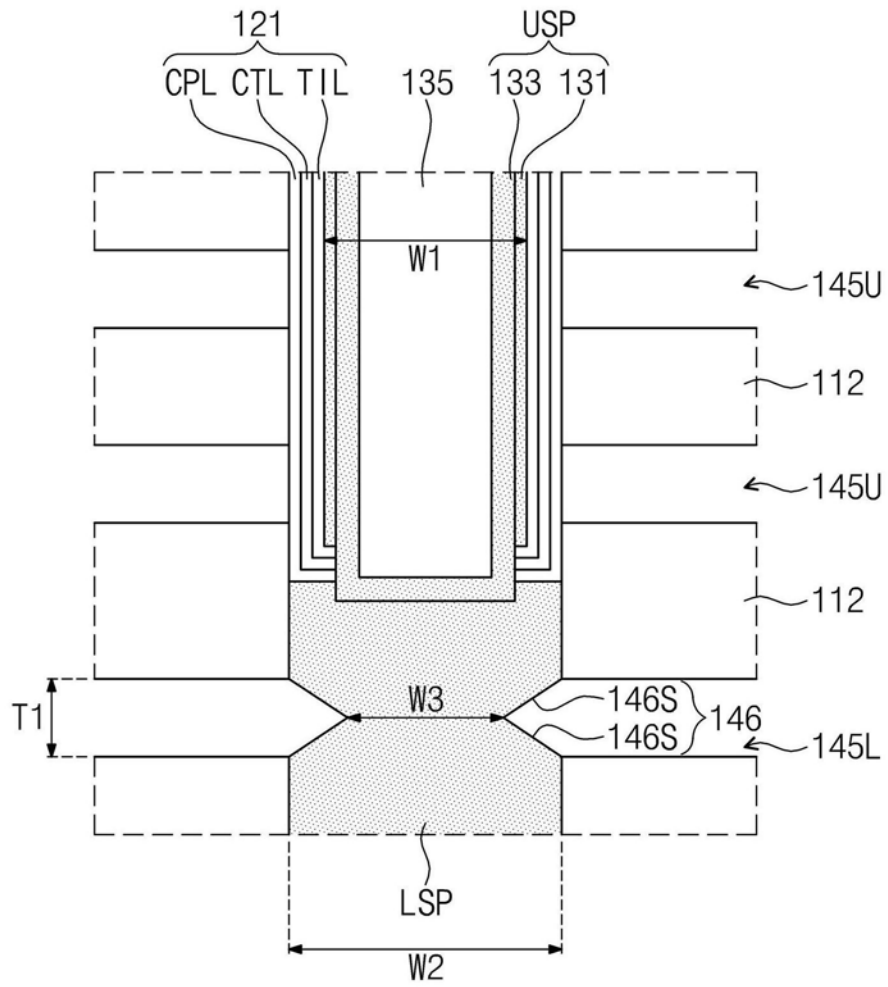


图44

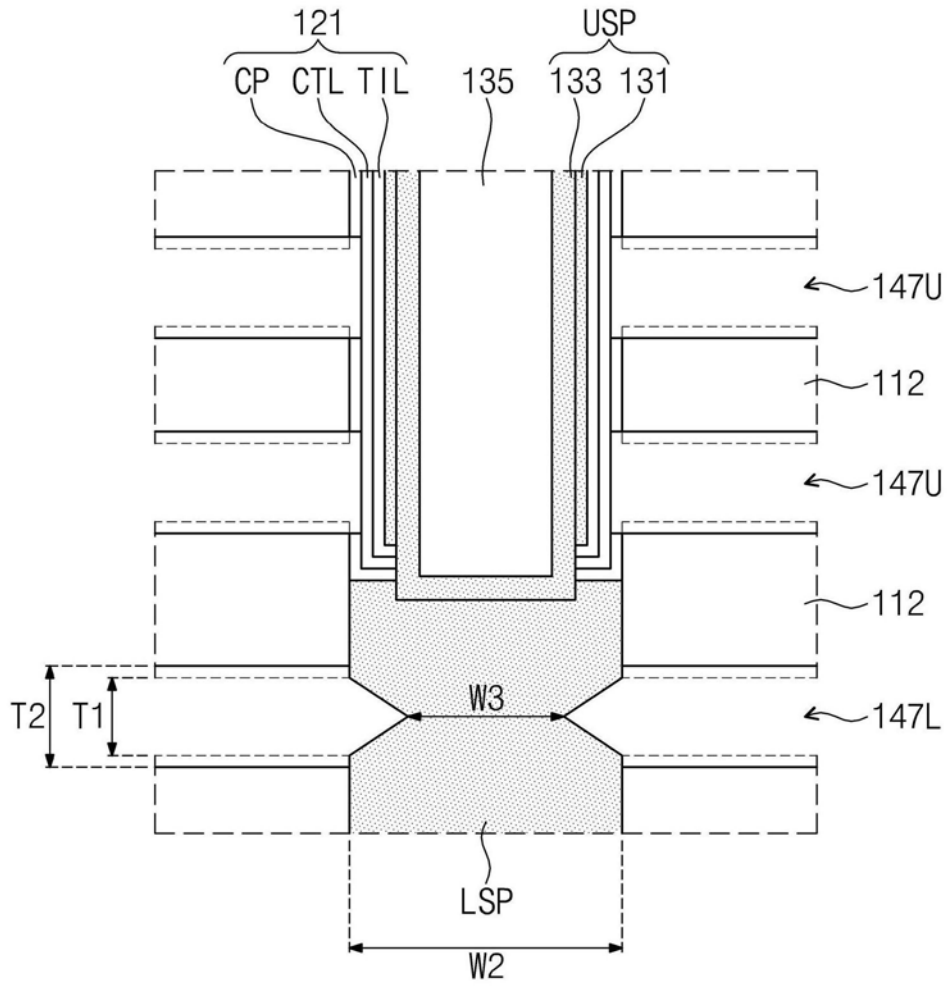


图45

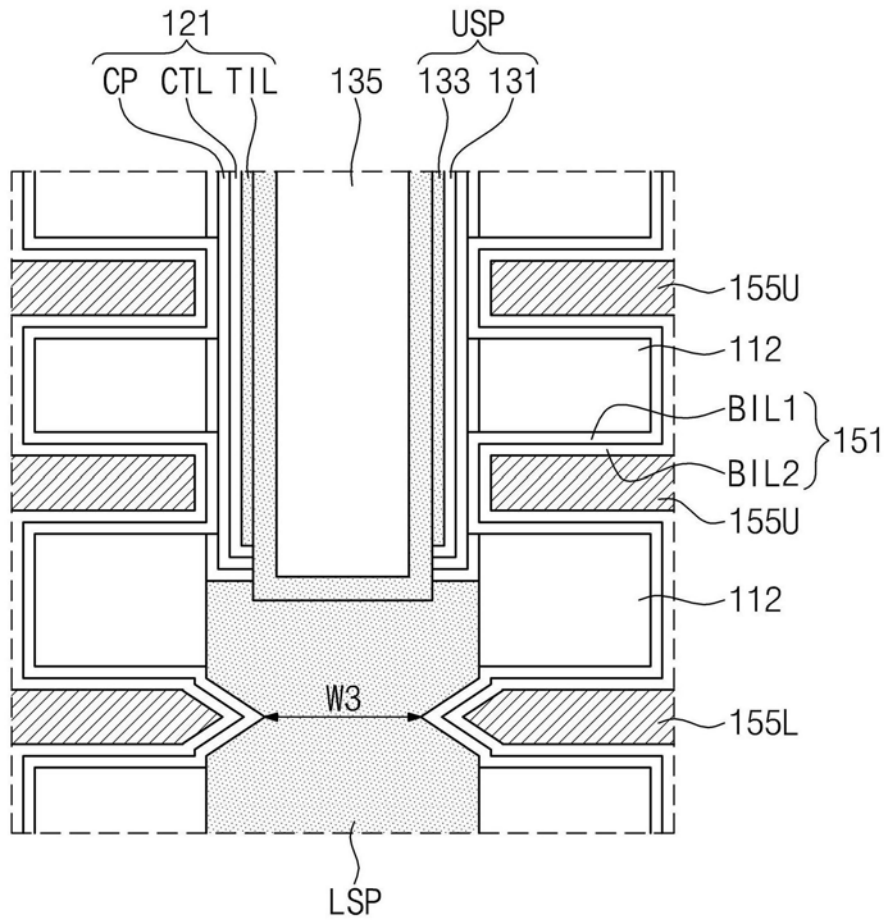


图46

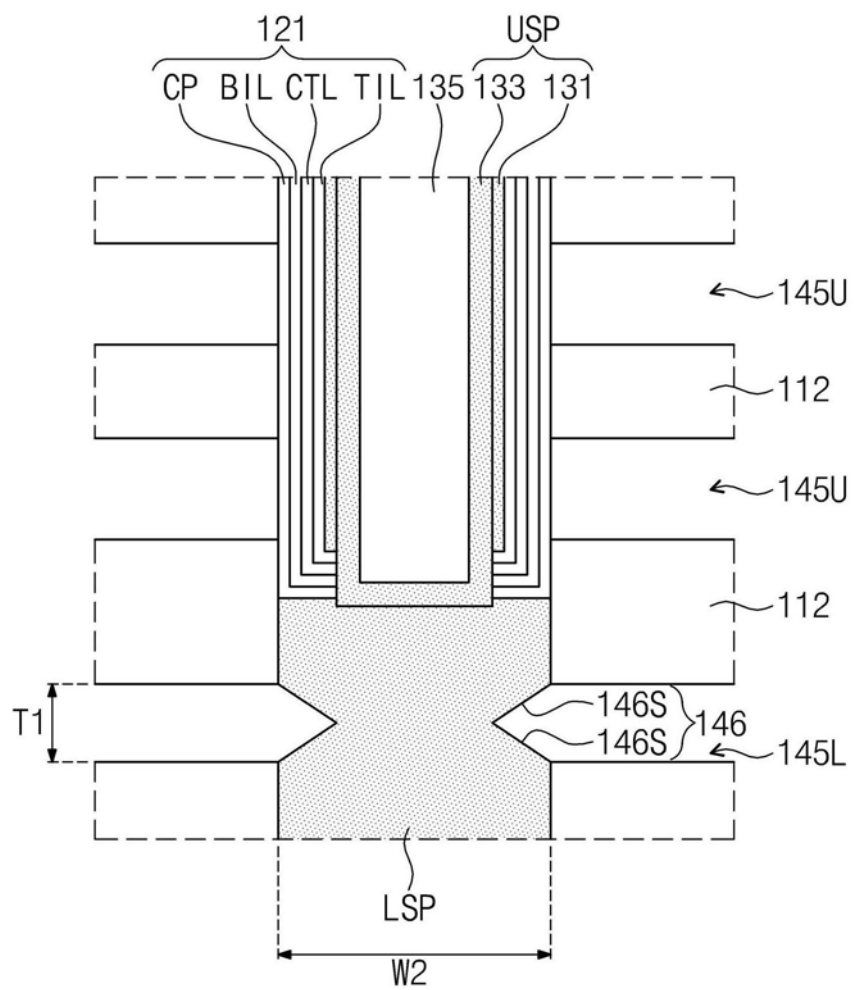


图47

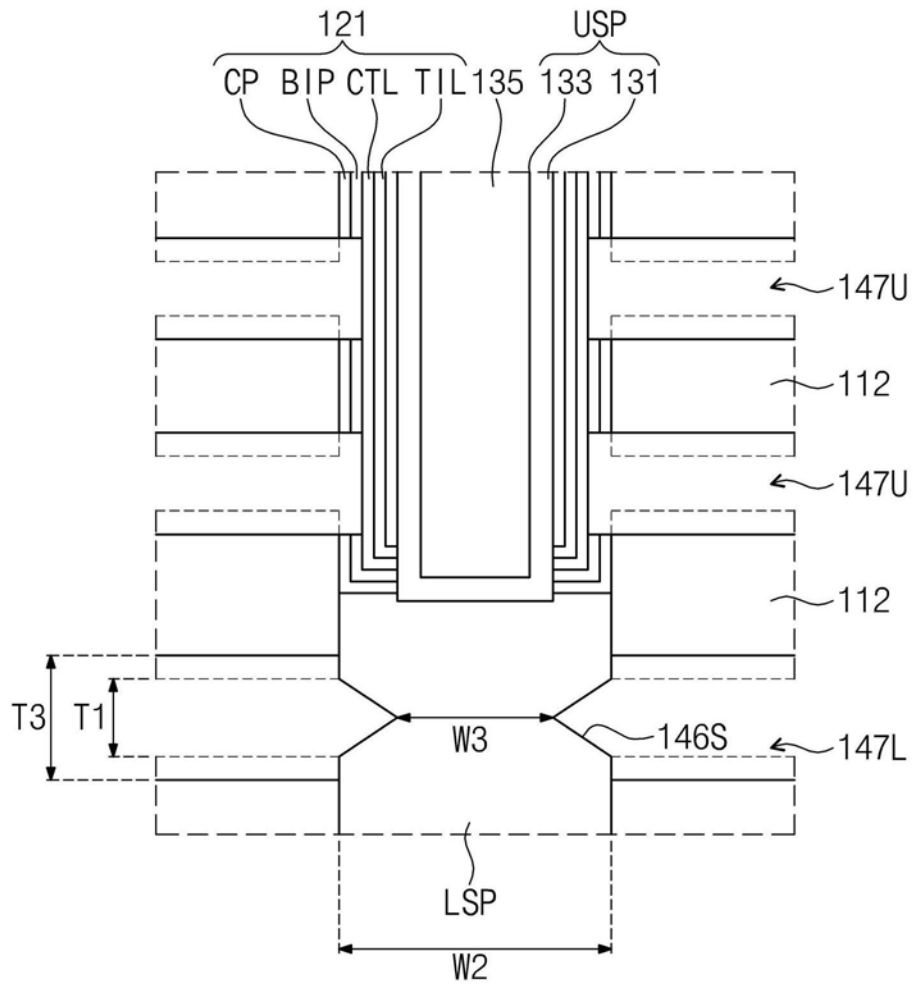


图48

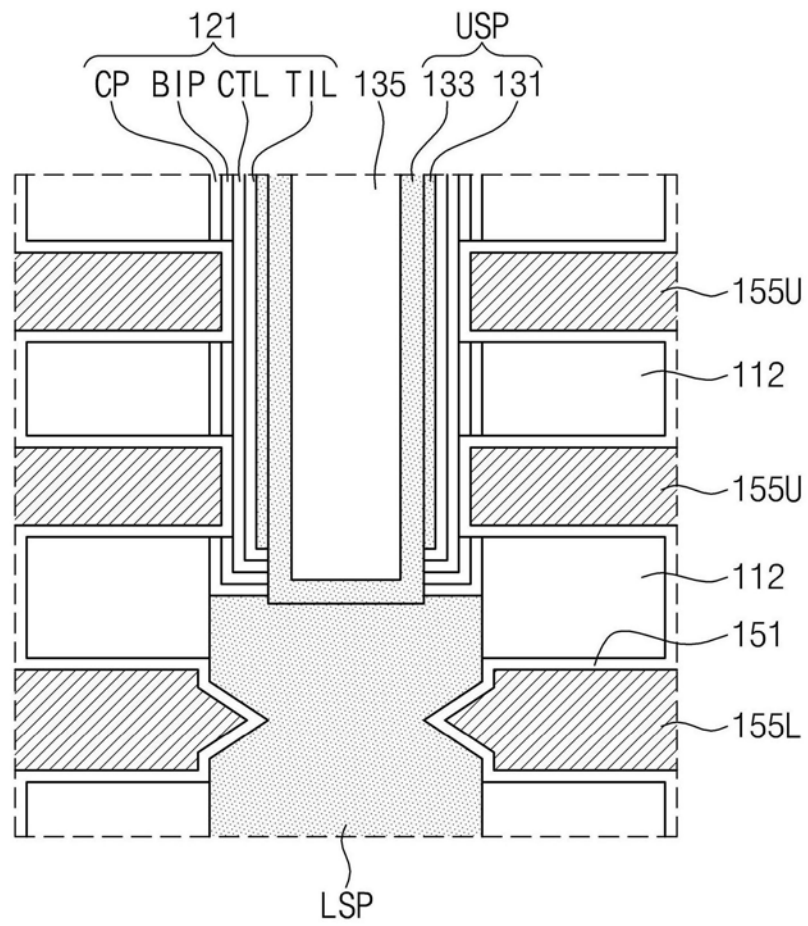


图49

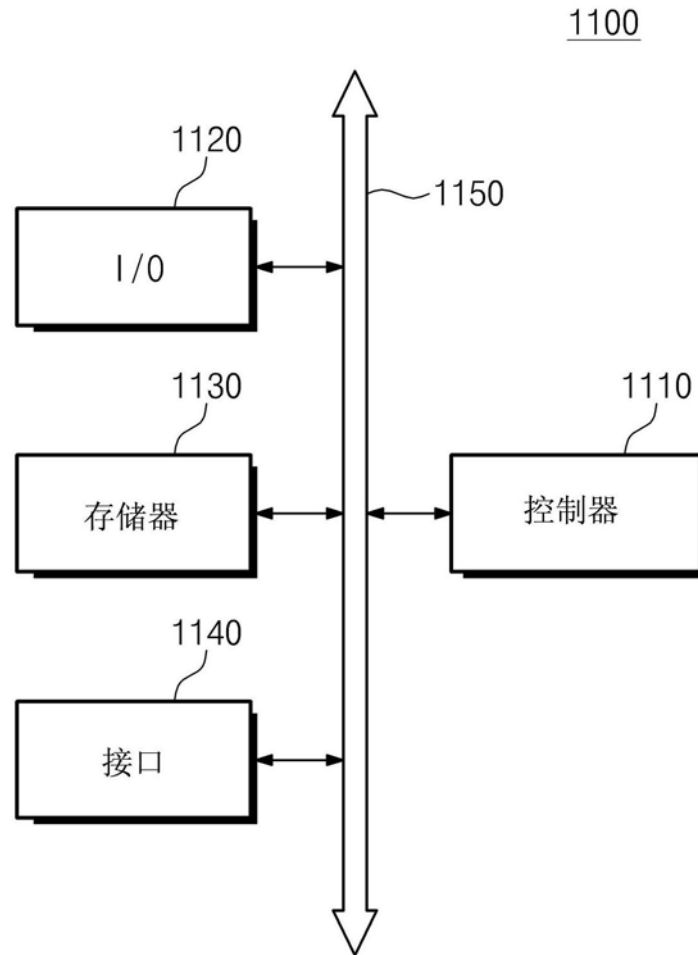


图50

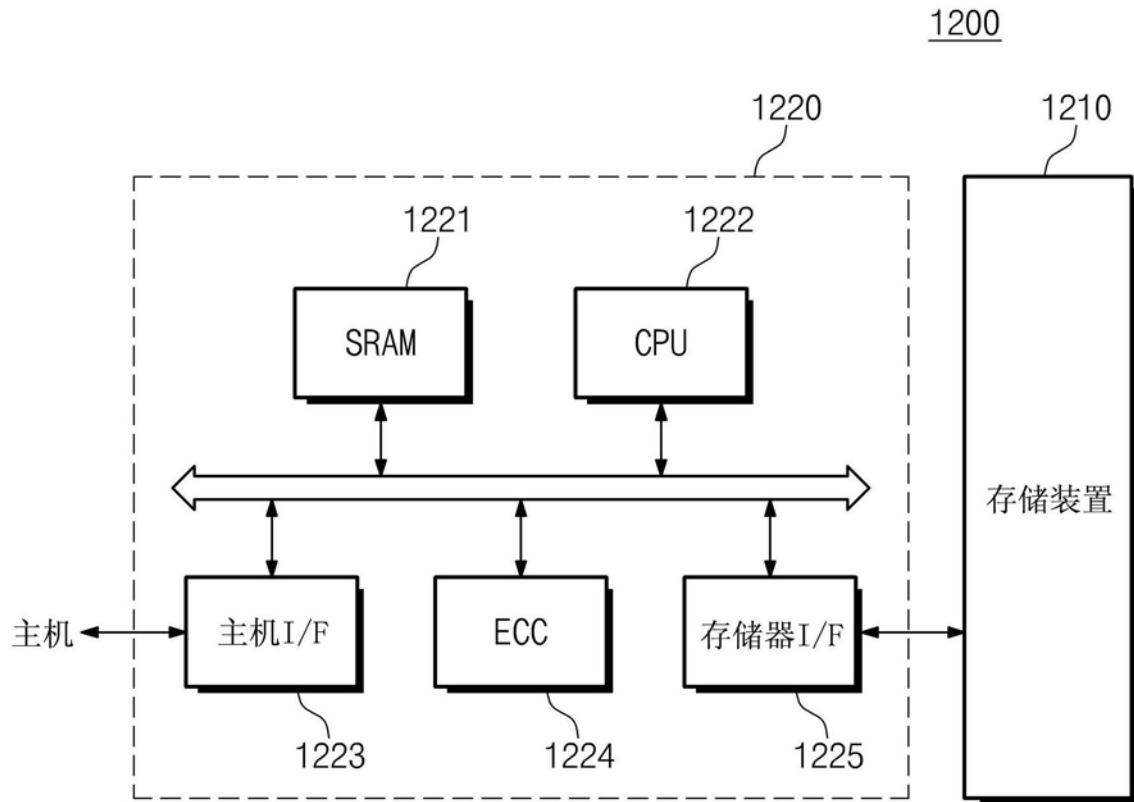


图51

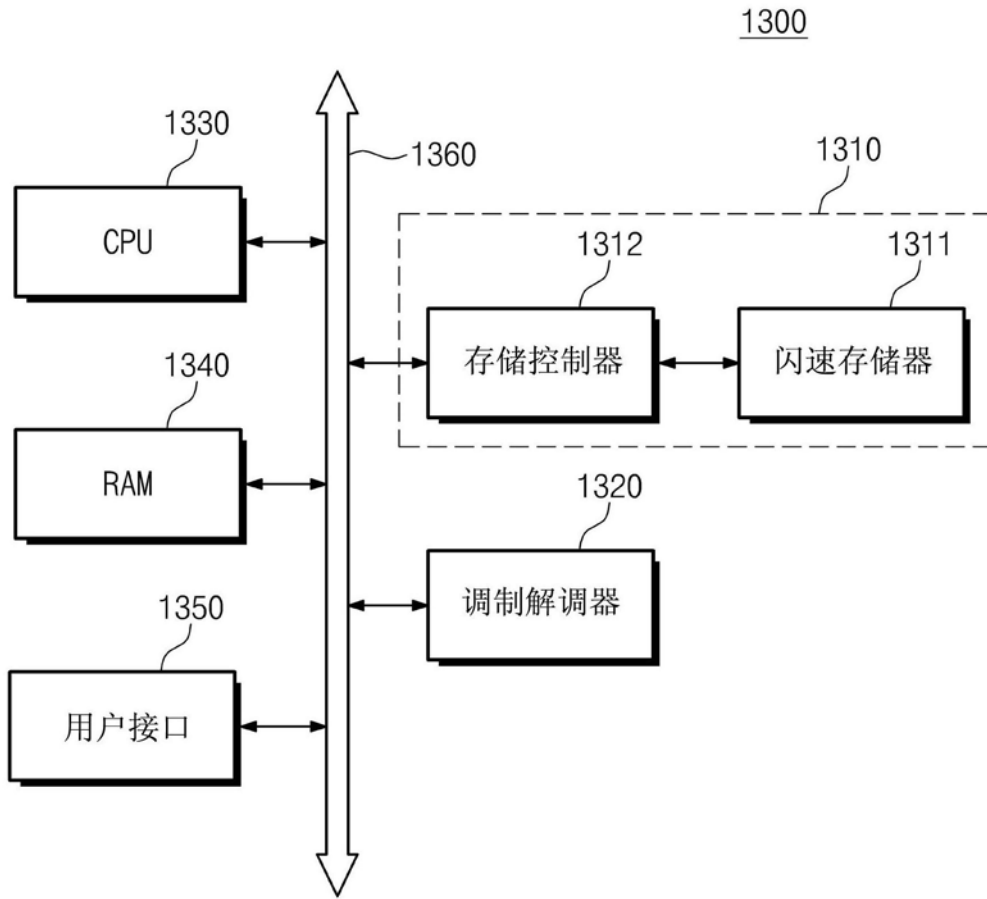


图52