

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3612850号
(P3612850)

(45) 発行日 平成17年1月19日(2005. 1. 19)

(24) 登録日 平成16年11月5日(2004. 11. 5)

(51) Int. Cl.⁷

F I

H O 1 L 33/00

H O 1 L 33/00

L

B 4 1 J 2/44

H O 1 S 5/02

B 4 1 J 2/45

H O 4 N 1/04

I O 1

B 4 1 J 2/455

B 4 1 J 3/21

L

F 2 1 S 2/00

F 2 1 Q 3/00

C

請求項の数 3 (全 12 頁) 最終頁に続く

(21) 出願番号 特願平8-74961
 (22) 出願日 平成8年3月28日(1996. 3. 28)
 (65) 公開番号 特開平9-266329
 (43) 公開日 平成9年10月7日(1997. 10. 7)
 審査請求日 平成13年5月24日(2001. 5. 24)

(73) 特許権者 000005496
 富士ゼロックス株式会社
 東京都港区赤坂二丁目17番22号
 (74) 代理人 100071054
 弁理士 木村 高久
 (72) 発明者 瀬古 保次
 神奈川県海老名市本郷2274番地 富士
 ゼロックス株式会社 海老名事業所内
 (72) 発明者 村上 朱実
 神奈川県海老名市本郷2274番地 富士
 ゼロックス株式会社 海老名事業所内
 (72) 発明者 乙間 広己
 神奈川県海老名市本郷2274番地 富士
 ゼロックス株式会社 海老名事業所内

最終頁に続く

(54) 【発明の名称】 光電変換素子アレイ装置、半導体発光素子アレイを用いた光源装置、およびその製造方法

(57) 【特許請求の範囲】

【請求項1】

二次元配列せしめられた発光点を形成する発光素子アレイと、
 前記発光点からの光を収束する収束手段と、
 前記収束手段を介して前記光が収束せしめられ、結像点を形成する位置に設けられた受光手段と、
 あらかじめ決定された方向に、前記受光手段に対して相対的に前記結像点を移送する移送手段と
 を具備し、
 前記発光素子アレイは、複数の半導体チップで構成され、前記半導体チップの相対向する
 接続端面が隣接する半導体チップの最近接発光点を結ぶ直線を垂直二等分する直線となる
 ように前記移送方向に対して傾斜するように結合せしめられている
 ことを特徴とする半導体発光素子アレイを用いた光源装置。

【請求項2】

二次元配列せしめられた複数の光電変換部を構成する光電変換素子アレイ装置において、
 前記光電変換素子アレイは、2次元配列された複数の光電変換部を具備してなる複数の半
 導体チップが1列に配列せしめられて構成され、前記半導体チップの相対向する接続端面
 が隣接する半導体チップの最近接発光点を結ぶ直線を垂直二等分する直線となるように前
 記光電変換部の主配列方向に対して傾斜するように結合せしめられていることを特徴とす
 る光電変換素子アレイ装置。

10

20

【請求項 3】

半導体基板表面に、二次元配列せしめられた複数の発光点を有する発光素子基板を形成する発光素子基板形成工程と、
前記発光素子基板を、所望の位置でダイシングし、複数の発光点を有する発光素子チップを形成する発光素子チップ形成工程と、
支持基板上に、前記発光素子チップを配列し固着する発光素子チップ接続工程と
を含み、

前記収束手段を介して前記発光点を収束することによって形成される複数の結像点を受光手段で受光すべく、あらかじめ決定された移送方向に沿って前記受光手段に対して相対的に前記結像点を移送するように構成された光源装置の製造方法において、
前記半導体チップ形成工程および半導体素子チップ接続工程は、前記半導体チップの相対向する接続端面が隣接する半導体チップの最近接発光点を結ぶ直線を垂直二等分する直線となるように前記移送方向に対して傾斜するようにダイシングされ接続せしめる工程であることを特徴とする半導体発光素子アレイを用いた光源装置の製造方法。

10

【発明の詳細な説明】**【0001】****【産業上の利用分野】**

本発明は、半導体発光素子アレイを用いた光源装置に係り、特にLEDプリンタやレーザプリンタ、レーザディスプレイ、イメージセンサなどに用いられる光源装置に関する。

【0002】

20

【従来の技術】

通常のLEDプリンタは、図11に示すように1次元に配列された発光点LPを有する長方形のLED発光素子チップCh1、Ch2を一行に接続してマルチチップヘッドとし、これを光源として用いている。

【0003】

素子配列の高密度化をはかるためにいろいろな方法が提案されており、例えば発光点を千鳥状に配列したチップを形成し、これを接続する方法が提案されている（特開平2-147259号）。この方法では、1チップ内において発光点が千鳥状に配列されているために、発光点間の距離が広がり、配線スペースが広くなることにより、歩留まりが向上する。しかしながら、接続面のチップ端面は副走査方向（ドラムの回転方向に対応するLEDチップ面内の方向）に平行であるため、発光点密度が高くなると、チップ端面と発光点が接近する。チップ端面と発光点との距離は、図12に示すように、チップ切断の位置精度の問題からある値のマージンが設けられている。発光点と切断端面との間の距離は切断ダメージの問題から数 μm 以上とる必要があるが、チップ切断の位置精度ばらつきが、 $\pm 5\mu\text{m}$ 以上あることから端面と発光点との距離のばらつきは $5\sim 15\mu\text{m}$ となる。 $15\mu\text{m}$ の場合、チップを接続すると $30\mu\text{m}$ となり、 1200dpi の $21\mu\text{m}$ ピッチが実現できなくなってしまうという問題があった。

30

【0004】

また、発光素子列を2列設け、各列を、チップを順次接続したアレイ光源で構成し、この2列を各々に対応するロッドレンズで感光ドラム面上に一直線に結像点が配列されるようにした光ヘッドも提案されている（特開平5-94080号）。この方法では、記録密度の $1/2$ の発光点密度を持つ発光点アレイを各列に設ければよく発光点密度が低いので実現し易い。しかし、各列の結像点をドラム面上の端から端まで精度よく位置合わせを行うことは不可能に近い。現実には発光点の位置精度はミクロンオーダーが要求されており、極めて困難である上、組み立てに多大な時間とコストがかかり現実的ではなかった。

40

【0005】

さらに、発光ダイオードチップの接続における位置調整を簡単にするために、2つ以上のブロックに分けられた発光ダイオード列を有する半導体チップを発光ダイオード列に対してチップ接続端面を90度から5度傾けるようにした発光ダイオードアレイヘッドが示されている（特開昭59-164161号）。

50

この技術は、チップ接続の際の位置調整を簡単にするものであるが、発光ダイオード列を2つ以上のブロックに分けると、電極配線を片側に配置させなければならないことから、その発光点配列密度が高い場合、配線密度が高くなり、ワイヤボンディングなどの実施が困難となる。従って、発光点密度の高い発光素子アレイには適用できないという問題があった。また各ブロックの電極配線のスペースの関係から、各ブロックを交互に千鳥配列することになり、実質的には2列以上に配列することは難しく、2次元的に発光点を自由に配列することができないという問題があった。

【0006】

【発明が解決しようとする課題】

このように、従来のマルチチップの半導体素子アレイでは、チップ接続方向の素子配列密度を高くすると、チップ接続端面と半導体素子との間隔が接近してくる。現状では、チップ切断の位置精度の誤差やチップボンディングの位置精度の誤差が少なくとも数 μm はあるので、チップ切断端面がチップ接続方向に対して垂直であると、1200dpiなどの高密度の発光点配列のチップを接続することは不可能であった。また素子配列密度が高くなってくると、1次元的な発光点配列では配線スペースやワイヤボンディングスペースをとることが困難になってくる。従って、発光点を2次元に配列して発光点間隔を広くとる必要があった。

本発明は前記実情に鑑みてなされたもので、チップ接続方向に対する発光点密度が高く信頼性の高い半導体発光素子アレイを用いた光源装置を提供することを目的とする。

【0007】

【課題を解決するための手段】

請求項1の発明は、二次元配列せしめられた発光点を形成する発光素子アレイと、前記発光点からの光を収束する収束手段と、前記収束手段を介して前記光が収束せしめられ、結像点を形成する位置に設けられた受光手段と、あらかじめ決定された方向に、前記受光手段に対して相対的に前記結像点を移送する移送手段とを具備し、前記発光素子アレイは、複数の半導体チップで構成され、前記半導体チップの相対向する接続端面が隣接する半導体チップの最近接発光点を結ぶ直線を垂直二等分する直線となるように前記移送方向に対して傾斜するように結合せしめられていることを特徴とする。

【0008】

請求項2の発明は、二次元配列せしめられた複数の光電変換部を構成する光電変換素子アレイ装置において、前記光電変換素子アレイは、2次元配列された複数の光電変換部を具備してなる複数の半導体チップが1列に配列せしめられて構成され、前記半導体チップの相対向する接続端面が隣接する半導体チップの最近接発光点を結ぶ直線を垂直二等分する直線となるように前記光電変換部の主配列方向に対して傾斜するように結合せしめられていることを特徴とする。

【0009】

請求項3の発明は、半導体基板表面に、二次元配列せしめられた複数の発光点を有する発光素子基板を形成する発光素子基板形成工程と、前記発光素子基板を、所望の位置でダイシングし、複数の発光点を有する発光素子チップを形成する発光素子チップ形成工程と、支持基板上に、前記発光素子チップを配列し固着する発光素子チップ接続工程とを含み、前記収束手段を介して前記発光点を収束することによって形成される複数の結像点を受光手段で受光すべく、あらかじめ決定された移送方向に沿って前記受光手段に対して相対的に前記結像点を移送するように構成された光源装置の製造方法において、前記半導体チップ形成工程および半導体素子チップ接続工程は、前記半導体チップの相対向する接続端面が隣接する半導体チップの最近接発光点を結ぶ直線を垂直二等分する直線となるように前記移送方向に対して傾斜するようにダイシングされ接続せしめる工程であることを特徴とする。

【0011】

【作用】

かかる構成によれば、主走査方向の発光点の配列密度は所望の状態に保持しつつ、最近接

10

20

30

40

50

発光点までの距離を拡大することができる。

【0012】

そしてその最近接発光点を結ぶ直線を2等分し、かつ発光点配列とほぼ平行な直線をチップ接続端面とすることにより、チップ切断の誤差などが問題にならない程度まで発光点とチップ端面との間隔を広くとることができる、主走査方向の高密度化を実現することが可能となる。

【0013】

隣接するチップの最近接発光点までの間隔を広くとることができるので、チップ切断位置のマージンを大きくとることができると共にチップボンディングに際して、位置のマージンを大きくとることができる。

10

【0014】

チップ端面から発光点までの間隔を大きくとることができるため、チップ切断のダメージを最小限に抑えることができる。

【0015】

また、主走査方向の発光点密度を高密度にしたマルチチップ半導体アレイ素子を実現することができる。

【0016】

1チップ内の最近接発光点の間隔を大きくとることができるため、電極のスペースが広く、電極形成が容易で、高歩留まりを実現することができる。また、発光点近傍における放熱性がよく、半導体素子の劣化を低減することができる。

20

【0017】

1チップのサイズを適宜変更すれば、1チップ内に配列される素子数を変更することができるため、良品歩留まりの高いチップサイズを簡単に選択することができる。

【0018】

また、1チップのサイズを自由に変更することができるため、1チップ内の半導体素子の歩留まりが高くなるようにサイズを設定することができ、低コスト化をはかることが可能となる。

【0019】

なお、以上の構成は発光点のみならず受光点にも適用可能である。つまり、光電変換部を配列した光電変換素子アレイ装置に適用可能である。

30

【0020】

また、2次元の結像点配列を結像点の相対的な移動方向に垂直となるような軸上に投影したその一次元配列が、一定の周期をなすように構成することにより、実質的に高密度で信頼性の高い光源を得ることができる。

【0021】

さらにまた各発光素子への電流供給のための電極が、発光点配列の両側に別れて配線されていることを特徴とする。

【0022】

さらにまた各発光素子への電流供給のための電極がマトリックス配線であることを特徴とする。

40

【0023】

なお光源装置においては、結像手段が発光素子アレイからのすべての光線をその口径内に含むフィールドレンズと、これを精度よく結像するための結像レンズで構成するようにすれば、より高精度で信頼性の高い光源を得ることができる。

また結像手段をマイクロレンズアレイで構成しても良い。

【0024】

さらにまた、結像信号を受け取る手段を感光ドラムで構成するとともに、結像点の移送は、感光ドラムの回転によって達成するようにしてもよい。

【0025】

また結像点の移送手段は、ビーム走査機構によって達成しても良い。

50

【0026】

【実施例】

以下、本発明について、図面を参照しつつ詳細に説明する。

図1は、本発明実施例の光源装置に用いられる面発光型レーザアレイ装置の説明図、図2は概要図、図3は同装置の平面説明図、図4(a)および(b)は要部の断面図および上面図である。

このレーザアレイ装置は図1に示すように第1辺が主走査方向に平行な素子配列となるように平行四辺形状のチップに分離し、第1辺に隣接した第2辺がそれぞれ隣接素子の該当する辺に相対向するように接続したことを特徴とする。

【0027】

10

このレーザアレイ装置は、 n 個のレーザチップを配列して形成され、各レーザチップは $2 \times 10^{18} / \text{cm}^3$ シリコンドープの n 型GaAs基板1とこの上層に有機金属気相成長法(MOCVD)を用いて形成された膜厚 $0.2 \mu\text{m}$ の $3 \times 10^{18} / \text{cm}^3$ のシリコンドープ n 型GaAsバッファ層2と、バッファ層2の上層に形成された 3×1 シリコンドープの n 型半導体多層反射膜3と、さらにこの上層に形成された量子井戸活性層4と、 3×10^{18} ベリリウムドープの p 型半導体多層反射膜5と、 $2 \times 10^{19} / \text{cm}^3$ 、膜厚 10nm の高濃度ドープのGaAsコンタクト層との積層構造体からなり、非発光領域をプロトン注入により形成し、電極パターン6を形成することにより得られ、直径 $5 \mu\text{m}$ の円形状の発光点LPが配列形成されている。そして、この図2に拡大説明図を示すように主走査方向に沿って1列に配置されるとともに副走査方向に4行となるように発光点が配列されたレーザチップが、この発光点の主配列方向(主走査方向に)対して端面S1, S2が 60 度の角度をなすように配列接続せしめられている。

20

【0028】

次にこのレーザアレイ装置の製造工程に従って詳細に説明する。

【0029】

まず $2 \times 10^{18} / \text{cm}^3$ シリコンドープの(100) n 型GaAs結晶で構成された n 型GaAs基板1表面に、有機金属気相成長法(MOCVD)により膜厚 $0.2 \mu\text{m}$ のGaAsバッファ層2を形成する。成長に際しては、原料ガスとしてトリエチルガリウム(TEGa), トリエチルアルミニウム(TEAl), トリエチルインジウム(TEIn), アルシン(AsH_3)を使用し、成長温度 600°C 、反応管内を $1 \times 10^{-4} \text{Pa}$ に減圧し、水素キャリアガスをも含めて全ガス流量を4リットル/分とした。またドーピング用の不純物として、シリコン(Si)を用いた。

30

【0030】

次に、この n 型GaAsバッファ層2表面に n 型半導体多層反射膜3を形成する。まず、MOCVD装置の反応管内に所望の分圧のTEGaと、TEAlと、 AsH_3 を流し、GaAlAs層を成長させる。次にそのままガスを切り替え、 AsH_3 、TEAlを所望の分圧で、反応管内に供給すればAlAs層が形成される。さらにMOCVD装置の反応管内にTEGaと、TEAlと、 AsH_3 とを流しGaAlAs層を成長させる。このようにして膜厚 9.9nm の $\text{Al}_{0.58}\text{Ga}_{0.42}\text{As}$ 、膜厚 60.4nm のAlAs、膜厚 51.5nm の $\text{Al}_{0.16}\text{Ga}_{0.84}\text{As}$ の積層体を27.5周期繰り返した積層構造で n 型半導体多層反射膜を形成する。

40

続いてMOCVD装置に、TEGaと、TEAlと、 AsH_3 とを所望の分圧にして流し順次、膜厚 7.0nm の $\text{Al}_{0.30}\text{Ga}_{0.70}\text{As}$ 、膜厚 10nm のAlAs、膜厚 89.8nm の $\text{Al}_{0.60}\text{Ga}_{0.40}\text{As}$ の積層体を4周期繰り返した積層構造で活性層4を形成する。

【0031】

同様にしてガスを切り替え、膜厚 9.9nm の $\text{Al}_{0.58}\text{Ga}_{0.42}\text{As}$ 、膜厚 60.4nm のAlAs、膜厚 51.5nm の $\text{Al}_{0.16}\text{Ga}_{0.84}\text{As}$ の積層体を19周期繰り返した積層構造で p 型半導体多層反射膜5を形成する。

この後、 $2 \times 10^{19} / \text{cm}^3$ 、膜厚 10nm の高濃度ドープのGaAsコンタクト層6

50

cを形成し、最後に、プロトン注入により非発光領域を形成し、直径 $5\mu\text{m}$ の円形状の発光点LPを形成する。発光点の配列パターン6は、主走査方向に $21\mu\text{m}$ ピッチ、副走査方向には $36\mu\text{m}$ ピッチの4列とした。ただし、ダイシングマシンで切断する場所の第1列目の発光点と第4列目の発光点との間の主走査方向のピッチは $21\mu\text{m}$ より大きくした。さらに電流注入のためのAuZn層からなるp側電極パターン6を形成する。ここでボンディングパッドBPは副走査方向の両側に引き出して形成した。この後、GaAs基板の裏面全体にAuGeNi層を蒸着してn側電極7を形成する。

【0032】

このようにして形成されたレーザ基板をダイシングマシンにより、第1列目の発光点と第4列目の発光点との間を発光点配列方向と平行に切断し、平行四辺形形状のチップを切り出した。このときのチップ端面と発光点の距離は約 $30\mu\text{m}$ とし、主走査方向のチップ長さは 5mm 、副走査方向のチップ幅は 1mm とした。このチップをダイボンディングマシンでセラミック板に60個固着接続し、最終的には 300mm 長さのレーザアレイ装置を作製した。

10

【0033】

そのチップ接続後の位置関係は図3に示すように、同じ列の発光点の主走査方向の間隔が $84\mu\text{m}$ で、隣接するチップの最近接発光点の間隔は $72\mu\text{m}$ とした。これにより、長手方向には $21\mu\text{m}$ ピッチと高密度の発光点密度を達成することができた。

【0034】

なお、前記実施例では、各チップを1直線状に配列したが、このチップを図2、図3の副走査方向に平行移動し、千鳥状の配置にして接続することもできる。この場合、隣接するチップの最近接発光点の距離はさらに拡大され、チップ接続端面と発光点との間のマージンを大きくとることができる。

20

【0035】

次に、本発明の第2の実施例について説明する。

前記第1の実施例では、p側電極を裏面に形成したが、この例ではn側電極p側電極共に表面側に取り出し、マトリックス配線を行う。

発光点の形成のためのプロトン注入まで前記実施例と同様にして面発光レーザを形成するが、電極形成に際し、図5に示すように発光点LPの横方向の電極をp側電極16とし、斜め方向の電極をn側電極17とした。

30

【0036】

製造に際しては、各層を形成し、プロトン注入により発光点を形成した後、各発光点の近傍にn型半導体多層反射膜に達するまで矩形のエッチングを施し、この上層にn側電極17となるAuGeNi膜を蒸着し、パターンニングする。

【0037】

次に絶縁層として窒化シリコン層をスパッタリング法により形成し、n側電極のボンディングパッドに相当する部分と、発光点に対して前記矩形の部分に対して反対側の部分に位置する矩形部分とに、開口を形成し、さらに前記矩形部分にコンタクトするようにp側電極16を形成する。

【0038】

このようにして形成されたマトリックス配線の面発光アレイレーザを、前記第1の実施例と同様に発光点に対して斜めに($\theta = 60^\circ$)なるように切断し、平行四辺形のチップを作製した。

40

【0039】

そしてこれらをセラミック基板上に載置して固着接続し、長手方向の発光点密度の高いレーザアレイ装置を得る。

【0040】

この例では発光点密度は前記第1の実施例と同様であるが、このように電極をマトリックス配線することにより電極配線数を約 $1/4$ に低減することができ、配線スペースに余裕をもたせることができ、配線接触を防ぐことができ歩留まりが大幅に向上する。

50

【0041】

次に本発明の第3の実施例として、前記第1および第2の実施例で説明したレーザアレイ装置を用いて形成した光源装置について説明する。

【0042】

この光源装置は図6に示すように、前記第1の実施例で形成したマルチチップレーザアレイ装置10を発光点の前面にすべての発光点の光束を結像レンズ30に導くためのフィールドレンズ20と、フィールドレンズ20の前方に配設され、感光ドラム40上に結像する結像レンズ30とから構成されている。

【0043】

この光源装置によれば、感光ドラム面上に1対1の倍率で主走査方向に1200dpiの結像点密度の高画質印字を達成することが可能となる。 10

【0044】

次に本発明の第4の実施例として、前記第1および第2の実施例で説明したレーザアレイ装置を用いて形成した光源装置について説明する。

【0045】

この光源装置は図7に示すように、前記第1の実施例で形成したマルチチップレーザアレイ装置10を発光点の前面にすべての発光点の光束をフィールドレンズ結像レンズ50に導き、さらに球面ミラー60を介してポリゴンミラー70、fθレンズ71に導き平面ミラー80で反射しスクリーン面90に導くようになっている。

【0046】

この装置では簡単に高精彩度の映像を大画面に映し出すことができる。 20

【0047】

なお前記実施例ではマルチチップレーザアレイを1個用いた例について説明したが、赤色、緑色、青色を出射する3種類のマルチチップレーザアレイを用いてもよいことはいうまでもない。

【0048】

次に本発明の第5の実施例として、シリコン基板上に形成したCCD受光素子アレイチップを接続して受光素子アレイ装置を構成する例について説明する。

【0049】

図8に示すように、この受光素子アレイ装置は、受光点SPが、縦方向に100μmピッチ(y)、横方向に80μmピッチ(x)で10×10の格子をなすように規則正しく配列された長方形形状にアレイチップを形成する。 30

【0050】

このチップでは、受光点の配列方向と、チップ端面とは垂直になっている。この受光素子アレイチップを受光信号の移動方向に対して

$\theta = \tan^{-1} (8/10)$ となる角度θ(4.57°)だけ傾けて、図の基線にあわせてセラミック基板の上に順次5個のチップCh1, Ch2…を固着した。かかる構成によれば、基線方向の受光素子密度は7.97μmピッチと高密度であるが、隣接するチップの最近接受光点の間隔は100μmと80μmであり、チップ端面と受光点の間隔を余裕をもつて広くとることができる。ここでもチップ端面は最近接受光点を結ぶ線の垂直二等分線上にある。 40

【0051】

このように格子状に規則正しく配列された受光点をもつ長方形チップを斜めに傾けて接続するのみで、チップ繋ぎ面の受光点間隔がひろく、切断しやすくかつ固定し易くかつ受光点の配列密度の高いマルチチップ受光素子アレイ装置を得ることができる。

【0052】

なお、配列数やピッチについては前記実施例に限定されことなく適宜変更可能である。

【0053】

また、前記実施例では、受光手段としてCCD受光素子アレイチップを用いたが、アモルファスシリコン受光素子あるいは多結晶シリコン受光素子等を用いても良いことはいうま 50

でもない。

【0054】

なお、以上に示した実施例では、各チップは平行四辺形または長方形をなすように切断をおこなったがこれに限定されることなく図9（a） および（b） に示すように矩形でも長方形でも三角形でもよい。

【0055】

さらにまた図10に示すように、少なくとも2つの三角形のチップの間に台形状のチップを配列した構造も有効である。なおこの例では、円形などの半導体ウェハから平行四辺形などのチップを切り出した後に残る、切り端部分を三角形形状で有効に切り出し利用することができるという効果がある。

10

【0056】

【発明の効果】

以上説明してきたように、本発明によれば、主走査方向の発光点の配列密度は所望の状態に保持しつつ、最近接発光点までの距離を拡大することができる。

【0057】

そしてその最近接発光点を結ぶ直線を2等分し、かつ発光点配列とほぼ平行な直線をチップ接続端面とすることにより、チップ切断の誤差などが問題にならない程度まで発光点とチップ端面との間隔を広くとることができ、主走査方向の高密度化を実現することが可能となる。

【図面の簡単な説明】

20

【図1】 本発明実施例の光源装置に用いられる面発光型レーザアレイ装置の説明図

【図2】 同装置の概要図

【図3】 同装置の平面図

【図4】 同装置の要部の断面図および上面図

【図5】 本発明の第2の実施例のレーザアレイを示す図

【図6】 本発明の第3の実施例の光源装置を示す図

【図7】 本発明の第4の実施例の光源装置を示す図

【図8】 本発明の第5の実施例の受光素子アレイを示す図

【図9】 本発明の他の実施例のチップ配列を示す図

【図10】 本発明の他の実施例の発光点とチップ配列とを示す図

30

【図11】 従来例のLEDプリンタ用光源の発光素子アレイを示す図

【図12】 従来例のマルチチップアレイを示す図

【符号の説明】

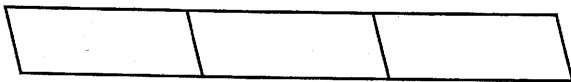
- 1 n型GaAs基板
- 2 n型バッファ層
- 3 n型半導体多層反射膜
- 4 活性層
- 5 p型半導体多層反射膜
- 6 c p型コンタクト層
- 6 p側電極
- 7 n側電極
- 10 マルチチップレーザアレイ装置
- 20 フィールドレンズ
- 30 結像レンズ
- 40 感光ドラム
- 50 結像レンズ
- 60 球面ミラー
- 70 ポリゴンミラー
- 71 fθレンズ
- 80 平面ミラー

40

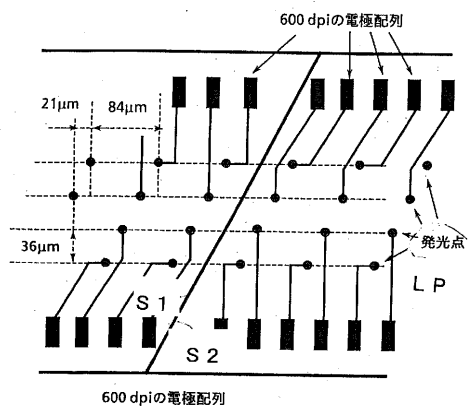
50

90 スクリーン面
 LP 発光点
 BP ボンディングパッド
 Ch1, Ch2 半導体チップ
 SP 受光点

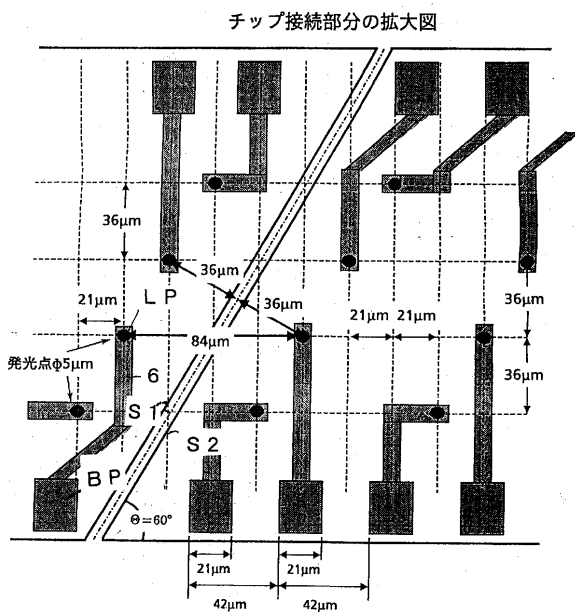
【図1】



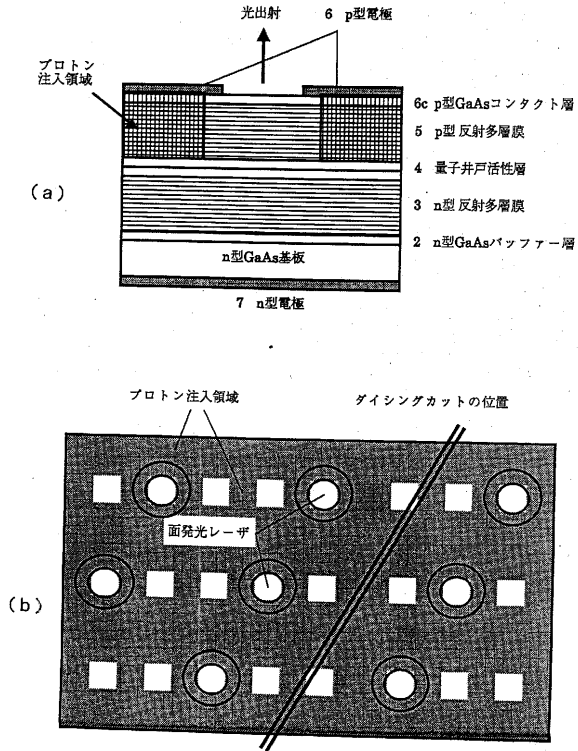
【図2】



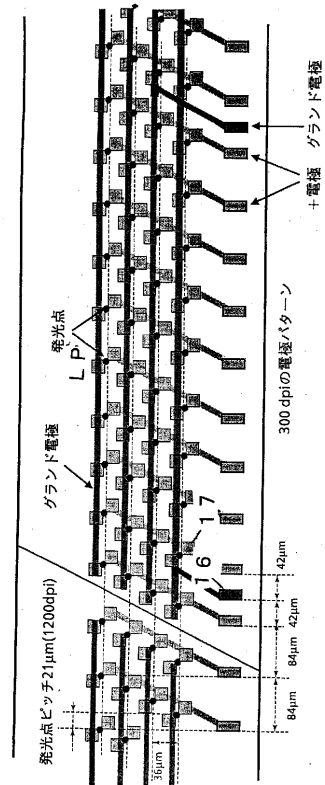
【図3】



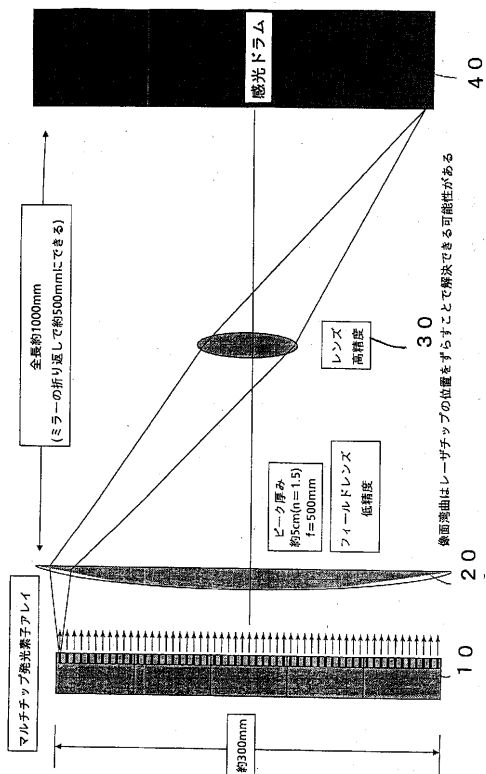
【図 4】



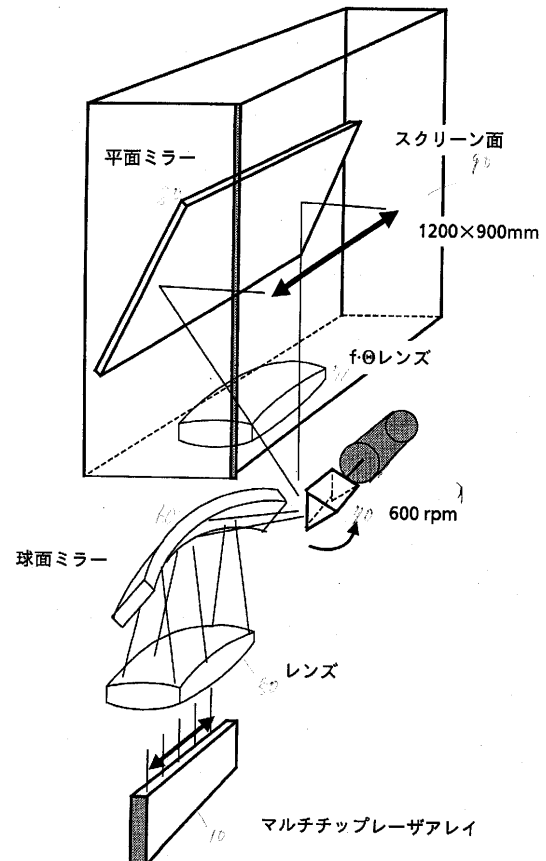
【図 5】



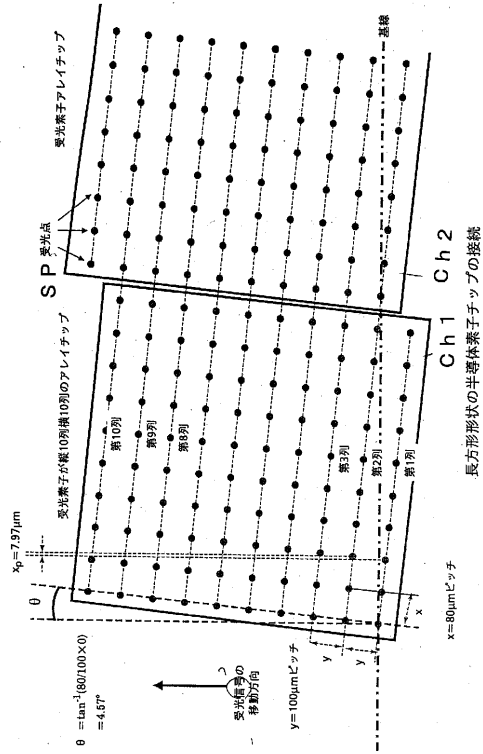
【図 6】



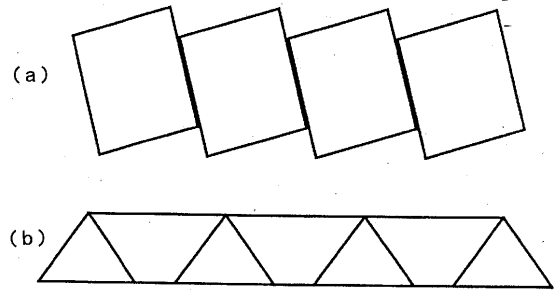
【図 7】



【図 8】

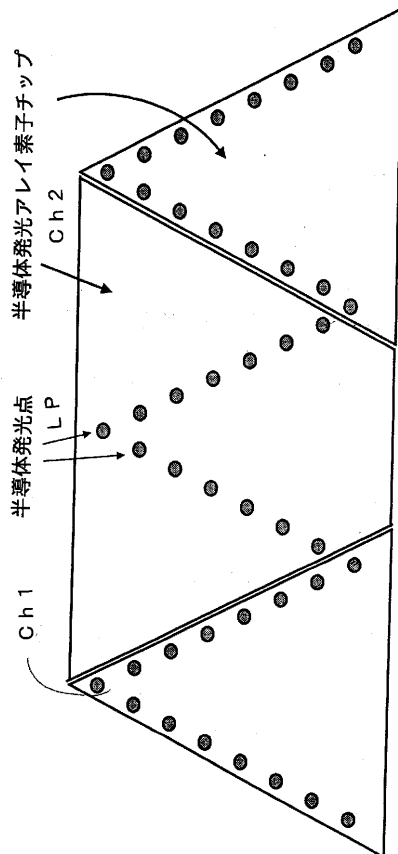


【図 9】

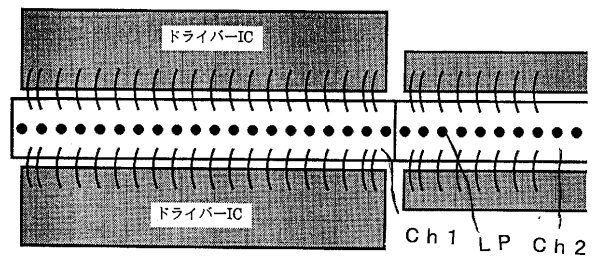


本発明による半導体発光素子アレイのチップ接続構造

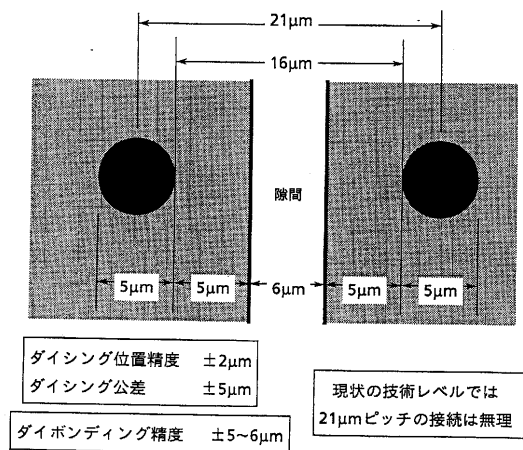
【図 10】



【図 11】



【図 12】



フロントページの続き

(51)Int.Cl.⁷ F I

H 0 1 S 5/02

H 0 4 N 1/04

(72)発明者 植木 伸明

神奈川県海老名市本郷 2 2 7 4 番地 富士ゼロックス株式会社 海老名事業所内

(72)発明者 布施 マリオ

神奈川県海老名市本郷 2 2 7 4 番地 富士ゼロックス株式会社 海老名事業所内

審査官 柏崎 康司

(56)参考文献 特開平 0 7 - 1 5 3 9 9 4 (J P, A)

特開平 0 7 - 2 3 5 6 9 7 (J P, A)

特開昭 6 1 - 2 3 7 4 8 4 (J P, A)

特開昭 6 1 - 2 3 7 4 8 3 (J P, A)

特開昭 5 8 - 2 0 3 0 7 1 (J P, A)

特開昭 6 0 - 0 2 7 5 6 5 (J P, A)

実開平 0 4 - 0 5 4 8 5 6 (J P, U)

実開平 0 4 - 0 4 8 6 4 7 (J P, U)

実開昭 6 3 - 0 6 4 0 6 2 (J P, U)

(58)調査した分野(Int.Cl.⁷, D B名)

H 0 1 L 3 3 / 0 0