

	(19) 대한민국특허청(KR) (12) 공개특허공보(A)	(11) 공개번호 10-2016-0065705 (43) 공개일자 2016년06월09일
(51) 국제특허분류(Int. Cl.) G11C 16/26 (2006.01) G11C 16/06 (2006.01)		(71) 출원인 계명대학교 산학협력단 대구광역시 달서구 달구벌대로 1095 (신당동)
(21) 출원번호 10-2014-0170089		(72) 발명자 채용웅 대구광역시 달서구 달서대로 719 한화꿈에그린아파트 105동 502호
(22) 출원일자 2014년12월01일 심사청구일자 2014년12월01일		도왕록 대구광역시 수성구 고산로 123 하나아파트
		(74) 대리인 김건우

전체 청구항 수 : 총 17 항

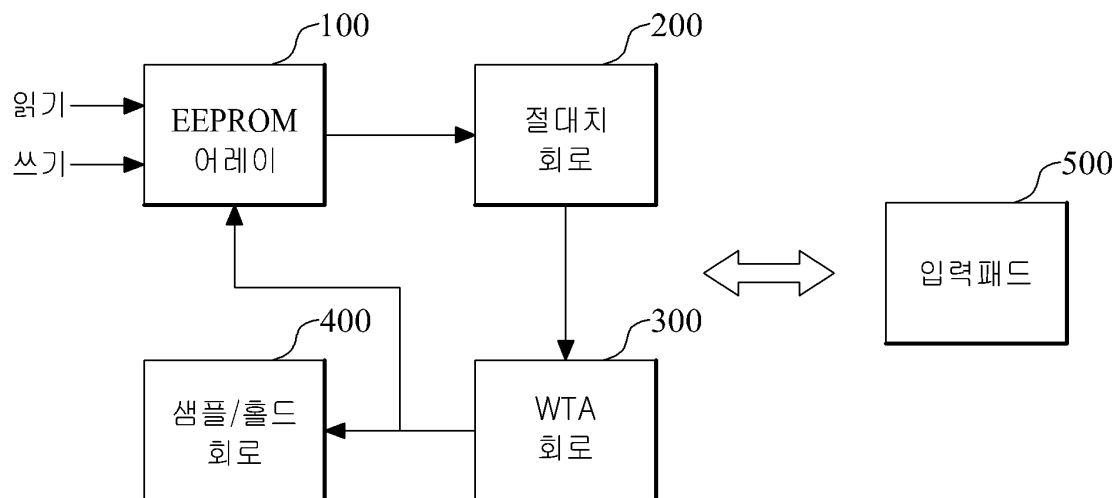
(54) 발명의 명칭 전계효과 강화 더블 폴리 이이피롬 어레이를 이용한 록업 테이블

(57) 요약

본 발명은 전계효과 강화 더블 폴리 이이피롬 어레이를 이용한 록업 테이블에 관한 것으로서, 보다 구체적으로는 $M \times N$ 어레이(M 및 N은 각각 자연수)로 배열되는 복수의 메모리 셀(MCL)을 포함하는 메모리 셀 어레이(100); 상기 메모리 셀 어레이(100)에 저장된 아날로그 신호와 외부로부터 전달된 입력 신호가 입력되는 절대치 회로(200);

(뒷면에 계속)

대표도 - 도1



및 상기 절대치 회로(200)의 출력값을 제공받는 WTA 회로(300)를 포함하고, 상기 메모리 셀(MCL)은 각각, 더블 폴리 이이피롬으로 구성되는 셀 트랜지스터; 및 상기 셀 트랜지스터의 게이트 전극에 대해 제1 단자가 연결되는 셀 커패시터를 포함하고, 상기 메모리 셀 어레이(100)는, 행 방향으로 배열되는 메모리 셀(MCL)들 간에, 상기 셀 트랜지스터의 소스 전극은 소스 전극끼리 연결되고, 드레인 전극은 드레인 전극끼리 연결되며, 게이트 전극에 연결되는 상기 제1 단자는 제1 단자끼리 연결되고, 열 방향으로 배열되는 메모리 셀(MCL)들 간에, 상기 셀 커패시터의 제1 단자에 반대되는 제2 단자끼리 연결되며, 상기 더블 폴리 이이피롬은, 전자의 유출입 방향을 따라 전계의 세기가 증가하도록 일단이 연장되는 부유 게이트(110); 상기 부유 게이트(110) 상에 중첩하는 콘트롤 게이트(120); 및 상기 콘트롤 게이트(120)에 이격되고, 상기 부유 게이트(110)의 연장된 단부가 삽입되어 상기 부유 게이트(110)에 전기적으로 연결되는 인젝터(130)를 포함하는 것을 그 구성상의 특징으로 한다.

본 발명에서 제안하고 있는 전계효과 강화 더블 폴리 이이피롬 어레이를 이용한 록업 테이블에 따르면, $M \times N$ 어레이(M 및 N 은 각각 자연수)로 배열되는 복수의 메모리 셀을 포함하는 메모리 셀 어레이와, 메모리 셀 어레이에 저장된 아날로그 신호와 외부로부터 전달된 입력 신호가 입력되는 절대치 회로와, 절대치 회로의 출력값을 제공받는 WTA 회로를 포함하되, 메모리 셀은 각각, 더블 폴리 이이피롬으로 구성되는 셀 트랜지스터와, 셀 트랜지스터의 게이트 전극에 대해 제1 단자가 연결되는 셀 커패시터를 포함하고, 메모리 셀 어레이는, 행 방향으로 배열되는 메모리 셀들 간에, 셀 트랜지스터의 소스 전극은 소스 전극끼리 연결되고, 드레인 전극은 드레인 전극끼리 연결되며, 게이트 전극에 연결되는 제1 단자는 제1 단자끼리 연결되고, 열 방향으로 배열되는 메모리 셀들 간에, 셀 커패시터의 제1 단자에 반대되는 제2 단자끼리 연결됨으로써, 병렬 처리가 가능한 아날로그 신호 방식의 아날로그 메모리를 이용하여 고속이면서 집적도가 높고 불활성 특성을 나타내는 록업 테이블을 구현할 수 있다.

이 발명을 지원한 국가연구개발사업

과제고유번호	B0008866
부처명	산업통상자원부
연구관리전문기관	한국산업기술진흥원
연구사업명	지역혁신센터(RIC)조성사업
연구과제명	예측설계기반 전자화자동차부품지역혁신센터
기 여 율	1/1
주관기관	계명대학교 산학협력단
연구기간	2006.03.01 ~ 2016.02.28

명세서

청구범위

청구항 1

더블 폴리 이이피롬 어레이를 이용한 록업 테이블로서,
 $M \times N$ 어레이(M 및 N 은 각각 자연수)로 배열되는 복수의 메모리 셀(MCL)을 포함하는 메모리 셀 어레이(100);
 상기 메모리 셀 어레이(100)에 저장된 아날로그 신호와 외부로부터 전달된 입력 신호가 입력되는 절대치 회로(200); 및
 상기 절대치 회로(200)의 출력값을 제공받는 WTA 회로(300)를 포함하고,
 상기 메모리 셀(MCL)은 각각,
 더블 폴리 이이피롬으로 구성되는 셀 트랜지스터; 및
 상기 셀 트랜지스터의 게이트 전극에 대해 제1 단자가 연결되는 셀 커패시터를 포함하고,
 상기 메모리 셀 어레이(100)는,
 행 방향으로 배열되는 메모리 셀(MCL)들 간에, 상기 셀 트랜지스터의 소스 전극은 소스 전극끼리 연결되고, 드레인 전극은 드레인 전극끼리 연결되며, 게이트 전극에 연결되는 상기 제1 단자는 제1 단자끼리 연결되고,
 열 방향으로 배열되는 메모리 셀(MCL)들 간에, 상기 셀 커패시터의 제1 단자에 반대되는 제2 단자끼리 연결되며,
 상기 더블 폴리 이이피롬은,
 전자의 유출입 방향을 따라 전계의 세기가 증가하도록 일단이 연장되는 부유 게이트(110);
 상기 부유 게이트(110) 상에 중첩하는 컨트롤 게이트(120); 및
 상기 컨트롤 게이트(120)에 이격되고, 상기 부유 게이트(110)의 연장된 단부가 삽입되어 상기 부유 게이트(110)에 전기적으로 연결되는 인젝터(130)를 포함하는 것을 특징으로 하는 전계효과 강화 더블 폴리 이이피롬 어레이를 이용한 록업 테이블.

청구항 2

제1항에 있어서, 상기 메모리 셀 어레이(100)는,
 상기 메모리 셀(MCL)이 2×2 어레이로 배열되는 것을 특징으로 하는, 전계효과 강화 더블 폴리 이이피롬 어레이를 이용한 록업 테이블.

청구항 3

제1항에 있어서,
 상기 메모리 셀 어레이(100)에 포함된 어느 하나의 메모리 셀(MCL)에 쓰기 동작이 수행되는 경우, 상기 메모리 셀(MCL)의 열에는 제1 전압이 인가되고, 상기 메모리 셀(MCL)의 행에는 상기 제1 전압보다 작은 제2 전압이 인가되며, 상기 메모리 셀 어레이(100)의 나머지 열에는 상기 제2 전압이 인가되고, 상기 메모리 셀 어레이(100)의 나머지 행은 접지되는 것을 특징으로 하는, 전계효과 강화 더블 폴리 이이피롬 어레이를 이용한 록업 테이블.

청구항 4

제1항에 있어서,

상기 메모리 셀 어레이(100)에 포함된 어느 하나의 메모리 셀(MCL)에 소거 동작이 수행되는 경우, 상기 메모리 셀(MCL)의 열은 접지되고, 상기 메모리 셀(MCL)의 행에는 제2 전압이 인가되며, 상기 메모리 셀 어레이(100)의 나머지 열 및 행에는 각각, 상기 제2 전압보다 큰 제1 전압이 인가되는 것을 특징으로 하는, 전계효과 강화 더블 폴리 이이피롬 어레이를 이용한 록업 테이블.

청구항 5

제3항 또는 제4항에 있어서,

상기 제1 전압은 상기 제2 전압의 2배인 것을 특징으로 하는, 전계효과 강화 더블 폴리 이이피롬 어레이를 이용한 록업 테이블.

청구항 6

제1항에 있어서,

상기 입력 신호를 전달하는 입력 패드(500); 및

상기 입력 패드(500)로부터 제공되는 신호를 레치하는 샘플/홀드 회로(400)를 더 포함하는 것을 특징으로 하는, 전계효과 강화 더블 폴리 이이피롬 어레이를 이용한 록업 테이블.

청구항 7

제1항에 있어서,

상기 절대치 회로(200)의 출력값은 상기 아날로그 신호 및 상기 입력 신호 간의 차이의 절대값인 것을 특징으로 하는, 전계효과 강화 더블 폴리 이이피롬 어레이를 이용한 록업 테이블.

청구항 8

제7항에 있어서, 상기 WTA 회로(300)는,

상기 메모리 셀 어레이(100) 중 상기 아날로그 신호 및 입력 신호 간의 차이가 가장 작은 메모리 셀(MCL)의 출력 값을 논리 1로 출력시키고, 나머지 메모리 셀(MCL)의 출력 값을 논리 0으로 출력시키는 것을 특징으로 하는, 전계효과 강화 더블 폴리 이이피롬 어레이를 이용한 록업 테이블.

청구항 9

제1항에 있어서, 상기 절대치 회로(200)는,

상기 메모리 셀 어레이(100)의 메모리 셀들에 각각 연결되는 것을 특징으로 하는, 전계효과 강화 더블 폴리 이이피롬 어레이를 이용한 록업 테이블.

청구항 10

제1항에 있어서, 상기 절대치 회로(200)는,

차동 증폭기(DA);

상기 차동 증폭기(DA)의 일 단자에 연결되는 제1 MOS 트랜지스터(MN1);

상기 제1 MOS 트랜지스터(MN1)에 연결되는 제1 커패시터(C1);

상기 차동 증폭기(DA)의 상기 일 단자에 상기 제1 MOS 트랜지스터(MN1)와 병렬로 연결되는 제2 MOS 트랜지스터(MN2); 및

상기 제2 MOS 트랜지스터(MN2)에 연결되는 제2 커패시터(C2)를 포함하는 것을 특징으로 하는, 전계효과 강화 더블 폴리 이이피롬 어레이를 이용한 록업 테이블.

청구항 11

제10항에 있어서,

상기 차동 증폭기(DA)의 출력 단자는, 상기 WTA 회로(300)의 입력 단자에 연결되는 것을 특징으로 하는, 전계효과 강화 더블 폴리 이이피롬 어레이를 이용한 록업 테이블.

청구항 12

제11항에 있어서,

상기 차동 증폭기(DA)의 출력값은, 상기 제1 커패시터(C1) 및 제2 커패시터(C2)의 전압 차이의 절대값에 비례하는 것을 특징으로 하는, 전계효과 강화 더블 폴리 이이피롬 어레이를 이용한 록업 테이블.

청구항 13

제1항에 있어서, 상기 WTA 회로(300)는,

상기 메모리 셀 어레이(100)의 각 메모리 셀(MCL)에 연결된 상기 절대치 회로(200)에 연결되는 부분 회로들(PC); 및

상기 부분 회로들(PC)의 출력 단자에 공통으로 연결되는 제3 MOS 트랜지스터(MN3)를 포함하는 것을 특징으로 하는, 전계효과 강화 더블 폴리 이이피롬 어레이를 이용한 록업 테이블.

청구항 14

제13항에 있어서, 각각의 상기 부분 회로(PC)는,

상기 절대치 회로(200)의 출력 단자에 게이트 전극이 연결되는 제4 MOS 트랜지스터(MN4);

상기 제4 MOS 트랜지스터의 소스 전극에 연결되는 제5 MOS 트랜지스터(MN5); 및

상기 제4 MOS 트랜지스터(MN4)의 드레인 전극에 연결되는 제6 MOS 트랜지스터(MN6) 및 제7 MOS 트랜지스터(MP1)를 포함하는 것을 특징으로 하는, 전계효과 강화 더블 폴리 이이피롬 어레이를 이용한 록업 테이블.

청구항 15

제14항에 있어서,

상기 제4 MOS 트랜지스터(MN4)의 드레인 전극은 상기 제6 MOS 트랜지스터(MN6)의 게이트 전극 및 상기 제7 MOS 트랜지스터(MP1)의 드레인 전극에 연결되는 것을 특징으로 하는, 전계효과 강화 더블 폴리 이이피롬 어레이를 이용한 록업 테이블.

청구항 16

제15항에 있어서,

상기 제6 MOS 트랜지스터(MN6)의 드레인 전극은 상기 제3 MOS 트랜지스터(MN3)의 소스 전극 및 상기 제5 MOS 트랜지스터(MN5)의 게이트 전극에 연결되는 것을 특징으로 하는, 전계효과 강화 더블 폴리 이이피롬 어레이를 이용한 록업 테이블.

청구항 17

제16항에 있어서,

상기 제7 MOS 트랜지스터(MP1)의 게이트 전극에 대하여, 상기 메모리 셀 어레이(100) 각각에서 동일한 바이어스 전압이 인가되는 것을 특징으로 하는, 전계효과 강화 더블 폴리 이이피롬 어레이를 이용한 록업 테이블.

발명의 설명

기술 분야

[0001] 본 발명은 록업 테이블(look-up table, LUT)에 관한 것으로서, 보다 구체적으로는 전계효과 강화 더블 폴리 이이피롬(electrically erasable programmable read only memory, EEPROM) 어레이를 이용한 록업 테이블에 관한 것이다.

배경 기술

[0002] 일반적으로 비휘발성 메모리(non volatile memory)는, 게이트로 작용하는 다결정(poly) 실리콘층이 단일 층인 단일 폴리 이이피롬(single poly EEPROM), 두 개의 다결정 실리콘층이 수직으로 적층된 적층 게이트(stack gate, ETOX), 단일 폴리 이이피롬(EEPROM)과 적층 게이트의 중간에 해당하는 듀얼 폴리(dual poly) 이이피롬(EEPROM) 및 분리 게이트(split gate) 등의 종류가 있다. 통상적으로, 이이피롬(EEPROM)은 전기적으로 소거와 쓰기가 가능하며 전원 전압이 오프 되어도 데이터가 보존되는 특징이 있다. 또한, 터널링(tunneling)을 이용하여 전기적으로 소거(erase)와 프로그래밍(programming)이 가능하기 때문에 사용자가 정보를 변경할 수 있다.

[0003] 한편, 인터넷망의 발달로 최근 들어 통신망의 발달과 함께 네트워크의 접속에 있어 고속 라우팅의 필요성이 강조되면서 WTA(winner-take-all) 메커니즘을 이용한 메모리 기술이 강조되고 있다. 이러한 메모리 기술은 고속 변환 데이터베이스의 정보를 저장하고 수정할 뿐 아니라, 패턴을 매칭시키는 등 응용 분야에도 널리 이용되고 있다.

[0004] 다만, 종래의 메모리 기술에서는, 값의 비교를 위한 어레이의 크기가 일반적인 메모리에 비해 상대적으로 큰 구조적 문제가 있어, 대용량으로 제작하기에 적합하지 않는 문제가 있다. 또한, 메모리에 저장될 수 있는 논리 값이 1 또는 0의 상태로만 표현됨에 따라, 대용량의 데이터를 저장하기 위하여 어레이의 크기가 과도하게 커지는 한계가 있다.

발명의 내용

해결하려는 과제

[0005] 본 발명은 기존에 제안된 방법들의 상기와 같은 문제점들을 해결하기 위해 제안된 것으로서, 더블 폴리 이이피롬 어레이를 이용한 록업 테이블이, $M \times N$ 어레이(M 및 N 은 각각 자연수)로 배열되는 복수의 메모리 셀을 포함하는 메모리 셀 어레이와, 메모리 셀 어레이에 저장된 아날로그 신호와 외부로부터 전달된 입력 신호가 입력되는 절대치 회로와, 절대치 회로의 출력값을 제공받는 WTA 회로를 포함하되, 메모리 셀은 각각, 더블 폴리 이이피롬으로 구성되는 셀 트랜지스터와, 셀 트랜지스터의 게이트 전극에 대해 제1 단자가 연결되는 셀 커패시터를 포함하고, 메모리 셀 어레이는, 행 방향으로 배열되는 메모리 셀들 간에, 셀 트랜지스터의 소스 전극은 소스 전극끼리 연결되고, 드레인 전극은 드레인 전극끼리 연결되며, 게이트 전극에 연결되는 제1 단자는 제1 단자끼리 연결

되고, 열 방향으로 배열되는 메모리 셀들 간에, 셀 커패시터의 제1 단자에 반대되는 제2 단자끼리 연결됨으로써, 병렬 처리가 가능한 아날로그 신호 방식의 아날로그 메모리를 이용하여 고속이면서 집적도가 높고 불활성 특성을 나타내는 룩업 테이블을 구현할 수 있는, 전계효과 강화 더블 폴리 이이피롬 어레이를 이용한 룩업 테이블을 제공하는 것을 그 목적으로 한다.

과제의 해결 수단

- [0006] 상기한 목적을 달성하기 위한 본 발명의 특징에 따른 전계효과 강화 더블 폴리 이이피롬 어레이를 이용한 룩업 테이블은,
- [0007] $M \times N$ 어레이(M 및 N 은 각각 자연수)로 배열되는 복수의 메모리 셀을 포함하는 메모리 셀 어레이;
- [0008] 상기 메모리 셀 어레이에 저장된 아날로그 신호와 외부로부터 전달된 입력 신호가 입력되는 절대치 회로; 및
- [0009] 상기 절대치 회로의 출력값을 제공받는 WTA 회로를 포함하고,
- [0010] 상기 메모리 셀은 각각,
- [0011] 더블 폴리 이이피롬으로 구성되는 셀 트랜지스터; 및
- [0012] 상기 셀 트랜지스터의 게이트 전극에 대해 제1 단자가 연결되는 셀 커패시터를 포함하고,
- [0013] 상기 메모리 셀 어레이는,
- [0014] 행 방향으로 배열되는 메모리 셀들 간에, 상기 셀 트랜지스터의 소스 전극은 소스 전극끼리 연결되고, 드레인 전극은 드레인 전극끼리 연결되며, 게이트 전극에 연결되는 상기 제1 단자는 제1 단자끼리 연결되고,
- [0015] 열 방향으로 배열되는 메모리 셀들 간에, 상기 셀 커패시터의 제1 단자에 반대되는 제2 단자끼리 연결되며,
- [0016] 상기 더블 폴리 이이피롬은,
- [0017] 전자의 유출입 방향을 따라 전계의 세기가 증가하도록 일단이 연장되는 부유 게이트;
- [0018] 상기 부유 게이트 상에 중첩하는 컨트롤 게이트; 및
- [0019] 상기 컨트롤 게이트에 이격되고, 상기 부유 게이트의 연장된 단부가 삽입되어 상기 부유 게이트에 전기적으로 연결되는 인젝터를 포함하는 것을 그 구성상의 특징으로 한다.
- [0020] 바람직하게는, 상기 메모리 셀 어레이는,
- [0021] 상기 메모리 셀이 2×2 어레이로 배열되어 구성될 수 있다.
- [0022] 바람직하게는,
- [0023] 상기 메모리 셀 어레이에 포함된 어느 하나의 메모리 셀에 쓰기 동작이 수행되는 경우, 상기 메모리 셀의 열에는 제1 전압이 인가되고, 상기 메모리 셀의 행에는 상기 제1 전압보다 작은 제2 전압이 인가되며, 상기 메모리 셀 어레이의 나머지 열에는 상기 제2 전압이 인가되고, 상기 메모리 셀 어레이의 나머지 행은 접지되도록 구성될 수 있다.
- [0024] 바람직하게는,
- [0025] 상기 메모리 셀 어레이에 포함된 어느 하나의 메모리 셀에 소거 동작이 수행되는 경우, 상기 메모리 셀의 열은 접지되고, 상기 메모리 셀의 행에는 제2 전압이 인가되며, 상기 메모리 셀 어레이의 나머지 열 및 행에는 각각, 상기 제2 전압보다 큰 제1 전압이 인가되도록 구성될 수 있다.
- [0026] 더욱 바람직하게는,

- [0027] 상기 제1 전압은 상기 제2 전압의 2배로 구성될 수 있다.
- [0028] 바람직하게는,
- [0029] 상기 입력 신호를 전달하는 입력 패드; 및
- [0030] 상기 입력 패드로부터 제공되는 신호를 레치하는 샘플/홀드 회로를 더 포함하여 구성될 수 있다.
- [0031] 바람직하게는,
- [0032] 상기 절대치 회로의 출력값은 상기 아날로그 신호 및 상기 입력 신호 간의 차이의 절대값으로 구성될 수 있다.
- [0033] 바람직하게는, 상기 WTA 회로는,
- [0034] 상기 메모리 셀 어레이 중 상기 아날로그 신호 및 입력 신호 간의 차이가 가장 작은 메모리 셀의 출력 값을 논리 1로 출력시키고, 나머지 메모리 셀의 출력 값을 논리 0으로 출력시키도록 구성될 수 있다.
- [0035] 바람직하게는, 상기 절대치 회로는,
- [0036] 상기 메모리 셀 어레이의 메모리 셀들에 각각 연결되도록 구성될 수 있다.
- [0037] 바람직하게는, 상기 절대치 회로는,
- [0038] 차동 증폭기;
- [0039] 상기 차동 증폭기의 일 단자에 연결되는 제1 MOS 트랜지스터;
- [0040] 상기 제1 MOS 트랜지스터에 연결되는 제1 커패시터;
- [0041] 상기 차동 증폭기의 상기 일 단자에 상기 제1 MOS 트랜지스터와 병렬로 연결되는 제2 MOS 트랜지스터; 및
- [0042] 상기 제2 MOS 트랜지스터에 연결되는 제2 커패시터를 포함하여 구성될 수 있다.
- [0043] 바람직하게는,
- [0044] 상기 차동 증폭기의 출력 단자는, 상기 WTA 회로의 입력 단자에 연결되도록 구성될 수 있다.
- [0045] 바람직하게는,
- [0046] 상기 차동 증폭기의 출력값은, 상기 제1 커패시터 및 제2 커패시터의 전압 차이의 절대값에 비례하도록 구성될 수 있다.
- [0047] 바람직하게는, 상기 WTA 회로는,
- [0048] 상기 메모리 셀 어레이의 각 메모리 셀에 연결된 상기 절대치 회로에 연결되는 부분 회로들; 및
- [0049] 상기 부분 회로들의 출력 단자에 공통으로 연결되는 제3 MOS 트랜지스터를 포함하여 구성될 수 있다.
- [0050] 바람직하게는, 각각의 상기 부분 회로는,
- [0051] 상기 절대치 회로의 출력 단자에 게이트 전극이 연결되는 제4 MOS 트랜지스터;

- [0052] 상기 제4 MOS 트랜지스터의 소스 전극에 연결되는 제5 MOS 트랜지스터; 및
- [0053] 상기 제4 MOS 트랜지스터(MN4)의 드레인 전극에 연결되는 제6 MOS 트랜지스터 및 제7 MOS 트랜지스터를 포함하여 구성될 수 있다.
- [0054] 바람직하게는,
- [0055] 상기 제4 MOS 트랜지스터의 드레인 전극은 상기 제6 MOS 트랜지스터의 게이트 전극 및 상기 제7 MOS 트랜지스터의 드레인 전극에 연결되도록 구성될 수 있다.
- [0056] 바람직하게는,
- [0057] 상기 제6 MOS 트랜지스터의 드레인 전극은 상기 제3 MOS 트랜지스터의 소스 전극 및 상기 제5 MOS 트랜지스터의 게이트 전극에 연결되도록 구성될 수 있다.
- [0058] 바람직하게는,
- [0059] 상기 제7 MOS 트랜지스터의 게이트 전극에 대하여, 상기 메모리 셀 어레이 각각에서 동일한 바이어스 전압이 인가되도록 구성될 수 있다.

발명의 효과

- [0060] 본 발명에서 제안하고 있는 전계효과 강화 더블 폴리 이이피롬 어레이를 이용한 록업 테이블에 따르면, $M \times N$ 어레이(M 및 N 은 각각 자연수)로 배열되는 복수의 메모리 셀을 포함하는 메모리 셀 어레이와, 메모리 셀 어레이에 저장된 아날로그 신호와 외부로부터 전달된 입력 신호가 입력되는 절대치 회로와, 절대치 회로의 출력값을 제공받는 WTA 회로를 포함하되, 메모리 셀은 각각, 더블 폴리 이이피롬으로 구성되는 셀 트랜지스터와, 셀 트랜지스터의 게이트 전극에 대해 제1 단자가 연결되는 셀 커패시터를 포함하고, 메모리 셀 어레이는, 행 방향으로 배열되는 메모리 셀들 간에, 셀 트랜지스터의 소스 전극은 소스 전극끼리 연결되고, 드레인 전극은 드레인 전극끼리 연결되며, 게이트 전극에 연결되는 제1 단자는 제1 단자끼리 연결되고, 열 방향으로 배열되는 메모리 셀들 간에, 셀 커패시터의 제1 단자에 반대되는 제2 단자끼리 연결됨으로써, 병렬 처리가 가능한 아날로그 신호 방식의 아날로그 메모리를 이용하여 고속이면서 집적도가 높고 불활성 특성을 나타내는 록업 테이블을 구현할 수 있다.

도면의 간단한 설명

- [0061] 도 1은 본 발명의 일실시예에 따른 전계효과 강화 더블 폴리 이이피롬 어레이를 이용한 록업 테이블의 구성을 블록 도시한 도면.
- 도 2는 본 발명의 일실시예에 따른 전계효과 강화 더블 폴리 이이피롬 어레이를 이용한 록업 테이블의 메모리 셀을 도시한 도면.
- 도 3은 본 발명의 일실시예에 따른 전계효과 강화 더블 폴리 이이피롬 어레이를 이용한 록업 테이블의 메모리 셀 어레이를 도시한 도면.
- 도 4는 본 발명의 일실시예에 따른 전계효과 강화 더블 폴리 이이피롬 어레이를 이용한 록업 테이블의 메모리 셀 어레이에 포함되는 더블 폴리 이이피롬을 도시한 도면.
- 도 5는 본 발명의 일실시예에 따른 전계효과 강화 더블 폴리 이이피롬 어레이를 이용한 록업 테이블의 메모리 셀 어레이에 포함되는 더블 폴리 이이피롬의 단면을 도시한 도면.
- 도 6은 본 발명의 일실시예에 따른 본 발명의 일실시예에 따른 전계효과 강화 더블 폴리 이이피롬 어레이를 이용한 록업 테이블의 메모리 셀 어레이의 선형적 프로그래밍 특성을 도시한 도면.
- 도 7은 본 발명의 일실시예에 따른 본 발명의 일실시예에 따른 전계효과 강화 더블 폴리 이이피롬 어레이를 이용한 록업 테이블의 절대치 회로를 도시한 도면.

도 8은 본 발명의 일실시예에 따른 본 발명의 일실시예에 따른 전계효과 강화 더블 폴리 이이피롬 어레이를 이용한 록업 테이블의 각 블록에 연결된 절대치 회로 및 WTA 회로를 도시한 도면.

발명을 실시하기 위한 구체적인 내용

- [0062] 이하에서는 첨부된 도면을 참조하여 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자가 본 발명을 용이하게 실시할 수 있도록 바람직한 실시예를 상세히 설명한다. 다만, 본 발명의 바람직한 실시예를 상세하게 설명함에 있어, 관련된 공지 기능 또는 구성에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우에는 그 상세한 설명을 생략한다. 또한, 유사한 기능 및 작용을 하는 부분에 대해서는 도면 전체에 걸쳐 동일 또는 유사한 부호를 사용한다.
- [0063] 덧붙여, 명세서 전체에서, 어떤 부분이 다른 부분과 ‘연결’되어 있다고 할 때, 이는 ‘직접적으로 연결’되어 있는 경우뿐만 아니라, 그 중간에 다른 소자를 사이에 두고 ‘간접적으로 연결’되어 있는 경우도 포함한다. 또한, 어떤 구성요소를 ‘포함’한다는 것은, 특별히 반대되는 기재가 없는 한 다른 구성요소를 제외하는 것이 아니라 다른 구성요소를 더 포함할 수 있다는 것을 의미한다.
- [0064] 도 1은 본 발명의 일실시예에 따른 전계효과 강화 더블 폴리 이이피롬 어레이를 이용한 록업 테이블의 구성을 블록 도시한 도면이다. 도 1에 도시된 바와 같이, 본 발명의 일실시예에 따른 전계효과 강화 더블 폴리 이이피롬 어레이를 이용한 록업 테이블은 메모리 셀 어레이(100), 절대치 회로(200) 및 WTA 회로(300)를 포함하여 구성될 수 있으며, 입력 패드(500) 및 샘플/홀드 회로(400)를 더 포함하여 구성될 수 있다. 메모리 셀 어레이(100)는 복수의 메모리 셀들이 어레이 형태로 배열될 수 있다. 이때, 각각의 메모리 셀은 이이피롬(EEPROM)을 포함하여 구성될 수 있다. 입력 패드(500)로부터 제공되는 아날로그 신호는 샘플/홀드 회로(400)에 의해 레치되어 메모리 셀 어레이(100)의 각 셀의 신호와 비교될 수 있다. 이렇게 비교된 신호의 결과는 절대치 회로(200)의 입력이 되어 두 신호의 차이가 절대값 형태로 출력될 수 있다. 이 출력은 WTA 회로(300)의 입력 신호가 되어, 두 신호 간의 전위차가 가장 작은 메모리 셀에 해당하는 블록의 출력이 논리 값 1로 출력될 수 있고, 나머지 블록의 출력은 논리 값 0(zero)으로 출력될 수 있다. 그에 따라, 입력 신호와 가장 근접한 값을 갖는 메모리 셀의 블록이 선택될 수 있다. 이하에서는, 본 발명의 일실시예에 따른 전계효과 강화 더블 폴리 이이피롬 어레이를 이용한 록업 테이블의 각각의 구성에 대해 상세히 설명하도록 한다.
- [0065] 도 2는 본 발명의 일실시예에 따른 전계효과 강화 더블 폴리 이이피롬 어레이를 이용한 록업 테이블의 메모리 셀을 도시한 도면이고, 도 3은 본 발명의 일실시예에 따른 전계효과 강화 더블 폴리 이이피롬 어레이를 이용한 록업 테이블의 메모리 셀 어레이를 도시한 도면이다. 도 2 및 도 3에 도시된 바와 같이, 본 발명의 일실시예에 따른 전계효과 강화 더블 폴리 이이피롬 어레이를 이용한 록업 테이블의 메모리 셀 어레이(100)는 $M \times N$ 어레이(M 및 N 은 각각, 자연수임)로 배열되는 복수의 메모리 셀(MCL)을 포함할 수 있다. 예를 들어, 메모리 셀 어레이(100)는 2×2 어레이로 배열되는 메모리 셀(MCL)을 포함할 수 있다. 예를 들어, 메모리 셀 어레이(100)는 제1 메모리 셀(MCL00), 제2 메모리 셀(MCL01), 제3 메모리 셀(MCL10), 제4 메모리 셀(MCL11) 등을 포함할 수 있다. 이하에서는, 제1 메모리 셀(MCL00)의 위치를 (0,0)으로, 제2 메모리 셀(MCL01)의 위치를 (0, 1)로, 제3 메모리 셀(MCL10)의 위치를 (1,0)으로, 제4 메모리 셀(MCL11)의 위치를 (1,1)로 나타내도록 한다.
- [0066] 각각의 메모리 셀(MCL)은 더블 폴리 이이피롬(EEPROM)으로 구성되는 셀 트랜지스터와, 상기 셀 트랜지스터의 게이트 전극에 대해 제1 단자가 연결되는 셀 커패시터를 포함하여 구성될 수 있다. 또한, 메모리 셀 어레이(100)는, 행 방향으로 배열되는 메모리 셀들(MCL00과 MCL01, 또는 MCL10과 MCL11) 간에, 셀 트랜지스터의 소스 전극은 소스 전극끼리 연결되고(L3), 드레인 전극은 드레인 전극끼리 연결되며(L2), 게이트 전극에 연결되는 제1 단자는 제1 단자끼리 연결될 수 있다(L1). 또한, 메모리 셀 어레이(100)는, 열 방향으로 배열되는 메모리 셀들(MCL00과 MCL10, 또는 MCL01과 MCL11) 간에, 각 셀 커패시터의 제1 단자에 반대되는 제2 단자끼리 연결될 수 있다(L4).

[0067] 도 4는 본 발명의 일실시예에 따른 전계효과 강화 더블 폴리 이이피롬 어레이를 이용한 특업 테이블의 메모리 셀 어레이에 포함되는 더블 폴리 이이피롬을 도시한 도면이고, 도 5는 본 발명의 일실시예에 따른 전계효과 강화 더블 폴리 이이피롬 어레이를 이용한 특업 테이블의 메모리 셀 어레이에 포함되는 더블 폴리 이이피롬의 단면을 도시한 도면이다. 도 4 및 도 5에 도시된 바와 같이, 본 발명의 일실시예에 따른 전계효과 강화 더블 폴리 이이피롬 어레이를 이용한 특업 테이블의 메모리 셀 어레이(100)에 포함되는 더블 폴리 이이피롬(EEPROM)은, 부유 게이트(110), 컨트롤 게이트(120) 및 인젝터(130)를 포함하여 구성될 수 있으며, 기판(140), 소스 및 드레인 영역(141), 채널 영역(142), 게이트 산화막(143) 및 유전층(144)을 더 포함하여 구성될 수 있다.

[0068] 부유 게이트(floating gate)(110)는 전하를 저장하는 전하 주입 영역으로서, 전자의 유출입 방향을 따라 전계의 세기가 증가하도록 일단이 요철 형상으로 연장될 수 있다. 예를 들어, 부유 게이트(110)의 일단은 터널 전류가 흐르는 곳에서 전계가 증가하고, 쓰기와 소거 동작 시에 요구되는 프로그래밍 전압이 감소하도록 연장될 수 있다.

[0069] 컨트롤 게이트(120)(control gate)는 부유 게이트(110) 상에 배치되고, 상기 부유 게이트(110)에 중첩할 수 있다. 인젝터(injector)(130)는 컨트롤 게이트(120)에 이격되고, 부유 게이트의 연장된 단부가 삽입되는 부분으로서, 컨트롤 게이트(120)와 동일한 층(layer)으로부터 형성될 수 있다. 이와 같이, 부유 게이트(110)의 연장된 단부를 통하여 터널 전류가 흐르는 곳의 전계 세기를 증가시키고, 쓰기 또는 소거 동작 시에 요구되는 프로그래밍 전압을 낮출 수 있다. 이러한 연장된 단부는, 전계 진행 방향의 요철 형상이 형성하는 각(angle)의 크기에 따라 전계의 세기가 반비례하는 것을 적용하여 구현될 수 있다.

[0070] 한편, 더블 폴리 이이피롬(EEPROM)은 부유 게이트(110)의 양측 하부의 기판(140)에 불순물로 도핑된 소스(source) 및 드레인(drain) 영역(141)을 포함할 수 있다. 또한, 부유 게이트(110)와 기판(140) 상에 형성된 채널 영역(142) 사이에 게이트 산화막(143)이 중간층(intermediate layer)으로 더 포함될 수 있다. 이 경우, 게이트 산화막(143)은 터널 산화막으로 기능할 수 있다. 또한, 더블 폴리 이이피롬(EEPROM)은 부유 게이트(110) 및 컨트롤 게이트(120)의 사이에 유전층(144)을 더 포함할 수 있다. 이러한 유전층(144)은 예를 들어, 산화막, ONO막(oxide-nitride-oxide) 등의 재질을 포함할 수 있다.

[0071] 이러한 더블 폴리 이이피롬(EEPROM)은 F-N(Fowler-Nordheim) 터널링 주입 방식에 의해 부유 게이트(110)의 전하량을 조절할 수 있다. 이러한 전하량 조절 동작을 프로그래밍이라 하며, 프로그래밍에는 쓰기 동작 및 소거 동작이 포함될 수 있다. 쓰기 동작의 경우, 메모리 셀(MCL)의 드레인 전극에 있는 전자가 부유 게이트(110)로 전송될 수 있다. 이를 위해, 컨트롤 게이트(120)에 프로그래밍 전압 V_{pp} 이 인가되고, 인젝터(130)는 접지될 수 있다. 이와 반대로, 소거 동작의 경우, 부유 게이트(110)에 있는 전자가 드레인 전극으로 전송될 수 있는데, 이를 위해 컨트롤 게이트(120)가 접지되고, 인젝터(130)에 프로그래밍 전압 V_{pp} 이 인가될 수 있다. 이 경우, 컨트롤 게이트(120) 방향의 전기장에 의해 부유 게이트(110)의 전자가 산화막의 높은 에너지 장벽을 넘어 드레인 전극으로 이동될 수 있다. 이때 전송되는 전류의 크기는 하기의 수학식 1과 같이 결정될 수 있다.

수학식 1

$$I = A V^2 \exp(-B/|V|) = -\frac{dQ}{dt}$$

[0072] 여기서, A와 B는 상수이고, V는 부유 게이트(110) 및 인젝터(130) 간의 전위차를 나타내며, Q는 전하량을 나타낸다.

[0073] 상기 [식 1]에서와 같이, F-N 터널링에 의한 전류의 크기는 외부에서 인가되는 전압의 지수함수(exp)에 비례하기 때문에, 미세하게 전하량을 조절할 수 있다. 이와 같이 프로그래밍에 의해 일단 부유 게이트(110)로 이동된

전자는, 프로그래밍 전압이 제거되면 산화막의 높은 에너지 장벽에 의해 외부로의 유출입이 불가능한 불활성 특성을 나타낼 수 있다. 그러므로 부유 게이트(110)의 전하량에 의해 해당 트랜지스터의 문턱 전압이 결정될 수 있고, 이러한 특성을 이용하여 메모리 셀에 특정한 데이터를 저장할 수 있다.

[0075] 특히, F-N 터널링 주입에 의해 전자가 산화막을 거쳐 이동하기 위해서는 외부에서 높은 전원이 인가되어야 하는데, 이렇게 높은 전압은 산화막을 열화시킴으로써, 메모리 셀(MCL)의 수명을 단축시키고, 메모리 셀(MCL)에 저장되는 데이터 보유에도 영향을 줄 수 있다. 그러나 도 4에서와 같이, 인젝터(130)가 돌기 형태로 돌출됨에 따라 외부에서 인가되는 프로그래밍 전압을 감소시킬 수 있는 효과가 있다.

[0076] 앞서 도 2 내지 도 4에서 도시된 메모리 셀 어레이(100)를 다시 참조하면, 어느 하나의 메모리 셀(MCL)에 쓰기 동작을 수행하여 인젝터(130)로부터 부유 게이트(110)에 전자를 이동시키려고 할 경우, 해당 메모리 셀(MCL)의 열에는 프로그래밍 전압 V_{pp} 을 인가하고, 나머지 열에는 $V_{mid}(=V_{pp}/2)$ 를 인가하며, 해당 메모리 셀(MCL)의 행은 접지시키고, 나머지 행에는 상기 V_{mid} 를 인가할 수 있다. 반대로, 어느 하나의 메모리 셀(MCL)에 소거 동작을 수행하는 경우에는, 해당 메모리 셀(MCL)의 열을 접지하고, 해당 메모리 셀(MCL)의 행에 프로그래밍 전압 V_{pp} 을 인가하며, 나머지 열 및 행에는 상기 V_{mid} 를 인가할 수 있다.

[0077] 메모리 셀 어레이(100)에 포함된 메모리 셀(MCL)들의 동작을 이와 같이 제어함으로써, 쓰기 동작 또는 소거 동작을 수행할 때에, 지정된 메모리 셀(MCL)의 컨트롤 게이트(120) 및 인젝터(130) 간의 전위차 만이 프로그래밍 전압인 V_{pp} 과 같게 되고, 나머지 메모리 셀(MCL)에서의 컨트롤 게이트(120) 및 인젝터(130) 간의 전위차는 V_{mid} 또는 0(zero)이 될 수 있다.

[0078] 예를 들어, 제1 메모리 셀(MCL00)에서 쓰기 동작이 이루어지는 경우, Cont0 라인에 프로그래밍 전압 V_{pp} 을 인가하고, Cont1 라인에 상기 프로그래밍 전압 V_{pp} 의 1/2 수준인 V_{mid} 전압이 인가되며, Int0 라인은 접지되고, Int1 라인에는 상기 V_{mid} 전압이 인가될 수 있다. 이 경우, 제1 내지 제4 메모리 셀(MCL00, MCL01, MCL10, MCL11)에 위치한 컨트롤 게이트(120) 및 인젝터(130) 간의 전위차는 각각 V_{pp} , V_{mid} , V_{mid} , 0(zero)으로 될 수 있다. 그에 따라, 터널링 주입에 의한 전자의 이동은 오로지 제1 메모리 셀(MCL00)에서만 발생할 수 있는데, 이는 주입에 의한 전자의 이동이 상기 수학식 1에서와 같이 지수 함수적(exponential) 특성을 갖고 있기 때문이다. 이에 따른, 프로그래밍 특성 및 간섭 효과는 도 6을 참조하여 설명하도록 한다.

[0079] 도 6은 본 발명의 일실시예에 따른 본 발명의 일실시예에 따른 전계효과 강화 더블 폴리 이이피롬 어레이를 이용한 록업 테이블의 메모리 셀 어레이의 선형적 프로그래밍 특성을 도시한 도면이다. 도 6에 도시된 바와 같이, 앞선 예시에서 프로그래밍 되지 않는 메모리 셀인 제2 내지 제4 메모리 셀(MCL01, MCL10 및 MCL11)은 인가된 전압에 의해 간섭 받지 않은 채 유지될 수 있다. 반면에, 프로그래밍 되는 메모리 셀인 제1 메모리 셀(MCL00)의 경우, 프로그래밍 동작에 의해 선형적으로 변화될 수 있다.

[0080] 한편, 본 발명의 일실시예에 따른 전계효과 강화 더블 폴리 이이피롬 어레이를 이용한 록업 테이블의 읽기 동작은, 전술한 도 1에서와 같이 메모리 셀 어레이(100), 절대치 회로(200) 및 WAT 회로(300)에 의해 수행될 수 있다.

[0081] 도 7은 본 발명의 일실시예에 따른 본 발명의 일실시예에 따른 전계효과 강화 더블 폴리 이이피롬 어레이를 이용한 록업 테이블의 절대치 회로를 도시한 도면이다. 도 7에 도시된 바와 같이, 본 발명의 일실시예에 따른 전계효과 강화 더블 폴리 이이피롬 어레이를 이용한 록업 테이블의 절대치 회로(200)는 메모리 셀 어레이(100)의 메모리 셀(MCL)에 각각 연결될 수 있으며, 차동 증폭기(DA), 제1 MOS 트랜지스터(MN1), 제1 커패시터(C1), 제2 MOS 트랜지스터(MN2) 및 제2 커패시터(C2)를 포함하여 구성될 수 있다. 제1 MOS 트랜지스터(MN1)는 차동 증폭기(DA)의 부극성(-) 단자에 연결될 수 있다. 제1 커패시터(C1)는 제1 MOS 트랜지스터(MN1)의 일 단자에 연결될

수 있다. 제2 MOS 트랜지스터(MN2)는 차동 증폭기(DA)의 부극성(-) 단자에, 상기 제1 MOS 트랜지스터(MN1)와 병렬로 연결될 수 있다. 제2 커패시터(C2)는 제2 MOS 트랜지스터(MN2)에 연결될 수 있다.

[0082] 절대치 회로(200)는 동작 초기에 차동 증폭기(DA)의 정극성(+) 단자에 기준 전압 Vref가 인가되고 내부 MOS 트랜지스터(MN0)가 턴온(turn-on) 됨으로써, 귀환 회로에 의해 내부 커패시터(C3)가 충전될 수 있다. 이러한 초기 동작 이후, 접지 상태에 있던 제1 MOS 트랜지스터(MN1) 및 제2 MOS 트랜지스터(MN2)의 게이트에는 각각, 전압 Va 및 전압 Vb가 인가될 수 있다. 이 경우, 다음의 조건에 따른 수학적 2를 고려할 수 있다.

수학적 2

[0083] $V_{ref} - V_{th} > \max(V_a, V_b)$

[0084] 여기서, Vth는 내부 MOS 트랜지스터(MN0)의 문턱 전압이고, Max(Va, Vb)는 Va 및 Vb 중 더 큰 값을 나타낸다. 이때, Va 및 Vb는 각각, Vref-Vth 보다는 작은 것으로 전제된다.

[0085] 이러한 조건 및 전제를 만족하는 두 전압이 인가됨에 따라, 제1 MOS 트랜지스터(MN1) 및 제2 MOS 트랜지스터(MN2)를 통해, 제1 커패시터(C1) 및 제2 커패시터(C2)가 각각 충전될 수 있다. 이렇게 제1 커패시터(C1) 및 제2 커패시터(C2)가 각각 충전됨으로써, 제1 MOS 트랜지스터(MN1)에 연결되는 노드 X와, 제2 MOS 트랜지스터(MN2)에 연결되는 노드 Y의 전위는 각각, Vref-Va-Vth 및 Vref-Vb-Vth로 될 수 있다.

[0086] 한편, 제1 커패시터(C1) 및 제2 커패시터(C2)의 충전이 완료된 후, 제1 MOS 트랜지스터(MN1) 및 제2 MOS 트랜지스터(MN2)에 인가되었던 전압 Va 및 Vb가 교차되고, 내부 MOS 트랜지스터(MN0)가 턴오프(turn-off) 되는 경우, 내부 커패시터(C3)가 방전되기 시작한다. 예를 들어, 제1 MOS 트랜지스터(MN1) 및 제2 MOS 트랜지스터(MN2)에 각각 인가된 전압인 Va 및 Vb 중에서 Va가 더 큰 값을 갖는 경우, 노드 X의 전위는 변화 없이 유지될 수 있다. 그러나 제2 MOS 트랜지스터(MN2)의 게이트 전극에 새롭게 인가되는 전위가 스위치 이전의 전위에 비해 상대적으로 큰 값이 인가됨에 따라, 제1 커패시터(C1)에는 더 많은 전자가 충전될 수 있게 되어, 내부 커패시터(C3)에 있던 전자가 제1 커패시터(C1)로 이동할 수 있다. 이러한 충전은 노드 Y의 전위를 Vref-Vb-Vth로부터 Vref-Va-Vth로 변화시킬 수 있다. 또한, 노드 Y의 전위를 변화시킨 내부 커패시터(C3)의 방전으로 인해, 차동 증폭기(DA)의 출력(Vo)은 Va 및 Vb의 절대차(즉, |Va-Vb|)에 비례하게 나타날 수 있다. 이러한 결과는 Va가 Vb에 비해 작은 경우에도 마찬가지로 적용될 수 있다.

[0087] 위와 같은 절대치 회로의 동작 특성을 이용함으로써, 외부로부터 인가된 전압인 Va와, 메모리 셀(MCL)에 저장된 값인 Vb 간의 절대 전위차를 알 수 있다.

[0088] 도 8은 본 발명의 일실시예에 따른 본 발명의 일실시예에 따른 전계효과 강화 더블 폴리 이이피롬 어레이를 이용한 록업 테이블의 각 블록에 연결된 절대치 회로 및 WTA 회로를 도시한 도면이다. 도 8에 도시된 바와 같이, 메모리 셀 어레이(100)의 각각의 메모리 셀(MCL)에 연결되는 블록들(BL0, BL1, BL2, BL3)에는 상기 절대치 회로(200) 및 WTA 회로(300)가 포함될 수 있다. 이때, 절대치 회로(200)의 차동 증폭기(DA)의 출력 단자는 WTA 회로(300)의 입력 단자에 연결될 수 있다.

[0089] WTA 회로(300)는 메모리 셀 어레이(100)의 각 메모리 셀(MCL)에 연결된 상기 절대치 회로(200)의 출력 단자에 연결되는 부분 회로들(PC1 내지 PC4)과, 상기 부분 회로들(PC1 내지 PC4)의 출력 단자에 공통으로 연결되는 제3 MOS 트랜지스터(MN3)를 포함할 수 있다.

[0090] 도 8에서 제1 블록(BL0), 제2 블록(BL1), 제3 블록(BL2) 및 제4 블록(BL3)은 각각, 제1 메모리 셀(MCL00), 제2 메모리 셀(MCL01), 제3 메모리 셀(MCL10) 및 제4 메모리 셀(MCL11)에 연결되는 절대치 회로(200) 및 WTA 회로(300)를 나타낸다. 또한, 도 8에서, MOS 트랜지스터 또는 커패시터의 부호에서 2번째 숫자는 각 메모리 셀(MCL)에 대응하는 블록 번호(0, 1, 2, 3)를 나타낸다.

[0091] 각각의 부분 회로(PC)는, 1개의 PMOS 트랜지스터와 3개의 NMOS 트랜지스터로 구성될 수 있다. 예를 들어, 각각의 부분 회로(PC)는 절대치 회로(200)의 출력 단자에 게이트 전극이 연결되는 제4 MOS 트랜지스터(MN4), 제4 MOS 트랜지스터의 소스 전극에 연결되는 제5 MOS 트랜지스터(MN5), 제4 MOS 트랜지스터의 드레인 전극에 연결되는 제6 및 제7 트랜지스터(MN6, MP1)를 포함할 수 있다. 이때, 제4 MOS 트랜지스터(MN4)의 드레인 전극은 제6 MOS 트랜지스터(MN6)의 게이트 전극 및 제7 MOS 트랜지스터(MP1)의 드레인 전극에 연결될 수 있다. 또한, 제6 MOS 트랜지스터(MN6)의 드레인 전극은 제3 MOS 트랜지스터(MN3)의 소스 전극 및 제5 MOS 트랜지스터(MN5)의 게이트 전극에 연결될 수 있다. 이때, PMOS 트랜지스터인 제7 MOS 트랜지스터(MP1)의 게이트 전극에는 메모리 셀 어레이(100) 각각에서 공통되는 제1 바이어스 전압(Vbias1)이 인가될 수 있다.

[0092] 이러한 WTA 회로(300)는, 이른바 승자전취(winner-take-all, WTA) 메커니즘으로 동작될 수 있는데, 즉, 입력된 신호와 저장된 신호 간의 해밍 거리(Hamming distance)가 가장 작은 블록(BL)의 메모리 셀(MCL)을 선택하도록 구성될 수 있다. 이에 따라, WTA 회로(300)는 해당 회로의 입력에 해당하는 절대치 회로(200)의 출력이 가장 작은 블록(BL)을 선택하도록 구성할 수 있다.

[0093] 예를 들어, 제1 메모리 셀(MCL00)의 제4 MOS 트랜지스터(MN40)의 게이트 전극에 인가되는 절대치 회로(200)의 출력값(Vo)이 가장 낮은 경우, 제7 MOS 트랜지스터(MP10)의 게이트 전극에 인가되는 제1 바이어스 전압(Vbias1)이 4개의 블록(BL0, BL1, BL2, BL3)에 공통으로 인가되므로, 절대치 회로(200)의 출력 전압(Vo)에 의해 제7 MOS 트랜지스터(MP10) 및 제4 MOS 트랜지스터(MN40)의 컨덕턴스가 결정되어, 노드 Vout0의 전압이 가장 높게 나타날 수 있다. 또한, 각 블록(BL0, BL1, BL2, BL3)의 제6 MOS 트랜지스터(MN6)의 소스 전극은 제3 MOS 트랜지스터(MN3)의 드레인 전극에 연결되어 공통 드레인 회로를 구성하므로, 제1 블록(BL0)에 포함된 제6 MOS 트랜지스터(MN60)의 드레인 전위가 전체 블록들(BL0 내지 BL3) 중 가장 높게 나타날 수 있다. 이러한 출력은 제5 내지 제7 MOS 트랜지스터(MN5, MN6, MP1)로 구성된 CMOS 회로로 귀환될 수 있는데, 이러한 귀환에 의해서, 각 블록(BL)의 제4 MOS 트랜지스터(MN4)에 가장 낮은 전압이 인가된 블록의 출력만을 논리 값 1로 출력시키고, 나머지 블록의 출력을 논리 값 0으로 만들 수 있다. 이는, 제6 MOS 트랜지스터(MN6)의 드레인 전극이 전원 전압에 연결되어 있어, 포화 상태 또는 차단 상태 만이 가능하기 때문이다. 즉, 두 값의 오차가 가장 작은 블록에 대해서는 제6 MOS 트랜지스터(MN6)가 포화 상태로 되고, 나머지 블록에 대해서는 제6 MOS 트랜지스터(MN6)가 차단 상태로 될 수 있다.

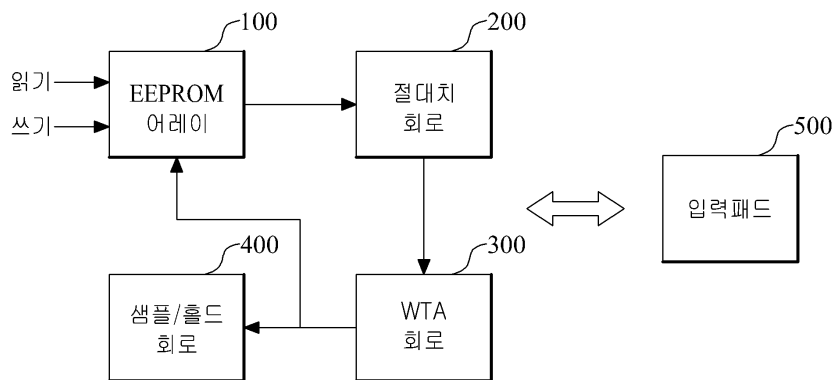
[0094] 이상 설명한 본 발명은 본 발명이 속한 기술 분야에서 통상의 지식을 가진 자에 의하여 다양한 변형이나 응용이 가능하며, 본 발명에 따른 기술적 사상의 범위는 아래의 특허 청구범위에 의하여 정해져야 할 것이다.

부호의 설명

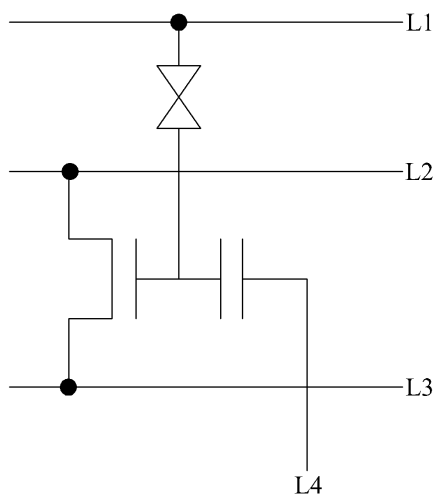
[0095] 100: 메모리 셀 어레이 110: 부유 게이트
120: 컨트롤 게이트 130: 인젝터
140: 기관 141: 소스/드레인 영역
142: 채널 영역 143: 게이트 산화막
144: 유전층 200: 절대치 회로
300: WTA 회로 400: 샘플/홀드 회로
500: 입력 패드

도면

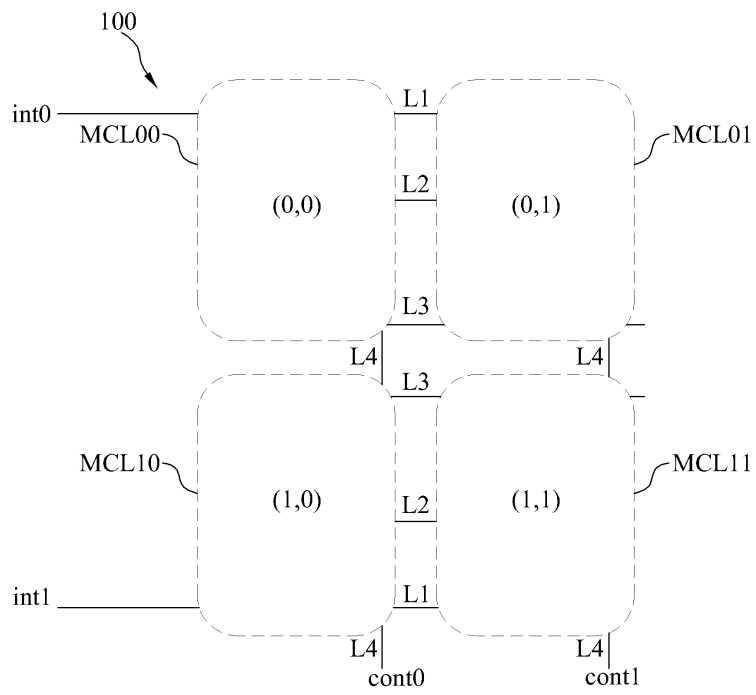
도면1



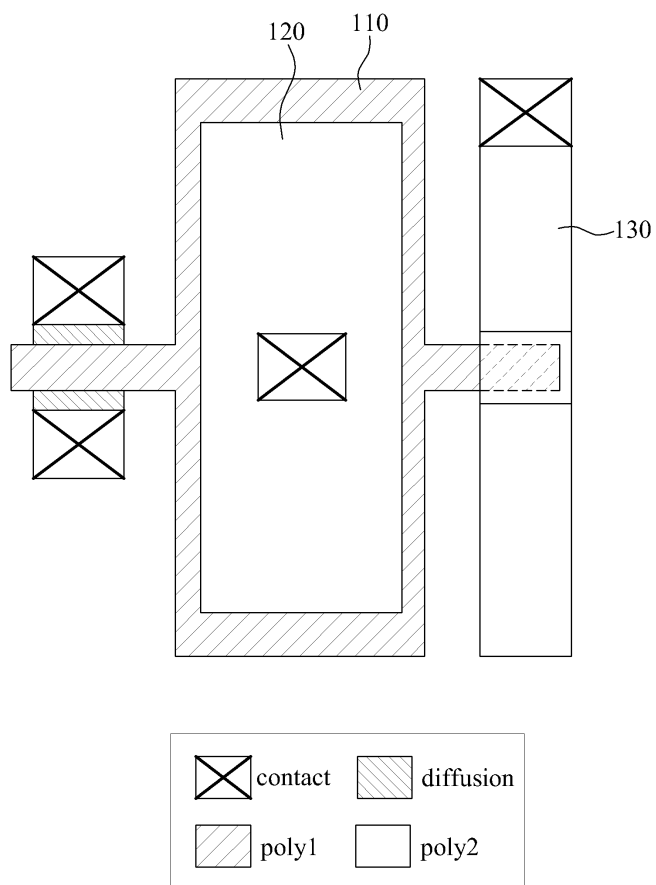
도면2



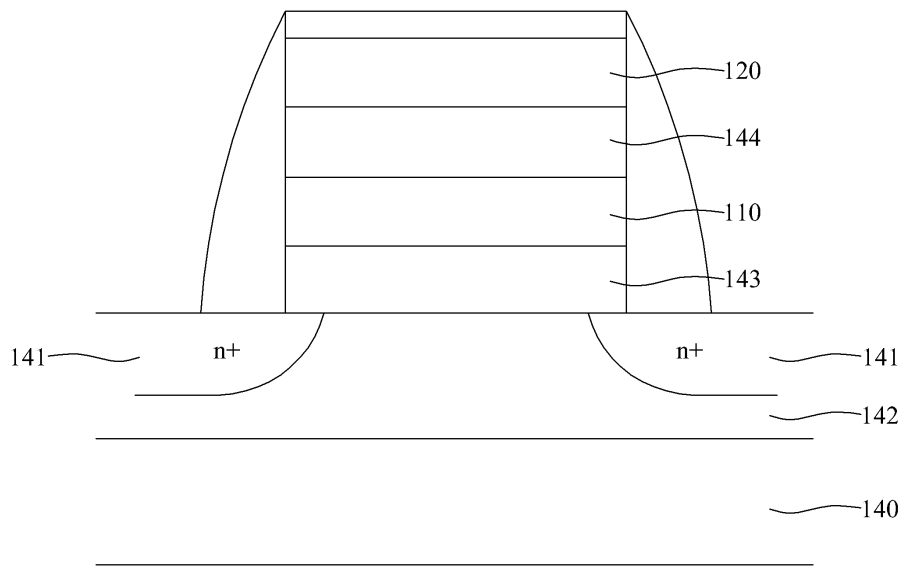
도면3



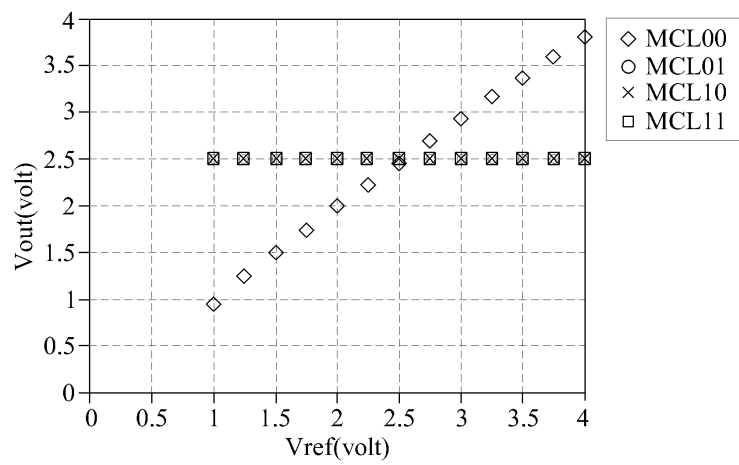
도면4



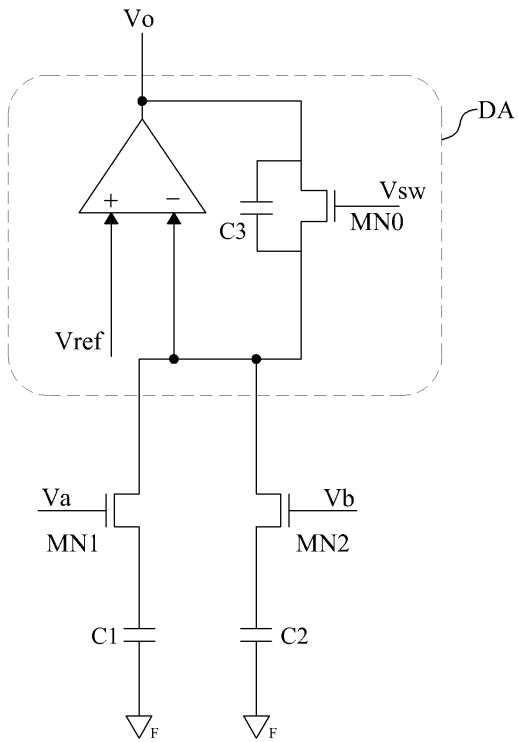
도면5



도면6



도면7



도면8

