

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6525421号
(P6525421)

(45) 発行日 令和1年6月5日(2019.6.5)

(24) 登録日 令和1年5月17日(2019.5.17)

(51) Int.Cl.	F I
G 1 1 C 11/405 (2006.01)	G 1 1 C 11/405
H 0 1 L 29/786 (2006.01)	H 0 1 L 29/78 6 1 8 B
	H 0 1 L 29/78 6 1 3 A
	H 0 1 L 29/78 6 1 3 B

請求項の数 4 (全 50 頁)

(21) 出願番号	特願2015-40199 (P2015-40199)	(73) 特許権者	000153878
(22) 出願日	平成27年3月2日(2015.3.2)		株式会社半導体エネルギー研究所
(65) 公開番号	特開2015-187903 (P2015-187903A)		神奈川県厚木市長谷398番地
(43) 公開日	平成27年10月29日(2015.10.29)	(72) 発明者	大貫 達也
審査請求日	平成30年2月26日(2018.2.26)		神奈川県厚木市長谷398番地 株式会社
(31) 優先権主張番号	特願2014-49605 (P2014-49605)		半導体エネルギー研究所内
(32) 優先日	平成26年3月13日(2014.3.13)		
(33) 優先権主張国	日本国(JP)	審査官	篠塚 隆
		(56) 参考文献	特開2012-256398(JP, A)
			)
			特開2012-256401(JP, A)
			)
			特開2012-256406(JP, A)
			)
			最終頁に続く

(54) 【発明の名称】 半導体装置

(57) 【特許請求の範囲】

【請求項1】

セルアレイと、駆動回路と、を有し、
 前記セルアレイは、第1のセルと、第2のセルと、を有し、
 前記第1のセルは、第1のトランジスタと、第2のトランジスタと、第1の容量素子と、を有し、
 前記第2のセルは、第3のトランジスタと、第4のトランジスタと、第2の容量素子と、を有し、
 前記駆動回路は、前記第1のセル及び前記第2のセルと電気的に接続され、
 前記第1のトランジスタのゲートは、第1の配線と電気的に接続され、
 前記第1のトランジスタのソース又はドレインの一方は、第2の配線と電気的に接続され、
 前記第1のトランジスタのソース又はドレインの他方は、前記第2のトランジスタのゲート及び前記第1の容量素子の一方の電極と電気的に接続され、
 前記第2のトランジスタのソース又はドレインの一方は、前記第2の配線と電気的に接続され、
 前記第2のトランジスタのソース又はドレインの他方は、第3の配線と電気的に接続され、
 前記第1の容量素子の他方の電極は、第4の配線と電気的に接続され、
 前記第3のトランジスタのゲートは、第5の配線と電気的に接続され、

10

20

前記第 3 のトランジスタのソース又はドレインの一方は、第 6 の配線と電氣的に接続され、

前記第 3 のトランジスタのソース又はドレインの他方は、前記第 4 のトランジスタのゲート及び前記第 2 の容量素子の一方の電極と電氣的に接続され、

前記第 4 のトランジスタのソース又はドレインの一方は、前記第 6 の配線と電氣的に接続され、

前記第 4 のトランジスタのソース又はドレインの他方は、前記第 3 の配線と電氣的に接続され、

前記第 2 の容量素子の他方の電極は、第 7 の配線と電氣的に接続され、

前記第 1 のトランジスタ及び前記第 3 のトランジスタは、チャンネル形成領域に酸化物半導体を有し、

前記第 6 の配線は、前記第 2 の配線に供給される信号とは異なる信号を伝え、

前記第 4 の配線は、前記第 2 のトランジスタのゲートの電位を制御するための信号を伝える機能を有し、

前記第 7 の配線は、一定の電位を伝える機能を有する半導体装置。

【請求項 2】

請求項 1 において、

前記第 2 のトランジスタの極性と前記第 4 のトランジスタの極性が異なる半導体装置。

【請求項 3】

請求項 1 又は 2 において、

前記第 1 のセルから読み出したデータを前記第 2 のセルに書き込む第 1 の動作を行う機能と、

前記第 2 のセルから読み出したデータを前記第 1 のセルに書き込む第 2 の動作を行う機能と、を有する半導体装置。

【請求項 4】

請求項 3 において、

前記第 1 の動作は、

前記第 1 の容量素子の一方の電極の電位を、前記第 1 のトランジスタ、前記第 2 の配線、前記第 2 のトランジスタを介して、前記第 3 の配線に供給する第 1 のステップと、

前記第 3 の配線の電位を、前記第 4 のトランジスタ、前記第 6 の配線、前記第 3 のトランジスタを介して、前記第 2 の容量素子の一方の電極に供給する第 2 にステップと、により行われ、

前記第 2 の動作は、

前記第 2 の容量素子の一方の電極の電位を、前記第 3 のトランジスタ、前記第 6 の配線、前記第 4 のトランジスタを介して、前記第 3 の配線に供給する第 3 のステップと、

前記第 3 の配線の電位を、前記第 2 のトランジスタ、前記第 2 の配線、前記第 1 のトランジスタを介して、前記第 1 の容量素子の一方の電極に供給する第 4 にステップと、により行われる半導体装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明の一態様は、半導体装置、またはその駆動方法に関する。

【0002】

なお、本発明の一態様は、上記の技術分野に限定されない。本明細書等で開示する発明の一態様の技術分野は、物、方法、または、製造方法に関するものである。または、本発明の一態様は、プロセス、マシン、マニュファクチャ、または、組成物（コンポジション・オブ・マター）に関するものである。または、本発明の一態様は、半導体装置、表示装置、発光装置、蓄電装置、記憶装置、それらの駆動方法、または、それらの製造方法に関する。

【背景技術】

【0003】

特許文献1には酸化物半導体膜を用いたトランジスタと、単結晶シリコンを用いたトランジスタを有する半導体装置が記載されている。また酸化物半導体膜を用いたトランジスタは、オフ電流が極めて小さいことが記載されている。

【先行技術文献】

【特許文献】

【0004】

【特許文献1】特開2012-256400号公報

【発明の概要】

【発明が解決しようとする課題】

10

【0005】

本発明の一態様は、新規な半導体装置、またはその駆動方法の提供を課題の一つとする。

【0006】

また、本発明の一態様は、オフ電流の低い半導体装置、またはその駆動方法を提供することを課題の一つとする。また、本発明の一態様は、消費電力の低い半導体装置、またはその駆動方法を提供することを課題の一つとする。また、本発明の一態様は、信頼性の高い半導体装置、またはその駆動方法を提供することを課題の一つとする。また、本発明の一態様は、高速な動作が可能な半導体装置、またはその駆動方法を提供することを課題の一つとする。

【0007】

20

なお、本発明の一態様は、必ずしも上記の課題の全てを解決する必要はなく、少なくとも一の課題を解決できるものであればよい。また、上記の課題の記載は、他の課題の存在を妨げるものではない。これら以外の課題は、明細書、図面、請求項などの記載から、自ずと明らかとなるものであり、明細書、図面、請求項などの記載から、これら以外の課題を抽出することが可能である。

【課題を解決するための手段】

【0008】

本発明の一態様にかかる半導体装置は、セルアレイと、駆動回路と、を有し、セルアレイは、第1のセルと、第2のセルと、を有し、第1のセルは、第1のトランジスタと、第2のトランジスタと、第1の容量素子と、を有し、第2のセルは、第3のトランジスタと、第4のトランジスタと、第2の容量素子と、を有し、駆動回路は、第1のセル及び第2のセルと電氣的に接続され、第1のトランジスタのゲートは、第1の配線と電氣的に接続され、第1のトランジスタのソース又はドレインの一方は、第2の配線と電氣的に接続され、第1のトランジスタのソース又はドレインの他方は、第2のトランジスタのゲート及び第1の容量素子の一方の電極と電氣的に接続され、第2のトランジスタのソース又はドレインの一方は、第2の配線と電氣的に接続され、第2のトランジスタのソース又はドレインの他方は、第3の配線と電氣的に接続され、第1の容量素子の他方の電極は、第4の配線と電氣的に接続され、第3のトランジスタのゲートは、第5の配線と電氣的に接続され、第3のトランジスタのソース又はドレインの一方は、第6の配線と電氣的に接続され、第3のトランジスタのソース又はドレインの他方は、第4のトランジスタのゲート及び第2の容量素子の一方の電極と電氣的に接続され、第4のトランジスタのソース又はドレインの一方は、第6の配線と電氣的に接続され、第4のトランジスタのソース又はドレインの他方は、第3の配線と電氣的に接続され、第2の容量素子の他方の電極は、第7の配線と電氣的に接続され、第1のトランジスタ及び第3のトランジスタは、チャンネル形成領域に酸化物半導体を有し、第6の配線は、第2の配線に供給される信号とは異なる信号を伝える機能を有する半導体装置である。

30

40

【0009】

さらに、本発明の一態様にかかる半導体装置では、第2のトランジスタの極性と第4のトランジスタの極性が異なってもよい。

【0010】

50

さらに、本発明の一態様にかかる半導体装置では、第4の配線は、第2のトランジスタのゲートの電位を制御するための信号を伝える機能を有し、第7の配線は、一定の電位を伝える機能を有していてもよい。

【0011】

さらに、本発明の一態様にかかる半導体装置では、第1のセルから読み出したデータを第2のセルに書き込む第1の動作を行う機能と、第2のセルから読み出したデータを第1のセルに書き込む第2の動作を行う機能と、を有していてもよい。

【0012】

さらに、本発明の一態様にかかる半導体装置では、第1の動作は、第1の容量素子の一方の電極の電位を、第1のトランジスタ、第2の配線、第2のトランジスタを介して、第3の配線に供給する第1のステップと、第3の配線の電位を、第4のトランジスタ、第6の配線、第3のトランジスタを介して、第2の容量素子の一方の電極に供給する第2にステップと、により行われ、第2の動作は、第2の容量素子の一方の電極の電位を、第3のトランジスタ、第6の配線、第4のトランジスタを介して、第3の配線に供給する第3のステップと、第3の配線の電位を、第2のトランジスタ、第2の配線、第1のトランジスタを介して、第1の容量素子の一方の電極に供給する第4にステップと、により行われるものであってもよい。

【発明の効果】

【0013】

本発明の一態様により、新規な半導体装置、またはその駆動方法を提供することができる。

【0014】

また、本発明の一態様により、オフ電流の低い半導体装置、またはその駆動方法を提供することができる。また、本発明の一態様により、消費電力の低い半導体装置、またはその駆動方法を提供することができる。また、本発明の一態様により、信頼性の高い半導体装置、またはその駆動方法を提供することができる。また、本発明の一態様により、高速な動作が可能な半導体装置、またはその駆動方法を提供することができる。

【0015】

なお、これらの効果の記載は、他の効果の存在を妨げるものではない。なお、本発明の一態様は、必ずしも、これらの効果の全てを有する必要はない。なお、これら以外の効果は、明細書、図面、請求項などの記載から、自ずと明らかとなるものであり、明細書、図面、請求項などの記載から、これら以外の効果を抽出することが可能である。

【図面の簡単な説明】

【0016】

【図1】半導体装置の構成の一例を説明する図。

【図2】半導体装置の構成の一例を説明する回路図。

【図3】半導体装置の構成の一例を説明する回路図。

【図4】半導体装置の構成の一例を説明する回路図。

【図5】半導体装置の構成の一例を説明する回路図。

【図6】タイミングチャート。

【図7】半導体装置の構成の一例を説明する回路図。

【図8】タイミングチャート。

【図9】半導体装置の構成の一例を説明する図。

【図10】半導体装置の構成の一例を説明する図。

【図11】半導体装置の構成の一例を説明する図。

【図12】半導体装置の構成の一例を説明する図。

【図13】半導体装置の構成の一例を説明する回路図。

【図14】半導体装置の構成の一例を説明する図。

【図15】トランジスタの構成の一例を説明する図。

【図16】トランジスタの構成の一例を説明する図。

10

20

30

40

50

【図 17】半導体装置の構成の一例を説明する図。

【図 18】電子機器を説明する図。

【図 19】酸化物半導体の構造の一例を説明する図。

【図 20】酸化物半導体の構造の一例を説明する図。

【発明を実施するための形態】

【0017】

以下、本発明の実施の形態について図面を用いて詳細に説明する。ただし、本発明は以下の実施の形態における説明に限定されず、本発明の趣旨及びその範囲から逸脱することなくその形態及び詳細を様々に変更し得ることは、当業者であれば容易に理解される。したがって、本発明は、以下の実施の形態の記載内容に限定して解釈されるものではない。

10

【0018】

また、本発明の一態様は、RF (Radio Frequency) タグ、半導体表示装置、集積回路を含むあらゆる装置が、その範疇に含まれる。また、表示装置には、液晶表示装置、有機発光素子に代表される発光素子を各画素に備えた発光装置、電子ペーパー、DMD (Digital Micromirror Device)、PDP (Plasma Display Panel)、FED (Field Emission Display) など、集積回路を回路に有している表示装置が、その範疇に含まれる。

【0019】

(実施の形態 1)

本実施の形態では、本発明の一態様に係る構成の一例について説明する。

20

【0020】

図 1 に、本発明の一態様にかかる半導体装置 100 の構成の一例を示す。半導体装置 100 は、セルアレイ 10、回路 20、回路 30 を有する。

【0021】

セルアレイ 10 は、複数のセル 11 と、複数のセル 12 を有する。ここでは、 n 行 m 列 (n 、 m は自然数) のセル 11 と、1 行 m 列のセル 12 が設けられている例を示す。すなわち、セルアレイ 10 は、 $n \times m$ 個のセル 11 (セル 11 [1, 1] 乃至 [n, m]) と、 $1 \times m$ 個のセル 12 (セル 12 [1] 乃至 [m]) を有する。セル 11、12 は、所定のデータを格納する機能を有するメモリセルとして機能する。

【0022】

回路 20 は、複数の配線 40 (配線 40 [1] 乃至 [n]) を介してセル 11 [1, 1] 乃至 [n, m] と接続され、配線 60 を介してセル 12 [1] 乃至 [m] と接続されている。回路 20 は、複数のセル 11 のうち特定の行のセル 11 を選択するための信号を配線 40 [1] 乃至 [n] に供給する機能と、複数のセル 12 を選択するための信号を配線 60 に供給する機能と、を有する駆動回路である。以下、セル 11 またはセル 12 を選択するための信号を、選択信号ともいう。

30

【0023】

なお、配線 40 は、複数本の配線によって構成することができる。この場合、複数本の配線にはそれぞれ異なる信号を供給することができる。例えば、配線 40 [1] を 2 本の配線によって構成し、セル 11 [1, 1] 乃至 [1, m] がそれぞれ当該 2 本の配線と接続された構成することができる。この場合、2 本の配線のうち一方の配線には、他方の配線に供給される信号とは異なる信号を供給することができる。また、配線 60 も同様に、複数本の配線によって構成することができる。

40

【0024】

回路 30 は、複数の配線 50 (配線 50 [1] 乃至 [m]) を介してセル 11 [1, 1] 乃至 [n, m]、およびセル 12 [1] 乃至 [m] と接続されている。回路 30 は、セル 11、セル 12 へのデータの書き込み、およびセル 11、セル 12 からのデータの読み出しを行う機能を有する駆動回路である。具体的には、回路 30 は、セル 11、セル 12 に書き込むデータに対応する電位 (以下、書き込み電位ともいう) を配線 50 [1] 乃至 [m] に供給する機能と、配線 50 [1] 乃至 [m] の電位からセル 11、セル 12 に格納

50

されたデータを読み出す機能を有する。また、回路30は、配線50〔1〕乃至〔m〕のプリチャージを行う機能を有していてもよい。

【0025】

なお、配線50は、複数本の配線によって構成することができる。この場合、複数本の配線にはそれぞれ異なる信号を供給することができる。例えば、配線50〔1〕を2本の配線によって構成し、セル11〔1, 1〕乃至〔n, 1〕およびセル12〔1〕がそれぞれ当該2本の配線と接続された構成することができる。この場合、2本の配線のうち一方の配線には、他方の配線に供給される信号とは異なる信号を供給することができる。

【0026】

セル11へのデータの書き込みは、配線40に選択信号を供給することにより特定の行のセル11を選択し、選択された特定の行のセル11に、回路30から配線50〔1〕乃至〔m〕を介して書き込み電位を供給することによって行う。

【0027】

ここで、配線40〔1〕乃至〔n〕はそれぞれ複数のセル11と接続されている。そのため、例えば、上記の動作によってセル11〔1, 1〕においてはデータの書き換えを行い、セル11〔1, 2〕乃至〔1, m〕においては既に格納されたデータを維持する場合、配線50〔1〕に書き込み電位を供給する動作に加えて、セル11〔1, 2〕乃至〔1, m〕に格納されたデータを読み出し、当該データに対応する書き込み電位を配線50〔2〕乃至〔m〕に供給する動作が必要となる。

【0028】

具体的には、まず、配線40〔1〕に選択信号を供給することにより、セル11〔1, 1〕乃至〔1, m〕を選択する。そして、セル11〔1, 1〕と接続された配線50〔1〕には、新たに書き込むデータに対応する書き込み電位を供給する。ここで、セル11〔1, 2〕乃至〔1, m〕が選択された状態で、配線50〔2〕乃至〔m〕への書き込み電位の供給が行われない場合、セル11〔1, 2〕乃至〔1, m〕に格納されたデータが失われてしまう場合がある。そのため、セル11〔1, 2〕乃至〔1, m〕が選択された際には、セル11〔1, 2〕乃至〔1, m〕に格納されたデータを読み出し、その後、当該データに対応する書き込み電位を配線50〔2〕乃至〔m〕に供給して再度セル11〔1, 2〕乃至〔1, m〕にデータを格納する処理を、回路30において行う必要がある。

【0029】

このように、配線40〔1〕にセル11〔1, 1〕乃至〔1, m〕が接続された状態で、配線40〔1〕に選択信号が供給されると、セル11〔1, 1〕のみならずセル11〔1, 2〕乃至〔1, m〕も選択される。そのため、セル11〔1, 1〕においてのみデータの書き換えを行い、セル11〔1, 2〕乃至〔1, m〕においてはデータの書き換えを行わない場合であっても、セル11〔1, 2〕乃至〔1, m〕に格納されたデータを維持するために、回路30において読み出し動作および書き込み動作を行う必要がある。このような動作により、書き換え速度が低下し、また、回路30における消費電力が増大する。

【0030】

また、セル11〔1, 2〕乃至〔1, m〕に格納されたデータが3値以上のデータである場合、配線50〔2〕乃至〔m〕の電位（アナログ値）をデジタル値に変換することによってセル11〔1, 2〕乃至〔1, m〕に格納されたデータの読み出しを行い、その後、デジタル値を再度アナログ値に変換して配線50〔2〕乃至〔m〕に供給する必要がある。そのため、2値のデータの場合と比較して、回路30における消費電力の増大およびセル11の書き換え速度の低下はより顕著になる。

【0031】

そこで、本発明の一態様では、セル12を用いることにより、データの書き換えを行わないセル11においては、回路30における読み出し動作および書き込み動作を省略する。以下、セル11〔1, 1〕においてはデータの書き換えを行い、セル11〔1, 2〕乃至〔1, m〕においてはデータの書き換えを行わない場合の動作の一例を説明する。

【0032】

まず、配線40[1]に選択信号を供給することにより、セル11[1, 1]乃至[1, m]を選択する。その後、セル11[1, 1]と接続された配線50[1]には新たに書き込むデータに対応する書き込み電位を供給し、セル11[1, 1]のデータの書き換えを行う。一方、データの書き換えを行わないセル11[1, 2]乃至[1, m]に対しては、回路30における読み出し動作および書き込み動作を行わない。その代わりに、セル11[1, 2]乃至[1, m]に格納されたデータをセル12[2]乃至[m]に転送する。その後、セル12[2]乃至[m]に転送されたデータを再度セル11[1, 2]乃至[1, m]に格納する。これにより、回路30において読み出し動作および書き込み動作を行うことなくセル11[1, 2]乃至[1, m]のデータを維持することができる。よって、書き換え速度の向上および回路30における消費電力の低減を図ることができる。また、書き込みを行うセル11のみを選択することが可能となるため、ランダムアクセスが可能なセルアレイを構成することができる。

10

【0033】

なお、ここではセル11[1, 1]においてデータの書き換えを行い、セル11[1, 2]乃至[1, m]においてデータの書き換えを行わない例について示したが、これに限られず、セル11[1, 1]乃至[n, m]のうち書き換えを行うセル、書き換えを行わないセルは、自由に選択することができる。

【0034】

次に、半導体装置100の構成の一例を、図2乃至5を用いて説明する。

【0035】

20

図2に、セル11、セル12の具体的な構成の一例を示す。なお、図2におけるセル11は、図1におけるセル11[1, 1]乃至[n, m]のいずれかに対応し、セル12は、図1におけるセル12[1]乃至[m]のいずれかに対応する。

【0036】

セル11は、トランジスタ101、トランジスタ102、容量素子103を有する。トランジスタ101のゲートは配線111と接続され、ソースまたはドレインの一方は配線113と接続され、ソースまたはドレインの他方はトランジスタ102のゲートおよび容量素子103の一方の電極と接続されている。トランジスタ102のソースまたはドレインの一方は配線113と接続され、ソースまたはドレインの他方は配線114と接続されている。容量素子103の他方の電極は配線112と接続されている。トランジスタ101のソースまたはドレインの他方、トランジスタ102のゲート、容量素子103の一方の電極と接続されたノードを、ノード120とする。

30

【0037】

配線111は、トランジスタ101の導通状態を制御するための信号などを伝える機能を有する配線である。配線112は、トランジスタ102のゲートの電位を制御するための信号を伝える機能を有する配線であり、具体的には、異なる2つ以上の電位を伝える機能を有する配線である。配線113は、セル11へのデータの書き込み、セル11からのデータの読み出しを制御するための電位などを伝える機能を有する配線である。

【0038】

セル12は、トランジスタ201、トランジスタ202、容量素子203を有する。トランジスタ201のゲートは配線211と接続され、ソースまたはドレインの一方は配線213と接続され、ソースまたはドレインの他方はトランジスタ202のゲートおよび容量素子203の一方の電極と接続されている。トランジスタ202のソースまたはドレインの一方は配線213と接続され、ソースまたはドレインの他方は配線114と接続されている。容量素子203の他方の電極は配線212と接続されている。トランジスタ201のソースまたはドレイン他方、トランジスタ202のゲート、容量素子203の一方の電極と接続されたノードを、ノード220とする。

40

【0039】

ここで、トランジスタ102の極性とトランジスタ202の極性は異なることが好ましい。また、トランジスタ102をpチャネル型トランジスタとし、トランジスタ202をn

50

チャンネル型トランジスタとすることがより好ましい。これにより、セルアレイ 10 における書き込み動作、読み出し動作などを容易に行うことができる。

【0040】

配線 211 は、トランジスタ 201 の導通状態を制御するための信号などを伝える機能を有する配線である。配線 213 は、セル 12 へのデータの書き込み、セル 12 からのデータの読み出しを制御するための信号などを伝える機能を有する配線である。配線 212 は、所定の電位を伝える機能を有する配線である。なお、配線 212 は、高電位電源線であってもよいし、低電位電源線（接地線など）であってもよい。また、所定の電位は、一定の電位（固定電位）であっても変動する電位であってもよく、0 V に限定されない。ここでは、配線 212 が低電位電源線である場合について説明する。

10

【0041】

配線 213 は、配線 113 とは別の配線であるため、配線 113 に供給される信号とは異なる信号を伝える機能を有する。よって、配線 213 の電位は、配線 113 の電位とは異なる電位とすることができる。

【0042】

また、配線 114 は、セル 11、12 へのデータの書き込み、およびセル 11、12 からのデータの読み出しを制御するための電位などを伝える機能を有する配線である。具体的には、配線 114 は、セル 11 またはセル 12 に書き込むデータに対応する書き込み電位を伝える機能を有する。また、配線 114 は、セル 11 またはセル 12 に格納されたデータに対応する電位を読み出す機能を有する。

20

【0043】

なお、ここではトランジスタ 101、201、202 が n チャンネル型トランジスタであり、トランジスタ 102 が p チャンネル型トランジスタである例を示すが、これに限られず、トランジスタ 101、102、201、202 はそれぞれ n チャンネル型トランジスタであっても p チャンネル型トランジスタであってもよい。

【0044】

また、トランジスタ 101、102、201、202 において、チャンネル形成領域が形成される半導体の材料は、シリコン、ゲルマニウム、シリコンゲルマニウム、酸化物半導体など様々な材料を用いることができる。

【0045】

ここで、トランジスタ 101 はノード 120 の電位を保持する機能を有するため、トランジスタ 101 のオフ電流は小さいことが好ましい。トランジスタ 101 のオフ電流が小さいと、ノード 120 に保持されている電荷のトランジスタ 101 を介したリークを低減することができるため、セル 11 に格納されたデータを長時間保持することができる。ここで、チャンネル形成領域に、シリコン等よりもバンドギャップが広く、真性キャリア密度が低い半導体を有するトランジスタは、オフ電流を著しく小さくすることができるので、トランジスタ 101 として用いるのに好適である。このような半導体の材料としては、例えば、シリコンの 2 倍以上の大きなバンドギャップを有する、酸化物半導体などが挙げられる。チャンネル形成領域に酸化物半導体を含むトランジスタ（以下、OS トランジスタともいう）は、シリコンやゲルマニウムなど酸化物半導体以外の材料を用いて形成されたトランジスタに比べて、オフ電流を極めて小さくすることができる。よって、トランジスタ 101 は OS トランジスタとすることが好ましい。これにより、ノード 120 に保持されている電荷のリークを効果的に抑制することができる。なお、セル 12 が有するトランジスタ 201 も、トランジスタ 101 と同様に OS トランジスタとすることが好ましい。

30

40

【0046】

また、OS トランジスタは微細化により高速な動作が可能となる。従って、トランジスタ 101、102、201、202 に OS トランジスタを用いることにより、セル 11 およびセル 12 を、書き込み速度および読み出し速度が 10 ns 以下、より好ましくは 5 ns 以下であるメモリセルとして機能させることができる。ここで、トランジスタ 101、102、201、202 に用いる OS トランジスタのチャンネル長は、100 nm 以下、好ま

50

しくは60nm以下、より好ましくは40nm以下、さらに好ましくは30nm以下である。

【0047】

また、セル11におけるデータの書き込み速度および読み出し速度の向上のために、トランジスタ102には大きな電流供給能力が求められる。よって、トランジスタ102には、酸化物半導体以外の材料、例えばシリコン等を用いたトランジスタを用いてもよい。これにより、トランジスタ102の電流供給能力を向上させることができる。セル12が有するトランジスタ202も、トランジスタ102と同様、酸化物半導体以外の材料、例えばシリコン等を用いたトランジスタとすることが好ましい。このように、酸化物半導体を用いたトランジスタと、酸化物半導体以外の材料を用いたトランジスタを組み合わせ、要求される機能に応じてトランジスタを使い分ける構成とすることにより、データの長期間の保持と回路の高速動作の両方を同時に実現することができる。

10

【0048】

また、シリコン等の酸化物半導体以外の材料を用いたトランジスタは、OSトランジスタと比較してpチャネル型のトランジスタを作製することが容易である。よって、トランジスタ101、102、201、202のうち、pチャネル型とするトランジスタは、酸化物半導体以外の材料を用いたトランジスタとすることが好ましい。これにより、半導体装置の作製における歩留まりの向上を図ることができる。

【0049】

また、図3に、 $n \times m$ 個のセル11（セル11[1, 1]乃至[n, m]）と、 $1 \times m$ 個のセル12（セル12[1]乃至[m]）を有するセルアレイ10の構成を示す。セルアレイ10は、複数の配線111（配線111[1]乃至[n]）、複数の配線112（配線112[1]乃至[n]）、配線211、複数の配線113（配線113[1]乃至[m]）、複数の配線114（配線114[1]乃至[m]）、複数の配線213（配線213[1]乃至[m]）を有する。配線111[1]乃至[n]は同じ行のセル11で共有され、配線113[1]乃至[m]は同じ列のセル11で共有され、配線114[1]乃至[m]は同じ列のセル11、12で共有され、配線211はセル12[1]乃至[m]で共有されている。

20

【0050】

ここで、セルアレイ10に含まれるセル11の数は $n \times m$ 個であり、セル12の数は m 個であるため、セルアレイ10においてセル12が占める面積の割合はセル11よりも小さい。そのため、セル12の面積を拡大することによるセルアレイ10の面積の増加は、セル11の面積を拡大する場合と比較して小さい。従って、セル12の面積をセル11の面積よりも大きくしても、セルアレイ10の面積の増加を抑えることができる。

30

【0051】

セル12の面積を大きくすることにより、セル12が有するトランジスタ202のチャネル長 L に対するチャネル幅 W の比(W/L)を、セル11が有するトランジスタ102の W/L よりも大きくすることができる。これにより、トランジスタ202の電流供給能力を向上させ、データの転送、書き直し時における配線114の電位の切り替えを短期間に行うことができ、セルアレイ10の動作速度を向上させることができる。

40

【0052】

また、セル12の面積を大きくすることにより、セル12が有する容量素子203の面積を、セル11が有する容量素子103の面積よりも大きくすることができる。すなわち、容量素子203の容量を、容量素子103の容量よりも大きくすることができる。これにより、ノード220の電位の変動を抑えることができ、セル12においてセル11に書き直すデータを正確に保持することができる。

【0053】

また、セル12の面積を大きくすることにより、セル12が有するトランジスタ201の W/L を、セル11が有するトランジスタ101の W/L よりも大きくすることができる。これにより、トランジスタ201の動作速度を向上させ、セル11からセル12へのデ

50

ータの転送を高速に行うことができる。

【0054】

本発明の一態様では、セル11に格納されたデータを配線114に出力し、セル12に書き込むことができる。また、セル12に格納されたデータを配線114に出力し、セル11に書き込むことができる。よって、セル11からセル12へのデータの転送、およびセル12に格納されたデータのセル11への書き直しを行うことができる。これにより、図1における回路30において、読み出し動作および書き込み動作を行うことなくセル11[1, 2]乃至[1, m]のデータを維持することができ、回路30における消費電力の低減および書き換え速度の向上を図ることができる。

【0055】

なお、図3においては、容量素子103の他方の電極が、トランジスタ102の導通状態を制御するための信号を伝える機能を有する配線112と接続され、容量素子203の他方の電極が、所定の電位を伝える機能を有する配線212と接続されている例を示したが、これに限られない。例えば、容量素子103の他方の電極と接続された配線112は、所定の電位を伝える機能を有する配線であってもよい(図4)。また、容量素子203の他方の電極と接続された配線212は、トランジスタ202の導通状態を制御するための信号を伝える機能を有する配線であってもよい(図5)。また、容量素子103の他方の電極が、所定の電位を伝える機能を有する配線112と接続され、容量素子203の他方の電極が、トランジスタ202の導通状態を制御するための信号を伝える機能を有する配線212と接続されていてもよい。また、図3乃至5において、トランジスタ102をnチャネル型トランジスタとし、トランジスタ202をpチャネル型トランジスタとしてもよい。

【0056】

次に、図2に示すセルアレイ10の具体的な動作を、図6のタイミングチャートを用いて説明する。なお、図6において、期間T1乃至T5は、セル11へのデータの書き込みを行う期間に対応し、期間T6乃至T8は、セル11からのデータの読み出しを行う期間に対応し、期間T9乃至T16は、セル11からセル12へのデータの転送、およびセル11へのデータの書き直しを行う期間に対応する。

【0057】

<データの書き込み>

まず、データの書き込み期間である期間T1乃至T5について説明する。書き込み動作は大別すると、トランジスタ101、102を導通状態とするステップと、配線114の電位をV1とすることによりノード120の電位をV2とするステップと、により行われる。

【0058】

まず、期間T1において、配線111の電位はローレベルであり、トランジスタ101は非導通状態である。また、配線113、114の電位はローレベルである。また、配線211の電位はハイレベルであり、トランジスタ201は導通状態である。また、配線213の電位はローレベルである。なお、ノード220は、トランジスタ201を介して配線213と導通状態であるため、ノード220の電位はローレベルである。また、トランジスタ202は非導通状態である。

【0059】

次に、期間T2において、配線111の電位をハイレベルとし、トランジスタ101を導通状態とする。これにより、配線113の電位(ローレベルの電位)がトランジスタ101を介してノード120に供給され、トランジスタ102は導通状態となる。また、配線112の電位をローレベルとする。

【0060】

次に、期間T3において、配線113の電位を浮遊状態とする。また、配線114の電位をV1とする。なお、電位V1はセル11に書き込むデータである。ここで、配線113およびノード120は、トランジスタ102を介して配線114と導通状態であるため、

配線 1 1 3 および ノード 1 2 0 の電位は配線 1 1 4 の電位 V_1 に近づく。具体的には、配線 1 1 3 および ノード 1 2 0 の電位は、配線 1 1 4 の電位 V_1 よりも低い電位である V_2 に近づく。ここで、電位 V_1 と電位 V_2 の差は、トランジスタ 1 0 2 のしきい値電圧と概ね等しい。配線 1 1 3 および ノード 1 2 0 の電位が V_2 に近づくと、トランジスタ 1 0 2 のゲートとソースの間の電位差が小さくなり、トランジスタ 1 0 2 のソースとドレインの間を流れる電流 (I_d) は小さくなる。そして、最終的に配線 1 1 3 および ノード 1 2 0 の電位が V_2 となり、トランジスタ 1 0 2 のゲートの電位が V_2 となると、トランジスタ 1 0 2 のゲートとソース間の電位差はトランジスタ 1 0 2 のしきい値電圧と概ね等しくなり、トランジスタ 1 0 2 は非導通状態となる。

【0061】

10

このように、セル 1 1 へのデータの書き込みは、電位 V_1 を配線 1 1 4 に供給し、ノード 1 2 0 の電位を V_2 にまで変化させることにより行う。

【0062】

なお、電位 V_1 の大きさは自由に設定することができる。よって、セル 1 1 には様々なデータを書き込むことができ、多値のデータの記憶を容易に行うことができる。

【0063】

次に、期間 T_4 において、配線 1 1 1 の電位をローレベルとし、トランジスタ 1 0 1 を非導通状態とする。これにより、ノード 1 2 0 の電位が保持される。なお、トランジスタ 1 0 1 を OS トランジスタとすると、トランジスタ 1 0 1 のオフ電流を極めて低くできるため、ノード 1 2 0 の電位を長期間にわたって保持することが可能となる。

20

【0064】

次に、期間 T_5 において、配線 1 1 3、1 1 4 の電位をローレベルとする。また、配線 1 1 2 の電位をハイレベルとし、ノード 1 2 0 の電位をハイレベルとすることにより、トランジスタ 1 0 2 を非導通状態とする。期間 T_5 におけるセル 1 1 は、ノード 1 2 0 の電位が異なる点を除き、期間 T_1 と同じ状態となる。

【0065】

以上の動作により、セル 1 1 へのデータの書き込みが行われる。

【0066】

<データの読み出し>

次に、データの読み出し期間である期間 T_6 乃至 T_8 について説明する。読み出し動作は大別すると、配線 1 1 4 をプリチャージするステップと、トランジスタ 1 0 2 を導通状態として配線 1 1 4 の電位を V_1 とするステップと、により行われる。

30

【0067】

まず、期間 T_6 において、配線 1 1 4 をハイレベルにプリチャージする。なお、配線 1 1 4 の電位は、電位 V_1 よりも高いことが好ましい。なお、配線 1 1 1 の電位はローレベルであり、トランジスタ 1 0 1 は非導通状態である。また、配線 1 1 2 の電位はハイレベルであり、トランジスタ 1 0 2 は非導通状態である。

【0068】

次に、期間 T_7 において、配線 1 1 4 の電位を浮遊状態とする。また、配線 1 1 2 の電位をローレベルとし、ノード 1 2 0 の電位を V_2 に変化させる。この時、トランジスタ 1 0 2 は導通状態であり、トランジスタ 1 0 2 のソースとドレインの間には、トランジスタ 1 0 2 のゲートの電位 (V_2) と配線 1 1 4 の電位に対応した電流 (I_d) が流れる。また、浮遊状態である配線 1 1 4 の電位は、配線 1 1 3 の電位 (ローレベル) に近づく。そして、配線 1 1 4 の電位が V_1 まで下がり、ノード 1 2 0 の電位 (V_2) と配線 1 1 4 の電位の差がトランジスタ 1 0 2 のしきい値電圧以下となると、トランジスタ 1 0 2 は非導通状態となり、配線 1 1 4 の電位は V_1 に維持される。

40

【0069】

ここで、 V_1 はセル 1 1 へのデータの書き込み時 (期間 T_3) における配線 1 1 4 の電位 (書き込み電位) と同じ電位である。すなわち、期間 T_3 においてセル 1 1 に書き込んだデータを、電位 V_1 として配線 1 1 4 から読み出すことができる。

50

【0070】

次に、期間T8において、配線113、114の電位をローレベルとする。また、配線112の電位をハイレベルとし、ノード120の電位をハイレベルとする。

【0071】

以上の動作により、ノード120の電位およびトランジスタ102のしきい値に応じて、セル11に格納されたデータを配線114の電位として読み出すことができる。これにより、複数のセル11においてトランジスタ102のしきい値電圧にばらつきがあっても、読み出すデータのばらつきを抑えることができる。また、あるセル11において、経時劣化によりトランジスタ102のしきい値電圧に変動が生じた場合であっても、読み出すデータのばらつきを抑えることができる。

10

【0072】

また、上記のように、セル11においては、書き込み時の配線114の電位と読み出し時の配線114の電位の変動が抑制できるため、セル11に様々なデータを書き込み、正確に読み出すことができる。そのため、セル11に多値のデータを正確に格納することができる。セル11の集積度を上げることができる。

【0073】

また、正確に書き込みが行われているかを確認するためのベリファイ動作が不要となり、半導体装置100の高速な動作が可能となる。

【0074】

<データの転送、書き直し>

20

次に、データの転送および書き直しの期間である期間T9乃至T16について説明する。データの転送および書き直し動作は大別すると、セル11から読み出したデータをセル12に書き込むステップと、セル12から読み出したデータをセル11に書き込むステップと、により行われる。

【0075】

まず、期間T9において、配線114をハイレベルにプリチャージする。なお、配線114の電位は、V1よりも高いことが好ましい。なお、配線111の電位はローレベルであり、トランジスタ101は非導通状態である。また、配線112の電位はハイレベルであり、トランジスタ102は非導通状態である。

【0076】

30

また、期間T9において、配線211の電位はハイレベルであり、トランジスタ201は導通状態である。また、配線213の電位をハイレベルとする。これにより、配線213の電位（ハイレベルの電位）がトランジスタ201を介してノード220に供給され、トランジスタ202は導通状態となる。

【0077】

次に、期間T10において、配線114の電位を浮遊状態とする。また、配線112の電位をローレベルとし、ノード120の電位をV2に変化させる。この時、トランジスタ102は導通状態であり、トランジスタ102のソースとドレインの間には、トランジスタ102のゲートの電位（V2）と配線114の電位に対応した電流（ I_d ）が流れる。また、浮遊状態である配線114の電位は、配線113の電位（ローレベル）に近づく。そして、配線114の電位がV1まで下がり、ノード120の電位（V2）と配線114の電位の差がトランジスタ102のしきい値電圧以下となると、トランジスタ102は非導通状態となり、配線114の電位はV1に維持される。

40

【0078】

また、期間T10において、配線213の電位を浮遊状態とする。ここで、配線213およびノード220は、トランジスタ202を介して配線114と導通状態であるため、配線213およびノード220の電位は配線114の電位V1に近づく。具体的には、配線213およびノード220の電位は、配線114の電位V1よりも高い電位であるV3に近づく。ここで、電位V1と電位V3の差は、トランジスタ202の閾値電圧と概ね等しい。配線213およびノード220の電位がV3に近づく、トランジスタ202のゲート

50

トとソースの間の電位差が小さくなり、トランジスタ202のソースとドレインの間を流れる電流(I_d)は小さくなる。そして、最終的に配線213およびノード220の電位がV3となり、トランジスタ202のゲートの電位がV3となると、トランジスタ202のゲートとソース間の電位差はトランジスタ202のしきい値電圧と概ね等しくなり、トランジスタ202は非導通状態となる。

【0079】

次に、期間T11において、配線211の電位をローレベルとし、トランジスタ201を非導通状態とする。これにより、ノード220の電位が保持される。なお、トランジスタ201をOSトランジスタとすると、トランジスタ201のオフ電流を極めて低くできるため、ノード220の電位を長期間にわたって保持することが可能となる。

10

【0080】

次に、期間T12において、配線114の電位をローレベルとする。なお、配線114の電位は、V1よりも低いことが好ましい。また、配線112の電位をハイレベルとし、ノード120の電位をハイレベルとする。また、配線211の電位をローレベルとし、トランジスタ201を非導通状態とする。また、配線213の電位をローレベルとする。なお、配線213の電位は浮遊状態としてもよい。

【0081】

次に、期間T13において、配線111の電位をハイレベルとし、トランジスタ101を導通状態とする。これにより、配線113の電位(ローレベルの電位)がトランジスタ101を介してノード120に供給され、トランジスタ102は導通状態となる。また、配線112の電位をローレベルとする。

20

【0082】

次に、期間T14において、配線114の電位を浮遊状態とする。また、配線213の電位をハイレベルとする。この時、トランジスタ202は導通状態であり、トランジスタ202のソースとドレインの間には、トランジスタ202のゲートの電位(V3)と配線114の電位に対応した電流(I_d)が流れる。また、浮遊状態である配線114の電位は、配線213の電位(ハイレベル)に近づく。そして、配線114の電位がV1まで上昇し、ノード220の電位(V3)と配線114の電位の差がトランジスタ202のしきい値電圧以下となると、トランジスタ202は非導通状態となり、配線114の電位はV1に維持される。

30

【0083】

また、期間T14において、配線113の電位を浮遊状態とする。ここで、配線113およびノード120は、トランジスタ102を介して配線114と導通状態であるため、配線113およびノード120の電位は配線114の電位V1に近づく。具体的には、配線113およびノード120の電位は、配線114の電位V1よりも低い電位であるV2に近づく。ここで、電位V1と電位V2の差は、トランジスタ102の閾値電圧と概ね等しい。配線113およびノード120の電位がV2に近づくと、トランジスタ102のゲートとソースの間の電位差が小さくなり、トランジスタ102のソースとドレインの間を流れる電流(I_d)は小さくなる。そして、最終的に配線113およびノード120の電位がV2となり、トランジスタ102のゲートの電位がV2となると、トランジスタ102のゲートとソース間の電位差はトランジスタ102のしきい値電圧と概ね等しくなり、トランジスタ102は非導通状態となる。

40

【0084】

次に、期間T15において、配線111の電位をローレベルとして、トランジスタ101を非導通状態とする。これにより、ノード120の電位が保持される。

【0085】

次に、期間T16において、配線113、114の電位をローレベルとする。また、配線213の電位をローレベルとする。また、配線112の電位をハイレベルとし、ノード120の電位をハイレベルとすることにより、トランジスタ102を非導通状態とする。また、配線211の電位をハイレベルとする。なお、ノード220は、トランジスタ201

50

を介して配線 2 1 3 と導通状態であるため、ノード 2 2 0 の電位はローレベルとなる。また、トランジスタ 2 0 2 は非導通状態となる。

【0086】

以上の動作により、セル 1 1 からセル 1 2 へのデータの転送、およびセル 1 2 に格納されたデータのセル 1 1 への書き直しが行われる。

【0087】

本発明の一態様に係る半導体装置では、データの書き換えを行うセル 1 1 においては、書き込み電位を供給することによりデータの書き込み動作を行い、データの書き換えを行わないセル 1 1 においては、セル 1 2 にデータを転送し、その後、当該転送したデータを再度セル 1 1 に格納する書き直し動作を行う。これにより、駆動回路において読み出し動作および書き込み動作を行うことなく、データの書き換えを行わないセル 1 1 に格納されたデータを維持することができ、駆動回路における消費電力の低減および書き換え速度の向上を図ることができる。

10

【0088】

また、セル 1 1 において、ノード 1 2 0 の電位およびトランジスタ 1 0 2 のしきい値に応じて、セル 1 1 に格納されたデータを配線 1 1 4 の電位として読み出すことができる。そのため、異なるセル 1 1 においてトランジスタ 1 0 2 のしきい値電圧にばらつきがあっても、読み出すデータのばらつきを抑えることができる。また、あるセル 1 1 において、経時劣化によりトランジスタ 1 0 2 のしきい値電圧に変動が生じた場合であっても、読み出すデータのばらつきを抑えることができる。

20

【0089】

また、セル 1 1 においては、書き込み時の配線 1 1 4 の電位と読み出し時の配線 1 1 4 の電位の変動が抑制できるため、セル 1 1 に様々なデータを書き込み、正確に読み出すことができる。そのため、セル 1 1 に多値のデータを正確に格納することができ、セル 1 1 の集積度を上げることができる。

【0090】

また、セル 1 1 において、正確に書き込みが行われているかを確認するためのベリファイ動作が不要となり、半導体装置 1 0 0 の高速な動作が可能となる。

【0091】

本実施の形態は他の実施の形態の記載と適宜組み合わせることができる。

30

【0092】

(実施の形態 2)

本実施の形態では、本発明の一態様に係る駆動方法の一例について説明する。

【0093】

図 7 に、セルアレイ 1 0 の一部である、セル 1 1 [1, 1]、[1, 2]、セル 1 2 [1]、[2] を示す。セル 1 1 [1, 1] は、トランジスタ 1 0 1 [1]、トランジスタ 1 0 2 [1]、容量素子 1 0 3 [1] を有する。セル 1 1 [1, 2] は、トランジスタ 1 0 1 [2]、トランジスタ 1 0 2 [2]、容量素子 1 0 3 [2] を有する。セル 1 2 [1] は、トランジスタ 2 0 1 [1]、トランジスタ 2 0 2 [1]、容量素子 2 0 3 [1] を有する。セル 1 2 [2] は、トランジスタ 2 0 1 [2]、トランジスタ 2 0 2 [2]、容量素子 2 0 3 [2] を有する。なお、セル 1 1 [1, 1]、[1, 2] の構成は図 2 におけるセル 1 1 と同様であり、セル 1 2 [1]、[2] の構成は図 2 におけるセル 1 2 と同様であるため、各素子間の接続関係についての詳細な説明は省略する。

40

【0094】

本発明の一態様においては、あるセル 1 1 における新たなデータの書き込みと、別のセル 1 1 におけるデータの転送および書き直しを同時に行うことができる。ここでは、セル 1 1 [1, 1] においては新たなデータの書き込みを行わずに、データの転送および書き直しを行い、セル 1 1 [1, 2] においては新たなデータの書き込みを行う場合の動作方法について説明する。

【0095】

50

図7に示すセル11 [1, 1]、[1, 2]、セル12 [1]、[2]の具体的な動作を、図8のタイミングチャートを用いて説明する。図中のAは、データの転送および書き直しの動作を行うセル11 [1, 1] およびセル12 [1] の動作を示し、図中のBは、データの書き込み動作を行うセル11 [1, 2] およびセル12 [2] の動作を示す。なお、Aのタイミングチャートは、図6における期間T9乃至T16（データの転送および書き直し動作）と同様であるため、ここでは主にBの動作について説明する。

【0096】

まず、期間T21において、配線211の電位はハイレベルであり、トランジスタ201 [2] は導通状態である。また、配線213 [2] の電位をハイレベルとする。これにより、配線213 [2] の電位（ハイレベルの電位）がトランジスタ201 [2] を介してノード220 [2] に供給され、トランジスタ202 [2] は導通状態となる。

10

【0097】

次に、期間T22において、配線213 [2] の電位を浮遊状態とする。また、配線113 [2]、配線114 [2] の電位をV4とする。なお、電位V4はセル11 [1, 2] に書き込むデータであり、回路30（図1参照）から供給される書き込み電位である。また、配線113 [2] の電位は浮遊状態としてもよい。ここで、配線213 [2] およびノード220 [2] は、トランジスタ202 [2] を介して配線114 [2] と導通状態であるため、配線213 [2] の電位は配線114 [2] の電位V4に近づく。具体的には、配線213 [2] およびノード220 [2] の電位は、配線114の電位V4よりも高い電位であるV5に近づく。ここで、電位V4と電位V5の差は、トランジスタ202 [2] のしきい値電圧と概ね等しい。ここで、配線213 [2] およびノード220 [2] の電位がV5に近づく、トランジスタ202 [2] のゲートとソースの間の電位差が小さくなり、トランジスタ202 [2] のソースとドレインの間を流れる電流（ I_d ）は小さくなる。そして、最終的に配線213 [2] およびノード220 [2] の電位がV5となり、トランジスタ202 [2] のゲートの電位がV5となると、トランジスタ202 [2] のゲートとソース間の電位差はトランジスタ202 [2] のしきい値電圧と概ね等しくなり、トランジスタ202 [2] は非導通状態となる。

20

【0098】

次に、期間T23において、配線211の電位をローレベルとし、トランジスタ201 [2] を非導通状態とする。これにより、ノード220 [2] の電位が保持される。

30

【0099】

このように、期間T21乃至T23において、配線114 [2] に供給された書き込み電位（V4）をセル12 [2] に供給し、セル12 [2] へのデータの書き込みを行う。なお、図中のAにおいては、期間T21乃至T23に、セル11 [1, 1] に格納されたデータのセル12 [1] への転送が行われる。

【0100】

次に、期間T24において、配線114 [2] の電位をローレベルとする。なお、配線114 [2] の電位は、V4よりも低いことが好ましい。また、配線211の電位をローレベルとし、トランジスタ201 [2] を非導通状態とする。これにより、ノード220 [2] の電位が保持される。また、配線213 [2] の電位をローレベルとする。なお、配線213 [2] の電位は浮遊状態としてもよい。

40

【0101】

次に、期間T25において、配線111 [1] の電位をハイレベルとし、トランジスタ101 [2] を導通状態とする。これにより、配線113 [2] の電位（ローレベルの電位）がトランジスタ101 [2] を介してノード120 [2] に供給され、トランジスタ102 [2] は導通状態となる。また、配線112 [1] の電位をローレベルとする。

【0102】

次に、期間T26において、配線114 [2] の電位を浮遊状態とする。また、配線213 [2] の電位をハイレベルとする。この時、トランジスタ202 [2] は導通状態であり、トランジスタ202 [2] のソースとドレインの間には、トランジスタ202 [2]

50

のゲートの電位（V5）と配線114〔2〕の電位に対応した電流（I_d）が流れる。また、浮遊状態である配線114〔2〕の電位は、配線213〔2〕の電位（ハイレベル）に近づく。そして、配線114〔2〕の電位がV4まで上昇し、ノード220〔2〕の電位（V5）と配線114〔2〕の電位の差がトランジスタ202〔2〕のしきい値電圧以下となると、トランジスタ202〔2〕は非導通状態となり、配線114〔2〕の電位はV4に維持される。

【0103】

また、期間T26において、配線113〔2〕の電位を浮遊状態とする。ここで、配線113〔2〕およびノード120〔2〕は、トランジスタ102〔2〕を介して配線114〔2〕と導通状態であるため、配線113〔2〕およびノード120〔2〕の電位は配線114〔2〕の電位V4に近づく。具体的には、配線113〔2〕およびノード120〔2〕の電位は、配線114〔2〕の電位V4よりも低い電位であるV6に近づく。ここで、電位V4と電位V6の差は、トランジスタ102〔2〕の閾値電圧と概ね等しい。配線113〔2〕およびノード120〔2〕の電位がV6に近づく、トランジスタ102〔2〕のゲートとソースの間の電位差が小さくなり、トランジスタ102〔2〕のソースとドレインの間を流れる電流（I_d）は小さくなる。そして、最終的に配線113〔2〕およびノード120〔2〕の電位がV6となり、トランジスタ102〔2〕のゲートの電位がV6となると、トランジスタ102〔2〕のゲートとソース間の電位差はトランジスタ102〔2〕のしきい値電圧と概ね等しくなり、トランジスタ102〔2〕は非導通状態となる。

【0104】

次に、期間T27において、配線111〔1〕の電位をローレベルとして、トランジスタ101〔2〕を非導通状態とする。

【0105】

次に、期間T28において、配線113〔2〕、114〔2〕の電位をローレベルとする。また、配線213〔2〕の電位をローレベルとする。また、配線112〔1〕の電位をハイレベルとし、ノード120〔2〕の電位をハイレベルとすることにより、トランジスタ102〔2〕を非導通状態とする。また、配線211の電位をハイレベルとする。なお、ノード220〔2〕は、トランジスタ201〔2〕を介して配線213〔2〕と導通状態であるため、ノード220〔2〕の電位はローレベルとなる。また、トランジスタ202〔2〕は非導通状態となる。

【0106】

このように、期間T24乃至T28において、セル12〔2〕に格納されたデータをセル11〔2〕書き込む動作が行われる。なお、図中のAにおいては、期間T24乃至T28に、セル12〔1〕に格納されたデータをセル11〔1〕書き込む動作が行われる。

【0107】

以上の動作により、セル11〔1, 1〕においては、データの転送および書き直しにより格納されたデータを維持しつつ、セル11〔1, 2〕においては、書き込み電位を供給して新たなデータの書き込みを行うことができる。

【0108】

本実施の形態は他の実施の形態の記載と適宜組み合わせることができる。

【0109】

（実施の形態3）

本実施の形態では、図1における半導体装置100のより具体的な構成の一例について説明する。

【0110】

<半導体装置の構成例>

図9に、半導体装置100の構成の一例を示す。半導体装置100は、セルアレイ10、回路300、回路400、回路500を有する。回路300は、配線111〔1〕乃至〔n〕、または配線112〔1〕乃至〔n〕を介して、セル11〔1, 1〕乃至〔n, m〕

10

20

30

40

50

と接続されている。また、回路300は、配線211を介してセル12[1]乃至[m]と接続されている。回路400は、配線113[1]乃至[m]を介してセル11[1, 1]乃至[n, m]と接続されている。また、回路400は、配線114[1]乃至[m]を介してセル11[1, 1]乃至[n, m]およびセル12[1]乃至[m]と接続されている。また、回路400は、配線213[1]乃至[m]を介してセル12[1]乃至[m]と接続されている。回路500は、配線114[1]乃至[m]を介して、セル11[1, 1]乃至[n, m]およびセル12[1]乃至[m]と接続されている。

【0111】

セルアレイ10は、n行m列のセル11（セル11[1, 1]乃至[n, m]）、1行m列のセル12（セル12[1]乃至[m]）を有する。セルアレイ10の構成は図3と同様であるため、詳細な説明は省略する。

10

【0112】

回路300は、トランジスタ101の導通状態を制御するための信号を配線111に供給する機能、トランジスタ201の導通状態を制御するための信号を配線211に供給する機能を有する。また、トランジスタ102のゲートの電位を制御するための信号を配線112に供給する機能を有する。半導体装置100は回路300を有することにより、セル11へのデータの書き込みおよび読み出しを行毎に行うことができる。

【0113】

回路400は、配線113[1]乃至[m]、配線114[1]乃至[m]を特定の電位とする（プリチャージ）機能、配線113[1]乃至[m]、配線114[1]乃至[m]の電位を初期化する機能、配線113[1]乃至[m]、配線114[1]乃至[m]を浮遊状態とする機能の少なくともいずれか1以上の機能を有する回路である。半導体装置100は回路400を有することにより、セル11へのデータの書き込みおよび読み出しを列毎に行うことができる。

20

【0114】

回路500は、アナログ値である配線114の電位を、デジタル値に変換して外部に出力する機能を有する回路である。回路500は、例えばA/Dコンバータを有する回路とすることができる。半導体装置100は回路500を有することにより、セル11から読み出されたデータを外部に出力することができる。

【0115】

なお、回路500は、フラッシュ型、逐次比較型、マルチスローブ型、デルタシグマ型などのA/Dコンバータを有するものとしてすることができる。

30

【0116】

<回路300の構成例>

図10に、回路300の具体的な構成の一例を示す。

【0117】

回路300は、回路301、回路302、回路303を有する。回路301は、外部から入力される信号に基づいて、配線111[1]乃至[n]のいずれか、または配線112[1]乃至[n]のいずれかを選択する機能を有する回路であり、例えばデコーダを有する回路とすることができる。回路302は、回路301から入力される信号および外部から入力される信号に基づいて、配線111[1]乃至[n]、配線112[1]乃至[n]のうち回路301で選択された配線に信号を供給する機能を有する制御回路である。回路303は、配線211に信号を供給する機能を有する制御回路である。

40

【0118】

回路302は、配線111、配線112の本数に応じて複数設けられており（回路302[1]乃至[n]）、1つの回路302は、1つの配線111および1つの配線112と接続されている。

【0119】

<回路400の構成例>

図11に、回路400の具体的な構成の一例を示す。

50

【0120】

図11に示す回路400は、デコーダ401、ラッチ回路402、D/Aコンバータ403、スイッチ回路404、トランジスタ405、及びトランジスタ406を有する。前述の各回路及びトランジスタは、列毎に設けられる。また各列のスイッチ回路404、トランジスタ405、及びトランジスタ406は、配線114と接続される。

【0121】

デコーダ401は、配線114が設けられる列を選択し、入力されるデータを振り分けて出力する機能を備えた回路である。具体的には、アドレス信号`Address`及びデータ`Data`が入力され、該アドレス信号`Address`に従っていずれかの列のラッチ回路402にデータ`Data`を出力する回路である。デコーダ401を備えることで、回路400は、任意の列を選択して、データの書き込みを行うことができる。

10

【0122】

なおデコーダ401に入力されるデータ`Data`は、 k ビットのデジタルデータである。 k ビットのデジタルデータは、ビット毎に'1'又は'0'の2値のデータで表される信号である。具体的には、2ビットのデジタルデータであれば、'00'、'01'、'10'、'11'で表されるデータである。

【0123】

ラッチ回路402は、データ`Data`を一時的に記憶する機能を備えた回路である。例えば、ラッチ信号`W_LAT`が入力され、該ラッチ信号`W_LAT`に従って記憶したデータ`Data`をD/Aコンバータ403に出力するフリップフロップ回路とすることができる。ラッチ回路402を備えることで、回路400は、任意のタイミングでデータの書き込みを行うことができる。

20

【0124】

D/Aコンバータ403は、入力されるデジタル値のデータ`Data`を、アナログ値のデータ`Vdata`に変換する機能を備えた回路である。具体的にD/Aコンバータ403は、データ`Data`のビット数が3ビットであれば、複数の電位 V_0 乃至 V_7 の8段階の電位のいずれかに変換してスイッチ回路404に出力する回路である。D/Aコンバータ403を備えることで、回路400は、セルアレイ10に書き込むデータを、多値のデータに対応する電位とすることができる。

【0125】

なおD/Aコンバータ403から出力される`Vdata`は、異なる電圧値で表されるデータである。2ビットのデータでいえば、例えば0.5V、1.0V、1.5V、2.0Vの4値のデータとなり、いずれかの電圧値で表されるデータということができる。

30

【0126】

スイッチ回路404は、入力されたデータ`Vdata`を配線114に供給する機能、及び配線114を電氣的に浮遊状態とする機能を備えた回路である。具体的には、アナログスイッチとインバータを備え、デコーダ401からの制御信号による制御により、データ`Vdata`を配線114に供給し、その後アナログスイッチをオフにすることで電氣的に浮遊状態とする回路である。スイッチ回路404を備えることで、回路400は、データ`Vdata`を配線114に供給した後、配線114を電氣的に浮遊状態に保持することができる。

40

【0127】

トランジスタ405は、プリチャージ電圧 V_{DD} を配線114に供給する機能、及び配線114を電氣的に浮遊状態とする機能を備えた回路である。具体的には、プリチャージ制御信号`Pre_EN`による制御でプリチャージ電圧 V_{DD} を配線114に供給し、その後、配線114を電氣的に浮遊状態とするスイッチである。トランジスタ405を備えることで、回路400は、プリチャージ電圧 V_{DD} を配線114に与えた後、配線114を電氣的に浮遊状態に保持することができる。

【0128】

トランジスタ406は、初期化電圧 GND を配線114に与える機能を備えた回路である

50

。具体的には、初期化制御信号 $I n i t _ E N$ による制御で初期化電圧 $G N D$ を配線 1 1 4 に与えるスイッチである。トランジスタ 4 0 6 を備えることで、回路 4 0 0 は、初期化電圧 $G N D$ を配線 1 1 4 に与えることができる。

【0129】

なお図示していないが、回路 4 0 0 は、配線 1 1 3、配線 2 1 3 にプリチャージ電圧を印加し、また配線 1 1 3、配線 2 1 3 を電氣的に浮遊状態にする機能を有する。これらの動作は配線 1 1 4 と同様に行うことができるため、配線 1 1 4 に関する記載を援用する。

【0130】

<回路 5 0 0 の構成例>

図 1 2 に、回路 5 0 0 の具体的な構成の一例を示す。

10

【0131】

図 1 2 に示す回路 5 0 0 は、複数のコンパレータ 5 0 1、エンコーダ 5 0 2、ラッチ回路 5 0 3、及びバッファ 5 0 4 を有する。これらは、列毎に設けられる。また、各列のバッファ 5 0 4 は、データ $D o u t$ を出力する。

【0132】

コンパレータ 5 0 1 は、配線 1 1 4 の電位と、参照電圧 $V r e f 0$ 乃至 $V r e f 6$ との電位の高低を比較し、配線 1 1 4 の電位が多値のデータのいずれに応じた電位であるかを判定する機能を備えた回路である。複数のコンパレータ 5 0 1 それぞれには、配線 1 1 4 の電位と、参照電圧 $V r e f 0$ 乃至 $V r e f 6$ のいずれかが与えられ、配線 1 1 4 の電位が参照電圧 $V r e f 0$ 乃至 $V r e f 6$ のいずれの電位の間にあるかを判定する回路である。コンパレータ 5 0 1 を備えることで、回路 5 0 0 は、配線 1 1 4 の電位が、多値のデータのいずれかに対応する電位かを判定することができる。

20

【0133】

なお、一例として図 1 2 で示す参照電圧 $V r e f 0$ 乃至 $V r e f 6$ は、多値のデータが 3 ビット、すなわち 8 値のデータである場合に与えられる電位である。

【0134】

エンコーダ 5 0 2 は、コンパレータ 5 0 1 から出力される配線 1 1 4 の電位を判定する信号をもとに、多ビットのデジタル信号を生成する機能を備えた回路である。具体的には、複数のコンパレータ 5 0 1 より出力されるハイレベル又はローレベルの信号をもとに符号化を行い、デジタル信号を生成する回路である。エンコーダ 5 0 2 を備えることで、回路 5 0 0 は、セルアレイ 1 0 から読み出されたデータをデジタル値のデータとすることができる。

30

【0135】

ラッチ回路 5 0 3 は、入力されるデジタル値のデータを一時的に記憶する機能を備えた回路である。具体的には、ラッチ信号 $L A T$ が入力され、該ラッチ信号 $L A T$ に従って記憶したデータをバッファ 5 0 4 に出力するフリップフロップ回路である。ラッチ回路 5 0 3 を備えることで、回路 5 0 0 は、任意のタイミングでデータの出力を行うことができる。なおラッチ回路 5 0 3 は、省略することができる。

【0136】

バッファ 5 0 4 は、ラッチ回路 5 0 3 より出力されたデータを増幅して出力信号 $D o u t$ として出力する機能を備えた回路である。具体的には、インバータ回路を偶数段備えた回路である。バッファ 5 0 4 を備えることで、回路 5 0 0 は、デジタル信号に対するノイズを低減することができる。なおバッファ 5 0 4 は、省略することができる。

40

【0137】

以上のように、半導体装置 1 0 0 は回路 3 0 0、4 0 0、5 0 0 を備えることにより、セル 1 1、1 2 へのデータの書き込み、セル 1 1、1 2 からのデータの読み出しなどを行うことができる。

【0138】

本実施の形態は他の実施の形態の記載と適宜組み合わせることができる。

【0139】

50

(実施の形態 4)

本実施の形態では、セル 1 1、1 2 に用いることができる具体的な構成の一例について説明する。

【0 1 4 0】

図 2 乃至 5 においては、セル 1 1、1 2 がそれぞれ 2 つのトランジスタを有する構成としているが、これに限られず、セル 1 1、1 2 は 3 つ以上のトランジスタを有していてもよい。セル 1 1、1 2 がそれぞれ 3 つのトランジスタを有する構成の一例を図 1 3 に示す。

【0 1 4 1】

図 1 3 (A) に示すセル 1 1 は、トランジスタ 1 0 4 を有する点、容量素子 1 0 3 の他方の電極が配線 1 1 5 と接続されている点において、図 2、3 におけるセル 1 1 と異なる。また、図 1 3 (A) に示すセル 1 2 は、トランジスタ 2 0 4 を有する点、容量素子 2 0 3 の他方の電極が配線 2 1 5 と接続されている点において、図 2、3 におけるセル 1 2 と異なる。なお、配線 1 1 5、2 1 5 は、所定の電位を伝える機能を有する配線である。配線 1 1 5、2 1 5 は、高電位電源線であってもよいし、低電位電源線（接地線など）であってもよい。また、所定の電位は、一定の電位（固定電位）であっても変動する電位であってもよく、0 V に限定されない。

【0 1 4 2】

トランジスタ 1 0 4 のゲートは配線 1 1 2 と接続され、ソースまたはドレインの一方はトランジスタ 1 0 2 のソースまたはドレインの他方と接続され、ソースまたはドレインの他方は配線 1 1 4 と接続されている。トランジスタ 2 0 4 のゲートは配線 2 1 2 と接続され、ソースまたはドレインの一方はトランジスタ 2 0 2 のソースまたはドレインの他方と接続され、ソースまたはドレインの他方は配線 1 1 4 と接続されている。

【0 1 4 3】

配線 1 1 2 の電位を制御することにより、トランジスタ 1 0 4 の導通状態を制御し、配線 1 1 3 と配線 1 1 4 の導通状態を制御することができる。また、配線 2 1 2 の電位を制御することにより、トランジスタ 2 0 4 の導通状態を制御し、配線 2 1 3 と配線 1 1 4 の導通状態を制御することができる。これにより、セル 1 1、セル 1 2 における書き込みや読み出しなどの動作の自由度を上げることができる。

【0 1 4 4】

なお、図 1 3 (A) においては、トランジスタ 1 0 4 をトランジスタ 1 0 2 と配線 1 1 4 との間に設け、トランジスタ 2 0 4 をトランジスタ 2 0 2 と配線 1 1 4 との間に設けた構成を示したが、トランジスタ 1 0 4、2 0 4 の位置は特に限定されず、配線、トランジスタ、容量素子間のどの位置に設けてもよい。図 1 3 (B) に、トランジスタ 1 0 4 を配線 1 1 3 とトランジスタ 1 0 2 の間に設け、トランジスタ 2 0 4 を配線 2 1 3 とトランジスタ 2 0 2 の間に設けた例を示す。トランジスタ 1 0 4 のソースまたはドレインの一方は配線 1 1 3 と接続され、ソースまたはドレインの他方はトランジスタ 1 0 2 のソースまたはドレインの一方と接続されている。トランジスタ 2 0 4 のソースまたはドレインの一方は配線 2 1 3 と接続され、ソースまたはドレインの他方はトランジスタ 2 0 2 のソースまたはドレインの一方と接続されている。このような構成とすることにより、図 1 3 (A) に示す構成と比較して、配線 1 1 2、2 1 2 の電位の変動に起因して配線 1 1 4 に生じ得るノイズを抑制することができる。よって、データの書き込みや読み出しをより正確に行うことができる。

【0 1 4 5】

なお、セル 1 1、1 2 は、図 2 乃至 5、図 1 3 (A)、(B) に示す構成を自由に選択することができる。また、セル 1 1 の構成とセル 1 2 の構成は異なってもよい。例えば、図 2 乃至 5 に示す 2 つのトランジスタを有するセル 1 1 と、図 1 3 (A)、(B) に示す 3 つのトランジスタを有するセル 1 2 を組み合わせてもよい。また、図 2 乃至 5 に示す 2 つのトランジスタを有するセル 1 2 と、図 1 3 (A)、(B) に示す 3 つのトランジスタを有するセル 1 1 を組み合わせてもよい。

【0 1 4 6】

本実施の形態は他の実施の形態の記載と適宜組み合わせることができる。

【0147】

(実施の形態5)

本実施の形態では、セルアレイ10に用いることができるトランジスタの構成について説明する。

【0148】

<半導体装置の断面構造の例>

図14に、セル11、セル12の構成の一例を示す。なお、図14では、OSトランジスタであるトランジスタ701が、単結晶のシリコン基板にチャンネル形成領域を有するトランジスタ（以下、Siトランジスタともいう）であるトランジスタ702上に形成されている場合を例示している。なお、このようにSiトランジスタとOSトランジスタが積層された構成は、セル11、12に適宜用いることができる。例えば、図2乃至5、図13等に示すトランジスタ102、104、202、204をSiトランジスタとして、図14におけるトランジスタ702のように単結晶のシリコン基板に作製し、図2乃至5、図13等に示すトランジスタ101、201をOSトランジスタとして、図14におけるトランジスタ701のように、単結晶のシリコン基板に作製されたトランジスタの上方に設けることができる。

10

【0149】

トランジスタ702は、非晶質、微結晶、多結晶または単結晶である、シリコン又はゲルマニウムなどの半導体膜または半導体基板に、チャンネル形成領域を有していても良い。或いは、トランジスタ702は、酸化物半導体膜または酸化物半導体基板に、チャンネル形成領域を有していても良い。全てのトランジスタが酸化物半導体膜または酸化物半導体基板に、チャンネル形成領域を有している場合、トランジスタ701はトランジスタ702上に積層されていなくとも良く、トランジスタ701とトランジスタ702とは、同一の層に形成されていても良い。

20

【0150】

シリコンの薄膜を用いてトランジスタ702を形成する場合、当該薄膜には、プラズマCVD（Chemical Vapor Deposition）法などの気相成長法若しくはスパッタリング法で作製された非晶質シリコン、非晶質シリコンにレーザーを照射する等の処理により結晶化させた多結晶シリコン、単結晶シリコンウェハに水素イオン等を注入して表層部を剥離した単結晶シリコンなどを用いることができる。

30

【0151】

トランジスタ702が形成される半導体基板801は、例えば、シリコン基板、ゲルマニウム基板、シリコンゲルマニウム基板等を用いることができる。図14では、単結晶シリコン基板を半導体基板801として用いる場合を例示している。

【0152】

また、トランジスタ702は、素子分離法により電氣的に分離されている。素子分離法として、選択酸化法（LOCOS法：Local Oxidation of Silicon法）、トレンチ分離法（STI法：Shallow Trench Isolation）等を用いることができる。図14では、トレンチ分離法を用いてトランジスタ702を電氣的に分離する場合を例示している。具体的に、図14では、半導体基板801にエッチング等によりトレンチを形成した後、酸化珪素などを含む絶縁物を当該トレンチに埋め込むことで形成される素子分離領域810により、トランジスタ702を素子分離させる場合を例示している。

40

【0153】

トランジスタ702上には、絶縁膜811が設けられている。絶縁膜811には開口部が形成されている。そして、上記開口部には、トランジスタ702のソース及びドレインにそれぞれ電氣的に接続されている導電膜825及び導電膜826と、トランジスタ702のゲートに電氣的に接続されている導電膜827とが、形成されている。

【0154】

50

そして、導電膜 8 2 5 は、絶縁膜 8 1 1 上に形成された導電膜 8 3 4 に電氣的に接続されており、導電膜 8 2 6 は、絶縁膜 8 1 1 上に形成された導電膜 8 3 5 に電氣的に接続されており、導電膜 8 2 7 は、絶縁膜 8 1 1 上に形成された導電膜 8 3 6 に電氣的に接続されている。

【0155】

導電膜 8 3 4 乃至導電膜 8 3 6 上には、絶縁膜 8 1 2 が形成されている。絶縁膜 8 1 2 には開口部が形成されており、上記開口部に、導電膜 8 3 6 に電氣的に接続された導電膜 8 3 7 が形成されている。そして、導電膜 8 3 7 は、絶縁膜 8 1 2 上に形成された導電膜 8 5 1 に、電氣的に接続されている。

【0156】

また、導電膜 8 5 1 上には、絶縁膜 8 1 3 が形成されている。絶縁膜 8 1 3 には開口部が形成されており、上記開口部に、導電膜 8 5 1 に電氣的に接続された導電膜 8 5 2 が形成されている。そして、導電膜 8 5 2 は、絶縁膜 8 1 3 上に形成された導電膜 8 5 3 に、電氣的に接続されている。また、絶縁膜 8 1 3 上には、導電膜 8 4 4 が形成されている。

【0157】

導電膜 8 5 3 及び導電膜 8 4 4 上には絶縁膜 8 6 1 が形成されている。そして、図 1 4 では、絶縁膜 8 6 1 上にトランジスタ 7 0 1 が形成されている。

【0158】

トランジスタ 7 0 1 は、絶縁膜 8 6 1 上に、酸化物半導体を含む半導体膜 9 0 1 と、半導体膜 9 0 1 上の、ソースまたはドレインとして機能する導電膜 9 2 1 及び導電膜 9 2 2 と、半導体膜 9 0 1、導電膜 9 2 1 及び導電膜 9 2 2 上のゲート絶縁膜 9 6 2 と、ゲート絶縁膜 9 6 2 上に位置し、導電膜 9 2 1 と導電膜 9 2 2 の間において半導体膜 9 0 1 と重なっているゲート電極 9 3 1 と、を有する。なお、導電膜 9 2 2 は、絶縁膜 8 6 1 に設けられた開口部において、導電膜 8 5 3 に電氣的に接続されている。

【0159】

そして、トランジスタ 7 0 1 では、半導体膜 9 0 1 において、導電膜 9 2 1 に重なる領域と、ゲート電極 9 3 1 に重なる領域との間に、領域 9 1 0 が存在する。また、トランジスタ 7 0 1 では、半導体膜 9 0 1 において、導電膜 9 2 2 に重なる領域と、ゲート電極 9 3 1 に重なる領域との間に、領域 9 1 1 が存在する。領域 9 1 0 及び領域 9 1 1 に、導電膜 9 2 1、導電膜 9 2 2、及びゲート電極 9 3 1 をマスクとしてアルゴン、p 型の導電型を半導体膜 9 0 1 に付与する不純物、或いは、n 型の導電型を半導体膜 9 0 1 に付与する不純物を添加することで、半導体膜 9 0 1 のうちゲート電極 9 3 1 に重なる領域よりも、領域 9 1 0 及び領域 9 1 1 の抵抗率を下げるができる。

【0160】

そして、トランジスタ 7 0 1 上に、絶縁膜 9 6 3 が設けられている。

【0161】

なお、図 1 4 において、トランジスタ 7 0 1 は、ゲート電極 9 3 1 を半導体膜 9 0 1 の片側において少なくとも有していれば良いが、半導体膜 9 0 1 を間に挟んで存在する一対のゲート電極を有していても良い。

【0162】

トランジスタ 7 0 1 が、半導体膜 9 0 1 を間に挟んで存在する一対のゲート電極を有している場合、一方のゲート電極には導通状態または非導通状態を制御するための信号が与えられ、他方のゲート電極は、電位が他から与えられている状態であっても良い。この場合、一対のゲート電極に、同じ高さの電位が与えられていても良いし、他方のゲート電極にのみ接地電位などの固定の電位が与えられていても良い。他方のゲート電極に与える電位の高さを制御することで、トランジスタの閾値電圧を制御することができる。

【0163】

また、図 1 4 では、トランジスタ 7 0 1 が、一のゲート電極 9 3 1 に対応した一のチャネル形成領域を有する、シングルゲート構造である場合を例示している。しかし、トランジスタ 7 0 1 は、電氣的に接続された複数のゲート電極を有することで、一の活性層にチャ

10

20

30

40

50

ネル形成領域を複数有する、マルチゲート構造であっても良い。

【0164】

＜トランジスタについて＞

次いで、OSトランジスタの構成例について説明する。

【0165】

図15に、酸化物半導体膜にチャネル形成領域を有するトランジスタ90の構成を、一例として示す。図15(A)には、トランジスタ90の上面図を示す。なお、図15(A)では、トランジスタ90のレイアウトを明確にするために、各種の絶縁膜を省略している。また、図15(A)に示した上面図の、一点鎖線A1-A2における断面図を図15(B)に示し、一点鎖線A3-A4における断面図を図15(C)に示す。

10

【0166】

図15に示すように、トランジスタ90は、基板97に形成された絶縁膜91上において順に積層された酸化物半導体膜92a及び酸化物半導体膜92bと、酸化物半導体膜92bに電氣的に接続され、ソース電極またはドレイン電極としての機能を有する導電膜93及び導電膜94と、酸化物半導体膜92b、導電膜93及び導電膜94上の酸化物半導体膜92cと、ゲート絶縁膜としての機能を有し、なおかつ酸化物半導体膜92c上に位置する絶縁膜95と、ゲート電極としての機能を有し、なおかつ絶縁膜95上において酸化物半導体膜92a乃至酸化物半導体膜92cと重なる導電膜96とを有する。なお、基板97は、ガラス基板や半導体基板などであってもよいし、ガラス基板や半導体基板上に半導体素子が形成された素子基板であってもよい。

20

【0167】

また、トランジスタ90の、具体的な構成の別の一例を、図16に示す。図16(A)には、トランジスタ90の上面図を示す。なお、図16(A)では、トランジスタ90のレイアウトを明確にするために、各種の絶縁膜を省略している。また、図16(A)に示した上面図の、破線A1-A2における断面図を図16(B)に示し、破線A3-A4における断面図を図16(C)に示す。

【0168】

図16に示すように、トランジスタ90は、絶縁膜91上において順に積層された酸化物半導体膜92a乃至酸化物半導体膜92cと、酸化物半導体膜92cに電氣的に接続され、ソース電極またはドレイン電極としての機能を有する導電膜93及び導電膜94と、ゲート絶縁膜としての機能を有し、なおかつ酸化物半導体膜92c、導電膜93及び導電膜94上に位置する絶縁膜95と、ゲート電極としての機能を有し、なおかつ絶縁膜95上において酸化物半導体膜92a乃至酸化物半導体膜92cと重なる導電膜96とを有する。

30

【0169】

なお、図15及び図16では、積層された酸化物半導体膜92a乃至酸化物半導体膜92cを用いるトランジスタ90の構成を例示している。トランジスタ90が有する酸化物半導体膜は、積層された複数の酸化物半導体膜で構成されているとは限らず、単膜の酸化物半導体膜で構成されていても良い。

【0170】

酸化物半導体膜92a乃至酸化物半導体膜92cが順に積層されている半導体膜をトランジスタ90が有する場合、酸化物半導体膜92a及び酸化物半導体膜92cは、酸化物半導体膜92bを構成する金属元素の少なくとも1つを、その構成要素に含み、伝導帯下端のエネルギーが酸化物半導体膜92bよりも0.05eV以上、0.07eV以上、0.1eV以上または0.15eV以上、かつ2eV以下、1eV以下、0.5eV以下または0.4eV以下、真空準位に近い酸化物膜である。さらに、酸化物半導体膜92bは、少なくともインジウムを含むと、キャリア移動度が高くなるため好ましい。

40

【0171】

上記構成の半導体膜をトランジスタ90が有する場合、ゲート電極に電圧を印加することで、半導体膜に電界が加わると、半導体膜のうち、伝導帯下端のエネルギーが小さい酸化

50

物半導体膜 9 2 b にチャネル領域が形成される。即ち、酸化物半導体膜 9 2 b と絶縁膜 9 5 との間に酸化物半導体膜 9 2 c が設けられていることによって、絶縁膜 9 5 と離隔している酸化物半導体膜 9 2 b に、チャネル領域を形成することができる。

【0172】

また、酸化物半導体膜 9 2 c は、酸化物半導体膜 9 2 b を構成する金属元素の少なくとも 1 つをその構成要素に含むため、酸化物半導体膜 9 2 b と酸化物半導体膜 9 2 c の界面では、界面散乱が起こりにくい。従って、当該界面においてキャリアの動きが阻害されにくいため、トランジスタ 9 0 の電界効果移動度が高くなる。

【0173】

また、酸化物半導体膜 9 2 b と酸化物半導体膜 9 2 a の界面に界面準位が形成されると、界面近傍の領域にもチャネル領域が形成されるために、トランジスタ 9 0 の閾値電圧が変動してしまう。しかし、酸化物半導体膜 9 2 a は、酸化物半導体膜 9 2 b を構成する金属元素の少なくとも 1 つをその構成要素に含むため、酸化物半導体膜 9 2 b と酸化物半導体膜 9 2 a の界面には、界面準位が形成されにくい。よって、上記構成により、トランジスタ 9 0 の閾値電圧等の電気的特性のばらつきを、低減することができる。

【0174】

また、酸化物半導体膜間に不純物が存在することによって、各膜の界面にキャリアの流れを阻害する界面準位が形成されることがないように、複数の酸化物半導体膜を積層させることが望ましい。積層された酸化物半導体膜の膜間に不純物が存在していると、酸化物半導体膜間における伝導帯下端のエネルギーの連続性が失われ、界面近傍において、キャリアがトラップされるか、あるいは再結合により消滅してしまうからである。膜間における不純物を低減させることで、主成分である一の金属を少なくとも共に有する複数の酸化物半導体膜を、単に積層させるよりも、連続接合（ここでは特に伝導帯下端のエネルギーが各膜の間で連続的に変化する U 字型の井戸構造を有している状態）が形成されやすくなる。

【0175】

連続接合を形成するためには、ロードロック室を備えたマルチチャンバー方式の成膜装置（スパッタリング装置）を用いて各膜を大気に触れさせることなく連続して積層することが必要となる。スパッタリング装置における各チャンバーは、酸化物半導体にとって不純物となる水等を可能な限り除去すべくクライオポンプのような吸着式の真空排気ポンプを用いて高真空排気（ 5×10^{-7} Pa 乃至 1×10^{-4} Pa 程度まで）することが好ましい。または、ターボ分子ポンプとコールドトラップを組み合わせることで排気系からチャンバー内に気体が逆流しないようにしておくことが好ましい。

【0176】

高純度の真性な酸化物半導体を得るためには、各チャンバー内を高真空排気するのみならず、スパッタリングに用いるガスの高純度化も重要である。上記ガスとして用いる酸素ガスやアルゴンガスの露点を、 -40°C 以下、好ましくは -80°C 以下、より好ましくは -100°C 以下とし、使用するガスの高純度化を図ることで、酸化物半導体膜に水分等が取り込まれることを可能な限り防ぐことができる。具体的に、酸化物半導体膜 9 2 b が In-M-Zn 酸化物（M は、Ga、Y、Zr、La、Ce、または Nd）の場合、酸化物半導体膜 9 2 b を成膜するために用いるターゲットにおいて、金属元素の原子数比を In:M:Zn = $x_1:y_1:z_1$ とすると、 x_1/y_1 は、 $1/3$ 以上 6 以下、さらには 1 以上 6 以下であって、 z_1/y_1 は、 $1/3$ 以上 6 以下、さらには 1 以上 6 以下であることが好ましい。なお、 z_1/y_1 を 1 以上 6 以下とすることで、酸化物半導体膜 9 2 b として CAAC-OS（C Axis Aligned Crystalline Oxide Semiconductor）膜が形成されやすくなる。ターゲットの金属元素の原子数比の代表例としては、In:M:Zn = 1:1:1、In:M:Zn = 3:1:2 等がある。なお、CAAC-OS についての詳細は後述する。

【0177】

具体的に、酸化物半導体膜 9 2 a、酸化物半導体膜 9 2 c が In-M-Zn 酸化物（M は、Ga、Y、Zr、La、Ce、または Nd）の場合、酸化物半導体膜 9 2 a、酸化物半

10

20

30

40

50

導体膜 92c を成膜するために用いるターゲットにおいて、金属元素の原子数比を $In:M:Zn = x^2:y^2:z^2$ とすると、 $x^2/y^2 < x^1/y^1$ であって、 z^2/y^2 は、 $1/3$ 以上 6 以下、さらには 1 以上 6 以下であることが好ましい。なお、 z^2/y^2 を 1 以上 6 以下とすることで、酸化物半導体膜 92a、酸化物半導体膜 92c として CAAC-O-S 膜が形成されやすくなる。ターゲットの金属元素の原子数比の代表例としては、 $In:M:Zn = 1:3:2$ 、 $In:M:Zn = 1:3:4$ 、 $In:M:Zn = 1:3:6$ 、 $In:M:Zn = 1:3:8$ 等がある。

【0178】

なお、酸化物半導体膜 92a 及び酸化物半導体膜 92c の厚さは、3nm 以上 100nm 以下、好ましくは 3nm 以上 50nm 以下とする。また、酸化物半導体膜 92b の厚さは、3nm 以上 200nm 以下、好ましくは 3nm 以上 100nm 以下であり、さらに好ましくは 3nm 以上 50nm 以下である。

10

【0179】

3層構造の半導体膜において、酸化物半導体膜 92a 乃至酸化物半導体膜 92c は、非晶質または結晶質の両方の形態を取りうる。ただし、チャネル領域が形成される酸化物半導体膜 92b が結晶質であることにより、トランジスタ 90 に安定した電気的特性を付与することができるため、酸化物半導体膜 92b は結晶質であることが好ましい。

【0180】

なお、チャネル形成領域とは、トランジスタ 90 の半導体膜のうち、ゲート電極と重なり、かつソース電極とドレイン電極に挟まれる領域を意味する。また、チャネル領域とは、チャネル形成領域において、電流が主として流れる領域をいう。

20

【0181】

例えば、酸化物半導体膜 92a 及び酸化物半導体膜 92c として、スパッタリング法により形成した $In-Ga-Zn$ 酸化物膜を用いる場合、酸化物半導体膜 92a 及び酸化物半導体膜 92c の成膜には、 $In-Ga-Zn$ 酸化物 ($In:Ga:Zn = 1:3:2$ [原子数比]) であるターゲットを用いることができる。成膜条件は、例えば、成膜ガスとしてアルゴンガスを 30sccm、酸素ガスを 15sccm 用い、圧力 0.4Pa とし、基板温度を 200℃ とし、DC 電力 0.5kW とすればよい。

【0182】

また、酸化物半導体膜 92b を CAAC-O-S 膜とする場合、酸化物半導体膜 92b の成膜には、 $In-Ga-Zn$ 酸化物 ($In:Ga:Zn = 1:1:1$ [原子数比]) を含む多結晶ターゲットを用いることが好ましい。成膜条件は、例えば、成膜ガスとしてアルゴンガスを 30sccm、酸素ガスを 15sccm 用い、圧力を 0.4Pa とし、基板の温度 300℃ とし、DC 電力 0.5kW とすることができる。また、酸化物半導体膜 92b を CAAC-O-S 膜とする場合、酸化物半導体膜 92b の成膜には、 $In-Ga-Zn$ 酸化物 ($In:Ga:Zn = 2:1:3$ [原子数比]) をターゲットに用いてもよい。このようなターゲットを用いて成膜された CAAC-O-S 膜は、一定の範囲における CAAC-O-S の回折パターンが観測される領域の割合 (CAAC 化率ともいう) を高くすることができるので、当該 CAAC-O-S 膜にチャネル形成領域を有するトランジスタの周波数特性 ($f_{特}$) を高めることができる。

30

40

【0183】

なお、酸化物半導体膜 92a 乃至 92c は、スパッタリング法により形成することができる。

【0184】

なお、電子供与体 (ドナー) となる水分または水素などの不純物が低減され、なおかつ酸素欠損が低減されることにより高純度化された酸化物半導体 (purified Oxide Semiconductor) は、キャリア発生源が少ないため、i 型 (真性半導体) 又は i 型に限りなく近くすることができる。そのため、高純度化された酸化物半導体膜にチャネル形成領域を有するトランジスタは、オフ電流が著しく小さく、信頼性が高い。そして、当該酸化物半導体膜にチャネル形成領域が形成されるトランジスタは、閾値電

50

圧がプラスとなる電気的特性（ノーマリーオフ特性ともいう。）になりやすい。

【0185】

具体的に、高純度化された酸化物半導体膜にチャネル形成領域を有するトランジスタのオフ電流が小さいことは、いろいろな実験により証明できる。例えば、チャネル幅が $1 \times 10^6 \mu\text{m}$ でチャネル長が $10 \mu\text{m}$ の素子であっても、ソース電極とドレイン電極間の電圧（ドレイン電圧）が 1V から 10V の範囲において、オフ電流が、半導体パラメータアナライザの測定限界以下、すなわち $1 \times 10^{-13} \text{A}$ 以下という特性を得ることができる。この場合、トランジスタのチャネル幅で規格化したオフ電流は、 $100 \text{zA} / \mu\text{m}$ 以下であることが分かる。また、容量素子とトランジスタとを接続して、容量素子に流入または容量素子から流出する電荷を当該トランジスタで制御する回路を用いて、オフ電流の測定を行った。当該測定では、高純度化された酸化物半導体膜を上記トランジスタのチャネル形成領域に用い、容量素子の単位時間あたりの電荷量の推移から当該トランジスタのオフ電流を測定した。その結果、トランジスタのソース電極とドレイン電極間の電圧が 3V の場合に、数十 $\text{yA} / \mu\text{m}$ という、さらに小さいオフ電流が得られることが分かった。従って、高純度化された酸化物半導体膜をチャネル形成領域に用いたトランジスタは、オフ電流が、結晶性を有するシリコンを用いたトランジスタに比べて著しく小さい。

10

【0186】

なお、半導体膜として酸化物半導体膜を用いる場合、酸化物半導体としては、少なくともインジウム（ In ）あるいは亜鉛（ Zn ）を含むことが好ましい。また、該酸化物半導体を用いたトランジスタの電気的特性のばらつきを減らすためのスタビライザーとして、それらに加えてガリウム（ Ga ）を有することが好ましい。また、スタビライザーとしてスズ（ Sn ）を有することが好ましい。また、スタビライザーとしてハフニウム（ Hf ）を有することが好ましい。また、スタビライザーとしてアルミニウム（ Al ）を有することが好ましい。また、スタビライザーとしてジルコニウム（ Zr ）を含むことが好ましい。

20

【0187】

酸化物半導体の中でも In-Ga-Zn 酸化物、 In-Sn-Zn 酸化物などは、炭化シリコン、窒化ガリウム、または酸化ガリウムとは異なり、スパッタリング法や湿式法により電気的特性の優れたトランジスタを作製することが可能であり、量産性に優れるといった利点がある。また、炭化シリコン、窒化ガリウム、または酸化ガリウムとは異なり、上記 In-Ga-Zn 酸化物は、ガラス基板上に、電気的特性の優れたトランジスタを作製することが可能である。また、基板の大型化にも対応が可能である。

30

【0188】

また、他のスタビライザーとして、ランタノイドである、ランタン（ La ）、セリウム（ Ce ）、プラセオジウム（ Pr ）、ネオジウム（ Nd ）、サマリウム（ Sm ）、ユウロピウム（ Eu ）、ガドリニウム（ Gd ）、テルビウム（ Tb ）、ジスプロシウム（ Dy ）、ホルミウム（ Ho ）、エルビウム（ Er ）、ツリウム（ Tm ）、イッテルビウム（ Yb ）、ルテチウム（ Lu ）のいずれか一種または複数種を含んでいてもよい。

【0189】

例えば、酸化物半導体として、酸化インジウム、酸化ガリウム、酸化スズ、酸化亜鉛、 In-Zn 酸化物、 Sn-Zn 酸化物、 Al-Zn 酸化物、 Zn-Mg 酸化物、 Sn-Mg 酸化物、 In-Mg 酸化物、 In-Ga 酸化物、 In-Ga-Zn 酸化物（ IGZO とも表記する）、 In-Al-Zn 酸化物、 In-Sn-Zn 酸化物、 Sn-Ga-Zn 酸化物、 Al-Ga-Zn 酸化物、 Sn-Al-Zn 酸化物、 In-Hf-Zn 酸化物、 In-La-Zn 酸化物、 In-Pr-Zn 酸化物、 In-Nd-Zn 酸化物、 In-Ce-Zn 酸化物、 In-Sm-Zn 酸化物、 In-Eu-Zn 酸化物、 In-Gd-Zn 酸化物、 In-Tb-Zn 酸化物、 In-Dy-Zn 酸化物、 In-Ho-Zn 酸化物、 In-Er-Zn 酸化物、 In-Tm-Zn 酸化物、 In-Yb-Zn 酸化物、 In-Lu-Zn 酸化物、 In-Sn-Ga-Zn 酸化物、 In-Hf-Ga-Zn 酸化物、 In-Al-Ga-Zn 酸化物、 In-Sn-Al-Zn 酸化物、 In-Sn-Hf-Zn 酸化物、 In-Hf-Al-Zn 酸化物を用いることができる。

40

50

【0190】

なお、例えば、In-Ga-Zn酸化物とは、InとGaとZnを含む酸化物という意味であり、InとGaとZnの比率は問わない。また、InとGaとZn以外の金属元素を含んでいてもよい。In-Ga-Zn酸化物は、無電界時の抵抗が十分に高くオフ電流を十分に小さくすることが可能であり、また、移動度も高い。

【0191】

例えば、In-Sn-Zn酸化物では比較的容易に高い移動度が得られる。しかしながら、In-Ga-Zn酸化物でも、バルク内欠陥密度を低減することにより移動度を上げることができる。

【0192】

また、トランジスタ90において、ソース電極及びドレイン電極に用いられる導電性材料によっては、ソース電極及びドレイン電極中の金属が、酸化物半導体膜から酸素を引き抜くことがある。この場合、酸化物半導体膜のうち、ソース電極及びドレイン電極に接する領域に酸素欠損が形成され、酸化物半導体膜中に含まれる水素が該酸素欠損に入ることにより、該領域はn型化する。n型化された領域は、ソース領域またはドレイン領域として機能するため、酸化物半導体膜とソース電極及びドレイン電極との間におけるコンタクト抵抗を下げるができる。よって、n型化された領域が形成されることで、トランジスタ90の移動度及びオン電流を高めることができ、それにより、トランジスタ90を用いた半導体装置の高速動作を実現することができる。

【0193】

なお、ソース電極及びドレイン電極中の金属による酸素の引き抜きは、ソース電極及びドレイン電極をスパッタリング法などにより形成する際に起こりうるし、ソース電極及びドレイン電極を形成した後に行われる加熱処理によっても起こりうる。また、n型化される領域は、酸素と結合し易い導電性材料をソース電極及びドレイン電極に用いることで、より形成されやすくなる。上記導電性材料としては、例えば、Al、Cr、Cu、Ta、Ti、Mo、Wなどが挙げられる。

【0194】

複数の積層された酸化物半導体膜を有する半導体膜をトランジスタ90に用いる場合、n型化される領域は、チャネル領域となる酸化物半導体膜92bにまで達していることが、トランジスタ90の移動度及びオン電流を高め、半導体装置の高速動作を実現する上で好ましい。

【0195】

絶縁膜91は、加熱により酸素の一部を酸化物半導体膜92a乃至酸化物半導体膜92cに供給する機能を有する絶縁膜であることが望ましい。また、絶縁膜91は、欠陥が少ないことが好ましく、代表的には、ESR測定により得られる、シリコンのダングリングボンドに由来する $g = 2.001$ を持つスピンの密度が $1 \times 10^{18} \text{ spins/cm}^3$ 以下であることが好ましい。

【0196】

絶縁膜91は、加熱により酸素の一部を酸化物半導体膜92a乃至酸化物半導体膜92cに供給する機能を有するため、酸化物であることが望ましく、例えば、酸化アルミニウム、酸化マグネシウム、酸化珪素、酸化窒化珪素、窒化酸化珪素、酸化ガリウム、酸化ゲルマニウム、酸化イットリウム、酸化ジルコニウム、酸化ランタン、酸化ネオジム、酸化ハフニウムおよび酸化タンタルなどを用いることができる。絶縁膜91は、プラズマCVD法またはスパッタリング法等により、形成することができる。

【0197】

なお、本明細書中において、酸化窒化物は、その組成として、窒素よりも酸素の含有量が多い材料を指し、窒化酸化物は、その組成として、酸素よりも窒素の含有量が多い材料を指す。

【0198】

なお、図15及び図16に示すトランジスタ90は、チャネル領域が形成される酸化物半

10

20

30

40

50

導体膜 92b の端部のうち、導電膜 93 及び導電膜 94 とは重ならない端部、言い換えると、導電膜 93 及び導電膜 94 が位置する領域とは異なる領域に位置する端部と、導電膜 96 とが、重なる構成を有する。酸化物半導体膜 92b の端部は、当該端部を形成するためのエッチングでプラズマに曝されるときに、エッチングガスから生じた塩素ラジカル、フッ素ラジカル等が、酸化物半導体を構成する金属元素と結合しやすい。よって、酸化物半導体膜の端部では、当該金属元素と結合していた酸素が脱離しやすい状態にあるため、酸素欠損が形成され、n 型化しやすい。しかし、図 15 及び図 16 に示すトランジスタ 90 では、導電膜 93 及び導電膜 94 とは重ならない酸化物半導体膜 92b の端部と、導電膜 96 とが重なるため、導電膜 96 の電位を制御することにより、当該端部にかかる電界を制御することができる。よって、酸化物半導体膜 92b の端部を介して導電膜 93 と導電膜 94 の間に流れる電流を、導電膜 96 に与える電位によって制御することができる。このようなトランジスタ 90 の構造を、surrounded channel (s-channel) 構造とよぶ。

10

【0199】

具体的に、s-channel 構造の場合、トランジスタ 90 がオフとなるような電位を導電膜 96 に与えたときは、当該端部を介して導電膜 93 と導電膜 94 の間に流れるオフ電流を小さく抑えることができる。そのため、トランジスタ 90 では、大きなオン電流を得るためにチャネル長を短くし、その結果、酸化物半導体膜 92b の端部における導電膜 93 と導電膜 94 の間の長さが短くなっても、トランジスタ 90 のオフ電流を小さく抑えることができる。よって、トランジスタ 90 は、チャネル長を短くすることで、オンのとき

20

【0200】

また、具体的に、s-channel 構造の場合、トランジスタ 90 がオンとなるような電位を導電膜 96 に与えたときは、当該端部を介して導電膜 93 と導電膜 94 の間に流れる電流を大きくすることができる。当該電流は、トランジスタ 90 の電界効果移動度とオン電流の増大に寄与する。そして、酸化物半導体膜 92b の端部と、導電膜 96 とが重なることで、酸化物半導体膜 92b においてキャリアの流れる領域が、絶縁膜 95 に近い酸化物半導体膜 92b の界面近傍のみでなく、酸化物半導体膜 92b の広い範囲においてキャリアが流れるため、トランジスタ 90 におけるキャリアの移動量が増加する。この結果、トランジスタ 90 のオン電流が大きくなる共に、電界効果移動度が高くなり、代表的には電界効果移動度が $10 \text{ cm}^2 / \text{V} \cdot \text{s}$ 以上、さらには $20 \text{ cm}^2 / \text{V} \cdot \text{s}$ 以上となる。なお、ここでの電界効果移動度は、酸化物半導体膜の物性値としての移動度の近似値ではなく、トランジスタの飽和領域における電流駆動力の指標であり、見かけ上の電界効果移動度である。

30

【0201】

<酸化物半導体膜の構造>

以下では、酸化物半導体膜の構造について説明する。なお、以下の説明において、「平行」とは、二つの直線が -10° 以上 10° 以下の角度で配置されている状態をいう。従って、 -5° 以上 5° 以下の場合も含まれる。また、「垂直」とは、二つの直線が 80° 以上 100° 以下の角度で配置されている状態をいう。従って、 85° 以上 95° 以下の場合も含まれる。また、結晶が三方晶または菱面体晶である場合、六方晶系として表す。

40

【0202】

酸化物半導体膜は、非単結晶酸化物半導体膜と単結晶酸化物半導体膜とに大別される。非単結晶酸化物半導体膜とは、CAAC-OS 膜、多結晶酸化物半導体膜、微結晶酸化物半導体膜、非晶質酸化物半導体膜などをいう。

【0203】

[CAAC-OS 膜]

まずは、CAAC-OS 膜について説明する。

【0204】

50

CAAC-O S膜は、c軸配向した複数の結晶部を有する酸化物半導体膜の一つである。

【0205】

CAAC-O S膜を透過型電子顕微鏡（TEM：Transmission Electron Microscope）によって観察すると、明確な結晶部同士の境界、即ち結晶粒界（グレインバウンダリーともいう。）を確認することが難しい。そのため、CAAC-O S膜は、結晶粒界に起因する電子移動度の低下が起りにくいといえる。

【0206】

CAAC-O S膜を、試料面と概略平行な方向からTEMによって観察（断面TEM観察）すると、結晶部において、金属原子が層状に配列していることを確認できる。金属原子の各層は、CAAC-O S膜の膜を形成する面（被形成面ともいう。）または上面の凹凸を反映した形状であり、CAAC-O S膜の被形成面または上面と平行に配列する。

10

【0207】

一方、CAAC-O S膜を、試料面と概略垂直な方向からTEMによって観察（平面TEM観察）すると、結晶部において、金属原子が三角形または六角形状に配列していることを確認できる。しかしながら、異なる結晶部間で、金属原子の配列に規則性は見られない。

【0208】

図19（A）は、CAAC-O S膜の断面TEM像である。また、図19（B）は、図19（A）をさらに拡大した断面TEM像であり、理解を容易にするために原子配列を強調表示している。

20

【0209】

図19（C）は、図19（A）のA-O-A'間において、丸で囲んだ領域（直径約4 nm）の局所的なフーリエ変換像である。図19（C）より、各領域においてc軸配向性が確認できる。また、A-O間とO-A'間とでは、c軸の向きが異なるため、異なるグレインであることが示唆される。また、A-O間では、c軸の角度が14.3°、16.6°、30.9°のように少しずつ連続的に変化していることがわかる。同様に、O-A'間では、c軸の角度が-18.3°、-17.6°、-11.3°と少しずつ連続的に変化していることがわかる。

【0210】

なお、CAAC-O S膜に対し、電子回折を行うと、配向性を示すスポット（輝点）が観測される。例えば、CAAC-O S膜の上面に対し、例えば1 nm以上30 nm以下の電子線を用いる電子回折（ナノビーム電子回折ともいう。）を行うと、スポットが観測される（図20（A）参照。）。

30

【0211】

断面TEM観察および平面TEM観察より、CAAC-O S膜の結晶部は配向性を有していることがわかる。

【0212】

なお、CAAC-O S膜に含まれるほとんどの結晶部は、一辺が100 nm未満の立方体内に収まる大きさである。従って、CAAC-O S膜に含まれる結晶部は、一辺が10 nm未満、5 nm未満または3 nm未満の立方体内に収まる大きさの場合も含まれる。ただし、CAAC-O S膜に含まれる複数の結晶部が連結することで、一つの大きな結晶領域を形成する場合がある。例えば、平面TEM像において、2500 nm²以上、5 μm²以上または1000 μm²以上となる結晶領域が観測される場合がある。

40

【0213】

CAAC-O S膜に対し、X線回折（XRD：X-Ray Diffraction）装置を用いて構造解析を行うと、例えばInGaZnO₄の結晶を有するCAAC-O S膜のout-of-plane法による解析では、回折角（2θ）が31°近傍にピークが現れる場合がある。このピークは、InGaZnO₄の結晶の（009）面に帰属されることから、CAAC-O S膜の結晶がc軸配向性を有し、c軸が被形成面または上面に概略垂直な方向を向いていることが確認できる。

50

【0214】

一方、CAAC-OSS膜に対し、c軸に概略垂直な方向からX線を入射させるin-plane法による解析では、 2θ が 56° 近傍にピークが現れる場合がある。このピークは、 InGaZnO_4 の結晶の(110)面に帰属される。 InGaZnO_4 の単結晶酸化物半導体膜であれば、 2θ を 56° 近傍に固定し、試料面の法線ベクトルを軸(ϕ 軸)として試料を回転させながら分析(ϕ スキャン)を行うと、(110)面と等価な結晶面に帰属されるピークが6本観察される。これに対し、CAAC-OSS膜の場合は、 2θ を 56° 近傍に固定して ϕ スキャンした場合でも、明瞭なピークが現れない。

【0215】

以上のことから、CAAC-OSS膜では、異なる結晶部間ではa軸およびb軸の配向は不規則であるが、c軸配向性を有し、かつc軸が被形成面または上面の法線ベクトルに平行な方向を向いていることがわかる。従って、前述の断面TEM観察で確認された層状に配列した金属原子の各層は、結晶のab面に平行な面である。

10

【0216】

なお、結晶部は、CAAC-OSS膜を成膜した際、または加熱処理などの結晶化処理を行った際に形成される。上述したように、結晶のc軸は、CAAC-OSS膜の被形成面または上面の法線ベクトルに平行な方向に配向する。従って、例えば、CAAC-OSS膜の形状をエッチングなどによって変化させた場合、結晶のc軸がCAAC-OSS膜の被形成面または上面の法線ベクトルと平行にならないこともある。

【0217】

20

また、CAAC-OSS膜中において、c軸配向した結晶部の分布が均一でなくてもよい。例えば、CAAC-OSS膜の結晶部が、CAAC-OSS膜の上面近傍からの結晶成長によって形成される場合、上面近傍の領域は、被形成面近傍の領域よりもc軸配向した結晶部の割合が高くなることもある。また、不純物の添加されたCAAC-OSS膜は、不純物が添加された領域が変質し、部分的にc軸配向した結晶部の割合の異なる領域が形成されることもある。

【0218】

なお、 InGaZnO_4 の結晶を有するCAAC-OSS膜のout-of-plane法による解析では、 2θ が 31° 近傍のピークの他に、 2θ が 36° 近傍にもピークが現れる場合がある。 2θ が 36° 近傍のピークは、CAAC-OSS膜中の一部に、c軸配向性を有さない結晶が含まれることを示している。CAAC-OSS膜は、 2θ が 31° 近傍にピークを示し、 2θ が 36° 近傍にピークを示さないことが好ましい。

30

【0219】

CAAC-OSS膜は、不純物濃度の低い酸化物半導体膜である。不純物は、水素、炭素、シリコン、遷移金属元素などの酸化物半導体膜の主成分以外の元素である。特に、シリコンなどの、酸化物半導体膜を構成する金属元素よりも酸素との結合力の強い元素は、酸化物半導体膜から酸素を奪うことで酸化物半導体膜の原子配列を乱し、結晶性を低下させる要因となる。また、鉄やニッケルなどの重金属、アルゴン、二酸化炭素などは、原子半径(または分子半径)が大きいため、酸化物半導体膜内部に含まれると、酸化物半導体膜の原子配列を乱し、結晶性を低下させる要因となる。なお、酸化物半導体膜に含まれる不純物は、キャリアトラップやキャリア発生源となる場合がある。

40

【0220】

また、CAAC-OSS膜は、欠陥準位密度の低い酸化物半導体膜である。例えば、酸化物半導体膜中の酸素欠損は、キャリアトラップとなることや、水素を捕獲することによってキャリア発生源となることがある。

【0221】

不純物濃度が低く、欠陥準位密度が低い(酸素欠損の少ない)ことを、高純度真性または実質的に高純度真性と呼ぶ。高純度真性または実質的に高純度真性である酸化物半導体膜は、キャリア発生源が少ないため、キャリア密度を低くすることができる。従って、当該酸化物半導体膜を用いたトランジスタは、しきい値電圧がマイナスとなる電気特性(ノー

50

マリーオンともいう。)になることが少ない。また、高純度真性または実質的に高純度真性である酸化物半導体膜は、キャリアトラップが少ない。そのため、当該酸化物半導体膜を用いたトランジスタは、電気特性の変動が小さく、信頼性の高いトランジスタとなる。なお、酸化物半導体膜のキャリアトラップに捕獲された電荷は、放出するまでに要する時間が長く、あたかも固定電荷のように振る舞うことがある。そのため、不純物濃度が高く、欠陥準位密度が高い酸化物半導体膜を用いたトランジスタは、電気特性が不安定となる場合がある。

【0222】

また、CAAC-OS膜を用いたトランジスタは、可視光や紫外光の照射による電気特性の変動が小さい。

【0223】

[微結晶酸化物半導体膜]

次に、微結晶酸化物半導体膜について説明する。

微結晶酸化物半導体膜は、TEMによる観察像では、明確に結晶部を確認することが困難な場合がある。微結晶酸化物半導体膜に含まれる結晶部は、1nm以上100nm以下、または1nm以上10nm以下の大きさであることが多い。特に、1nm以上10nm以下、または1nm以上3nm以下の微結晶であるナノ結晶(nc:nanocrystal)を有する酸化物半導体膜を、nc-OS(nanocrystalline Oxide Semiconductor)膜と呼ぶ。また、nc-OS膜は、例えば、TEMによる観察像では、結晶粒界を明確に確認することが困難な場合がある。

【0224】

nc-OS膜は、微小な領域(例えば、1nm以上10nm以下の領域、特に1nm以上3nm以下の領域)において原子配列に周期性を有する。また、nc-OS膜は、異なる結晶部間で結晶方位に規則性が見られない。そのため、膜全体で配向性が見られない。従って、nc-OS膜は、分析方法によっては、非晶質酸化物半導体膜と区別が付かない場合がある。例えば、nc-OS膜に対し、結晶部よりも大きい径のX線を用いるXRD装置を用いて構造解析を行うと、out-of-plane法による解析では、結晶面を示すピークが検出されない。また、nc-OS膜に対し、結晶部よりも大きいプローブ径(例えば50nm以上)の電子線を用いる電子回折(制限視野電子回折ともいう。)を行うと、ハローパターンのような回折パターンが観測される。一方、nc-OS膜に対し、結晶部の大きさと近い結晶部より小さいプローブ径の電子線を用いるナノビーム電子回折を行うと、スポットが観測される。また、nc-OS膜に対しナノビーム電子回折を行うと、円を描くように(リング状に)輝度の高い領域が観測される場合がある。また、nc-OS膜に対しナノビーム電子回折を行うと、リング状の領域内に複数のスポットが観測される場合がある(図20(B)参照。)

【0225】

nc-OS膜は、非晶質酸化物半導体膜よりも規則性の高い酸化物半導体膜である。そのため、nc-OS膜は、非晶質酸化物半導体膜よりも欠陥準位密度が低くなる。ただし、nc-OS膜は、異なる結晶部間で結晶方位に規則性が見られない。そのため、nc-OS膜は、CAAC-OS膜と比べて欠陥準位密度が高くなる。

【0226】

なお、酸化物半導体膜は、例えば、非晶質酸化物半導体膜、微結晶酸化物半導体膜、CAAC-OS膜のうち、二種以上を有する積層膜であってもよい。

【0227】

酸化物半導体膜が複数の構造を有する場合、ナノビーム電子回折を用いることで構造解析が可能となる場合がある。

【0228】

ところで、CAAC-OS膜であったとしても、部分的にnc-OS膜などと同様の回折パターンが観測される場合がある。したがって、CAAC-OS膜の良否は、一定の範囲におけるCAAC-OS膜の回折パターンが観測される領域の割合(CAAC化率ともい

10

20

30

40

50

う。)で表すことができる場合がある。例えば、良質なC A A C-O S膜であれば、C A A C化率は、5 0 %以上、好ましくは8 0 %以上、さらに好ましくは9 0 %以上、さらに好ましくは9 5 %以上となる。C A A C-O S膜と異なる回折パターンが観測される領域の割合を非C A A C化率と表記する。

【0229】

一例として、成膜直後(a s-sputteredと表記。)、または酸素を含む雰囲気における4 5 0℃加熱処理後のC A A C-O S膜を有する各試料の上面に対し、スキャンしながら透過電子回折パターンを取得した。ここでは、5 n m/秒の速度で6 0秒間スキャンしながら回折パターンを観測し、観測された回折パターンを0. 5秒ごとに静止画に変換することで、C A A C化率を導出した。なお、電子線としては、プローブ径が1 n m

10

【0230】

成膜直後のC A A C-O S膜のC A A C化率は7 5. 7 % (非C A A C化率は2 4. 3 %)であった。また、4 5 0℃加熱処理後のC A A C-O S膜のC A A C化率は8 5. 3 % (非C A A C化率は1 4. 7 %)であった。成膜直後と比べて、4 5 0℃加熱処理後のC A A C化率が高いことがわかる。即ち、高い温度(例えば4 0 0℃以上)における加熱処理によって、非C A A C化率が低くなる(C A A C化率が高くなる)ことがわかる。また、5 0 0℃未満の加熱処理においても高いC A A C化率を有するC A A C-O S膜が得られることがわかる。

20

【0231】

ここで、C A A C-O S膜と異なる回折パターンのほとんどはn c-O S膜と同様の回折パターンであった。また、測定領域において非晶質酸化物半導体膜は、確認することができなかった。したがって、加熱処理によって、n c-O S膜と同様の構造を有する領域が、隣接する領域の構造の影響を受けて再配列し、C A A C化していることが示唆される。

【0232】

図2 0 (C)は、成膜直後(a s-sputtered)のC A A C-O S膜の平面T E M像であり、図2 0 (D)は、4 5 0℃加熱処理後のC A A C-O S膜の平面T E M像である。図2 0 (C)と図2 0 (D)とを比較することにより、4 5 0℃加熱処理後のC A A C-O S膜は、膜質がより均質であることがわかる。即ち、高い温度における加熱処理によって、C A A C-O S膜の膜質が向上することがわかる。

30

【0233】

このような測定方法を用いれば、複数の構造を有する酸化物半導体膜の構造解析が可能となる場合がある。

【0234】

(実施の形態6)

本実施の形態では、図1 4とは異なる構造を有する半導体装置の構造の一例について説明する。

【0235】

図1 7に、半導体装置の断面構造を、一例として示す。なお、破線A 1-A 2で示す領域では、トランジスタ7 0 2及びトランジスタ7 0 1のチャンネル長方向における構造を示しており、破線A 3-A 4で示す領域では、トランジスタ7 0 2及びトランジスタ7 0 1のチャンネル幅方向における構造を示している。ただし、本発明の一態様では、トランジスタ7 0 2のチャンネル長方向とトランジスタ7 0 1のチャンネル長方向とが、必ずしも一致していなくともよい。

40

【0236】

なお、チャンネル長方向とは、ソース(ソース電極またはソース領域)及びドレイン(ドレイン電極またはドレイン領域)間において、キャリアが最短距離で移動する方向を意味し、チャンネル幅方向は、基板と水平な面内において、チャンネル長方向に対して垂直の方向を意味する。

50

【0237】

また、図17では、酸化物半導体膜にチャネル形成領域を有するトランジスタ701が、Siトランジスタであるトランジスタ702上に形成されている場合を例示している。なお、このようにSiトランジスタとOSトランジスタが積層された構成は、セル11、12に適宜用いることができる。例えば、図2乃至5、図13等を示すトランジスタ102、104、202、204をSiトランジスタとして、図17におけるトランジスタ702のように単結晶のシリコン基板に作製し、図2乃至5、図13等を示すトランジスタ101、201をOSトランジスタとして、図17におけるトランジスタ701のように単結晶のシリコン基板に作製されたトランジスタの上方に設けることができる。

【0238】

トランジスタ702は、非晶質、微結晶、多結晶または単結晶である、シリコン又はゲルマニウムなどの半導体膜または半導体基板に、チャネル形成領域を有していても良い。或いは、トランジスタ702は、酸化物半導体膜または酸化物半導体基板に、チャネル形成領域を有していても良い。全てのトランジスタが酸化物半導体膜または酸化物半導体基板に、チャネル形成領域を有している場合、トランジスタ701はトランジスタ702上に積層されていなくとも良く、トランジスタ701とトランジスタ702とは、同一の層に形成されていても良い。

【0239】

シリコンの薄膜を用いてトランジスタ702を形成する場合、当該薄膜には、プラズマCVD法などの気相成長法若しくはスパッタリング法で作製された非晶質シリコン、非晶質シリコンをレーザーの照射などの処理により結晶化させた多結晶シリコン、単結晶シリコンウェハに水素イオン等を注入して表層部を剥離した単結晶シリコンなどを用いることができる。

【0240】

トランジスタ702が形成される基板1000は、例えば、シリコン基板、ゲルマニウム基板、シリコンゲルマニウム基板等を用いることができる。図17では、単結晶シリコン基板を基板1000として用いる場合を例示している。

【0241】

また、トランジスタ702は、素子分離法により電氣的に分離されている。素子分離法として、トレンチ分離法等を用いることができる。図17では、トレンチ分離法を用いてトランジスタ702を電氣的に分離する場合を例示している。具体的に、図17では、エッチング等により基板1000に形成されたトレンチに、酸化珪素などが含まれる絶縁物を埋め込んだ後、当該絶縁物をエッチング等により部分的に除去することで形成される素子分離領域1001により、トランジスタ702を素子分離させる場合を例示している。

【0242】

また、トレンチ以外の領域に存在する基板1000の凸部には、トランジスタ702の不純物領域1002及び不純物領域1003と、不純物領域1002及び不純物領域1003に挟まれたチャネル形成領域1004とが設けられている。さらに、トランジスタ702は、チャネル形成領域1004を覆う絶縁膜1005と、絶縁膜1005を間に挟んでチャネル形成領域1004と重なるゲート電極1006とを有する。

【0243】

トランジスタ702では、チャネル形成領域1004における凸部の側部及び上部と、ゲート電極1006とが絶縁膜1005を間に挟んで重なることで、チャネル形成領域1004の側部と上部を含めた広い範囲においてキャリアが流れる。そのため、トランジスタ702の基板上における専有面積を小さく抑えつつ、トランジスタ702におけるキャリアの移動量を増加させることができる。その結果、トランジスタ702は、オン電流が大きくなると共に、電界効果移動度が高められる。特に、チャネル形成領域1004における凸部のチャネル幅方向の長さ（チャネル幅）をW、チャネル形成領域1004における凸部の膜厚をTとすると、チャネル幅Wに対する膜厚Tの比に相当するアスペクト比が高い場合、キャリアが流れる範囲はより広くなるため、トランジスタ702のオン電流をよ

10

20

30

40

50

り大きくすることができ、電界効果移動度もより高められる。

【0244】

なお、バルクの半導体基板を用いたトランジスタ702の場合、アスペクト比は0.5以上であることが望ましく、1以上であることがより望ましい。

【0245】

トランジスタ702上には、絶縁膜1011が設けられている。絶縁膜1011には開口部が形成されている。そして、上記開口部には、不純物領域1002、不純物領域1003にそれぞれ電氣的に接続されている導電膜1012、導電膜1013と、ゲート電極1006に電氣的に接続されている導電膜1014とが、形成されている。

【0246】

そして、導電膜1012は、絶縁膜1011上に形成された導電膜1016に電氣的に接続されており、導電膜1013は、絶縁膜1011上に形成された導電膜1017に電氣的に接続されており、導電膜1014は、絶縁膜1011上に形成された導電膜1018に電氣的に接続されている。

【0247】

導電膜1016乃至導電膜1018上には、絶縁膜1020が設けられている。そして、絶縁膜1020上には、酸素、水素、水の拡散を防ぐブロッキング効果を有する絶縁膜1021が設けられている。絶縁膜1021は、密度が高く緻密である程、また未結合手が少なく化学的に安定である程、より高いブロッキング効果を示す。酸素、水素、水の拡散を防ぐブロッキング効果を示す絶縁膜1021として、例えば、酸化アルミニウム、酸化窒化アルミニウム、酸化ガリウム、酸化窒化ガリウム、酸化イットリウム、酸化窒化イットリウム、酸化ハフニウム、酸化窒化ハフニウム等を用いることができる。水素、水の拡散を防ぐブロッキング効果を示す絶縁膜1021として、例えば、窒化シリコン、窒化酸化シリコン等を用いることができる。

【0248】

絶縁膜1021上には絶縁膜1022が設けられており、絶縁膜1022上には、トランジスタ701が設けられている。

【0249】

トランジスタ701は、絶縁膜1022上に、酸化物半導体を含む半導体膜1030と、半導体膜1030に電氣的に接続された、ソース電極またはドレイン電極として機能する導電膜1032及び導電膜1033と、半導体膜1030を覆っているゲート絶縁膜1031と、ゲート絶縁膜1031を間に挟んで半導体膜1030と重なるゲート電極1034と、を有する。なお、絶縁膜1020乃至絶縁膜1022には開口部が設けられており、導電膜1033は、上記開口部において導電膜1018に接続されている。

【0250】

なお、図17において、トランジスタ701は、ゲート電極1034を半導体膜1030の片側において少なくとも有していれば良いが、絶縁膜1022を間に挟んで半導体膜1030と重なるゲート電極を、さらに有していても良い。

【0251】

トランジスタ701が、一对のゲート電極を有している場合、一方のゲート電極には導通状態または非導通状態を制御するための信号が与えられ、他方のゲート電極は、電位が他から与えられている状態であっても良い。この場合、一对のゲート電極に、同じ高さの電位が与えられていても良いし、他方のゲート電極にのみ接地電位などの固定の電位が与えられていても良い。他方のゲート電極に与える電位の高さを制御することで、トランジスタの閾値電圧を制御することができる。

【0252】

また、図17では、トランジスタ701が、一のゲート電極1034に対応した一のチャネル形成領域を有する、シングルゲート構造である場合を例示している。しかし、トランジスタ701は、電氣的に接続された複数のゲート電極を有することで、一の活性層にチャネル形成領域を複数有する、マルチゲート構造であっても良い。

10

20

30

40

50

【0253】

また、図17に示すように、トランジスタ701は、半導体膜1030が、絶縁膜1022上において順に積層された酸化物半導体膜1030a乃至酸化物半導体膜1030cを有する場合を例示している。ただし、本発明の一態様では、トランジスタ701が有する半導体膜1030が、単膜の金属酸化物膜で構成されていても良い。

【0254】

なお、本実施の形態は、他の実施の形態と適宜組み合わせる実施することができる。

【0255】

(実施の形態7)

他の実施の形態で開示された、導電膜、半導体膜、絶縁膜など様々な膜はスパッタ法やプラズマCVD法により形成することができるが、他の方法、例えば、熱CVD (Chemical Vapor Deposition) 法により形成してもよい。熱CVD法の例としてMOCVD (Metal Organic Chemical Vapor Deposition) 法やALD (Atomic Layer Deposition) 法を使っても良い。

10

【0256】

熱CVD法は、プラズマを使わない成膜方法のため、プラズマダメージにより欠陥が生成されることが無いという利点を有する。

【0257】

熱CVD法は、原料ガスと酸化剤を同時にチャンバー内に送り、チャンバー内を大気圧または減圧下とし、基板近傍または基板上で反応させて基板上に堆積させることで成膜を行ってもよい。

20

【0258】

また、ALD法は、チャンバー内を大気圧または減圧下とし、反応のための原料ガスが順次にチャンバーに導入され、そのガス導入の順序を繰り返すことで成膜を行ってもよい。例えば、それぞれのスイッチングバルブ（高速バルブとも呼ぶ）を切り替えて2種類以上の原料ガスを順番にチャンバーに供給し、複数種の原料ガスが混ざらないように第1の原料ガスと同時またはその後不活性ガス（アルゴン、或いは窒素など）などを導入し、第2の原料ガスを導入する。なお、同時に不活性ガスを導入する場合には、不活性ガスはキャリアガスとなり、また、第2の原料ガスの導入時にも同時に不活性ガスを導入してもよい。また、不活性ガスを導入する代わりに真空排気によって第1の原料ガスを排出した後、第2の原料ガスを導入してもよい。第1の原料ガスが基板の表面に吸着して第1の層を成膜し、後から導入される第2の原料ガスと反応して、第2の層が第1の層上に積層されて薄膜が形成される。このガス導入順序を制御しつつ所望の厚さになるまで複数回繰り返すことで、段差被覆性に優れた薄膜を形成することができる。薄膜の厚さは、ガス導入順序を繰り返す回数によって調節することができるため、精密な膜厚調節が可能であり、微細なFETを作製する場合に適している。

30

【0259】

MOCVD法やALD法などの熱CVD法は、これまでに記載した実施形態に開示された導電膜、半導体膜、絶縁膜など様々な膜を形成することができ、例えば、In-Ga-Zn-O膜を成膜する場合には、トリメチルインジウム、トリメチルガリウム、及びジメチル亜鉛を用いる。なお、トリメチルインジウムの化学式は、 $\text{In}(\text{CH}_3)_3$ である。また、トリメチルガリウムの化学式は、 $\text{Ga}(\text{CH}_3)_3$ である。また、ジメチル亜鉛の化学式は、 $\text{Zn}(\text{CH}_3)_2$ である。また、これらの組み合わせに限定されず、トリメチルガリウムに代えてトリエチルガリウム（化学式 $\text{Ga}(\text{C}_2\text{H}_5)_3$ ）を用いることもでき、ジメチル亜鉛に代えてジエチル亜鉛（化学式 $\text{Zn}(\text{C}_2\text{H}_5)_2$ ）を用いることもできる。

40

【0260】

例えば、ALDを利用する成膜装置により酸化ハフニウム膜を形成する場合には、溶媒とハフニウム前駆体化合物を含む液体（ハフニウムアルコキシドや、テトラキスジメチルア

50

ミドハフニウム（ T DMAH ）などのハフニウムアミド）を気化させた原料ガスと、酸化剤としてオゾン（ O_3 ）の２種類のガスを用いる。なお、テトラキスジメチルアミドハフニウムの化学式は $\text{Hf}[\text{N}(\text{CH}_3)_2]_4$ である。また、他の材料液としては、テトラキス（エチルメチルアミド）ハフニウムなどがある。

【0261】

例えば、ALDを利用する成膜装置により酸化アルミニウム膜を形成する場合には、溶媒とアルミニウム前駆体化合物を含む液体（トリメチルアルミニウム（ TMA ）など）を気化させた原料ガスと、酸化剤として H_2O の２種類のガスを用いる。なお、トリメチルアルミニウムの化学式は $\text{Al}(\text{CH}_3)_3$ である。また、他の材料液としては、トリス（ジメチルアミド）アルミニウム、トリイソブチルアルミニウム、アルミニウムトリス（２，２，６，６－テトラメチル－３，５－ヘプタンジオナート）などがある。

10

【0262】

例えば、ALDを利用する成膜装置により酸化シリコン膜を形成する場合には、ヘキサクロロジシランを被成膜面に吸着させ、吸着物に含まれる塩素を除去し、酸化性ガス（ O_2 、一酸化二窒素）のラジカルを供給して吸着物と反応させる。

【0263】

例えば、ALDを利用する成膜装置によりタングステン膜を成膜する場合には、 WF_6 ガスと B_2H_6 ガスを順次繰り返し導入して初期タングステン膜を形成し、その後、 WF_6 ガスと H_2 ガスを同時に導入してタングステン膜を形成する。なお、 B_2H_6 ガスに代えて SiH_4 ガスを用いてもよい。

20

【0264】

例えば、ALDを利用する成膜装置により酸化物半導体膜、例えば In-Ga-Zn-O 膜を成膜する場合には、 $\text{In}(\text{CH}_3)_3$ ガスと O_3 ガスを順次繰り返し導入して In-O 層を形成し、その後、 $\text{Ga}(\text{CH}_3)_3$ ガスと O_3 ガスを同時に導入して GaO 層を形成し、更にその後 $\text{Zn}(\text{CH}_3)_2$ ガスと O_3 ガスを同時に導入して ZnO 層を形成する。なお、これらの層の順番はこの例に限らない。また、これらのガスを混ぜて In-Ga-O 層や In-Zn-O 層、 Ga-Zn-O 層などの混合化合物層を形成しても良い。なお、 O_3 ガスに変えて Ar 等の不活性ガスでバブリングして得られた H_2O ガスを用いても良いが、 H を含まない O_3 ガスを用いる方が好ましい。また、 $\text{In}(\text{CH}_3)_3$ ガスにかえて、 $\text{In}(\text{C}_2\text{H}_5)_3$ ガスを用いても良い。また、 $\text{Ga}(\text{CH}_3)_3$ ガスにかえて、 $\text{Ga}(\text{C}_2\text{H}_5)_3$ ガスを用いても良い。また、 $\text{Zn}(\text{CH}_3)_2$ ガスを用いても良い。

30

【0265】

なお、本実施の形態は、他の実施の形態と適宜組み合わせて実施することができる。

【0266】

（実施の形態８）

本発明の一態様に係る半導体装置は、表示機器、パーソナルコンピュータ、記録媒体を備えた画像再生装置（代表的には $\text{DVD: Digital Versatile Disc}$ 等の記録媒体を再生し、その画像を表示しうるディスプレイを有する装置）に用いることができる。その他に、本発明の一態様に係る半導体装置を用いることができる電子機器として、携帯電話、携帯型を含むゲーム機、携帯情報端末、電子書籍端末、ビデオカメラ、デジタルスチルカメラ等のカメラ、ゴーグル型ディスプレイ（ヘッドマウントディスプレイ）、ナビゲーションシステム、音響再生装置（カーオーディオ、デジタルオーディオプレーヤー等）、複写機、ファクシミリ、プリンタ、プリンタ複合機、現金自動預け入れ払い機（ ATM ）、自動販売機、医療機器などが挙げられる。これら電子機器の具体例を図18に示す。

40

【0267】

図18（A）は携帯型ゲーム機であり、筐体5001、筐体5002、表示部5003、表示部5004、マイクロホン5005、スピーカー5006、操作キー5007、スタイラス5008等を有する。本発明の一態様にかかる半導体装置は、携帯型ゲーム機の各

50

種集積回路に用いることができる。なお、図18(A)に示した携帯型ゲーム機は、2つの表示部5003と表示部5004とを有しているが、携帯型ゲーム機が有する表示部の数は、これに限定されない。

【0268】

図18(B)は携帯情報端末であり、第1筐体5601、第2筐体5602、第1表示部5603、第2表示部5604、接続部5605、操作キー5606等を有する。本発明の一態様にかかる半導体装置は、携帯情報端末の各種集積回路に用いることができる。第1表示部5603は第1筐体5601に設けられており、第2表示部5604は第2筐体5602に設けられている。そして、第1筐体5601と第2筐体5602とは、接続部5605により接続されており、第1筐体5601と第2筐体5602の間の角度は、接続部5605により変更が可能である。第1表示部5603における映像を、接続部5605における第1筐体5601と第2筐体5602との間の角度に従って、切り替える構成としても良い。また、第1表示部5603及び第2表示部5604の少なくとも一方に、位置入力装置としての機能が付加された表示装置を用いるようにしても良い。なお、位置入力装置としての機能は、表示装置にタッチパネルを設けることで付加することができる。或いは、位置入力装置としての機能は、フォトセンサとも呼ばれる光電変換素子を表示装置の画素部に設けることでも、付加することができる。

10

【0269】

図18(C)はノート型パーソナルコンピュータであり、筐体5401、表示部5402、キーボード5403、ポインティングデバイス5404等を有する。本発明の一態様にかかる半導体装置は、ノート型パーソナルコンピュータの各種集積回路に用いることができる。

20

【0270】

図18(D)は電気冷凍冷蔵庫であり、筐体5301、冷蔵室用扉5302、冷凍室用扉5303等を有する。本発明の一態様にかかる半導体装置は、電気冷凍冷蔵庫の各種集積回路に用いることができる。

【0271】

図18(E)はビデオカメラであり、第1筐体5801、第2筐体5802、表示部5803、操作キー5804、レンズ5805、接続部5806等を有する。本発明の一態様にかかる半導体装置は、ビデオカメラの各種集積回路に用いることができる。操作キー5804及びレンズ5805は第1筐体5801に設けられており、表示部5803は第2筐体5802に設けられている。そして、第1筐体5801と第2筐体5802とは、接続部5806により接続されており、第1筐体5801と第2筐体5802の間の角度は、接続部5806により変更が可能である。表示部5803における映像を、接続部5806における第1筐体5801と第2筐体5802との間の角度に従って切り替える構成としても良い。

30

【0272】

図18(F)は普通自動車であり、車体5101、車輪5102、ダッシュボード5103、ライト5104等を有する。本発明の一態様にかかる半導体装置は、普通自動車の各種集積回路に用いることができる。

40

【0273】

(明細書等の記載について)

本明細書等の記載に関して、以下に説明する。

【0274】

本明細書等において、XとYとが接続されている、と明示的に記載する場合は、XとYとが電氣的に接続されている場合と、XとYとが機能的に接続されている場合と、XとYとが直接接続されている場合とを含むものとする。したがって、所定の接続関係、例えば、図または文章に示された接続関係に限定されず、図または文章に示された接続関係以外のものも含むものとする。

【0275】

50

ここで、X、Yは、対象物（例えば、装置、素子、回路、配線、電極、端子、導電膜、層、など）であるとする。

【0276】

XとYとが電氣的に接続されている場合の一例としては、XとYとの電氣的な接続を可能とする素子（例えば、スイッチ、トランジスタ、容量素子、インダクタ、抵抗素子、ダイオード、表示素子、発光素子、負荷など）が、XとYとの間に1個以上接続されることが可能である。なお、スイッチは、オンオフが制御される機能を有している。つまり、スイッチは、導通状態（オン状態）、または、非導通状態（オフ状態）になり、電流を流すか流さないかを制御する機能を有している。または、スイッチは、電流を流す経路を選択して切り替える機能を有している。

10

【0277】

XとYとが機能的に接続されている場合の一例としては、XとYとの機能的な接続を可能とする回路（例えば、論理回路（インバータ、NAND回路、NOR回路など）、信号変換回路（DA変換回路、AD変換回路、ガンマ補正回路など）、電位レベル変換回路（電源回路（昇圧回路、降圧回路など）、信号の電位レベルを変えるレベルシフト回路など）、電圧源、電流源、切り替え回路、増幅回路（信号振幅または電流量などを大きく出来る回路、オペアンプ、差動増幅回路、ソースフォロワ回路、バッファ回路など）、信号生成回路、記憶回路、制御回路など）が、XとYとの間に1個以上接続されることが可能である。なお、一例として、XとYとの間に別の回路を挟んでいても、Xから出力された信号がYへ伝達される場合は、XとYとは機能的に接続されているものとする。

20

【0278】

なお、XとYとが電氣的に接続されている、と明示的に記載する場合は、XとYとが電氣的に接続されている場合（つまり、XとYとの間に別の素子又は別の回路を挟んで接続されている場合）と、XとYとが機能的に接続されている場合（つまり、XとYとの間に別の回路を挟んで機能的に接続されている場合）と、XとYとが直接接続されている場合（つまり、XとYとの間に別の素子又は別の回路を挟まずに接続されている場合）とを含むものとする。つまり、電氣的に接続されている、と明示的に記載する場合は、単に、接続されている、とのみ明示的に記載されている場合と同じであるとする。

【0279】

なお、例えば、トランジスタのソース（又は第1の端子など）が、Z1を介して（又は介さず）、Xと電氣的に接続され、トランジスタのドレイン（又は第2の端子など）が、Z2を介して（又は介さず）、Yと電氣的に接続されている場合や、トランジスタのソース（又は第1の端子など）が、Z1の一部と直接的に接続され、Z1の別の一部がXと直接的に接続され、トランジスタのドレイン（又は第2の端子など）が、Z2の一部と直接的に接続され、Z2の別の一部がYと直接的に接続されている場合では、以下のように表現することが出来る。

30

【0280】

例えば、「XとYとトランジスタのソース（又は第1の端子など）とドレイン（又は第2の端子など）とは、互いに電氣的に接続されており、X、トランジスタのソース（又は第1の端子など）、トランジスタのドレイン（又は第2の端子など）、Yの順序で電氣的に接続されている。」と表現することができる。または、「トランジスタのソース（又は第1の端子など）は、Xと電氣的に接続され、トランジスタのドレイン（又は第2の端子など）はYと電氣的に接続され、X、トランジスタのソース（又は第1の端子など）、トランジスタのドレイン（又は第2の端子など）、Yは、この順序で電氣的に接続されている」と表現することができる。または、「Xは、トランジスタのソース（又は第1の端子など）とドレイン（又は第2の端子など）とを介して、Yと電氣的に接続され、X、トランジスタのソース（又は第1の端子など）、トランジスタのドレイン（又は第2の端子など）、Yは、この接続順序で設けられている」と表現することができる。これらの例と同様な表現方法を用いて、回路構成における接続の順序について規定することにより、トランジスタのソース（又は第1の端子など）と、ドレイン（又は第2の端子など）とを、区別

40

50

して、技術的範囲を決定することができる。なお、これらの表現方法は、一例であり、これらの表現方法に限定されない。ここで、X、Y、Z 1、Z 2 は、対象物（例えば、装置、素子、回路、配線、電極、端子、導電膜、層、など）であるとする。

【0281】

また、トランジスタのソースとは、活性層として機能する半導体膜の一部であるソース領域、或いは上記半導体膜に接続されたソース電極を意味する。同様に、トランジスタのドレインとは、上記半導体膜の一部であるドレイン領域、或いは上記半導体膜に接続されたドレイン電極を意味する。また、ゲートはゲート電極を意味する。

【0282】

トランジスタが有するソースとドレインは、トランジスタの導電型及び各端子に与えられる電位の高低によって、その呼び方が入れ替わる。一般的に、nチャネル型トランジスタでは、低い電位が与えられる端子がソースと呼ばれ、高い電位が与えられる端子がドレインと呼ばれる。また、pチャネル型トランジスタでは、低い電位が与えられる端子がドレインと呼ばれ、高い電位が与えられる端子がソースと呼ばれる。本明細書では、便宜上、ソースとドレインとが固定されているものと仮定して、トランジスタの接続関係を説明する場合があるが、実際には上記電位の関係に従ってソースとドレインの呼び方が入れ替わる。

10

【0283】

なお、回路図上は独立している構成要素同士が電氣的に接続しているように図示されている場合であっても、1つの構成要素が、複数の構成要素の機能を併せ持っている場合もある。例えば配線の一部が電極としても機能する場合は、一の導電膜が、配線の機能、及び電極の機能の両方の構成要素の機能を併せ持っている。したがって、本明細書における電氣的に接続とは、このような、一の導電膜が、複数の構成要素の機能を併せ持っている場合も、その範疇に含める。

20

【0284】

なお、ある一つの実施の形態の中で述べる内容（一部の内容でもよい）は、その実施の形態で述べる別の内容（一部の内容でもよい）、及び／又は、一つ若しくは複数の別の実施の形態で述べる内容（一部の内容でもよい）に対して、適用、組み合わせ、又は置き換えなどを行うことが出来る。

【0285】

なお、実施の形態の中で述べる内容とは、各々の実施の形態において、様々な図を用いて述べる内容、又は明細書に記載される文章を用いて述べる内容のことである。

30

【0286】

なお、ある一つの実施の形態において述べる図（一部でもよい）は、その図の別の部分、その実施の形態において述べる別の図（一部でもよい）、及び／又は、一つ若しくは複数の別の実施の形態において述べる図（一部でもよい）に対して、組み合わせることにより、さらに多くの図を構成させることが出来る。

【0287】

なお、明細書の中の図面や文章において規定されていない内容について、その内容を除くことを規定した発明の一態様を構成することが出来る。または、ある値について、上限値と下限値などで示される数値範囲が記載されている場合、その範囲を任意に狭めることで、または、その範囲の中の一点を除くことで、その範囲を一部除いた発明の一態様を規定することができる。これらにより、例えば、従来技術が本発明の一態様の技術的範囲内に入らないことを規定することができる。

40

【0288】

具体例としては、ある回路において、第1乃至第5のトランジスタを用いている回路図が記載されているとする。その場合、その回路が、第6のトランジスタを有していないことを発明として規定することが可能である。または、その回路が、容量素子を有していないことを規定することが可能である。さらに、その回路が、ある特定の接続構造をとっているような第6のトランジスタを有していない、と規定して発明を構成することができる。

50

または、その回路が、ある特定の接続構造をとっている容量素子を有していない、と規定して発明を構成することができる。例えば、ゲートが第3のトランジスタのゲートと接続されている第6のトランジスタを有していない、と発明を規定することが可能である。または、例えば、第1の電極が第3のトランジスタのゲートと接続されている容量素子を有していない、と発明を規定することが可能である。

【0289】

別の具体例としては、ある値について、例えば、「ある電圧が、3 V以上10 V以下であることが好適である」と記載されているとする。その場合、例えば、ある電圧が、-2 V以上1 V以下である場合を除く、と発明の一態様を規定することが可能である。または、例えば、ある電圧が、13 V以上である場合を除く、と発明の一態様を規定することが可能である。なお、例えば、その電圧が、5 V以上8 V以下であると発明を規定することも可能である。なお、例えば、その電圧が、概略9 Vであると発明を規定することも可能である。なお、例えば、その電圧が、3 V以上10 V以下であるが、9 Vである場合を除くと発明を規定することも可能である。なお、ある値について、「このような範囲であることが好ましい」、「これらを満たすことが好適である」となどと記載されていたとしても、ある値は、それらの記載に限定されない。つまり、「好ましい」、「好適である」などと記載されていたとしても、必ずしも、それらの記載には、限定されない。

10

【0290】

別の具体例としては、ある値について、例えば、「ある電圧が、10 Vであることが好適である」と記載されているとする。その場合、例えば、ある電圧が、-2 V以上1 V以下である場合を除く、と発明の一態様を規定することが可能である。または、例えば、ある電圧が、13 V以上である場合を除く、と発明の一態様を規定することが可能である。

20

【0291】

別の具体例としては、ある物質の性質について、例えば、「ある膜は、絶縁膜である」と記載されているとする。その場合、例えば、その絶縁膜が、有機絶縁膜である場合を除く、と発明の一態様を規定することが可能である。または、例えば、その絶縁膜が、無機絶縁膜である場合を除く、と発明の一態様を規定することが可能である。または、例えば、その膜が、導電膜である場合を除く、と発明の一態様を規定することが可能である。または、例えば、その膜が、半導体膜である場合を除く、と発明の一態様を規定することが可能である。

30

【0292】

別の具体例としては、ある積層構造について、例えば、「A膜とB膜との間に、ある膜が設けられている」と記載されているとする。その場合、例えば、その膜が、4層以上の積層膜である場合を除く、と発明を規定することが可能である。または、例えば、A膜とその膜との間に、導電膜が設けられている場合を除く、と発明を規定することが可能である。

【0293】

なお、本明細書等においては、能動素子（トランジスタ、ダイオードなど）、受動素子（容量素子、抵抗素子など）などが有するすべての端子について、その接続先を特定しなくても、当業者であれば、発明の一態様を構成することは可能な場合がある。つまり、接続先を特定しなくても、発明の一態様が明確であると言える。そして、接続先が特定された内容が、本明細書等に記載されている場合、接続先を特定しない発明の一態様が、本明細書等に記載されていると判断することが可能な場合がある。特に、端子の接続先の候補が複数存在する場合には、その端子の接続先を特定の箇所に限定する必要はない。したがって、能動素子（トランジスタ、ダイオードなど）、受動素子（容量素子、抵抗素子など）などが有する一部の端子についてのみ、その接続先を特定することによって、発明の一態様を構成することが可能な場合がある。

40

【0294】

なお、本明細書等においては、ある回路について、少なくとも接続先を特定すれば、当業者であれば、発明を特定することが可能な場合がある。または、ある回路について、少な

50

くとも機能を特定すれば、当業者であれば、発明を特定することが可能な場合がある。つまり、機能を特定すれば、発明の一態様が明確であると言える。そして、機能が特定された発明の一態様が、本明細書等に記載されていると判断することが可能な場合がある。したがって、ある回路について、機能を特定しなくても、接続先を特定すれば、発明の一態様として開示されているものであり、発明の一態様を構成することが可能である。または、ある回路について、接続先を特定しなくても、機能を特定すれば、発明の一態様として開示されているものであり、発明の一態様を構成することが可能である。

【0295】

なお、本明細書等においては、ある一つの実施の形態において述べる図または文章において、その一部分を取り出して、発明の一態様を構成することは可能である。したがって、ある部分を述べる図または文章が記載されている場合、その一部分の図または文章を取り出した内容も、発明の一態様として開示されているものであり、発明の一態様を構成することが可能であるものとする。そして、その発明の一態様は明確であると言える。そのため、例えば、能動素子（トランジスタ、ダイオードなど）、配線、受動素子（容量素子、抵抗素子など）、導電層、絶縁層、半導体層、有機材料、無機材料、部品、装置、動作方法、製造方法などが単数もしくは複数記載された図面または文章において、その一部分を取り出して、発明の一態様を構成することが可能であるものとする。例えば、N個（Nは整数）の回路素子（トランジスタ、容量素子等）を有して構成される回路図から、M個（Mは整数で、 $M < N$ ）の回路素子（トランジスタ、容量素子等）を抜き出して、発明の一態様を構成することは可能である。別の例としては、N個（Nは整数）の層を有して構成される断面図から、M個（Mは整数で、 $M < N$ ）の層を抜き出して、発明の一態様を構成することは可能である。さらに別の例としては、N個（Nは整数）の要素を有して構成されるフローチャートから、M個（Mは整数で、 $M < N$ ）の要素を抜き出して、発明の一態様を構成することは可能である。さらに別の例としては、「Aは、B、C、D、E、または、Fを有する」と記載されている文章から、一部の要素を任意に抜き出して、「Aは、BとEとを有する」、「Aは、EとFとを有する」、「Aは、CとEとFとを有する」、または、「Aは、BとCとDとEとを有する」などの発明の一態様を構成することは可能である。

【0296】

なお、本明細書等においては、ある一つの実施の形態において述べる図または文章において、少なくとも一つの具体例が記載される場合、その具体例の上位概念を導き出すことは、当業者であれば容易に理解される。したがって、ある一つの実施の形態において述べる図または文章において、少なくとも一つの具体例が記載される場合、その具体例の上位概念も、発明の一態様として開示されているものであり、発明の一態様を構成することが可能である。そして、その発明の一態様は、明確であると言える。

【0297】

なお、本明細書等においては、少なくとも図に記載した内容（図の中の一部でもよい）は、発明の一態様として開示されているものであり、発明の一態様を構成することが可能である。したがって、ある内容について、図に記載されていれば、文章を用いて述べていなくても、その内容は、発明の一態様として開示されているものであり、発明の一態様を構成することが可能である。同様に、図の一部を取り出した図についても、発明の一態様として開示されているものであり、発明の一態様を構成することが可能である。そして、その発明の一態様は明確であると言える。

【符号の説明】

【0298】

- 10 セルアレイ
- 11 セル
- 12 セル
- 20 回路
- 30 回路

10

20

30

40

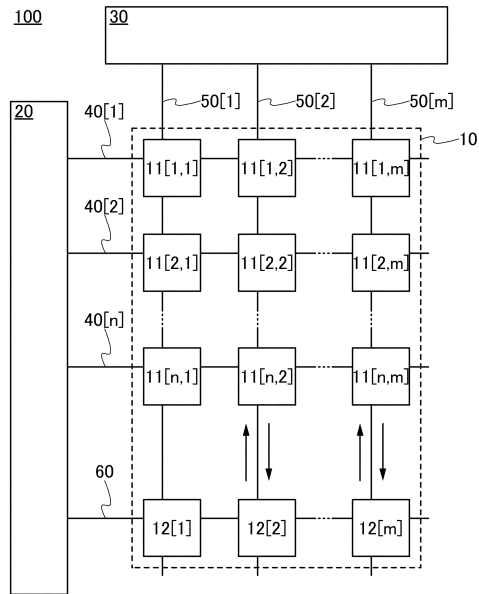
50

4 0	配線	
5 0	配線	
6 0	配線	
9 0	トランジスタ	
9 1	絶縁膜	
9 2 a	酸化物半導体膜	
9 2 b	酸化物半導体膜	
9 2 c	酸化物半導体膜	
9 3	導電膜	
9 4	導電膜	10
9 5	絶縁膜	
9 6	導電膜	
9 7	基板	
1 0 0	半導体装置	
1 0 1	トランジスタ	
1 0 2	トランジスタ	
1 0 3	容量素子	
1 0 4	トランジスタ	
1 1 1	配線	
1 1 2	配線	20
1 1 3	配線	
1 1 4	配線	
1 1 5	配線	
1 2 0	ノード	
2 0 1	トランジスタ	
2 0 2	トランジスタ	
2 0 3	容量素子	
2 0 4	トランジスタ	
2 1 1	配線	
2 1 2	配線	30
2 1 3	配線	
2 1 5	配線	
2 2 0	ノード	
3 0 0	回路	
3 0 1	回路	
3 0 2	回路	
3 0 3	回路	
4 0 0	回路	
4 0 1	デコーダ	
4 0 2	ラッチ回路	40
4 0 3	D/Aコンバータ	
4 0 4	スイッチ回路	
4 0 5	トランジスタ	
4 0 6	トランジスタ	
5 0 0	回路	
5 0 1	コンパレータ	
5 0 2	エンコーダ	
5 0 3	ラッチ回路	
5 0 4	バッファ	
7 0 1	トランジスタ	50

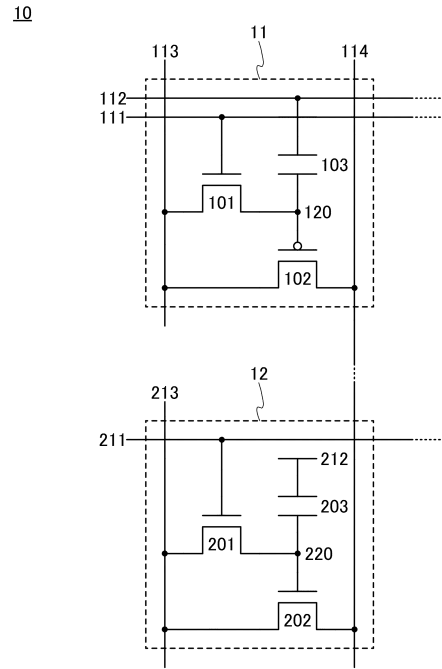
7 0 2	トランジスタ	
8 0 1	半導体基板	
8 1 0	素子分離領域	
8 1 1	絶縁膜	
8 1 2	絶縁膜	
8 1 3	絶縁膜	
8 2 5	導電膜	
8 2 6	導電膜	
8 2 7	導電膜	
8 3 4	導電膜	10
8 3 5	導電膜	
8 3 6	導電膜	
8 3 7	導電膜	
8 4 4	導電膜	
8 5 1	導電膜	
8 5 2	導電膜	
8 5 3	導電膜	
8 6 1	絶縁膜	
9 0 1	半導体膜	
9 1 0	領域	20
9 1 1	領域	
9 2 1	導電膜	
9 2 2	導電膜	
9 3 1	ゲート電極	
9 6 2	ゲート絶縁膜	
9 6 3	絶縁膜	
1 0 0 0	基板	
1 0 0 1	素子分離領域	
1 0 0 2	不純物領域	
1 0 0 3	不純物領域	30
1 0 0 4	チャンネル形成領域	
1 0 0 5	絶縁膜	
1 0 0 6	ゲート電極	
1 0 1 1	絶縁膜	
1 0 1 2	導電膜	
1 0 1 3	導電膜	
1 0 1 4	導電膜	
1 0 1 6	導電膜	
1 0 1 7	導電膜	
1 0 1 8	導電膜	40
1 0 2 0	絶縁膜	
1 0 2 1	絶縁膜	
1 0 2 2	絶縁膜	
1 0 3 0	半導体膜	
1 0 3 0 a	酸化物半導体膜	
1 0 3 0 c	酸化物半導体膜	
1 0 3 1	ゲート絶縁膜	
1 0 3 2	導電膜	
1 0 3 3	導電膜	
1 0 3 4	ゲート電極	50

5 0 0 1	筐体	
5 0 0 2	筐体	
5 0 0 3	表示部	
5 0 0 4	表示部	
5 0 0 5	マイクロホン	
5 0 0 6	スピーカー	
5 0 0 7	操作キー	
5 0 0 8	スタイラス	
5 1 0 1	車体	
5 1 0 2	車輪	10
5 1 0 3	ダッシュボード	
5 1 0 4	ライト	
5 3 0 1	筐体	
5 3 0 2	冷蔵室用扉	
5 3 0 3	冷凍室用扉	
5 4 0 1	筐体	
5 4 0 2	表示部	
5 4 0 3	キーボード	
5 4 0 4	ポインティングデバイス	
5 6 0 1	筐体	20
5 6 0 2	筐体	
5 6 0 3	表示部	
5 6 0 4	表示部	
5 6 0 5	接続部	
5 6 0 6	操作キー	
5 8 0 1	筐体	
5 8 0 2	筐体	
5 8 0 3	表示部	
5 8 0 4	操作キー	
5 8 0 5	レンズ	30
5 8 0 6	接続部	

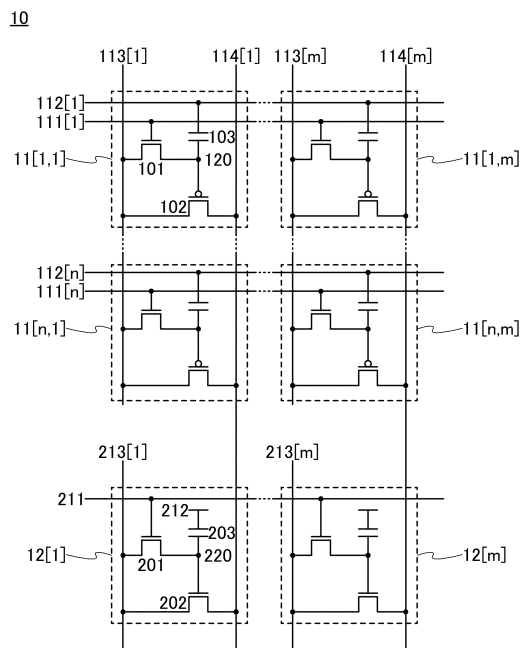
【図 1】



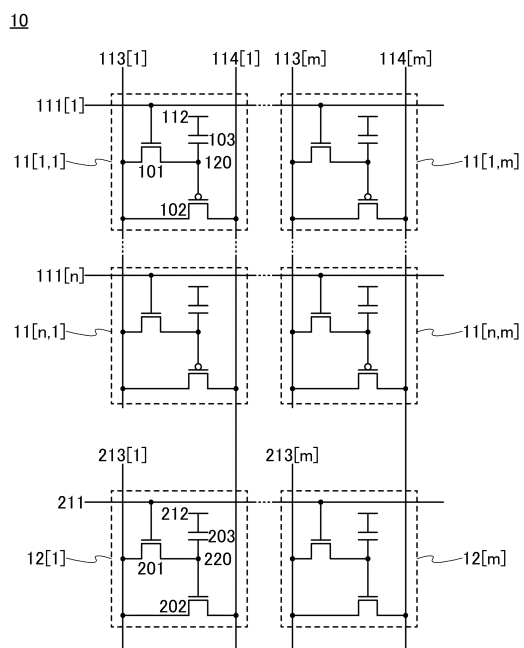
【図 2】



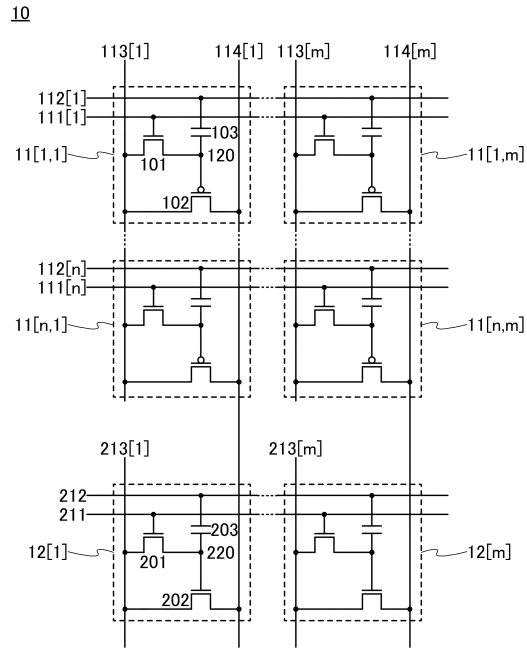
【図 3】



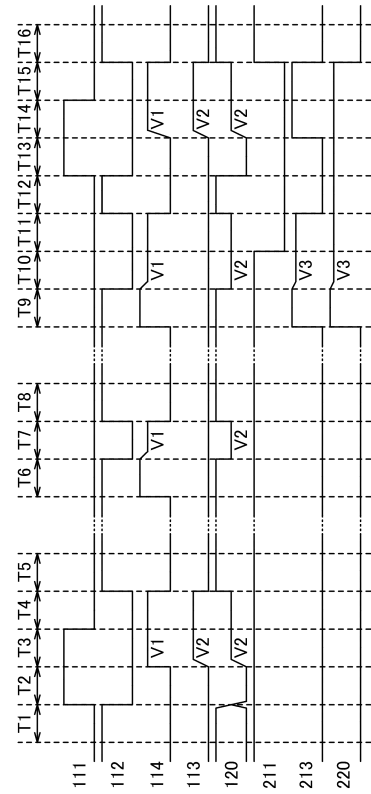
【図 4】



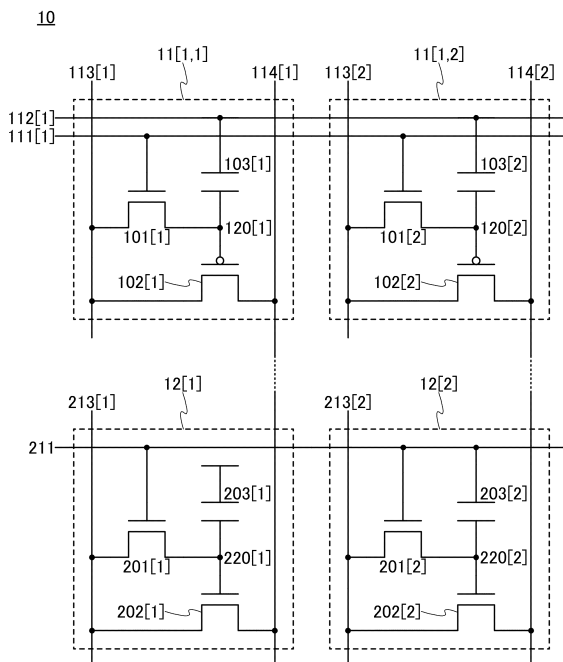
【図 5】



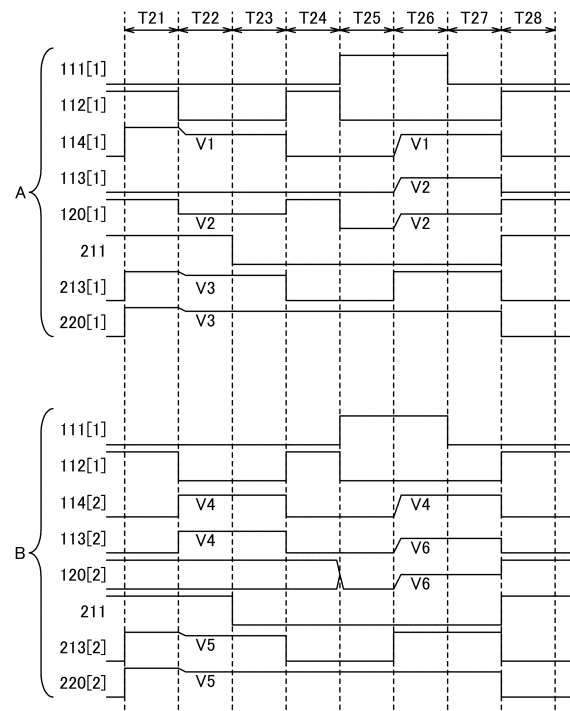
【図 6】



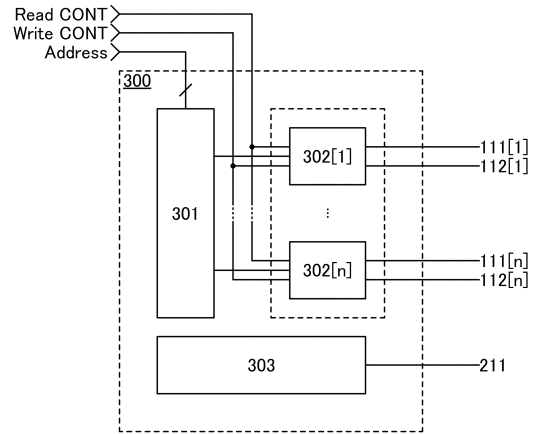
【図 7】



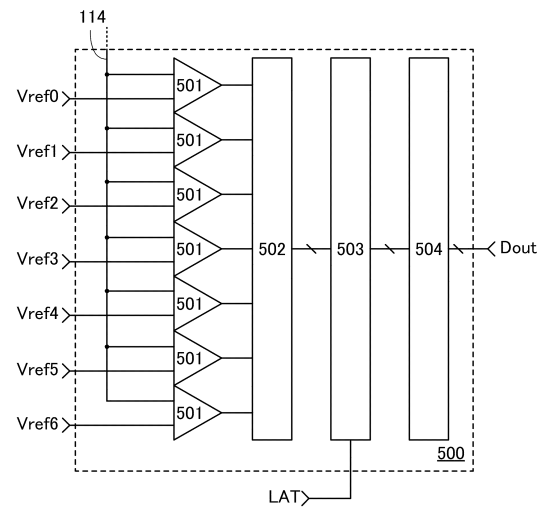
【図 8】



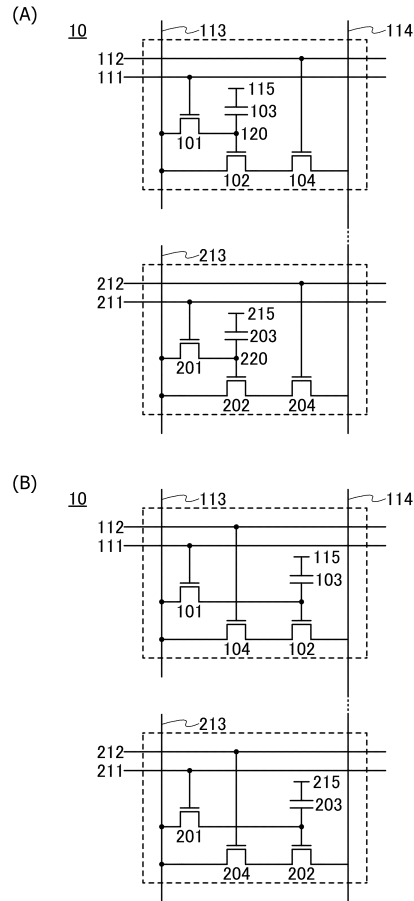
【図 10】



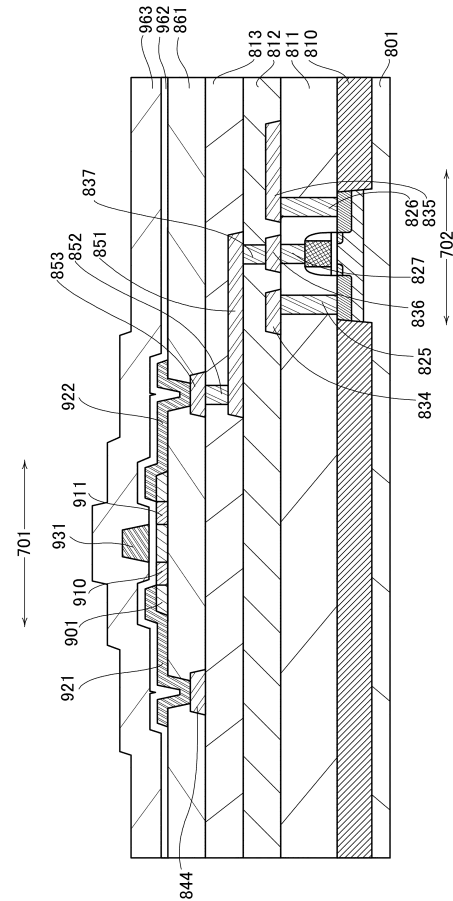
【图 1 2】



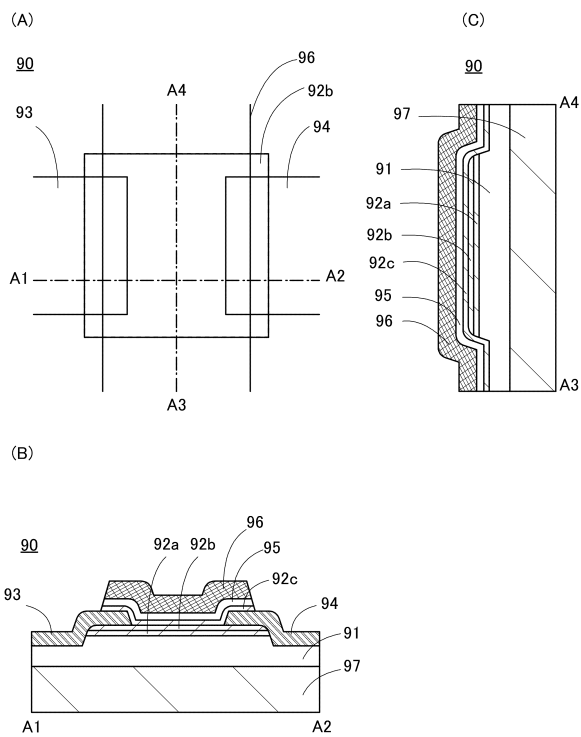
【図 1 3】



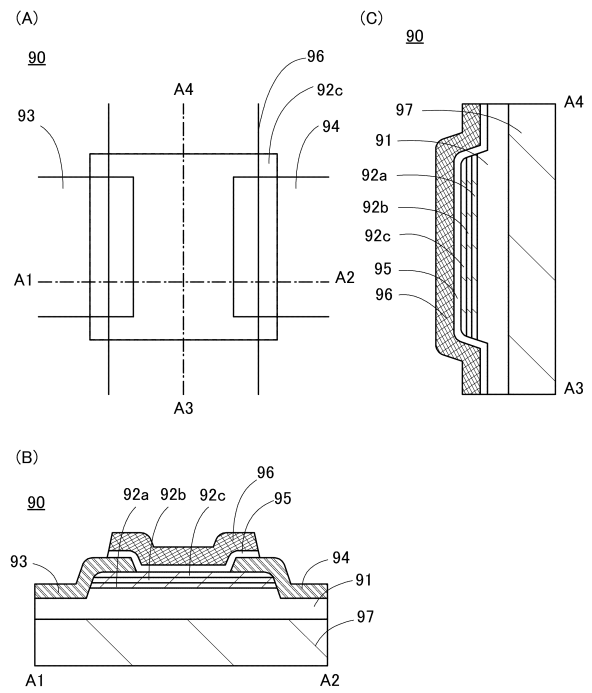
【図 1 4】



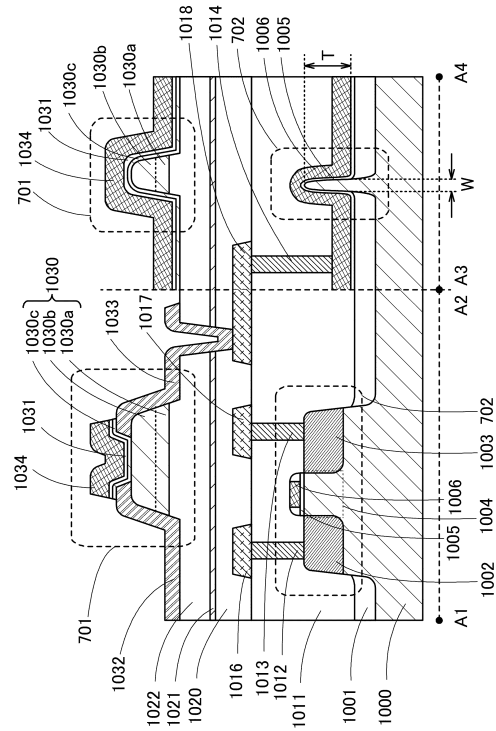
【図 1 5】



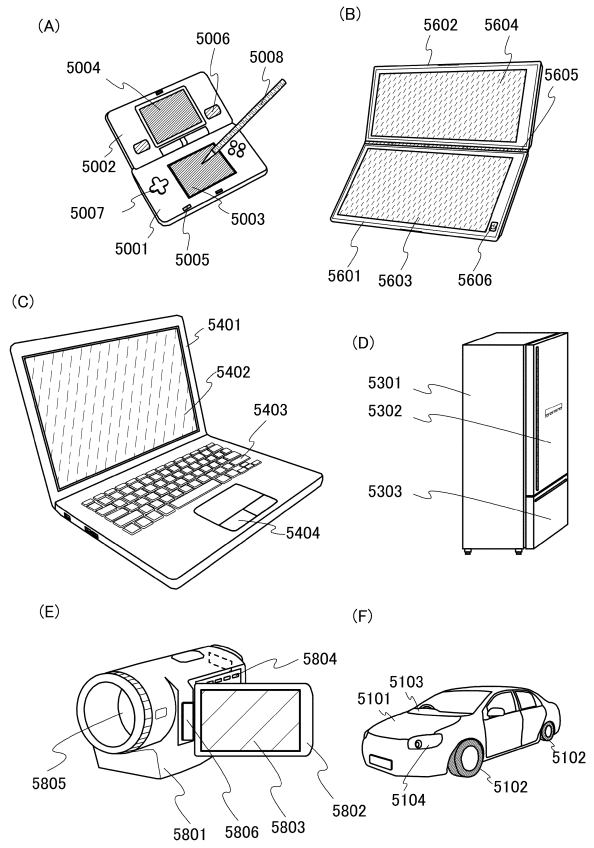
【図 1 6】



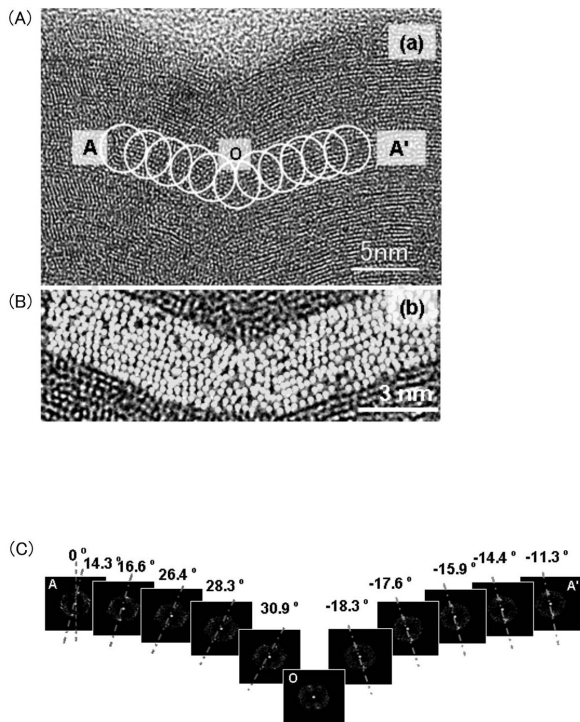
【図 17】



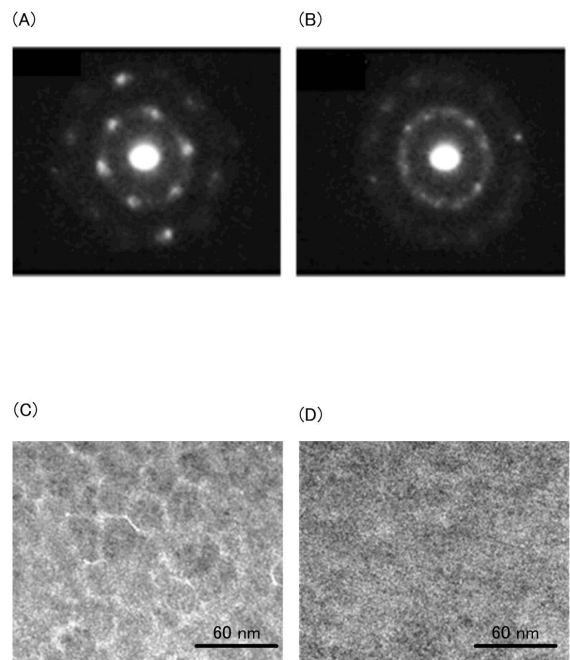
【図 18】



【図 19】



【図 20】



フロントページの続き

(58)調査した分野(Int.Cl., DB名)

G11C 11/405