



SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

2文字コード及び他の略語については、定期発行される各*PCT*ガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

添付公開書類:

— 国際調査報告書

明 細 書

不揮発性半導体記憶装置用セクタ保護回路、セクタ保護方法、および不揮発性半導体記憶装置

5

技術分野

本発明は、セクタに格納されたデータを保護するためのセクタ保護回路、およびセクタ保護機能を有する不揮発性半導体記憶装置に関する。

10 背景技術

フラッシュメモリは、データの書き換えが可能なRAM(Random Access Memory)の特長と、電源を切った後もデータを保持可能なROM(Read Only Memory)の特長をあわせもつ不揮発性の半導体記憶装置である。フラッシュメモリの記憶領域はセクタと呼ばれる単位の集合として構成され、データの消去はチップ一括またはセクタ単位で行われる。一般的なフラッシュメモリには、格納されたブートプログラムなどの重要なプログラムが誤動作バグなどによって書き換えられないように設定するためのプロテクト機能が設けられる。例えばブートブロック型フラッシュメモリでは、ブートブロックと呼ばれるブロックを設けることでハードウェア的な書込み/消去を禁止することを可能としている。

20 このようなプロテクト機能を有するフラッシュメモリとして、メモリ領域を幾つかのセクタ（あるいはブロック）に分割して、各々のセクタに対して個別にプロテクトをかけたりはずしたり（アンプロテクト）することが可能なセクタ保護機能を有するフラッシュメモリが知られており、そのセクタ保護機能は、不揮発性セルであるPPB(Persistent Protection Bit)と揮発性セルであるDPB
25 (Dynamic Protection Bit)という2つのビットを用いて実現されている。これらのPPBおよびDPBは各セクタ毎に対応して設けられており、対応するセクタへのハードウェア的な書込み/消去を個別に禁止することが可能である。

発明の開示

このうち揮発性セルであるDPBへのセクタプロテクトコマンドの書き換え（書込み／消去）は、個々のDPBへの個別のコマンド入力によって容易に実行することができる。

一方、不揮発性セルであるPPBのセクタプロテクトコマンドの書換えに際しては、比較的煩雑なプロセスが要求されることとなる。具体的には、PPBへの書込み（セクタプロテクト）は各々のPPBに対するコマンド入力（もしくは特定の入力ピンからの高電圧印加）により比較的容易に実行可能であるものの、消去（セクタアンプロテクト）は複数のPPBの一括消去による必要がある。しかもこの消去動作は、PPBの過消去（オーバーイレーズ）を回避するために、予め全てのPPBに書込みを行った後で実行する必要がある。

しかも、上述のセクタ保護機能は、PPBもしくはDPBの少なくとも一方がプロテクト状態になっているとセクタに格納されているデータの書換えがプロテクトされるように設計されているため、一旦PPBによるセクタプロテクトを行うと、その後にセクタ内のデータを書換えるためにはPPBを一括消去する必要がある。尤も、特定ピンに高電圧を印加して一時的にセクタプロテクトを解除するという方法もあるが、高電圧印加を前提とするためオンボード状態で実行することは実用上困難である。

本発明はかかる問題に鑑みてなされたもので、その目的とするところは、PPBへの消去動作を行うことなくセクタの書換えを可能とする不揮発性半導体記憶装置用セクタ保護回路およびそれを備えた不揮発性半導体記憶装置を提供することにある。

本発明は、セクタ毎またはセクタグループ毎に保護状態の有無を意味するデータを格納する不揮発性格納部と、セクタ毎またはセクタグループ毎に保護状態の有無を意味するデータを格納する揮発性格納部と、前記不揮発性格納部と前記揮発性格納部の少なくとも一方にセクタまたはセクタグループの保護を示すデータが格納されている場合には当該セクタまたはセクタグループを保護する状態において、第1のコマンドを受けると前記揮発性格納部のデータのみを有効とする回路とを有するセクタ保護回路である。

前記回路は、前記不揮発性格納部のデータと、前記揮発性格納部のデータと、

前記第1のコマンドに応じた信号とを論理演算する回路とを含む構成とすることができる。

また、前記回路は、前記第1のコマンドを受けると、前記不揮発性格納部のデータの出力をブロックする回路を含む構成とすることができる。

- 5 更に、前記回路は、前記不揮発性格納部のデータの書き換えを禁止する信号がセットされているときには、前記第1のコマンドを無効にする構成とすることができる。

また、前記回路は、前記不揮発性格納部のデータの書き換えを禁止する第2のコマンドを受けると、前記第1のコマンドを無効にする構成とすることができる。

- 10 また、前記回路は、前記不揮発性格納部のデータと、前記揮発性格納部のデータと、前記第1のコマンドに応じた信号と、前記不揮発性格納部のデータの書き換えを禁止する第2のコマンドに応じた信号とを論理演算する回路を含む構成とすることができる。

前記不揮発性格納部のデータは例えば、一括消去される構成である。

- 15 本発明はまた、セクタ毎またはセクタグループ毎に保護状態の有無を意味するデータを格納する不揮発性格納部と、セクタ毎またはセクタグループ毎に保護状態の有無を意味するデータを格納する揮発性格納部と、第1のコマンドを受けると、前記不揮発性格納部のデータ出力を無効化するとともに、前記揮発性格納部のデータ出力を有効化する回路とを有するセクタ保護回路である。上記回路は、
20 第2のコマンドを受けると前記第1のコマンドを無効化する構成とすることができる。また、前記第2のコマンドは、前記不揮発性格納部のデータの書き換えを禁止するコマンドである構成とすることができる。

本発明はまた、上記セクタ保護回路を備えている半導体装置を含む。

- 更に、本発明は、所定のコマンドの入力がない状態において、セクタ毎または
25 セクタグループ毎に保護状態の有無を意味するデータを格納する不揮発性格納部と、セクタ毎またはセクタグループ毎の保護状態の有無を意味するデータを格納する揮発性格納部との少なくとも一方にセクタまたはセクタグループの保護を示すデータが格納されている場合には当該セクタまたはセクタグループを保護するステップと、前記所定のコマンドを受けると前記揮発性格納部のデータのみを有

効とするステップとを有するセクタ保護方法である。

この方法において、前記不揮発性格納部のデータの書き換えを禁止する第2のコマンドを受けると、前記第1のコマンドを無効にするステップを有する構成とすることができる。

- 5 本発明により、セクタの書き換えを実行するに際してセクタ保護回路を構成する P P B（不揮発性格納部）への消去動作が不要となり、コマンド入力による容易なセクタ書き換えが実行可能となる。

図面の簡単な説明

- 10 図1は、本発明の不揮発性半導体記憶装置が備えるセクタ保護回路の回路図、
 図2は、本発明のセクタ保護回路のもとで、書き換えたいセクタに対応する P P Bセルにセクタプロテクト情報が格納されている場合に、当該セクタの書き換え動作を説明するためのフローチャート、
 図3は、本発明のセクタ保護回路が組み込まれた不揮発性半導体記憶装置のブ
15 ロック図、
 図4は、本発明の D P B回路を構成する個々の D P B内の回路図、
 図5は、本発明の P P B回路を構成する個々の P P B内の回路図、
 図6は、本発明のセクタ保護回路の動作を説明するためのタイミングチャート
 である。

20

発明を実施するための最良の形態

以下に図面を参照して、本発明を実施するための最良の形態について説明する。
なお、本発明のセクタ保護回路は、事実上、不揮発性メモリを備えた任意のタイプの半導体装置に適用することが可能であるが、以降の説明においては、半導体
25 装置はフラッシュメモリ装置であるとして説明する。

図1は、本発明の不揮発性半導体記憶装置が備えるセクタ保護回路の概念的な回路図である。この回路によるセクタ保護は、例えば、セクタごとに不揮発性セルに格納される P P Bと揮発性セルに格納される D P Bの2つのビットにより実現される。また、複数のセクタ(例えば4つのセクタ)からなるセクタグループご

とにそれぞれ1つのPPB及びDPBを設けて保護を実現してもよく、セクタグループごとに設けられた1つのPPBとセクタごとに設けられた1つのDPBとにより保護を実現するようにしてもよい。

- 揮発性格納部を構成するDPB回路11と不揮発性格納部を構成するPPB回路12はそれぞれ、各セクタに対応付けられたPPBセル(PPB1~PPBn)およびDPBセル(DPB1~DPBn)を備えている。これらのPPBセルおよびDPBセルは、行および列の形態に配列させることが可能である。図1に示した例によれば、DPB回路11およびPPB回路12が列を形成し、それぞれの回路内のセルが行を形成している。
- そして、DPB回路11およびPPB回路12からの出力(DPBOUTおよびPPBOUT)はそれぞれ、そのゲート端子が接地されソース端子に電源電圧Vccが印加されるp-MOSトランジスタ17、18のドレイン端子へと入力される。そして、後述する信号処理を経て、対応付けられたセクタへのハードウェア的な書込み/消去を個別に禁止可能としてセクタプロテクトを行う。なお、DPB回路11およびPPB回路12に設けられた個々のDPBおよびPPBの選択は、本セクタ保護回路に接続される後述のデコーダ(不図示)からの出力に対応して実行される。

- 選択されたセクタがプロテクト状態にある場合は、当該セクタに対応して設けられたDPBセルはローレベル信号を出力し、PPBセルはハイレベル信号を出力する。これとは逆に、選択されたセクタがアンプロテクト状態にある場合は、当該セクタに対応して設けられたDPBセルはハイレベル信号を出力し、PPBセルはローレベル信号を出力する。

- DPB回路11からの出力信号DPBOUTは、インバータ19を介した信号DPBOUTBとしてNORゲート16の一方の接続端子へと出力される。また、PPB回路12からの出力信号PPBOUTは、NORゲート16の他方の入力端子に接続されたANDゲート15の一方の入力端子へと出力される。

本発明のセクタ保護回路は、PPBセルによるセクタプロテクト情報の伝達を無効(disable)とするPPBDIS信号が入力可能とされている。このPPBDIS信号は、コマンド入力(第1のコマンド)に対応してコマンドレジスタ(不

図示) から入力される。PPBDIS信号がハイレベルのときにはPPBセルによるセクタプロテクト情報の伝達が無効とされ、ローレベルのときにはそのセクタプロテクト情報は有効に伝達される。

このPPBDIS信号に加え、PPBロック回路 (不図示) から出力されるPPBLOCK信号も入力可能とされている。PPBロック回路にはレジスタが設けられており、コマンド入力 (第2のコマンド) に応じてそのレジスタの内容が設定される。そのレジスタの内容を示すのがPPBLOCK信号である。PPBLOCK信号はPPBセルの書換えを可能または禁止とする信号である。この信号がハイレベルとなっている場合には、PPBセルの書き換えが禁止されるように、PPBDIS信号の「PPBセルによるセクタプロテクト情報の伝達を無効とする機能」を無効としてPPBセルによるセクタプロテクト情報の伝達を有効とする。よって、PPBDIS信号の如何に関わらず、PPBセルによりプロテクト状態とされているセクタはその保護レベルを高いままに保つことができる。逆に、PPBLOCK信号がローレベルとなっている場合にはPPBDIS信号の「PPBセルによるセクタプロテクト情報の伝達を無効とする機能」が有効とされる。

PPBLOCK信号はNOTゲート13に入力され、このNOTゲート13からは、PPBLOCK信号がローレベル (PPBセルの書き換えを可能とする信号) のときにはハイレベルの、ハイレベル (PPBセルの書き換えを禁止する信号) のときにはローレベルの信号が出力される。

このようなNOTゲート13からの出力はNANDゲート14の一方端子に入力され、このNANDゲート14の他方端子には上述のPPBDIS信号が入力される。

NANDゲート14内部ではPPBDIS信号とPPBLOCK信号に基づく論理演算が実行され、これらの信号がともにハイレベルにあるときにはローレベルの信号が出力され、少なくとも一方がローレベルにあるときにはハイレベルの信号が出力される。すなわち、PPBDIS信号が「PPBセルによるセクタプロテクト情報の伝達を無効とする状態」にあり、かつPPBLOCK信号もPPBセルの書き換えを可能としている状態にある場合のみにローレベルの信号が出

力され、それ以外の場合にはハイレベルの信号が出力される。

- NANDゲート14からの出力はANDゲート15の一方端子へと入力され、ANDゲート15の他方端子に入力されるPPB回路12からの信号PPBOUTとの間で論理演算が実行される。そして、このANDゲート15からはNANDゲート14からの出力信号とPPB回路12からの信号PPBOUTとがともにハイレベルにある場合にのみハイレベル信号が出力される。すなわち、PPBDIS信号とPPBLOCK信号の少なくとも一方が、それぞれ「PPBセルによるセクタプロテクト情報の伝達を有効とする状態」か、「PPBセルの書き換えを禁止としている状態」にある場合（NANDゲート14の出力がハイレベル）であって、かつ選択されたセクタが当該セクタに対応して設けられたPPBセルによってプロテクト状態にある場合にのみ、ハイレベルの信号が出力される。

- ANDゲート15からの出力はNORゲート16の一方端子に入力され、DPB回路11からの信号DPBOUTBとの間で論理演算が実行される。そして、このNORゲート16からはANDゲート15からの出力信号とDPB回路11からの信号DPBOUTBとがともにローレベルにある場合にのみハイレベル信号が出力される。すなわち、PPBOUT信号とNANDゲート14の出力信号の少なくとも一方が、それぞれ選択されたセクタに対応して設けられたPPBセルによってプロテクト状態にないか、PPBセルの書き換えを可能としている状態であるとともにPPBセルによるセクタプロテクト情報の伝達を無効とする状態である場合であって（ANDゲート15の出力がローレベル）、かつ、選択されたセクタが対応して設けられたDPBセルによってプロテクト状態にない場合にのみ、ハイレベルの信号が出力される。

このようにして本発明のセクタ保護回路からセクタ保護のための信号SPBがセクタの状態を制御する回路（状態制御回路：不図示）へと出力される。

- このようなDPBを備えるDPB回路11によれば、選択されたセクタがプロテクト状態にあるときはDPBOUTがローレベルになりSPBもローレベルとなる。これにより、当該セクタがプロテクト状態にあるとの情報が状態制御回路に伝達されてそのセクタへの書込み／消去を禁止する。

また、上述のPPBを備えるPPB回路12によれば、選択されたセクタがプ

ロテクト状態であるときはPPBOUTがハイレベルとなってセクタプロテクトの情報を出力しようとするが、図1に示した回路にはPPBDISおよびPPBLOCKの論理回路であるNANDゲート14が付加されているため、コマンド入力に対応した信号であるPPBDIS（すなわち、PPBセルによるセクタプロテクト情報の伝達を有効としたり無効としたりする信号）がハイレベルのときはPPB回路12からのセクタプロテクトの情報が伝達されないこととなる。これにより、揮発性セルであるDPBセル内に格納されているセクタ保護情報のみが選択的に有効とされることになる。

ただし、PPBロック回路内のレジスタにPPBの書換えを禁止する情報が設定されている場合には、PPBLOCKがハイレベルとなってPPBDIS信号（すなわち、PPBセルによるセクタプロテクト情報の伝達を無効とする信号）が無効とされ、PPBセルのセクタプロテクト情報が有効に伝達されることとなる。

図2は、本発明のセクタ保護回路のもとで、書き換えたいセクタに対応するPPBセルにセクタプロテクト情報が格納されている場合に、当該セクタの書き換え動作を説明するためのフローチャートである。

まず、PPBセクタ内に格納されているセクタ保護情報の伝達を無効とするコマンドを発行する（ステップS101）。これにより、コマンドレジスタはハイレベルのPPBDIS信号を出力する（ステップS102）。

ここで、DPBセルにより、当該セクタに対しプロテクト情報が格納されている場合には（ステップS103：YES）、新たなコマンドを発行（ステップS104）して、そのDPBセルのプロテクト情報を解除（UNLOCK）する（ステップS105）。一方、当該セクタに対しプロテクト情報が格納されていない場合には（ステップS103：NO）、後述するステップS106に移る。

次に、当該セクタに対し、プログラムまたは消去を行う書き換えコマンドを発行する（ステップS106）。ここで、PPBセルの書き換えが禁止されていない状態のとき（ステップS107：PPBLOCK=L）は、当該セクタに対し書き換えが実行される（ステップS108）。一方、PPBセルの書き換えが禁止されている状態のとき（ステップS107：PPBLOCK=H）は、当該セクタ

に対し書き換えは実行されず、書き換えから保護される（ステップS109）。

尚、別のフローとして、DPBセルのプロテクト情報を解除（UNLOCK）した後に、PPBセクタ内に格納されているセクタ保護情報の伝達を無効とするコマンドを発行してもよい。

- 5 このようにして、ユーザは、PPBセルにプロテクト情報が設定されていても、容易にセクタの書き換えを行うことができる。

図3は、上記セクタ保護回路が組み込まれた本発明の不揮発性半導体記憶装置のブロック図である。この図において、 $\overline{\text{WE}}$ は書込み制御のための書込みイネーブル（write enable）信号、 $\overline{\text{BYTE}}$ はバイト（byte）信号、 $\overline{\text{CE}}$ はアクセスしたいチップを選択するチップイネーブル（chip enable）信号、そして $\overline{\text{OE}}$ は選択されたチップからの出力を制御する出力イネーブル（output enable）信号である。 $\overline{\text{WE}}$ 、 $\overline{\text{BYTE}}$ 、および $\overline{\text{CE}}$ は、コマンドレジスタ202を備えている状態制御回路201に入力され、 $\overline{\text{CE}}$ および $\overline{\text{OE}}$ はチップ選択動作および当該チップからの出力制御操作を制御する論理回路208に入力される。

- 15 状態制御回路201及びコマンドレジスタ202には、外部から供給される制御信号である $\overline{\text{WE}}$ 、 $\overline{\text{BYTE}}$ および $\overline{\text{CE}}$ 、アドレスバスからのアドレス信号と、データバスからのデータ信号が供給され、内部回路に対して読み出し動作、プログラム動作、消去動作、およびセクタ保護動作を制御する。

また、状態制御回路201は、書込み／消去を実行するためのプログラム／消去電圧を制御する高電圧発生回路205に信号出力し、アドレスラッチ209により制御されるYデコーダ210およびXデコーダ211を駆動させる。また、タイマ206との間で信号を交換して制御時間のコントロールを行う。

この不揮発性半導体記憶装置には複数のセルが配列されたセルマトリックス213が備えられている。このセルマトリックス213は、個々のセクタを構成するセルを行列形態で配列させて構成することが可能である。

このセルマトリックス213の行デコーダであるXデコーダ211は、外部的に発生されたアドレスまたはその一部を受取りかつセクタ内のメモリセルからなる1つの行を選択したり活性化させたりする。

このXデコーダ211は、アドレスバスを介してアドレスを受け取り、このア

10

ドレスに対応する単一の行線を選択し、その行内の各メモリセルを活性化させるための所定の電圧レベルとしたり、或いはその他の行線から電圧供給されるメモリセルの不活性化のために別の電圧レベルとしたりする。

Yゲート212はYデコーダ210からの信号に応答して、アドレスバスから
5 受け取ったアドレスに対応する列線を選択する。

本装置はセンスアンプおよびコンパレータ214を有しており、アドレスされたメモリセル内に格納されているデータに対応する列線上の電圧レベルを検知し、所定の基準電圧と比較してその結果を出力する。

また、本装置はデータ入力／出力用のI／Oバッファ215を備えており、こ
10 のI／Oバッファ215はセンスアンプ214に接続されている。そしてI／Oバッファ215は、アドレスされたメモリセルと図示しないI／Oデータピンとを結合する。

本発明のセクタ保護回路203は、アドレスバスラインに接続されたデコーダ204からの信号WSZH(h)およびWSZV(v)に
15 応答して上述のDPB回路11内およびPPB回路12内に設けられたDPBセルおよびPPBセルを選択する。この回路によるセクタ保護は、例えば、セクタごとに不揮発性セルに格納されるPPBと揮発性セルに格納されるDPBの2つのビットにより実現される。なお、複数のセクタ(例えば4つのセクタ)からなるセクタグループごとにそれぞれ1つのPPB及びDPBを設けて保護を実現してもよく、セクタグループごとに設けられた1つのPPBとセクタごとに設けられた1つのDPBとにより保護を実現するようにしてもよい。
20

このセクタ保護回路203には、コマンド入力に基づいて、コマンドレジスタ202を備えた状態制御回路201から、DPBセルをセットするLOCK／UNLOCK信号、コマンドレジスタ202から出力されるPPBDIS信号、および書込み制御信号WEXBBが入力される。セクタ保護回路203はこれらの
25 信号を処理し、その結果をSPB信号として状態制御回路201に出力する。また、レジスタ216を備えたPPBロック回路207は予めレジスタ内に格納された情報をセクタ保護回路203に出力する。

本発明の不揮発性半導体記憶装置は、セクタ保護回路203内に備えたDPB

回路により、コマンド選択されたセクタがプロテクト状態にあるときはDPBOUTがローレベルになりSPBもローレベルとされることで、当該セクタがプロテクト状態にあるとの情報が状態制御回路に伝達されてそのセクタへの書込み／消去が禁止される。

- 5 また、セクタ保護回路203内に備えたPPB回路により、コマンド選択されたセクタがプロテクト状態であるときはPPBOUTがハイレベルとなってセクタプロテクトの情報を出力しようとするが、PPBDISおよびPPBLOCKの論理回路であるNANDゲートが付加されているため、コマンド入力に対応した信号であるPPBDISがハイレベルのときはPPB回路からのセクタプロテクトの情報が伝達されない。ただし、PPBロック回路207内のレジスタ216に、PPBの書換えを禁止する情報が設けられている場合には、PPBLOCKがハイレベルとなってPPBDISの機能が無効とされる。
- 10

- 図4は、DPB回路を構成する個々のDPBセル内の回路図の例である。DPB選択信号であるデコーダからの出力(WSZH(h)、WSZV(v))はNANDゲート31に入力され、WSZH(h)およびWSZV(v)の何れもがハイレベルにあるときにのみローレベルの信号を出力する。このNANDゲート31からの出力はNOTゲート32に入力され、NOTゲート32からは、入力信号がローレベルのときにはハイレベルの、入力信号がハイレベルのときにはローレベルの信号が出力され、MOSトランジスタ36およびMOSトランジスタ39のゲート端子へと入力される。
- 15
- 20

- DPBセット回路33は、コマンド入力に基づいて、状態制御回路から入力されたLOCK信号およびUNLOCK信号に応じてDPBをセット(書込み)するためのものである。このDPBセット回路33は、2つのMOSトランジスタ(34a、34b)と2つのインバータ(35a、35b)とで構成されたフリップフロップ回路とされ、LOCK信号はMOSトランジスタ34aのゲート端子へ入力され、UNLOCK信号はMOSトランジスタ34bのゲート端子へと入力される。一方、DPBのリセットは、状態制御回路からのリセット信号RESETがMOSトランジスタ38に入力されることにより行われる。
- 25

DPBセット回路33からは、2つのMOSトランジスタ34a、34bのO

1 2

N/OFFの移行に対応したパルス信号が出力され、MOSトランジスタ39と接続されたMOSトランジスタ40のゲート端子およびリセット信号RESETが入力されるMOSトランジスタ38のドレイン端子へと入力される。また、DPBへの書込みは状態制御回路からの書込み信号WEXBBがMOSトランジスタ37のゲート端子に入力されることにより行われる。

DPBセルによるプロテクト/アンプロテクトはコマンド発行によって行われる。コマンド発行後にWEピンをローレベルにするとWEXBBがハイレベルになり、その期間にWSZH(h)およびWSZV(v)で選択されるセクタに対してLOCK/UNLOCKの状態に応じた書き込みが行われる。

図5は、PPB回路を構成する個々のPPBセル内の回路図の例である。PPB選択信号であるデコーダからの出力(WSZH(h)およびWSZV(v))はNANDゲート41に入力され、WSZH(h)およびWSZV(v)の何れもがハイレベルにあるときにのみローレベルの信号を出力する。このNANDゲート41からの出力はNOTゲート42に入力され、NOTゲート42からは、入力信号がローレベルのときにはハイレベルの、入力信号がハイレベルのときにはローレベルの信号が出力され、MOSトランジスタ43およびMOSトランジスタ48のゲート端子へと入力される。

PPBセルへの書き込みは、外部から入力されるプログラムコマンドに応じて、端子VPROGに高電圧を印加し、信号PPBPROGにより、WSZH(h)およびWSZV(v)で選択されるセルに対して書込み/読出し用のゲート端子WRGに高電圧を印加することで1セル毎に実行される。また、PPBセルの消去は、ゲート端子WRGにネガティブな高電圧、消去用の外部入力端子PPBERSHにポジティブな高電圧を印加して行う。

ここで、書込み/読出し用のゲート端子WRGは、MOSトランジスタ49及びMOSトランジスタ50へと接続されている。トランジスタ49及び50はそれぞれ、コアセルと同様に電荷蓄積層を有して、電荷蓄積層と端子WRGに接続される制御ゲートとを共有し、ドレイン端子は独立に設けられている。トランジスタ49はプログラム用に使われ、トランジスタ50はリード用に使われる。また、プログラミング用の端子VPROGは、2つのPチャネルMOSトランジスタ

タ45、46のそれぞれのソース端子に接続されている。ここで、PチャネルMOSトランジスタ45のドレイン端子は、PチャネルMOSトランジスタ46のゲート端子と接続され、PチャネルMOSトランジスタ46のドレイン端子はMOSトランジスタ49のドレイン端子に接続される。さらに、信号PPBPROG
5 Gに対応する電圧は、MOSトランジスタ43と直列接続されたMOSトランジスタ44のゲートに印加され、その出力は上記PチャネルMOSトランジスタ46のゲートへと入力される。なお、PPBERSHノードは全てのPPBセルで共通とされており、一括消去がなされる。

図6は、本発明のセクタ保護回路の動作を説明するためのタイミングチャート
10 である。既に説明したように、選択されたセクタがプロテクト状態にある場合は、当該セクタに対応して設けられたDPBセルはローレベル信号を出力し、PPBセルはハイレベル信号を出力する。

これとは逆に、選択されたセクタがアンプロテクト状態にある場合は、当該セクタに対応して設けられたDPBセルはハイレベル信号を出力し、PPBセルは
15 ローレベル信号を出力する。ここに示したタイミングチャートでは、DPBOUTBがローレベル、PPBOUTがハイレベルにあるから、選択されたセクタはプロテクト状態にある。

また、PPBDIS信号がハイレベルのときにはPPBセルによるセクタプロテクト情報の伝達が無効とされ、ローレベルのときにはそのセクタプロテクト情報
20 報は有効に伝達される。

これらのタイミングチャートに示すように、PPBDIS信号のレベルは書込み制御信号/WEに同期して、PPBセルによるセクタプロテクト情報を有効に伝達させる状態から無効とする状態に変化する。

このとき、PPBLOCK信号がローレベルにあると(図6A)、PPBDIS
25 信号の「PPBセルによるセクタプロテクト情報の伝達を無効とする機能」が有効とされる結果、ハイレベルのSPB信号が出力される。

これとは逆に、PPBLOCK信号がハイレベルにあると(図6B)、PPBDIS信号の「PPBセルによるセクタプロテクト情報の伝達を無効とする機能」が無効とされる結果、ローレベルのSPB信号が出力される。

すなわち、PPBLOCK信号がローレベルの場合（図6A）にはセクタ保護信号であるSPB信号はハイレベルとされ、PPBLOCK信号がハイレベルの場合（図6B）にはSPB信号はローレベルが維持される。

表1は、これまで説明してきた本発明のセクタ保護回路が実行するセクタ保護
5 を実行するセルの内容を纏めたものである。なお、「0」はセクタアンプロテクト状態、「1」はセクタプロテクト状態を意味する。

（表1）

CASE	DPB	PPB	セクタプロテクト状態	PPB LOCK BIT セット	PPB 無効状態下でのセクタプロテクトビット
1	0	0	なし	なし	—
2	1	0	あり	なし	DPB
3	0	1	あり	なし	—
4	1	1	あり	なし	DPB
5	0	0	なし	あり	—
6	1	0	あり	あり	DPB
7	0	1	あり	あり	PPB
8	1	1	あり	あり	DPB&PPB

以上説明したように、本発明においては、セクタ保護機能を有する不揮発性半
導体記憶装置において、各セクタに対応した不揮発性セルであるPPBと揮発性
10 セルであるDPBの少なくとも一方が書込み状態にある場合に、「DPBのデータのみを有効とするコマンド」を設けたことにより、PPBへの消去動作を行うことなくセクタの書換えを可能とした。

また、PPBの書き換えを禁止するビットであるPBLOCKビットがセット
されている場合には、上記の「DPBのデータのみを有効とするコマンド」を無
15 効にすることとした。

産業上の利用可能性

本発明により、PPBへの消去動作を行うことなくセクタの書換えを可能にする不揮発性半導体記憶装置を提供することが可能となる。本発明は、フラッシュ
20 メモリのような情報の記憶を主たる機能とする不揮発性半導体記憶装置のみならず、不揮発性半導体メモリを一部として備えるシステムLSIのような半導体装

1 5

置を含むものである。

5

10

15

20

25

請求の範囲

1. セクタ毎またはセクタグループ毎の保護状態の有無を意味するデータを格納する不揮発性格納部と、
- 5 セクタ毎またはセクタグループ毎の保護状態の有無を意味するデータを格納する揮発性格納部と、
 前記不揮発性格納部と前記揮発性格納部の少なくとも一方にセクタまたはセクタグループの保護を示すデータが格納されている場合には当該セクタまたはセクタグループを保護する状態において、第1のコマンドを受けると前記揮発性格納部
10 部のデータのみを有効とする回路と
 を有するセクタ保護回路。
 2. 前記回路は、前記不揮発性格納部のデータと、前記揮発性格納部のデータと、前記第1のコマンドに応じた信号とを論理演算する回路とを含む請求項1記載のセクタ保護回路。
- 15 3. 前記回路は、前記第1のコマンドを受けると、前記不揮発性格納部のデータの出力をブロックする回路を含む請求項1記載のセクタ保護回路。
 4. 前記回路は、前記不揮発性格納部のデータの書き換えを禁止する信号がセットされているときには、前記第1のコマンドを無効にする請求項1から3のいずれか一項記載のセクタ保護回路。
- 20 5. 前記回路は、前記不揮発性格納部のデータの書き換えを禁止する第2のコマンドを受けると、前記第1のコマンドを無効にする請求項1から4のいずれか一項記載のセクタ保護回路。
 6. 前記回路は、前記不揮発性格納部のデータと、前記揮発性格納部のデータと、前記第1のコマンドに応じた信号と、前記不揮発性格納部のデータの書き換えを
25 禁止する第2のコマンドに応じた信号とを論理演算する回路を含む請求項1記載のセクタ保護回路。
 7. 前記不揮発性格納部のデータは一括消去される請求項1から6のいずれか一項記載のセクタ保護回路。
 8. セクタ毎またはセクタグループ毎の保護状態の有無を意味するデータを格納

する不揮発性格納部と、

セクタ毎またはセクタグループ毎の保護状態の有無を意味するデータを格納する揮発性格納部と、

- 第1のコマンドを受けると、前記不揮発性格納部のデータ出力を無効化するとともに、前記揮発性格納部のデータ出力を有効化する回路とを有するセクタ保護回路。
- 5

9. 前記回路は、第2のコマンドを受けると前記第1のコマンドを無効化する請求項8記載のセクタ保護回路。

10. 前記第2のコマンドは、前記不揮発性格納部のデータの書き換えを禁止するコマンドである請求項9記載のセクタ保護回路。
- 10

11. 複数の不揮発性メモリセルからなるセクタを複数個有するメモリアレイと、前記複数のセクタを書込み及び消去動作から保護するセクタ保護回路とを有し、該セクタ保護回路は請求項1から10のいずれかに記載のセクタ保護回路を備えている半導体装置。

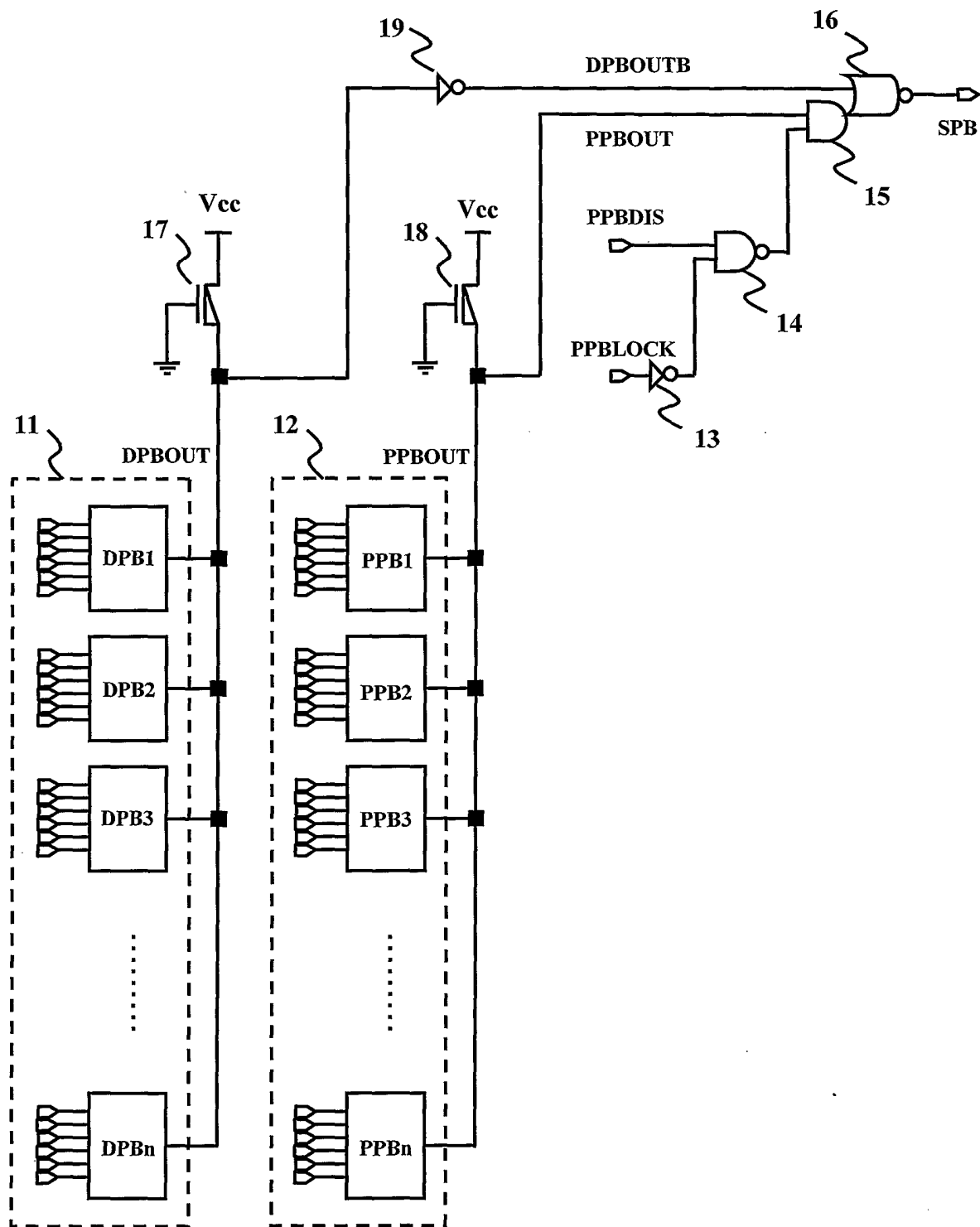
12. 所定のコマンドの入力がない状態において、セクタ毎またはセクタグループ毎の保護状態の有無を意味するデータを格納する不揮発性格納部と、セクタ毎またはセクタグループ毎の保護状態の有無を意味するデータを格納する揮発性格納部との少なくとも一方にセクタまたはセクタグループの保護を示すデータが格納されている場合には当該セクタまたはセクタグループを保護するステップと、
- 15
- 前記所定のコマンドを受けると前記揮発性格納部のデータのみを有効とするステップと

を有するセクタ保護方法。

13. 前記不揮発性格納部のデータの書き換えを禁止するコマンドを受けると、前記所定のコマンドを無効にするステップを有する請求項12記載のセクタ保護方法。
- 25

1/6

FIG.1



2/6

FIG.2

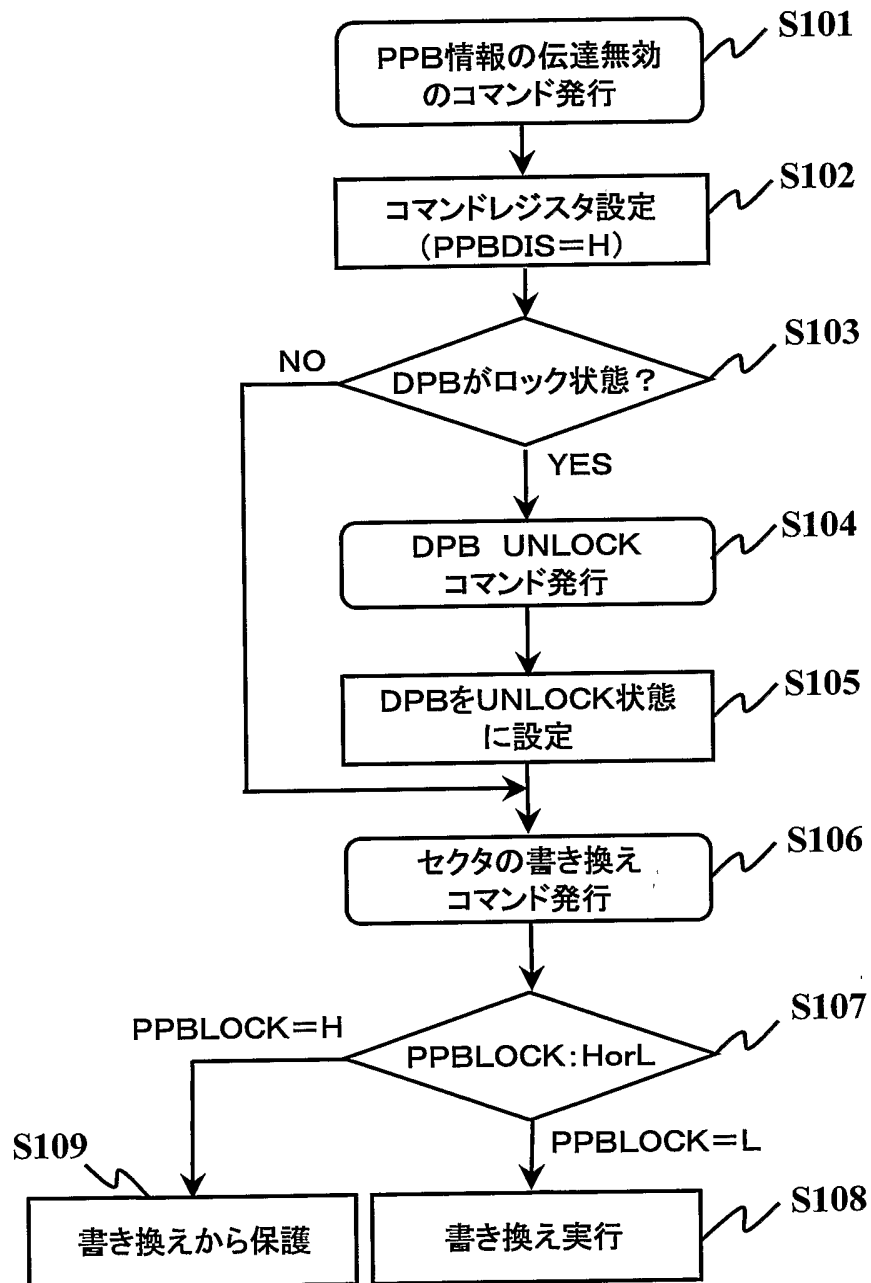
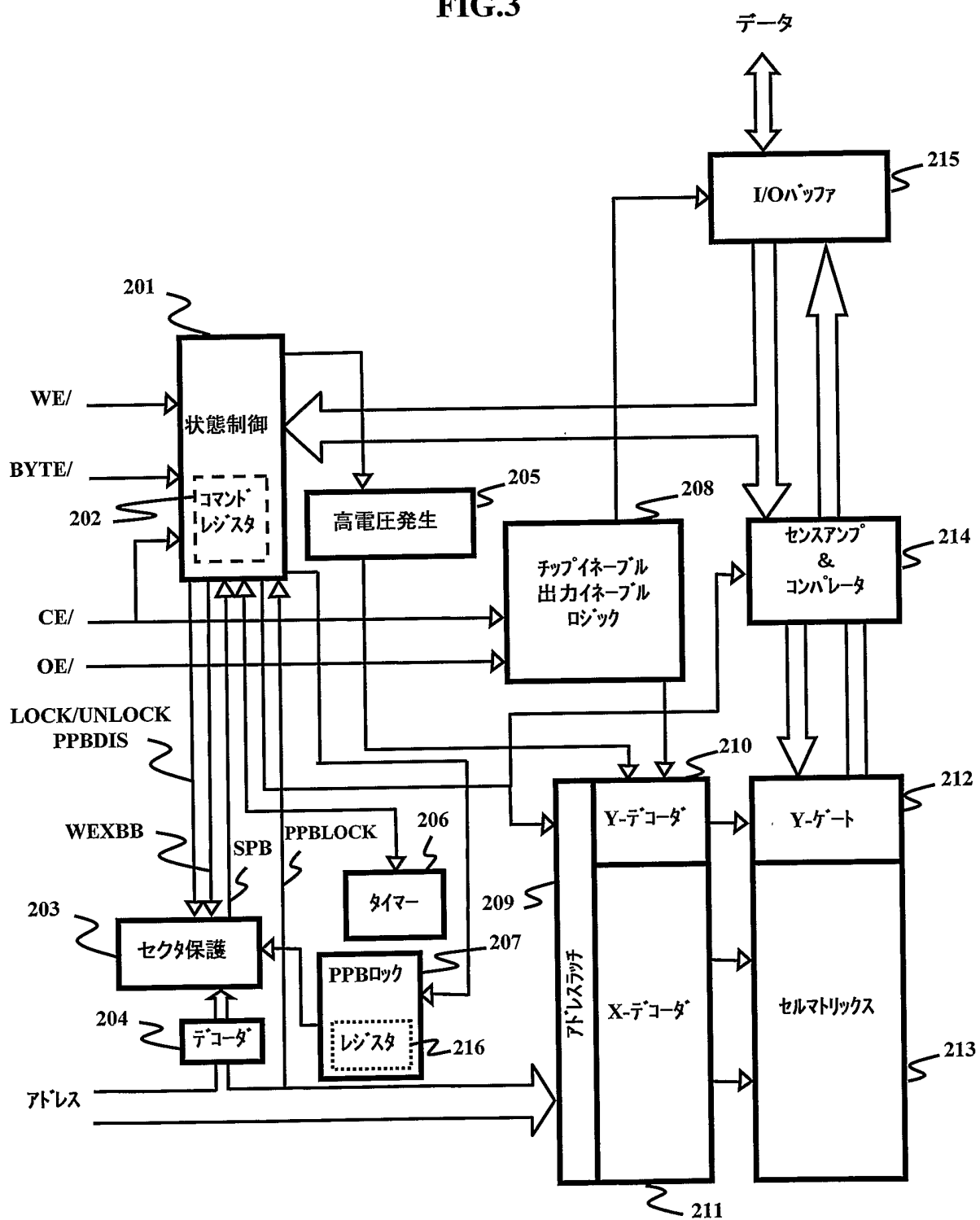
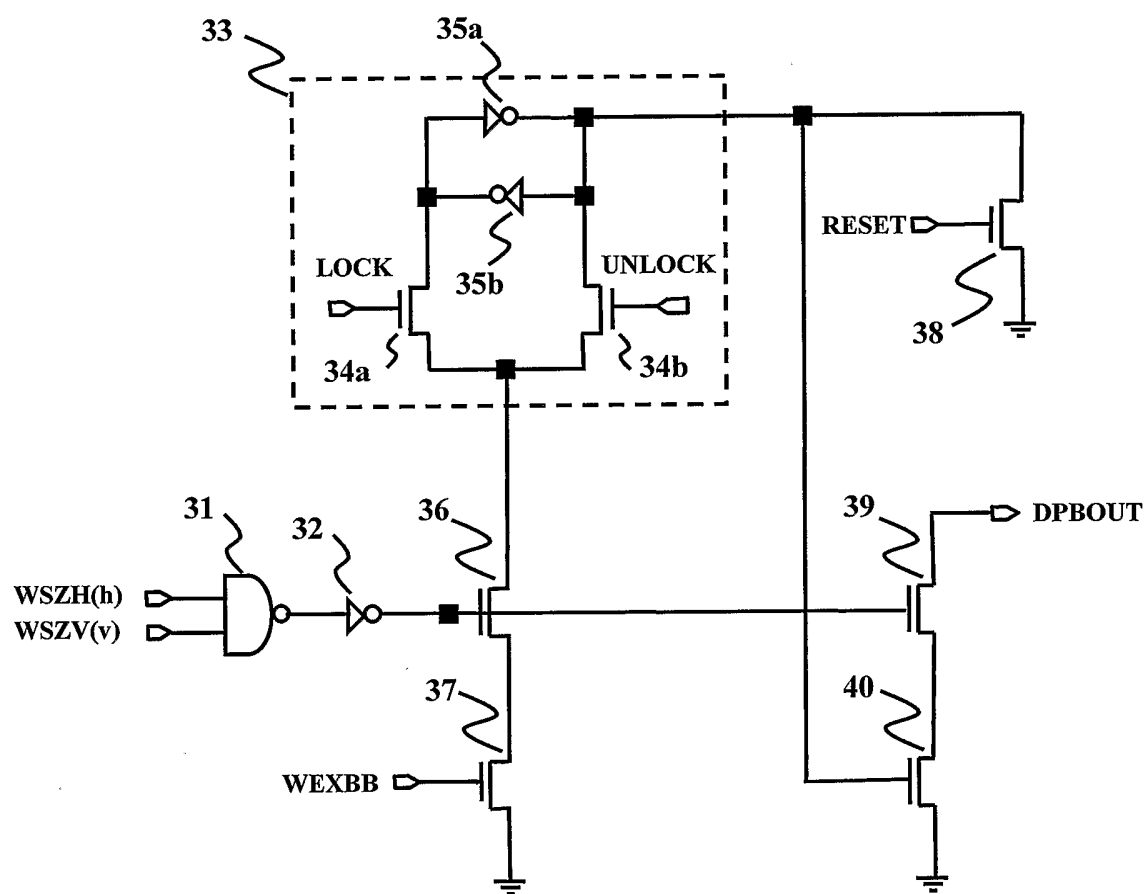


FIG.3



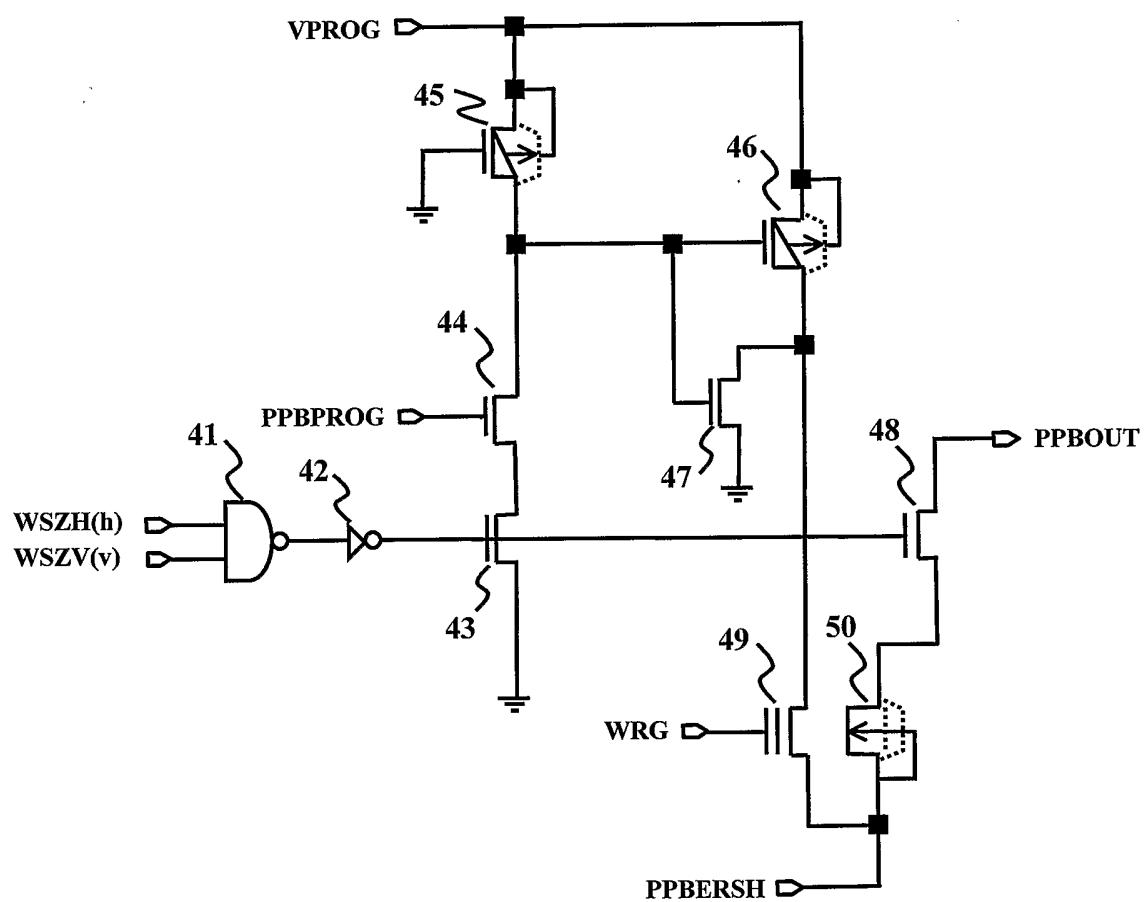
4/6

FIG.4



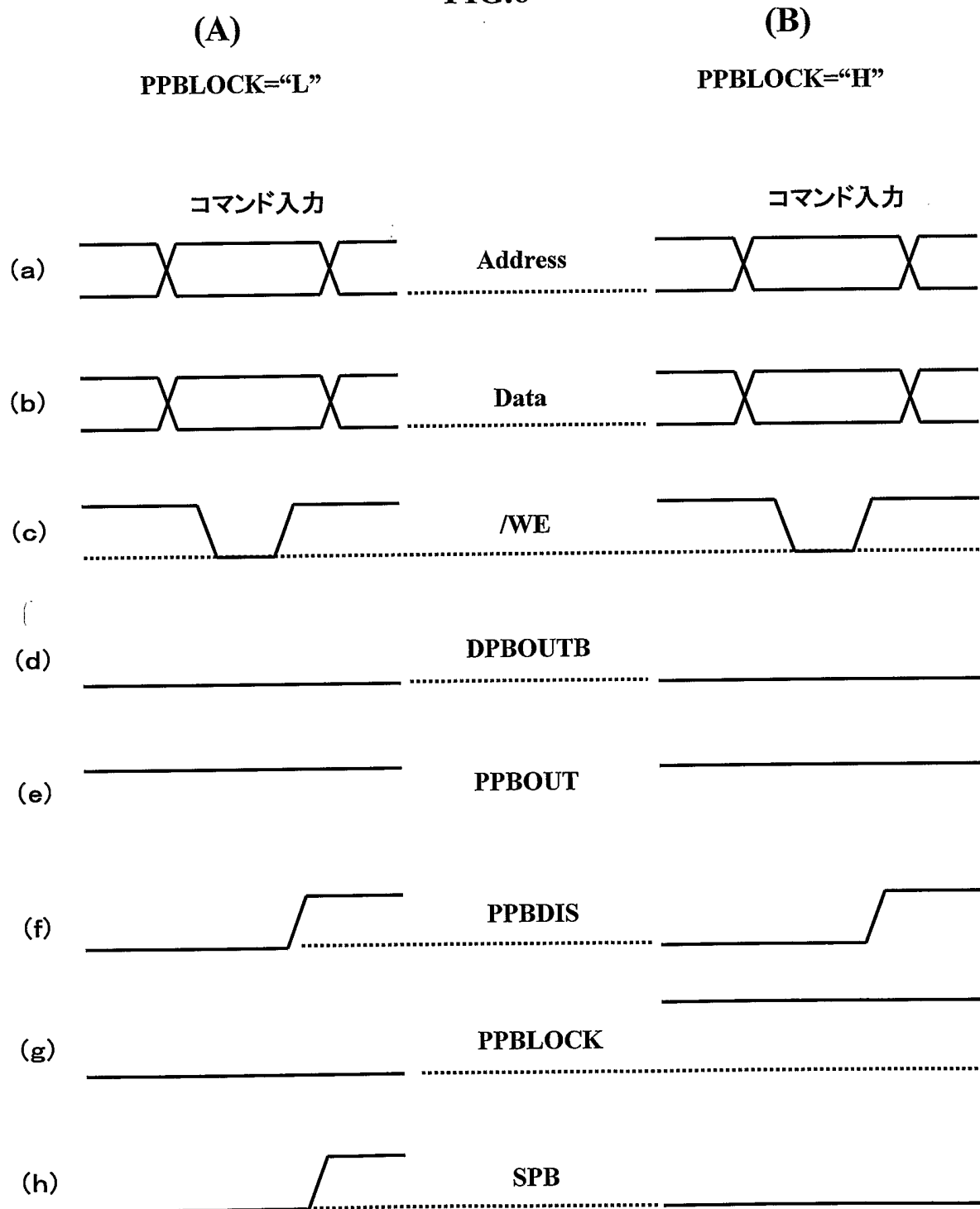
5/6

FIG.5



6/6

FIG.6



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2004/005268

A. CLASSIFICATION OF SUBJECT MATTER
Int.Cl⁷ G11C16/22, G06F12/14

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
Int.Cl⁷ G11C16/06-16/34, G06F12/14

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched
Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2004
Kokai Jitsuyo Shinan Koho 1971-2004 Toroku Jitsuyo Shinan Koho 1994-2004

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 11-306085 A (Fujitsu Ltd.), 05 November, 1999 (05.11.99), Par. Nos. [0015] to [0025], [0032] to [0035]; Figs. 1 to 2, 6 to 7 & US 6108235 A	1-13
Y	Intel(R) Advanced+ Boot Block Flash Memory (C3) Order Number 290645-018. Datasheet (restricted to the contents released by Version-017 and former versions). [online]. Intel Corp., 10 January, 2003 (10.01.03), [retrieved on 07 July, 2004 (07.07.04)]. Retrieved from the Internet:<URL:http://www.intel.com/design/ flcomp/datashts/29064518.pdf>, pages 6 to 7, 48 to 52, Fig. 13.	1-13

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
08 July, 2004 (08.07.04)

Date of mailing of the international search report
27 July, 2004 (27.07.04)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2004/005268

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2003-529881 A (Micron Technology, Inc.), 07 October, 2003 (07.10.03), Par. Nos. [0049] to [0052], [0075]; table 4 & WO 2001/075893 A1 & EP 1269474 A2 & US 6654847 B1	1-13
A	JP 2002-366436 A (Hitachi, Ltd.), 20 December, 2002 (20.12.02), Full text; Fig. 1 (Family: none)	1-13

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl. 7 G11C16/22, G06F12/14

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl. 7 G11C16/06-16/34, G06F12/14

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1922-1996年
 日本国公開実用新案公報 1971-2004年
 日本国実用新案登録公報 1996-2004年
 日本国登録実用新案公報 1994-2004年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	JP 11-306085 A (富士通株式会社) 1999. 1 1. 05, 第15-25段落, 第32-35段落, 第1-2図, 第 6-7図 & US 6108235 A	1-13
Y	Intel(R) Advanced+ Boot Block Flash Memory (C3) Order Number 290645-018. Datasheet (Version-017以前に公表されている内容 に限る). [online]. Intel Corporation, 2003.01.10. [retrieved on 2004-07-07]. Retrieved from the Internet:<URL:http://ww w.intel.com/design/flcomp/datashts/29064518.pdf>, page 6-7, page 48-52, Figure 13.	1-13

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの
 「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
 「O」 口頭による開示、使用、展示等に言及する文献
 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
 「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
 「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
 「&」 同一パテントファミリー文献

国際調査を完了した日

08.07.2004

国際調査報告の発送日

27.7.2004

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

飯田 清司

5N

3561

電話番号 03-3581-1101 内線 6842

C. (続き). 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	JP 2003-529881 A (マイクロン テクノロジー インコーポレイテッド) 2003. 10. 07, 第0049-00 52段落, 第0075段落, 第4表 & WO 2001/075 893 A1 & EP 1269474 A2 & US 66 54847 B1	1-13
A	JP 2002-366436 A (株式会社日立製作所) 200 2. 12. 20, 全文, 第1図 (ファミリーなし)	1-13