



(19) 대한민국특허청(KR)

(12) 등록특허공보(B1)

(45) 공고일자 2013년12월12일

(11) 등록번호 10-1341048

(24) 등록일자 2013년12월06일

(51) 국제특허분류(Int. Cl.)

H01L 27/146 (2006.01)

(21) 출원번호 10-2011-7003045

(22) 출원일자(국제) 2009년07월07일

심사청구일자 2011년11월02일

(85) 번역문제출일자 2011년02월09일

(65) 공개번호 10-2011-0030670

(43) 공개일자 2011년03월23일

(86) 국제출원번호 PCT/US2009/003977

(87) 국제공개번호 WO 2010/027395

국제공개일자 2010년03월11일

(30) 우선권주장

12/169,810 2008년07월09일 미국(US)

(56) 선행기술조사문헌

US20060043438 A1*

*는 심사관에 의하여 인용된 문헌

(73) 특허권자

옴니비전 테크놀러지즈 인코포레이티드

미국 캘리포니아 95054 산타 클라라 버튼 드라이브 4275

(72) 발명자

브래디, 프레데릭, 티.

미국 14650 뉴욕 로체스터 스테이트 스트리트 343

(74) 대리인

특허법인 남앤드남

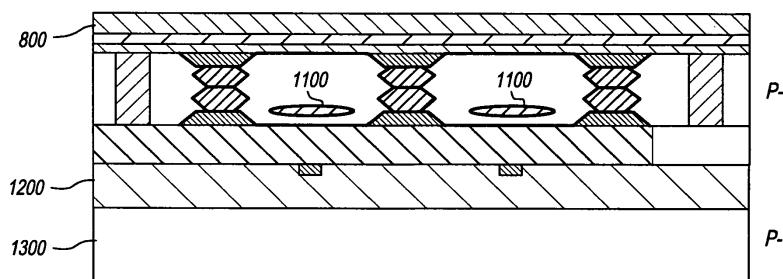
전체 청구항 수 : 총 15 항

심사관 : 오순영

(54) 발명의 명칭 후면 트렌치들을 갖는 후면 조명된 이미지 센서

(57) 요 약

후면 조명된 이미지 센서(backside illuminated image sensor)는 픽셀 어레이의 다수의 감광성 엘리먼트들(1100)을 구현하는 센서층, 센서층의 후면 표면에 인접한 산화물(800)층, 및 센서층의 전면 표면에 인접한 적어도 하나의 유전체층(1200)을 포함한다. 센서층은 센서층의 후면 표면에 형성되고 감광성 엘리먼트들의 개별적인 쌍들 사이에 절연을 제공하도록 정렬되는 다수의 후면 트렌치들을 더 포함한다. 후면 트렌치들은 센서층에 형성되는 대응 후면 필드 절연 주입 영역들을 가지며, 결과적인 구조물은 캐리어 재조합 및 인접한 감광성 엘리먼트들 간의 크로스토크의 감소를 제공한다. 이미지 센서는 디지털 카메라 또는 다른 타입의 디지털 이미지 디바이스에서 구현될 수 있다.

대 표 도 - 도14

특허청구의 범위

청구항 1

후면 조명을 위해 구성되는 픽셀 어레이를 각각 갖는 다수의 이미지 센서들을 형성하기 위한 웨이퍼 레벨 프로세싱 방법으로서,

상기 이미지 센서들은 이미지 센서 웨이퍼를 이용하여 형성되고, 상기 이미지 센서 웨이퍼는 기판 및 상기 기판 위에 형성되는 센서층을 포함하며,

상기 방법은,

상기 센서층의 후면 표면에 후면 트렌치들을 형성하는 단계;

상기 후면 트렌치들에 대응하는 필드 절연 주입(implant) 영역들을 형성하도록, 상기 후면 트렌치들을 통해 상기 센서층으로 도편트를 주입하는 단계;

상기 후면 트렌치들을 재료로 충진하는 단계;

상기 충진된 후면 트렌치들 위에 적어도 하나의 반사 방지층을 형성하는 단계;

상기 후면 표면에 임시 캐리어 웨이퍼를 부착하고 상기 기판을 제거하는 단계; 및

상기 기판을 제거하는 단계 이후에, 상기 다수의 이미지 센서들을 위한 상기 픽셀 어레이들을 포함하는 상기 다수의 이미지 센서들을 형성하기 위하여 상기 이미지 센서 웨이퍼를 추가로 프로세싱하는 단계

를 포함하는, 웨이퍼 레벨 프로세싱 방법.

청구항 2

제1항에 있어서,

상기 이미지 센서 웨이퍼는 상기 기판과 상기 센서층 사이에 정렬되는 매립(buried) 산화물층을 갖는 실리콘-온-인슐레이터(SOI: silicon-on-insulator) 웨이퍼를 포함하는, 웨이퍼 레벨 프로세싱 방법.

청구항 3

제1항에 있어서,

상기 이미지 센서 웨이퍼는 P+ 기판 위에 형성되는 P- 센서층을 갖는 에피택셜 웨이퍼를 포함하는, 웨이퍼 레벨 프로세싱 방법.

청구항 4

제1항에 있어서,

상기 센서층 위에 산화물층을 형성하는 단계;

상기 산화물층 위에 질화물층을 형성하는 단계; 및

상기 산화물층 및 질화물층을 통해 상기 센서층으로 연장되는 정렬 마크들을 형성하는 단계

를 더 포함하는, 웨이퍼 레벨 프로세싱 방법.

청구항 5

제4항에 있어서,

상기 센서층의 상기 후면 표면에 후면 트렌치들을 형성하는 단계는 상기 질화물층 및 산화물층을 통해 상기 후면 트렌치들을 에칭하는 단계를 더 포함하는, 웨이퍼 레벨 프로세싱 방법.

청구항 6

제1항에 있어서,

상기 후면 트렌치들을 재료로 충진하는 단계 이전에, 상기 후면 트렌치들 내에 선형 산화물층을 형성하는 단계를 더 포함하는, 웨이퍼 레벨 프로세싱 방법.

청구항 7

제1항에 있어서,

상기 후면 트렌치들을 재료로 충진하는 단계는 상기 후면 트렌치들을 산화물 및 폴리실리콘 중 하나로 충진하는 단계를 포함하는, 웨이퍼 레벨 프로세싱 방법.

청구항 8

제1항에 있어서, 상기 센서층의 상기 후면 표면상의 상기 충진된 후면 트렌치들 위에 적어도 하나의 반사 방지층을 형성하는 단계는,

상기 센서층의 상기 후면 표면상에 반사 방지 산화물층을 형성하는 단계; 및

상기 반사 방지 산화물층 위에 반사 방지 질화물층을 형성하는 단계

를 더 포함하는, 웨이퍼 레벨 프로세싱 방법.

청구항 9

제1항에 있어서,

상기 충진된 후면 트렌치들 위에 적어도 하나의 반사 방지층을 형성하는 단계 이전에, 후면 패시베이션 (passivation) 주입 영역들을 형성하기 위하여 도편트를 상기 센서층에 주입하는 단계를 더 포함하는, 웨이퍼 레벨 프로세싱 방법.

청구항 10

제1항에 있어서,

상기 충진된 후면 트렌치들 위에 적어도 하나의 반사 방지층을 형성하는 단계 이후에, 후면 패시베이션 주입 영역들을 형성하기 위하여 도편트를 상기 센서 층에 주입하는 단계를 더 포함하는, 웨이퍼 레벨 프로세싱 방법.

청구항 11

제8항에 있어서,

상기 반사 방지 산화물층은 50 옹스트롬의 두께를 갖고, 상기 반사 방지 질화물층은 500 옹스트롬의 두께를 갖는, 웨이퍼 레벨 프로세싱 방법.

청구항 12

제1항에 있어서, 상기 적어도 하나의 반사 방지층을 형성하는 단계 이후에,

상기 적어도 하나의 반사 방지층 위에 포토레지스트를 증착하는 단계;

상기 후면 트렌치들 위에 개구(opening)들을 형성하기 위하여 상기 포토레지스트를 패터닝하는 단계; 및

상기 후면 트렌치들에 대응하는 후면 웰(well) 절연 주입 영역들을 형성하기 위하여 상기 개구들을 통해 도편트를 주입하는 단계

를 더 포함하는, 웨이퍼 레벨 프로세싱 방법.

청구항 13

제1항에 있어서,

상기 픽셀 어레이들을 포함하는 상기 다수의 이미지 센서들을 형성하기 위하여 상기 이미지 센서 웨이퍼를 추가로 프로세싱하는 단계는, 상기 다수의 이미지 센서들 내의 상기 픽셀 어레이들을 형성하기 전에, 상기 적어도

하나의 반사 방지층 위에 산화물 층을 형성하는 단계를 더 포함하는, 웨이퍼 레벨 프로세싱 방법.

청구항 14

제1항에 있어서, 상기 픽셀 어레이들을 포함하는 상기 다수의 이미지 센서들을 형성하기 위하여 상기 이미지 센서 웨이퍼를 추가로 프로세싱하는 단계는,

상기 센서층의 전면 표면에 상기 픽셀 어레이들의 감광성 엘리먼트들을 형성하는 단계;

상기 센서층의 상기 전면 표면에 전면 트렌치들을 형성하는 단계;

상기 전면 트렌치들에 대응하는 전면 필드 절연 주입 영역들을 형성하는 단계;

상기 전면 트렌치들을 재료로 충진하는 단계;

상기 전면 트렌치들에 대응하는 전면 웰 절연 주입 영역들을 형성하는 단계;

상기 센서층의 상기 전면 표면상에 적어도 하나의 유전체층을 형성하는 단계; 및

상기 적어도 하나의 유전체층의 전면 표면에 핸들(handle) 웨이퍼를 부착하는 단계

를 더 포함하는, 웨이퍼 레벨 프로세싱 방법.

청구항 15

제14항에 있어서,

상기 전면 표면에 상기 핸들 웨이퍼가 부착된 후 상기 임시 캐리어 웨이퍼를 제거하는 단계; 및

상기 이미지 센서 웨이퍼를 상기 다수의 이미지 센서들로 분리하는 단계

를 더 포함하는, 웨이퍼 레벨 프로세싱 방법.

청구항 16

삭제

청구항 17

삭제

청구항 18

삭제

청구항 19

삭제

청구항 20

삭제

명세서

기술 분야

[0001] 본 발명은 일반적으로 디지털 카메라들에서 사용하기 위한 전자 이미지 센서들 및 다른 타입의 이미징(imaging) 디바이스들과 관련되며, 특히, 후면 조명된(backside illuminated) 이미지 센서들을 형성하는데 사용하기 위한 프로세싱 기술들과 관련된다.

배경 기술

[0002] 통상적인 전자 이미지 센서는 2-차원 어레이로 정렬되는 다수의 감광성 픽쳐 엘리먼트("pixel: light sensitive picture element")들을 포함한다. 그러한 이미지 센서는 픽셀들 위에 적절한 컬러 필터 어레이(CFA: color

filter array)를 형성함으로써 컬러 이미지를 생성하도록 구성될 수 있다. 이러한 타입의 이미지 센서들의 실시예들은 "Image Sensor with Improved Light Sensitivity"라는 제목의 미국 특허 출원 번호 제2007/0024931호에 개시되며, 이는 본 명세서에 참조로서 통합된다.

[0003] 공지되는 바와 같이, 이미지 센서는 상보성 금속-산화물-반도체(CMOS) 회로들을 사용하여 구현될 수 있다. 그러한 정렬에서, 각각의 픽셀은 통상적으로 실리콘 기판상의 실리콘 센서층에 형성되는 포토다이오드 및 다른 회로 엘리먼트들을 포함한다. 하나 이상의 유전체층들은 보통 실리콘 센서층 위에 형성되며, 상호접속부들을 형성하는데 사용되는 다수의 금속화 레벨들 뿐 아니라 추가 회로 엘리먼트들을 통합할 수 있다. 유전체층들 및 연관된 금속화 레벨들이 형성되는 이미지 센서의 측면은 공통적으로 전면으로서 지칭되는 반면, 실리콘 기판을 갖는 측면은 후면으로서 지칭된다.

[0004] 후면 조명된 이미지 센서에서, 해당 씬(subject scene)으로부터의 광은 이미지 센서의 전면상에 입사하고, 실리콘 기판은 상대적으로 두껍다. 그러나, 금속화 레벨 상호접속부들의 존재 및 이미지 센서의 전면상의 유전체층들과 연관된 다양한 다른 특징들은 이미지 센서의 충진 팩터 및 양자 효율에 악영향을 미칠 수 있다.

[0005] 후면 조명된 이미지 센서는 두꺼운 실리콘 기판을 씌닝(thinning)하거나 제거하고 해당 씬이 이미지 센서의 후면상에 입사하도록 이미지 센서를 정렬함으로써 전면 유전체층들과 연관되는 충진 팩터 및 양자 효율 문제들을 처리한다. 따라서, 입사광은 더이상 금속화 레벨 상호접속부들 및 유전체층들의 다른 특징들에 의하여 영향을 받지 않으며, 충진 팩터 및 양자 효율은 개선된다.

[0006] 그러나, 다수의 후면 조명된 이미지 센서들에서, 센서 포토다이오드들과 연관되는 전하 저장 영역들은 후면 표면으로부터 실질적으로 멀리 떨어진 거리에 위치된다. 이것은 예를 들어, 입사광으로부터 포토다이오드들에 의하여 생성되는 다수의 캐리어들이 다른 캐리어들과의 재결합 또는 인접 포토다이오드들 사이의 크로스토크(crosstalk)로 인하여 수집될 수 있기 이전에 손실되는데 있어 문제가 된다.

[0007] 따라서, 상기 개시되는 초과 캐리어 손실 문제를 겪지 않는 개선된 후면 조명된 이미지 센서가 필요하다.

발명의 내용

[0008] 본 발명의 예시적인 실시예들은 감소된 캐리어 재결합 및 크로스토크, 그리고 이에 따라 개선된 성능을 갖는 후면 조명된 이미지 센서들을 제공한다.

[0009] 본 발명의 일 양상에 따라, 후면 조명된 이미지 센서를 형성하는 프로세스가 제공된다. 프로세스는 후면 조명을 위해 구성되는 픽셀 어레이를 각각 갖는 다수의 이미지 센서들을 형성하기 위한 웨이퍼 레벨 프로세스이며, 이미지 센서들은 이미지 센서 웨이퍼를 이용하여 형성된다. 이미지 센서 웨이퍼는 기판 위에 형성되는 센서층 및 기판을 포함한다. 프로세스는 센서층의 후면 표면에 후면 트렌치들을 형성하는 단계, 후면 트렌치들에 대응하는 후면 필드 절연 주입(implant) 영역들을 형성하도록 후면 트렌치들을 통해 센서층으로 도편트를 주입하는 단계, 후면 트렌치들을 충진하는 단계, 충진된 후면 트렌치들 위에 적어도 하나의 반사 방지층을 형성하는 단계, 및 다수의 이미지 센서들을 형성하기 위하여 이미지 센서 웨이퍼를 추가로 프로세싱하는 단계를 포함한다.

[0010] 이미지 센서 웨이퍼는 예를 들어 기판과 센서층 사이에 정렬되는 매립(buried) 산화물층을 갖는 절연체상 실리콘(SOI: silicon-on-insulator) 웨이퍼일 수 있으며, 에피택셜 웨이퍼는 Pt 기판 위에 형성되는 P- 센서층을 갖는다.

[0011] 후면 트렌치들을 형성하기 이전에, 패드 산화물층이 센서층 위에 형성될 수 있으며, 패드 질화물층이 패드 산화물층 위에 형성될 수 있다. 산화물층 및 질화물층을 통해 센서층으로 연장되는 정렬 마크들이 그 후 형성될 수 있다. 후면 트렌치들은 질화물층 및 산화물층을 통해 에칭될 수 있으며, 선형 산화물층이 후면 트렌치들 내에 형성될 수 있다. 후면 트렌치들은 그 후 산화물 또는 폴리실리콘과 같은 물질로 충진될 수 있다.

[0012] 반사 방지층은 센서층의 후면 표면상에 형성되는 반사 방지 산화물층 및 반사 방지 산화물층 위에 형성되는 반사 방지 질화물층을 포함할 수 있다. 반사 방지 산화물층을 형성하기 이전에 또는 그 이후에, 후면 패시베이션(passivation) 주입 동작이 수행될 수 있다.

[0013] 프로세스는 후면 웰(well) 절연 주입 동작을 더 포함할 수 있다. 이것은 예를 들어, 반사 방지층 위에 포토레지스트를 증착하는 단계, 후면 트렌치들 위에 개구(opening)들을 형성하기 위하여 포토레지스트를 패터닝하는 단계, 및 후면 트렌치들에 대응하는 후면 웰 절연 주입 영역들을 형성하기 위하여 개구들을 통해 도편트를 주입

하는 단계를 포함할 수 있다.

[0014] 예시적인 실시예들 중 하나에서, 다수의 이미지 센서들을 형성하기 위하여 이미지 센서 웨이퍼를 추가로 프로세싱하는 단계는, 적어도 하나의 반사 방지층 위에 산화물층을 형성하는 단계, 산화물층의 후면 표면에 임시 캐리어 웨이퍼를 부착하는 단계, 기판을 제거하는 단계, 센서층의 상기 픽셀 어레이들의 감광성 엘리먼트들을 형성하는 단계, 센서층의 전면 표면에 전면 트렌치들을 형성하는 단계, 전면 트렌치들에 대응하는 전면 필드 절연 주입 영역들을 형성하는 단계, 전면 트렌치들을 충진하는 단계, 전면 트렌치들에 대응하는 전면 웰 절연 주입 영역들을 형성하는 단계, 센서층의 상기 전면 표면상에 적어도 하나의 유전체층을 형성하는 단계, 적어도 하나의 유전체층의 전면 표면에 핸들(handle) 웨이퍼를 부착하는 단계, 임시 캐리어 웨이퍼를 제거하는 단계, 및 이미지 센서 웨이퍼를 상기 다수의 이미지 센서들로 분리하는 단계를 더 포함한다.

[0015] 본 발명의 다른 양상에 따라, 후면 조명된 이미지 센서는 픽셀 어레이의 다수의 감광성 엘리먼트들을 포함하는 센서층, 센서층의 후면 표면에 인접한 산화물층, 및 센서층의 전면 표면에 인접한 적어도 하나의 유전체층을 포함한다. 센서층은 센서층의 상기 후면 표면에 형성되고 감광성 엘리먼트들의 개별적인 쌍들 사이에 절연을 제공하도록 정렬되는 다수의 후면 트렌치들을 포함한다. 후면 트렌치들은 센서층에 형성되는 대응 후면 필드 절연 주입 영역들을 갖는다.

[0016] 본 발명에 따른 후면 조명된 이미지 센서는 바람직하게 디지털 카메라 또는 다른 타입의 이미징 디바이스에서 구현될 수 있으며, 이미지 센서 다이 크기 또는 비용을 크게 증가시키지 않고 그러한 디바이스에서 개선된 성능을 제공할 수 있다.

[0017] 본 발명의 상기 그리고 다른 목적들, 특징들, 및 장점들은 하기의 설명 및 도면들과 함께 취해질 때 보다 명백해질 것이며, 가능하다면, 도면들에서 동일한 참조 번호들은 도면들에 공통인 동일한 특징들을 지시하기 위하여 사용되었다.

도면의 간단한 설명

[0018] 도 1은 본 발명의 예시적인 실시예에 따라 구성되는 후면 조명된 이미지 센서를 갖는 디지털 카메라의 블록도이다.

도 2 내지 14는 본 발명의 예시적인 실시예에 따른, 그러한 이미지 센서를 형성하기 위한 예시적인 프로세스의 다양한 단계들에서 후면 조명된 이미지 센서의 부분들을 보여주는 획단면도들이다.

도 15는 도 2 내지 14의 예시적인 프로세스를 사용하여 형성되는 다수의 이미지 센서들을 포함하는 이미지 센서 웨이퍼의 평면도이다.

발명을 실시하기 위한 구체적인 내용

[0019] 본 발명은 본 명세서에서 디지털 카메라들, 후면 조명된 이미지 센서들, 및 그러한 이미지 센서들을 형성하기 위한 프로세싱 기술들의 특정 실시예들과 함께 예시될 것이다. 그러나, 이러한 예시적인 정렬들은 단지 예시로서 제시되며, 임의의 방식으로 본 발명의 범위를 제한하는 것으로 해석되어서는 안 된다는 것을 이해해야 한다. 본 기술분야의 당업자는 개시된 정렬들이 광범위한 다른 타입의 이미징 디바이스들 및 이미지 센서들과 함께 사용하기 위하여 간단한 방식으로 구성될 수 있다는 것을 인지할 것이다.

[0020] 도 1은 본 발명의 예시적인 실시예에서 디지털 카메라(10)를 도시한다. 디지털 카메라에서, 해당 씬으로부터의 광이 이미징 스테이지(12)로 입력된다. 이미징 스테이지는 렌즈, 중성 밀도 필터(neutral density filter), 조리개, 및 셔터와 같은 종래의 엘리먼트들을 포함할 수 있다. 광은 이미지 센서(14)상에 이미지를 형성하기 위하여 이미징 스테이지(12)에 의하여 포커싱되며, 이는 입사광을 전기 신호들로 변환한다. 디지털 카메라(10)는 프로세서(16), 메모리(18), 디스플레이(20), 및 하나 이상의 부가적인 입력/출력(I/O) 엘리먼트들(22)을 더 포함한다.

[0021] 도 1의 실시예에서 개별적인 엘리먼트들로 도시되나, 이미징 스테이지(12)는 이미지 센서(14), 가능하면, 디지털 카메라(20)의 하나 이상의 부가적인 엘리먼트들과 통합되어, 컴팩트한 카메라 모듈을 형성할 수 있다.

[0022] 다른 타입의 이미지 센서들이 본 발명을 구현하는데 사용될 수 있으나, 본 실시예에서 이미지 센서(14)는 CMOS 이미지 센서인 것으로 추정된다. 특히, 이미지 센서(14)는 도 2 내지 14와 함께 하기에 설명될 방식으로 형성되는 후면 조명된 이미지 센서를 포함한다. 이미지 센서는 일반적으로 열들 및 행들로 정렬된 다수의 픽셀들을 갖는 픽셀 어레이를 포함하며, 신호 생성 회로, 신호 프로세싱 회로, 열 및 행 선택 회로 등과 같은, 픽셀 어레

이의 샘플링 및 판독과 연관되는 부가적인 회로를 포함할 수 있다. 이러한 샘플링 및 판독 회로는 예를 들어, 픽셀 어레이로부터 판독된 아날로그 신호들을 프로세싱하기 위한 아날로그 신호 프로세서 및 그러한 신호들을 디지털 형태로 변환하기 위한 아날로그-대-디지털 변환기를 포함할 수 있다. 디지털 카메라(10)에서 사용하기에 적합한 이러한 그리고 다른 타입의 회로는 본 기술분야의 당업자에게 공지되며, 따라서, 본 명세서에서 상세히 개시되지 않을 것이다. 샘플링 및 판독 회로의 부분들은 이미지 센서 외부에 정렬되거나, 픽셀 어레이와 통합하여 형성되는데, 예를 들어, 포토다이오드들 및 픽셀 어레이의 다른 엘리먼트들과 공통 통합 회로상에 형성될 수 있다.

[0023] 이미지 센서(14)는 통상적으로 연관된 CFA 패턴을 갖는 컬러 이미지 센서로서 구현될 것이다. 다른 CFA 패턴들이 본 발명의 다른 실시예들에서 사용될 수 있으나, 이미지 센서(14)와 함께 사용될 수 있는 CFA 패턴들의 실시예들은 상기 개시된 미국 특허 출원 번호 제2007/0024931호에 설명된 것들을 포함한다. 다른 실시예로서, "Color Imaging Array"라는 제목의 미국 출원 번호 제3,971,065호에 설명된 것과 같은 종래의 바이에르(Bayer) 패턴이 사용될 수 있으며, 그 모든 내용은 본 명세서에 참조로서 통합된다.

[0024] 프로세서(16)는 예를 들어, 마이크로프로세서, 중앙 처리 장치(CPU), 주문형 반도체(ASIC), 디지털 신호 프로세서(DSP), 또는 다른 프로세싱 디바이스, 또는 다수의 그러한 디바이스들의 조합들을 포함할 수 있다. 이미징 스테이지(12) 및 이미지 센서(14)의 다양한 엘리먼트들은 프로세서(16)로부터 공급되는 타이밍 신호들 또는 다른 신호들에 의하여 제어될 수 있다.

[0025] 메모리(18)는 예를 들어, 랜덤 액세스 메모리(RAM), 리드-온리 메모리(ROM), 플래시 메모리, 디스크-기반 메모리, 착탈식 메모리, 또는 다른 타입의 저장 엘리먼트들과 같은 임의의 타입의 메모리를 임의의 조합으로 포함할 수 있다.

[0026] 픽셀 어레이의 샘플링 및 판독, 그리고 대응하는 이미지 데이터의 프로세싱과 연관되는 기능은 메모리(18)에 저장되고 프로세서(16)에 의하여 실행되는 소프트웨어의 형태로 적어도 부분적으로 구현될 수 있다.

[0027] 이미지 센서(14)에 의하여 캡처되는 주어진 이미지는 메모리(18)의 프로세서(16)에 의하여 저장되고, 디스플레이(20)상에 제시될 수 있다. 다른 타입의 디스플레이들이 사용될 수 있으나, 디스플레이(20)는 통상적으로 액티브 매트릭스 컬러 액정 디스플레이(LCD)이다. 부가적인 I/O 엘리먼트들(22)은 예를 들어, 다양한 온-스크린(on-screen) 제어들, 버튼들, 또는 다른 사용자 인터페이스들, 네트워크 인터페이스들, 메모리 카드 인터페이스들 등을 포함할 수 있다.

[0028] 도 1에 도시되는 타입의 디지털 카메라의 동작에 관한 부가적인 세부 사항들은 예를 들어, 상기 인용된 미국 특허 출원 번호 제2007/0024931호에서 발견될 수 있다.

[0029] 도 1에 도시되는 바와 같은 디지털 카메라는 본 기술분야의 당업자에게 공지된 타입의 부가적인 또는 대안적인 엘리먼트들을 포함할 수 있다. 본 명세서에 특별히 도시되거나 개시되지 않은 엘리먼트들은 본 기술분야에 공지된 것들로부터 선택될 수 있다. 앞서 논의된 바와 같이, 본 발명은 광범위한 다른 타입의 디지털 카메라 또는 이미징 디바이스들에서 구현될 수 있다. 또한, 상기 언급된 바와 같이, 본 명세서에 개시된 실시예들의 특정 양상들은 적어도 부분적으로 이미징 디바이스의 하나 이상의 프로세싱 엘리먼트들에 의하여 실행되는 소프트웨어의 형태로 구현될 수 있다. 그러한 소프트웨어는 본 기술분야의 당업자에 의하여 인지되는 바와 같이, 본 명세서에 제공되는 교지들을 고려하여 간단한 방식으로 구현될 수 있다.

[0030] 이미지 센서(14)는 실리콘 기판 또는 다른 타입의 기판상에 제작될 수 있다. 통상적인 CMOS 이미지 센서에서, 픽셀 어레이의 각각의 픽셀은 상기 픽셀에서 광 레벨을 측정하기 위한 포토다이오드 및 연관된 회로를 포함한다. 그러한 회로는 예를 들어, 공지된 종래의 방식으로 구성되는 전송 게이트들, 리셋 트랜지스터들, 선택 트랜지스터들, 출력 트랜지스터들, 및 다른 엘리먼트들을 포함할 수 있다.

[0031] 앞서 표시된 바와 같이, 인접한 포토다이오드들 사이의 크로스토크 뿐 아니라 수집 이전에 캐리어 재결합으로 인하여, 초과 캐리어 손실 문제는 종래의 후면 조명된 이미지 센서들에서 발생할 수 있다. 이러한 문제점을 처리하기 위한 하나의 가능한 방식은 개별적인 포토다이오드들과 연관되는 공핍 영역들을 확장시켜 캐리어 재결합을 감소시키도록 포토다이오드들이 형성되는 센서층에 대한 저-도핑 에피택셜층을 이용하는 것이다. 그러나, 그러한 방식은 증가된 "암(dark)" 전류 및 양자 효율의 저하들을 초래할 수 있다는 것을 발견하였다. 암전류의 증가 또는 양자 효율의 저하 없이, 캐리어 손실 문제를 처리하기 위한 기술들이 이제 도 2 내지 14를 참고하여 설명될 것이다. 이러한 도면들에 도시되는 횡단면도들은 본 발명의 다양한 양상들을 명백하게 예증하기 위하여 간략화되고, 반드시 크기 조정되어 도시된 필요는 없다는 것을 유념해야 한다. 주어진 실시예는 명백하게 개시

되지는 않지만 개시된 일반적 타입의 이미지 센서들과 공통적으로 연관됨에 따라 본 기술분야의 당업자에게 익숙할 다양한 다른 특징들 또는 엘리먼트들을 포함할 수 있다.

[0032] 도 2 내지 14에 개시되는 기술들은 일반적으로 후면 조명을 위해 구성되는 픽셀 어레이를 각각 갖는 다수의 이미지 센서들을 형성하기 위하여 이미지 센서 웨이퍼를 프로세싱하는 단계를 수반한다. 도 2 내지 8 각각은 2개의 개별적인 이미지 센서 웨이퍼들에 적용되는 다양한 프로세스 단계들을 도시할 것이며, 이러한 2개의 개별적인 이미지 센서 웨이퍼들 중 하나는 절연체-상-실리콘(SOI: silicon-on-insulator) 웨이퍼(200)이고 다른 하나는 에피택셜 웨이퍼(210)이다. 도 8에 개시되는 프로세스 단계들의 완료 이후에, 결과적인 이미지 센서 웨이퍼들은 상기 시점에서 실질적으로 동일한 구조를 갖는다. 따라서, 도 9 내지 14는 단일 이미지 센서 웨이퍼에만 적용되는 것과 같은 나머지 프로세스 단계들을 도시할 것이다. SOI 웨이퍼 및 에피택셜 웨이퍼(200 및 210)는 본 발명을 예증하는데 사용될 것이다, 다른 타입의 웨이퍼들이 사용될 수 있다는 것을 인지할 것이다.

[0033] 도 2에 도시되는 바와 같은 이미지 센서 웨이퍼들(200 및 210)의 부분들은 일반적으로 이미지 센서들 중 특정한 이미지 센서에 대응하며, 주변 영역들에 의하여 둘러싸이는 픽셀 어레이 영역을 포함하는 것으로 보여질 수 있다. 주변 영역들은 결합 패드 영역들 또는 이미지 센서의 다른 부분들을 포함하거나, 그것과 연관될 수 있다.

[0034] 이미지 센서 웨이퍼(200 또는 210)는 전면 및 후면을 더 갖는다. 도 2를 참고하여, 이러한 이미지 센서 웨이퍼들의 후면은 일반적으로 웨이퍼들의 상부에 대응한다. 따라서, 도 14에 도시된 완성된 이미지 센서 웨이퍼에서, 해당 쪐으로부터의 광은 다시 웨이퍼의 상부인, 후면으로서 상기 도면에 식별된 면을 통해 픽셀 어레이의 포토 다이오드들 또는 다른 감광성 엘리먼트들상에 입사할 것이다. "전면" 또는 "후면"이라는 용어들은 본 명세서에서 이미지 센서 웨이퍼 또는 대응 이미지 센서의 특정 층들의 면들 뿐 아니라, 상기 웨이퍼로부터 형성되는 이미지 센서 또는 이미지 센서 웨이퍼의 특정 면들을 나타내기 위하여 사용될 것이다.

[0035] 이미지 센서 웨이퍼 또는 대응 이미지 센서의 층들과 함께 사용될 때, "상의(on)" 또는 "위의(over)"와 같은 용어들은 폭넓게 구성되도록 의도되고, 이에 따라 하나 이상의 중간(intervening)층들 또는 다른 중간 이미지 센서 피쳐들 또는 엘리먼트들의 존재를 불가능하게 하는 것으로 해석되어서는 안 된다. 따라서, 다른 층상에 형성되거나 다른 층 위에 형성되는 것으로서 본 명세서에 개시되는 주어진 층은 하나 이상의 부가적인 층들에 의하여 마지막 층(latter layer)으로부터 분리될 수 있다.

[0036] 이제 도 2를 참고하여, SOI 이미지 센서 웨이퍼(200)는 실리콘 기판(202), 기판상에 형성되는 매립 산화물(BOX: buried oxide)층(204), 및 매립 산화물층상에 형성되는 실리콘 센서층(206)을 포함한다. 에피택셜 이미지 센서 웨이퍼(210)는 P+ 기판(212), 및 P+ 기판 위에 형성되는 P- 센서층(214)을 포함한다. 상기 표시되는 바와 같이, 이미지 센서 웨이퍼의 다양한 층들은 전면 및 후면 표면들을 갖는 것으로서 본 명세서에 개시될 수 있다. 예를 들어, 센서층(206)은 전면 표면(206F) 및 후면 표면(206B)을 갖는다.

[0037] 도 2 내지 8의 나머지 설명을 위하여, 프로세스는 주로 SOI 이미지 센서 웨이퍼(200)를 참고로 하여 개시될 것이다. 이러한 도면들에 개시되는 바와 같이, 에피택셜 웨이퍼(210)에 유사한 단계들이 적용되는 것을 이해할 것이다. 유사한 참조 번호들은 SOI 및 에피택셜 웨이퍼들의 대응 엘리먼트들을 나타내는데 사용될 것이며, 에피택셜 웨이퍼의 참조 번호들은 프라임 심볼(')에 의하여 SOI 웨이퍼의 참조 번호들과 구분된다. 따라서, 예를 들어, SOI 웨이퍼의 엘리먼트(220)는 에피택셜 웨이퍼의 엘리먼트(220')에 대응한다.

[0038] 도 2에 개시된 단계들에서, 패드 산화물층(220)은 SOI 웨이퍼(200)의 센서층(206) 위에 형성되고, 패드 질화물층(222)이 패드 산화물층(220) 위에 형성된다. 보여지는 바와 같이, 이미지 센서의 픽셀 어레이 영역의 이러한 층들의 부분들이 결국 제거되나, 다른 부분들은 예를 들어, 이미지 센서의 주변 영역들의 결합 패드 구조들을 형성하는데 이용된다.

[0039] 도 3에 보여지는 바와 같이, 정렬 마크들(300)이 패터닝되고 형성되며, 이는 일반적으로 노광, 현상, 및 에칭이 후속되는 포토레지스트 증착과 같은 리소그래피 동작들을 수반할 것이다. 정렬 마크들은 원하는 정렬 마크 패턴에 따라 패터닝되고, 이는 일반적으로 이미지 센서 웨이퍼를 프로세싱하는데 사용되는 특정 타입의 리소그래피 장비에 좌우될 것이다. 본 실시예에서, 정렬 마크들(300)은 패드 산화물층 및 질화물층(220, 222) 및 센서층(206)을 통해 매립 산화물층(204)의 하부 표면으로 연장된다. 따라서, 정렬 마크들은 전체 센서층(206)을 통해 연장된다. 이러한 정렬 마크들은 전면 피쳐와 후면 피쳐 사이에 정렬을 제공하고, 대응 포토다이오드들 또는 픽셀 어레이의 다른 감광성 엘리먼트들로 CFA 엘리먼트들 및 그들의 연관된 마이크로렌즈들을 정렬하는데 사용될 수 있다.

[0040] 정렬 마크들(300)은 폴리실리콘을 포함할 수 있다. 다른 광범위한 기술들이 정렬 마크들(300)을 형성하는데 사

용될 수 있으나, 후면 조명된 이미지 센서에서 이러한 탑입의 폴리실리콘 정렬 마크들을 형성하기 위한 바람직한 기술들이 상기 언급된 미국 특허 출원 코드 도켓 번호 제94870호에 개시된다.

[0041] 후면 트렌치들(400)은 그 후 도 4에 개시되는 바와 같이 센서층(206)의 후면 표면(206B)에 형성된다. 후면 필드 절연 주입 영역들(402)을 형성하도록, 아래쪽을 지시하는 화살표들에 의하여 표시되는 바와 같이, 후면 트렌치들(400)을 통해 센서층으로 도편트가 주입된다. 이러한 실시예에서 후면 트렌치들은 질화물층 및 산화물층(222, 220)을 통해 트렌치들을 에칭함으로써 형성된다. 예증적 실시예의 트렌치들은 얇은 트렌치들이며, 대략 0.1 내지 0.5 마이크로미터(μm)의 깊이를 가질 수 있다. 트렌치 폭은 통상적으로 0.1 내지 0.2 μm 이나, 일반적으로 포토다이오드들의 크기에 좌우될 것이며, 이는 구현에 따라 변화할 수 있다. 더 좁은 폭은 일반적으로 개선된 광응답을 제공하는 것에 관하여 바람직하다.

[0042] 후면 트렌치들(400) 및 그들의 연관된 필드 절연 주입 영역들(402)은 픽셀 어레이의 각각의 픽셀의 후면을 유전적으로 절연시키도록 기능하며, 이는 도 14에 도시된 완성된 구조에서 더 적은 캐리어 재결합 및 감소된 크로스 토크를 초래한다.

[0043] 후면 트렌치들(400)은 주어진 이미지 센서의 픽셀 어레이 영역의 하향식(top-down) 평면도에서 격자무늬로서 표현하도록 정렬될 수 있다. 그러한 정렬에서, 각각의 포토다이오드는 실질적으로 후면 트렌치들에 의하여 둘러싸이도록 격자 위치들 중 하나에 위치될 수 있다.

[0044] 선형 산화물층은 후면 트렌치들(400) 내에 형성될 수 있다. 통상적으로 선형 산화물은 약 50 내지 150 옹스트롬의 두께를 가질 것이다. 필드 절연 주입은 선형 산화물층의 형성 이전이나 이후에 수행될 수 있다.

[0045] 픽셀 어레이가 p-타입 금속-산화물-반도체(PMOS) 회로 기반이라면, 필드 절연 주입에 사용되는 도편트는 비소 또는 인과 같은 n-타입 도편트인 반면, 픽셀 어레이가 n-타입 금속-산화물-반도체(NMOS) 회로 기반이라면, 붕소 또는 인듐과 같은 p-타입 도편트가 사용될 것이다. 필드 절연 주입을 위한 통상적인 농도 범위들은 5×10^{12} 내지 $5 \times 10^{13} \text{ atoms/cm}^3$ 이다.

[0046] 이제 도 5를 참고하여, 후면 트렌치들(400)은 물질(500)로 충진되고, 평탄화되며, 패드 산화물층 및 질화물층(220, 222)은 제거된다. 충진 물질(500)은 예를 들어, 산화물 또는 폴리실리콘을 포함할 수 있다. 도핑된 폴리실리콘은 픽셀들 사이에 청색 광을 흡수하고, 추가로 크로스토크를 감소시키는데 사용될 수 있다. 그러나, 청색 광에 대한 양자 효율은 또한 충진 물질로서 도핑된 폴리실리콘을 사용할 때 더 낮아질 것이다.

[0047] 반사 방지층들은 그 후 도 6에 개시되는 바와 같이 센서층(206)의 충진된 후면 트렌치들 위에 형성된다. 특히, 반사 방지 산화물층(600)이 센서층의 후면 표면상에 형성되고, 반사 방지 질화물층(602)은 반사 방지 산화물층(600) 위에 형성된다. 다른 값들이 사용될 수도 있으나, 반사 방지 산화물층은 대략 50 옹스트롬의 두께를 갖고, 반사 방지 질화물층은 대략 500 옹스트롬의 두께를 갖는다. 반사 방지 산화물 층 및 질화물층은 양자 효율을 개선하는 것을 돋는다.

[0048] 도 6에서 아래쪽을 가리키는 화살표들은 반사 방지 산화물층(600)의 형성과 함께 후면 패시베이션 주입 동작의 수행을 개시한다. 이러한 패시베이션 주입 동작은 산화물층(600)의 형성 이전 또는 이후에 수행되고, 센서층(206)의 후면 표면에서 표면 상태들을 억누르는(quench) 기능을 하는 패시베이션 주입 영역(604)을 생성할 수 있다.

[0049] 도 4의 필드 절연 주입과 마찬가지로, 도 6의 후면 패시베이션 주입은 PMOS 픽셀 어레이에 대한 n-타입 도편트 또는 NMOS 픽셀 어레이에 대한 p-타입 도편트를 사용할 것이다. 또한, 패시베이션 주입을 위한 적절한 농도는 필드 절연 주입을 위해 상기 식별된 것과 동일한데, 즉, 약 5×10^{12} 내지 $5 \times 10^{13} \text{ atoms/cm}^3$ 이다.

[0050] 도 7은 후면 웰 절연 주입 동작의 성능을 개시한다. 그러한 동작은 선택적인 것으로 간주되나, 센서층(206)에 형성될 인접 포토다이오드들 사이에 부가적인 측면 절연을 제공할 수 있다. 이러한 실시예에서, 포토레지스트(700)는 반사 방지 질화물층(602) 위에 증착되고, 후면 트렌치들(400) 중 개별적인 후면 트렌치 위에 개구(opening)들(702)을 형성하도록 패터닝된다. 그 후, 아래쪽을 가리키는 화살표들에 의하여 표시되는 바와 같이 웰 절연 주입 동작이 수행되어, 개구들(702)을 통해 도편트를 주입한다. 이러한 동작은 개별적인 후면 트렌치들과 연관되는 후면 웰 절연 주입 영역들(704)을 형성한다. 전면보다는 후면으로부터 영역들(704)을 형성하는 것은 더 좁은 영역들이 형성되도록 허용하며, 이는 성능을 향상시킬 수 있다.

[0051] 이전에 개시된 다른 주입들을 위해 사용되는 것과 같은, 웰 절연 주입을 위해 사용되는 도편트는 PMOS 픽셀 어

레이를 위한 n-타입 도편트 또는 NMOS 픽셀 어레이를 위한 p-타입 도편트일 것이다. 웨爾 절연 주입을 위한 적절한 농도들은 약 5×10^{11} 내지 5×10^{13} atoms/cm³이다.

[0052] 포토레지스트(700)의 임의의 나머지 부분들이 그 후 벗겨지고, 산화물층(800)이 도 8에 개시되는 바와 같이 반사 방지 질화물층(602) 위에 증착된다. 산화물층(800)은 약 0.1 내지 0.5 μm의 두께로 증착될 수 있다. 산화물층(800)의 후면 표면은 임시 캐리어 웨이퍼의 결합을 위해 표면을 준비하기 위한 화학-기계 연마(CMP: chemical-mechanical polishing) 동작이 수행될 수 있다.

[0053] 도 9는 임시 캐리어 웨이퍼(900)가 산화물층(800)의 후면 표면에 결합되고, 기판(202) 및 매립 산화물층(204)이 제거된 이후에, 이미지 센서 웨이퍼 구조를 도시한다. 기판은 예를 들어, 그라인딩(grinding), 연마, 또는 에칭 기술들을 임의의 조합으로 사용하여 제거될 수 있다. SOI 웨이퍼(200)에 대하여, 기판(202)은 아래로 매립 산화물층(204)까지 제거되고, 그 후, 매립 산화물층이 제거된다. 에피택셜 웨이퍼(210)에 대하여, 기판 제거 프로세스는 정렬 마크들(300')이 도달될 때 종료하도록 구성된다. 이전에 표시된 바와 같이, SIO 웨이퍼(200) 및 에피택셜 웨이퍼(210)로부터 형성되는 구조들이 이러한 점에서 실질적으로 동일하기 때문에, 프로세스의 나머지 부분들은 단일 이미지 센서 웨이퍼 구조를 참고하여 개시될 것이다. 도 9에 도시된 바와 같은 이러한 구조에서, 센서층(206 또는 214)은 특히 예를 들어, P- 센서층으로서 식별된다.

[0054] 후면 임시 캐리어 웨이퍼(900)는 예를 들어, 핸들 웨이퍼로서 공통적으로 지칭되는 타입의 웨이퍼를 포함할 수 있다. 임시 캐리어 웨이퍼는 에폭시 또는 다른 적절한 접착제를 사용하여 이미지 센서 웨이퍼에 부착될 수 있다.

[0055] 임시 캐리어 웨이퍼가 본 실시예에서 P-웨이퍼로서 도시되나, 이것은 단지 예시로서, 다른 타입의 도핑들이 사용될 수도 있다. 또한, 센서층은 도면에 개시되는 것들과 다른 도핑들을 사용할 수도 있다. 예를 들어, 도 9에 도시된 바와 같은 센서층은 P-도핑을 가지나, 프로세싱 동작들은 N-도핑과 같은 대안적인 도핑을 사용하도록 간단한 방식으로 변경될 수 있다. 도 2 내지 14의 횡단면도들에 인접하여 보여지는 다른 도핑 표시들은 본 기술분야의 당업자에 의하여 인지되는 바와 같이 다른 실시예들에서 유사하게 변경될 수 있다.

[0056] 도 10은 추가적 프로세싱을 위해 뒤집힌 이미지 센서 웨이퍼를 보여준다.

[0057] 도 11에 도시되는 바와 같이, 이러한 추가적 프로세싱은 일반적으로, 센서층(206 또는 214)에서 픽셀 어레이들의 감광성 엘리먼트들(1100)을 형성하는 단계, 센서층의 전면 표면에 전면 트렌치들(1102)을 형성하는 단계, 전면 트렌치들에 대응하는 전면 필드 절연 주입 영역들을 형성하는 단계, 전면 트렌치들을 충진하는 단계, 전면 트렌치들에 대응하는 전면 웨爾 절연 주입 영역들(1104)을 형성하는 단계, 및 센서층의 전면 표면상에 유전체층(1106)을 형성하는 단계를 포함한다. 본 명세서에서 이전에 표시된 바와 같이, 예증적 실시예들에서 픽셀 어레이들의 감광성 엘리먼트들은 포토다이오드들을 포함한다.

[0058] 전면 트렌치들(1102) 및 그들의 연관된 주입 영역들은 후면 트렌치들(400) 및 그들의 연관된 주입 영역들의 형성을 위해 상기 개시된 것들과 유사한 기술들을 사용하여 형성될 수 있다.

[0059] 본 실시예의 유전체층(1106)은 유전성 물질의 다수의 층들을 포함하며, 예를 들어, 금속화의 다수의 레벨들을 분리하는 중간 유전체(ILD: interlayer dielectric) 및 금속간 유전체(IMD: intermetal dielectric)를 포함할 수 있다. 상호접속부들, 게이트들, 또는 다른 회로 엘리먼트들과 같은 다양한 이미지 센서 피쳐들은 종래의 기술들을 사용하여 유전체층(1106) 내에 형성될 수 있다. 단지 단일 유전체층(1106)만이 도 11의 도면에 도시되나, 다른 실시예들은 가능하면 하나 이상의 중간층들에 의하여 서로로부터 분리되는 다수의 유전체층들을 포함할 수 있다. 유전체층(1106)의 전면 표면상에 형성되는 금속 도전체들(1108)은 이미지 센서 웨이퍼의 마지막 금속층을 나타낸다.

[0060] 산화물층(1200)은 유전체층(1106) 및 금속 도전체들(1108) 위에 증착되고, 그 후, CMP 동작을 사용하여 평탄화된다. 도 12는 결과 구조물을 도시한다.

[0061] 도 13에서, 전면 핸들 웨이퍼(1300)가 마지막 금속층 위에 산화물층(1200)에 부착되고, 후면 임시 캐리어 웨이퍼(900)가 제거된다. 핸들 웨이퍼(1300)는 예를 들어, 젤온 산화물-대-산화물 결합을 사용하여 부착될 수 있다.

[0062] 도 14는 추가적인 후면 프로세싱을 위해 다시 뒤집힌 이미지 센서 웨이퍼를 도시한다. 전면 핸들 웨이퍼(1300)는 기판으로서 기능하여, 추가적인 후면 프로세싱을 위해 구조물에 대한 지원을 제공한다. 이러한 추가적 프로세싱은 예를 들어, 픽셀 어레이들의 개별적인 픽셀 어레이에 대하여 산화물층(800)의 후면 표면상에 CFA들을

형성하는 단계를 포함할 수 있다. 일반적으로, 이미지 센서 웨이퍼의 광센서를 각각은 센서층의 개별적인 감광성 엘리먼트들(1100) 위에 정렬되는 컬러 필터 엘리먼트들을 포함하는 대응 CFA를 갖는다. 마이크로렌즈들은 CFA들의 개별적인 컬러 필터 엘리먼트들 위에 또한 형성될 수 있다. CFA들 및 그들의 연관된 마이크로렌즈들은 도면에 도시되지 않으나, 공지된 종래의 방식으로 정렬될 수 있다.

[0063] 컬러 필터 엘리먼트들 및 연관된 마이크로렌즈들은 센서층의 포토다이오드들과 CFA의 대응 컬러 필터 엘리먼트들 사이에 정확한 정렬을 제공하도록, 정렬 마크들(300)과 정렬된다.

[0064] 결과적인 프로세싱된 이미지 센서 웨이퍼는 그 후 후면 조명을 위해 구성되는 다수의 이미지 센서들로 다이싱(dice)되고, 다수의 이미지 센서들 중 하나는 디지털 카메라(10)의 이미지 센서(14)이다. 웨이퍼 다이싱 동작은 도 15와 함께 사기에 상세히 설명될 것이다. 본 실시예의 핸들 웨이퍼(1300)는 다이싱 이전에 제거되지 않으나, 대신 영구 핸들 웨이퍼로서 기능하고, 이 중 일부분들은 다이싱 동작시 서로 분리되는 이미지 센서들의 개별적인 이미지 센서의 일부로 남아있다.

[0065] 대안적인 실시예에서, 제2 임시 캐리어 웨이퍼는 핸들 웨이퍼(1300) 대신에 사용될 수 있다. 제2 임시 캐리어 웨이퍼는 제1 임시 캐리어 웨이퍼(900)와 유사하게 에폭시 또는 다른 적절한 접착제를 사용하여 부착될 수 있다. 제2 임시 캐리어 웨이퍼의 부착 이후에, CFA들 중 개별적인 CFA 위에 놓이는 투명한 커버들을 포함하는 투명 커버 시트가 제2 임시 캐리어 웨이퍼를 제거하기 이전에 이미지 센서 웨이퍼의 후면 표면에 부착될 수 있다. 각각의 그러한 유리 커버는 자신의 대응 CFA 위에 정렬되는 중앙 공동(cavity)을 포함하고, 에폭시를 통해 산화물층(800)의 후면 표면에 고정되는 주변 지지부들을 더 포함할 수 있다. 투명 커버 시트는 유리 또는 다른 투명한 물질로 형성될 수 있다. 그러한 커버 시트는 이미지 센서들이 웨이퍼로부터 다이싱될 때, 개별적인 커버들로 분할되는 단일 시트로서 웨이퍼로 부착될 수 있다. 그러한 임시 캐리어 웨이퍼 및 투명 커버 시트의 사용에 관한 추가적인 세부사항들은 상기 인용된 미국 특허 출원 코닥 도켓 넘버 94872호에서 발견될 수 있다. 그러나, 그러한 엘리먼트들 및 연관된 프로세싱 동작들의 사용은 본 발명의 요건이 아님을 인지할 수 있을 것이다.

[0066] 본 발명의 주어진 실시예에서 수행될 수 있는 다른 예증적 동작들은 예를 들어, 재분배층(RDL: redistribution layer) 도전체들의 형성, 패시베이션층의 형성, 및 콘택 금속화들의 형성을 포함한다.

[0067] 상기 표시된 바와 같이, 도 2 내지 14에 개시된 프로세싱 동작들은 이미지 센서 웨이퍼에 적용되는 웨이퍼 레벨 프로세싱 동작들이다. 도 15는 다수의 이미지 센서들(1502)을 포함하는 이미지 센서 웨이퍼(1500)의 평면도를 도시한다. 도 2 내지 14와 함께 개시되는 바와 같이 이미지 센서 웨이퍼(1500)의 웨이퍼 레벨 프로세싱을 통해 이미지 센서들(1502)이 형성된다. 이미지 센서들은 그 후 다이싱 라인들(1504)을 따라 웨이퍼를 다이싱함으로써 서로로부터 분리된다. 이미지 센서들(1502) 중 주어진 하나는 도 1의 디지털 카메라(10)의 이미지 센서(14)에 대응한다.

[0068] 상기 개시된 예증적 실시예들은 바람직하게 후면 조명된 이미지 센서를 형성하기 위하여 개선된 프로세싱 정렬을 제공한다. 예를 들어, 도 2 내지 14와 함께 설명되는 프로세스는 실질적으로 캐리어 재결합 및 인접한 포토다이오드들간의 크로스토크를 감소시키는, 연관된 후면 필드 절연을 갖는 얕은(shallow) 후면 트렌치들, 패시베이션 및 웰 절연 주입들과 같은 부가적인 후면 피쳐들을 제공한다. 이것은 이미지 센서 다이 크기 또는 비용을 현저히 증가시키지 않고, 입사광을 검출하기 위한 향상된 능력의 관점에서 개선된 성능을 보이는 후면 조명된 이미지 센서를 제공한다.

[0069] 본 발명은 특히 본 발명의 특정 예증적 실시예들을 참고하여 상세히 설명되었으나, 첨부된 청구항들에서 진술되는 바와 같은 본 발명의 범위 내에서 변화들 및 변경들이 실행될 수 있다는 것을 이해할 수 있을 것이다. 예를 들어, 본 발명은 대안적인 물질들, 웨이퍼들, 층들, 프로세스 단계들 등을 사용하여 다른 타입의 이미지 센서들 및 디지털 이미징 디바이스들에서 구현될 수 있다. 따라서, 예증적 실시예들과 함께 설명된 층 두께 및 도편트 높도들과 같은 다양한 프로세스 파라미터들은 대안적인 실시예들에서 변경될 수 있다. 이러한 그리고 다른 대안적인 실시예들이 본 기술분야의 당업자들에게 쉽게 명백할 것이다.

부호의 설명

[0070] 10 디지털 카메라

12 이미징 스테이지

14 후면 조명된 이미지 센서

16 프로세서

18 메모리

20 디스플레이

22 입력/출력(I/O) 엘리먼트들

200 절연체-상-실리콘(SOI) 웨이퍼

202 기판

204 매립 산화물(BOX)층

206 센서층

206B 센서층 후면 표면

206F 센서층 전면 표면

210 에피택셜 웨이퍼

212 기판

214 센서층

220 패드 산화물층

222 패드 질화물층

300 정렬 마크들

400 후면 트렌치

402 필드 절연 주입 영역

500 트렌치 충진 물질

600 반사 방지 산화물층

602 반사 방지 질화물층

604 후면 패시베이션 주입 영역

700 포토레지스트

702 개구들

704 후면 웰 절연 주입 영역

800 후면 산화물층

900 후면 임시 캐리어 웨이퍼

1100 감광성 엘리먼트들

1102 전면 트렌치

1104 전면 웰 절연 주입 영역

1106 유전체층

1108 마지막 금속층 도전체

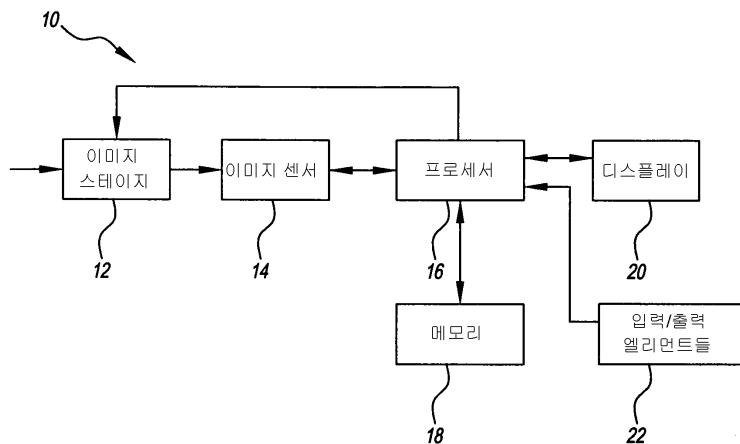
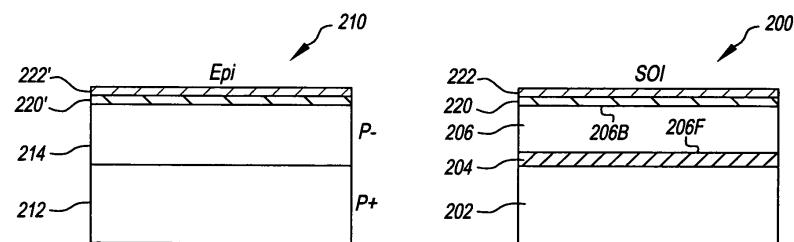
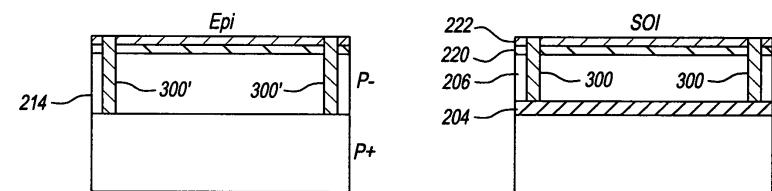
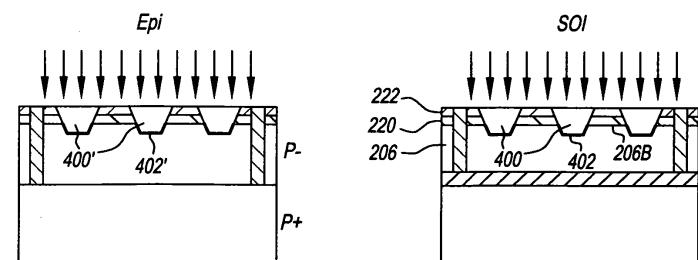
1200 산화물층

1300 전면 핸들 웨이퍼

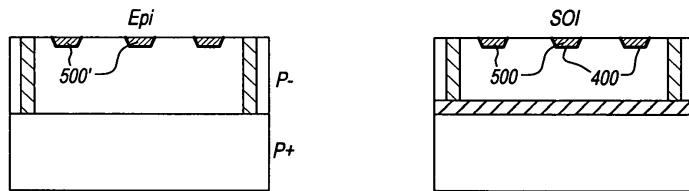
1500 이미지 센서 웨이퍼

1502 이미지 센서들

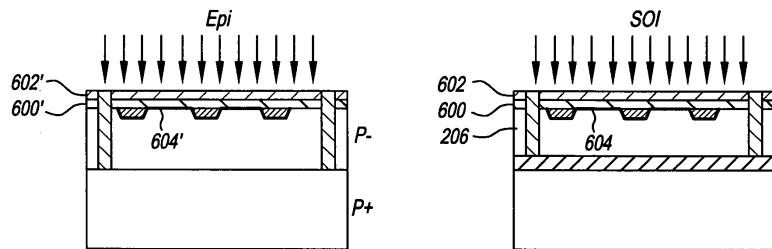
1504 다이싱 라인들

도면**도면1****도면2****도면3****도면4**

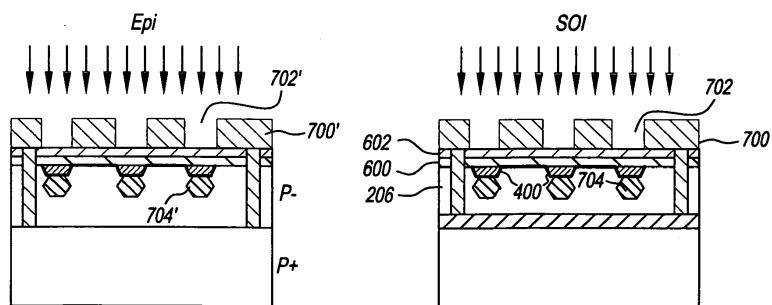
도면5



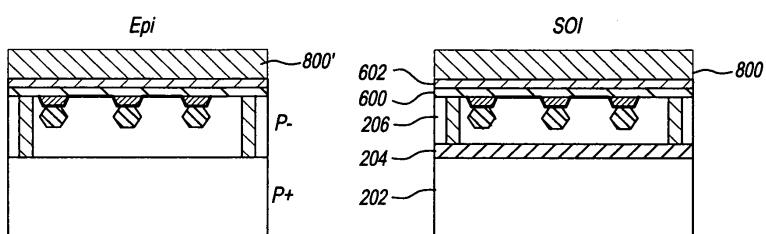
도면6



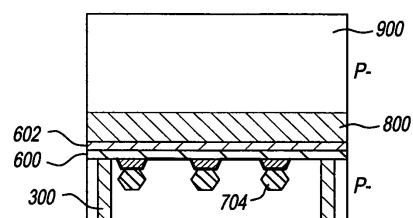
도면7



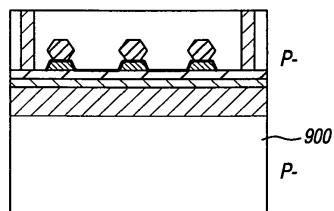
도면8



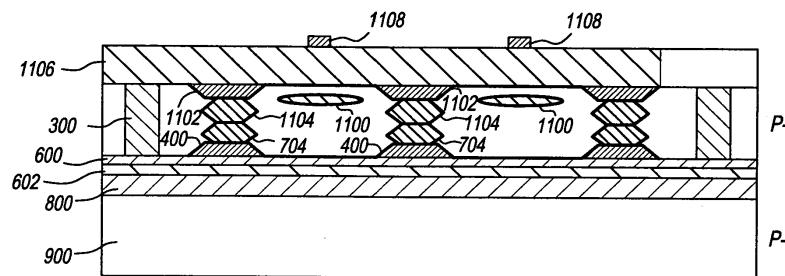
도면9



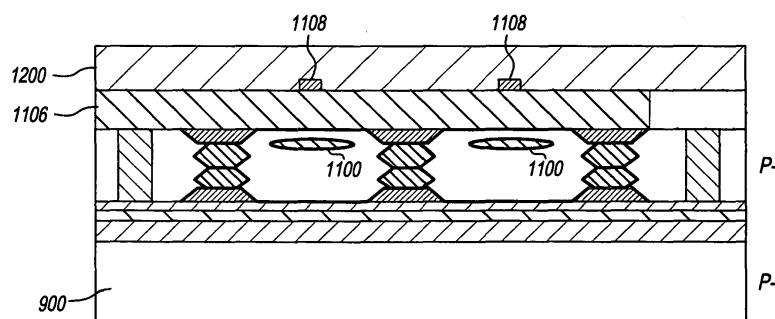
도면10



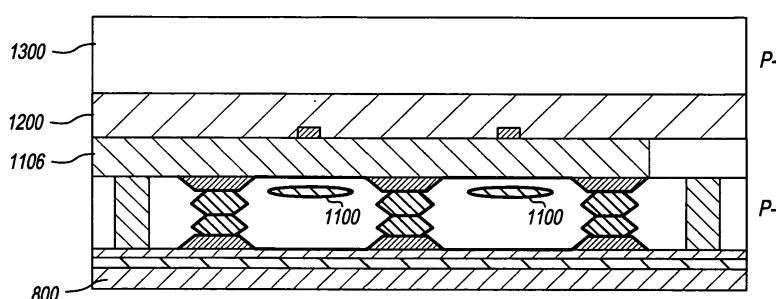
도면11



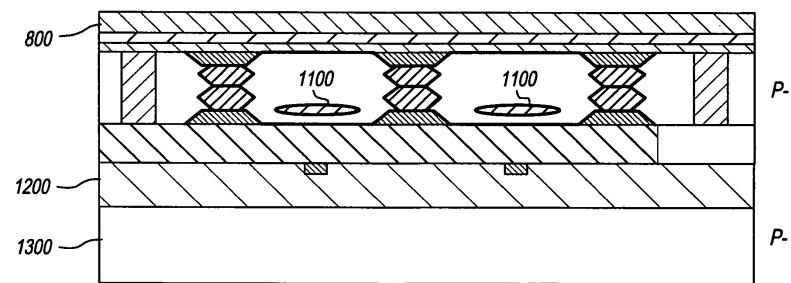
도면12



도면13



도면14



도면15

