

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2025年5月22日(22.05.2025)



(10) 国際公開番号

WO 2025/105252 A1

(51) 国際特許分類:

H10B 12/00 (2023.01) H10D 30/67 (2025.01)
H01L 21/20 (2006.01) H10D 84/80 (2025.01)
H01L 21/304 (2006.01) H10D 84/83 (2025.01)
H01L 21/768 (2006.01) H10D 86/40 (2025.01)
H10D 1/68 (2025.01) H10D 88/00 (2025.01)
H10D 30/01 (2025.01)

(21) 国際出願番号: PCT/JP2024/039389

(22) 国際出願日: 2024年11月6日(06.11.2024)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願 2023-194952 2023年11月16日(16.11.2023) JP

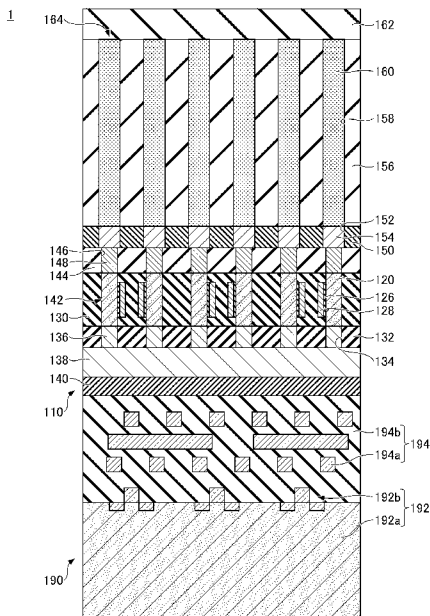
(71) 出願人: 東京エレクトロン株式会社(TOKYO ELECTRON LIMITED) [JP/JP]; 〒1076325 東京都港区赤坂五丁目3番1号 (JP).

(72) 発明者: 深井 利憲 (FUKAI, Toshinori); 〒1076325 東京都港区赤坂五丁目3番1号 東京エレクトロン株式会社内 (JP). 佐藤 基之 (SATO, Motoyuki); 〒1076325 東京都港区赤坂五丁目3番1号 東京エレクトロン株式会社内 (JP). 今井 清隆(IMAI, Kiyotaka); 〒1076325 東京都港区赤坂五丁目3番1号 東京エレクトロン株式会社内 (JP). 大野 久美子(ONO, Kumiko); 〒1076325 東京都港区赤坂五丁目3番1号 東京エレクトロン株式会社内 (JP).

(54) Title: METHOD FOR MANUFACTURING SEMICONDUCTOR DEVICE

(54) 発明の名称: 半導体装置の製造方法

[図12]



(57) Abstract: A method for manufacturing a semiconductor device according to one embodiment of the present disclosure includes: a step for preparing a silicon substrate that has a first main surface; a step for forming a silicon oxide film on the first main surface of the silicon substrate; a step for forming an amorphous silicon film on the silicon oxide film; a step for forming a metal layer on the amorphous silicon film; a step for changing the amorphous silicon film into a crystal silicon film by annealing the silicon substrate on which the metal layer has been formed; a step for forming a transistor that uses a part of the crystal silicon film as a channel; and a step for forming a capacitor which is adjacent to the transistor in a direction that is perpendicular to the first main surface, and which is electrically connected to the transistor.

(57) 要約: 本開示の一態様による半導体装置の製造方法は、第1主面を有するシリコン基板を準備する工程と、前記シリコン基板の前記第1主面の上にシリコン酸化膜を形成する工程と、前記シリコン酸化膜の上に非晶質シリコン膜を形成する工程と、前記非晶質シリコン膜の上に金属層を形成する工程と、前記金属層が形成された前記シリコン基板をアニールすることにより、前記非晶質シリコン膜を結晶シリコン膜に変化させる工程と、前記結晶シリコン膜の一部をチャネルとするトランジスタを形成する工程と、前記第1主面と垂直な方向において前記トランジスタと隣り合い、前記トランジスタと電氣的に接続されるキャパシタを形成する工程と、を有する。

(74) 代理人: 弁理士法人 I T O H (ITOH PATENT ATTORNEY CORPORATION); 〒1000005 東京都千代田区丸の内二丁目1番1号 明治安田生命ビル 16階 (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, MG, MK, MN, MU, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告 (条約第21条(3))

明 細 書

発明の名称：半導体装置の製造方法

技術分野

[0001] 本開示は、半導体装置の製造方法に関する。

背景技術

[0002] 基板の上に非晶質シリコン膜と金属膜をこの順に形成し、所定の温度でアニールすることにより非晶質シリコン膜を結晶シリコン膜に変化させる技術が知られている（例えば、特許文献1、2参照）。

先行技術文献

特許文献

[0003] 特許文献1：特開2006-303218号公報

特許文献2：特開2002-313719号公報

発明の概要

発明が解決しようとする課題

[0004] 本開示は、SOI（Silicon On Insulator）基板を用いずに、結晶シリコン膜の一部をチャンネルとするトランジスタを含む半導体装置を形成できる技術を提供する。

課題を解決するための手段

[0005] 本開示の一態様による半導体装置の製造方法は、第1主面を有するシリコン基板を準備する工程と、前記シリコン基板の前記第1主面の上にシリコン酸化膜を形成する工程と、前記シリコン酸化膜の上に非晶質シリコン膜を形成する工程と、前記非晶質シリコン膜の上に金属層を形成する工程と、前記金属層が形成された前記シリコン基板をアニールすることにより、前記非晶質シリコン膜を結晶シリコン膜に変化させる工程と、前記結晶シリコン膜の一部をチャンネルとするトランジスタを形成する工程と、前記第1主面と垂直な方向において前記トランジスタと隣り合い、前記トランジスタと電氣的に接続されるキャパシタを形成する工程と、を有する。

発明の効果

[0006] 本開示によれば、SOI基板を用いずに、結晶シリコン膜の一部をチャネルとするトランジスタを含む半導体装置を形成できる。

図面の簡単な説明

[0007] [図1]図1は、第1実施形態に係る半導体装置の製造方法を示す断面図（その1）である。

[図2]図2は、第1実施形態に係る半導体装置の製造方法を示す断面図（その2）である。

[図3]図3は、第1実施形態に係る半導体装置の製造方法を示す断面図（その3）である。

[図4]図4は、第1実施形態に係る半導体装置の製造方法を示す断面図（その4）である。

[図5]図5は、第1実施形態に係る半導体装置の製造方法を示す断面図（その5）である。

[図6]図6は、第1実施形態に係る半導体装置の製造方法を示す断面図（その6）である。

[図7]図7は、第1実施形態に係る半導体装置の製造方法を示す断面図（その7）である。

[図8]図8は、第1実施形態に係る半導体装置の製造方法を示す断面図（その8）である。

[図9]図9は、第1実施形態に係る半導体装置の製造方法を示す断面図（その9）である。

[図10]図10は、第1実施形態に係る半導体装置の製造方法を示す断面図（その10）である。

[図11]図11は、第1実施形態に係る半導体装置の製造方法を示す断面図（その11）である。

[図12]図12は、第1実施形態に係る半導体装置の製造方法を示す断面図（その12）である。

[図13]図13は、第2実施形態に係る半導体装置の製造方法を示す断面図（その1）である。

[図14]図14は、第2実施形態に係る半導体装置の製造方法を示す断面図（その2）である。

[図15]図15は、第2実施形態に係る半導体装置の製造方法を示す断面図（その3）である。

[図16]図16は、第2実施形態に係る半導体装置の製造方法を示す断面図（その4）である。

[図17]図17は、第2実施形態に係る半導体装置の製造方法を示す断面図（その5）である。

[図18]図18は、第2実施形態に係る半導体装置の製造方法を示す断面図（その6）である。

[図19]図19は、第2実施形態に係る半導体装置の製造方法を示す断面図（その7）である。

[図20]図20は、第2実施形態に係る半導体装置の製造方法を示す断面図（その8）である。

[図21]図21は、第2実施形態に係る半導体装置の製造方法を示す断面図（その9）である。

[図22]図22は、第2実施形態に係る半導体装置の製造方法を示す断面図（その10）である。

[図23]図23は、第2実施形態に係る半導体装置の製造方法を示す断面図（その11）である。

[図24]図24は、第3実施形態に係る半導体装置の製造方法を示す断面図（その1）である。

[図25]図25は、第3実施形態に係る半導体装置の製造方法を示す断面図（その2）である。

[図26]図26は、第3実施形態に係る半導体装置の製造方法を示す断面図（その3）である。

[図27]図 2 7 は、第 3 実施形態に係る半導体装置の製造方法を示す断面図（その 4）である。

[図28]図 2 8 は、第 3 実施形態に係る半導体装置の製造方法を示す断面図（その 5）である。

[図29]図 2 9 は、第 3 実施形態に係る半導体装置の製造方法を示す断面図（その 6）である。

[図30]図 3 0 は、第 3 実施形態に係る半導体装置の製造方法を示す断面図（その 7）である。

[図31]図 3 1 は、第 3 実施形態に係る半導体装置の製造方法を示す断面図（その 8）である。

[図32]図 3 2 は、第 3 実施形態に係る半導体装置の製造方法を示す断面図（その 9）である。

[図33]図 3 3 は、第 3 実施形態に係る半導体装置の製造方法を示す断面図（その 1 0）である。

[図34]図 3 4 は、第 3 実施形態に係る半導体装置の製造方法を示す断面図（その 1 1）である。

[図35]図 3 5 は、第 3 実施形態に係る半導体装置の製造方法を示す断面図（その 1 2）である。

[図36]図 3 6 は、第 3 実施形態に係る半導体装置の製造方法を示す断面図（その 1 3）である。

発明を実施するための形態

[0008] 以下、添付の図面を参照しながら、本開示の限定的でない例示の実施形態について説明する。添付の全図面中、同一又は対応する部材又は部品については、同一又は対応する参照符号を付し、重複する説明を省略する。

[0009] 〔第 1 実施形態〕

図 1 から図 1 2 を参照し、第 1 実施形態に係る半導体装置 1 の製造方法について説明する。図 1 から図 1 2 は、第 1 実施形態に係る半導体装置 1 の製造方法を示す断面図である。

- [0010] まず、図1に示されるように、シリコン基板112を準備する。シリコン基板112は、第1主面112aと、第2主面112bとを有する。第2主面112bは、第1主面112aと反対の面である。本実施形態では、シリコン基板112は、シリコン単結晶基板である。
- [0011] 次に、図2に示されるように、シリコン基板112の第1主面112aの上にシリコン酸化膜114、非晶質シリコン膜116、及び金属層118をこの順に形成する。本実施形態では、まず、化学気相堆積（CVD：Chemical Vapor Deposition）、熱酸化等により、シリコン基板112の第1主面112aの上にシリコン酸化膜114を形成する。次に、CVD等により、シリコン酸化膜114の上に非晶質シリコン膜116を形成する。次に、CVD、物理気相堆積（PVD：Physical Vapor Deposition）等により、非晶質シリコン膜116の上に金属層118を形成する。金属層118は、例えばニッケル（Ni）、ニッケル－アルミニウム合金（Ni－Al）、コバルト（Co）、パラジウム（Pd）により形成される。次に、合金化アニールを行ってもよい。これにより、金属層118の少なくとも一部が非晶質シリコン膜116を構成する珪素（Si）と反応してシリサイド化する。
- [0012] 次に、図3に示されるように、金属層118が形成されたシリコン基板112をアニールすることにより、非晶質シリコン膜116を結晶シリコン膜120に変化させる。本実施形態では、金属誘起結晶化（MIC：Metal-Induced Crystallization）、金属誘起横方向結晶化（MILC：Metal-Induced Lateral Crystallization）等により、非晶質シリコン膜116を結晶化させて結晶シリコン膜120を形成する。具体的には、不活性ガス雰囲気において、金属層118が形成されたシリコン基板112を所定の温度でアニールする。これにより、金属層118を構成する金属が非晶質シリコン膜116中に拡散し、非晶質シリコン膜116中に拡散した金属を核とする金属誘起結晶化又は金属誘起横方向結晶化により非晶質シリコン膜116が結晶化して結晶シリコン膜120が形成される。このとき、金属層118を構成する金属がシリコン酸化膜114中にも拡散しうる。次に、ウェットエッチン

グ等により、金属層 118 を除去する。

[0013] 次に、図 4 に示されるように、結晶シリコン膜 120 を柱状に加工する。本実施形態では、まず、CVD 等により、結晶シリコン膜 120 の上にハードマスク 122 用の薄膜を形成する。ハードマスク 122 用の薄膜は、例えば SiN 膜、SiO₂ 膜である。次に、リソグラフィにより、結晶シリコン膜 120 を残す領域以外に開口を有するレジストマスクを形成する。次に、レジストマスクを用いて、結晶シリコン膜 120 をエッチングして除去する。次に、レジストマスクを除去する。これにより、結晶シリコン膜 120 が、第 1 主面 112 a と垂直な方向に延在する柱状に加工される。

[0014] 次に、図 5 に示されるように、ゲートスタック構造を形成する。本実施形態では、まず、シリコン酸化膜 114 の上に絶縁膜 124 を形成する。絶縁膜 124 は、例えば SiN 膜、SiOCN 膜、SiOC 膜である。次に、熱酸化、ALD 等により、結晶シリコン膜 120 の側面にゲート絶縁膜 126 用の絶縁膜 126 a を形成する。絶縁膜 126 a は、例えば SiO₂ 膜、High-k 膜である。次に、結晶シリコン膜 120、ハードマスク 122、絶縁膜 124、及び絶縁膜 126 a を覆うように、ゲート電極 128 用の金属膜 128 a を形成する。金属膜 128 a は、例えばタングステン (W)、コバルト、モリブデン (Mo) により形成される。

[0015] 次に、図 6 に示されるように、ゲート絶縁膜 126 及びゲート電極 128 を形成する。本実施形態では、まず、エッチバック等により、絶縁膜 126 a 及び金属膜 128 a をエッチングし、絶縁膜 126 a 及び金属膜 128 a を結晶シリコン膜 120 の側面の一部に残す。次に、ウェットエッチング、ドライエッチング等により、ハードマスク 122 をエッチングして除去する。次に、ウェットエッチング、ドライエッチング等により、絶縁膜 124 をエッチングして除去する。これにより、絶縁膜 126 a からゲート絶縁膜 126 が形成され、金属膜 128 a からゲート電極 128 が形成される。ゲート絶縁膜 126 及びゲート電極 128 は、例えば第 1 主面 112 a と垂直な方向において結晶シリコン膜 120 の中央部分に形成される。ゲート電極 1

28は、ワード線（図示せず）と電氣的に接続される。

[0016] 次に、図7に示されるように、層間絶縁膜130を形成する。本実施形態では、まず、シリコン酸化膜114、結晶シリコン膜120、ゲート絶縁膜126、及びゲート電極128を覆うように層間絶縁膜130用の絶縁膜を成膜する。層間絶縁膜130用の絶縁膜は、例えば SiO_2 膜、 SiOCN 膜、 SiOC 膜である。次に、化学機械研磨（CMP：Chemical Mechanical Polishing）等により、結晶シリコン膜120の上面を露出させる。これにより、層間絶縁膜130が形成される。次に、結晶シリコン膜120のビット線138側へのイオン注入を行う。例えば、イオン注入により、ソース領域（図示せず）が形成される。ソース領域を形成するためのイオン注入においては、例えばヒ素（As）、リン（P）等のn型不純物をイオン注入する。ソース領域は、ビット線138と電氣的に接続される。次に、RTA（Rapid Thermal Anneal）、加熱炉等により、活性化アニールを行う。

[0017] 次に、図8に示されるように、ビット線138を形成する。本実施形態では、まず、結晶シリコン膜120及び層間絶縁膜130の上に層間絶縁膜132用の絶縁膜を成膜する。層間絶縁膜132用の絶縁膜は、例えば SiO_2 膜、 SiOCN 膜、 SiOC 膜である。次に、リソグラフィにより、結晶シリコン膜120上に開口を有するレジストマスクを形成する。次に、レジストマスクを用いて、ドライエッチング等により層間絶縁膜132用の絶縁膜をエッチングして除去する。これにより、結晶シリコン膜120が露出するビア134が形成される。次に、ビア134が埋め込まれるように金属膜を成膜し、CMP等により表面を平坦化する。これにより、ビア134の内部に金属膜136が形成される。金属膜136は、例えば窒化チタン（TiN）、タングステン、コバルト、モリブデン、ルテニウム（Ru）により形成される。次に、層間絶縁膜132及び金属膜136の上に、ビット線138間を絶縁する層間絶縁膜（図示せず）用の絶縁膜を成膜する。層間絶縁膜用の絶縁膜は、例えば SiO_2 膜、 SiOCN 膜、 SiOC 膜である。次に、リソグラフィにより、ビット線138を形成しようとする領域に開口を有する

レジストマスクを形成する。次に、レジストマスクを用いて、ドライエッチング等により層間絶縁膜用の絶縁膜をエッチングする。これにより、層間絶縁膜 132 及び金属膜 136 が露出するトレンチが形成される。次に、トレンチが埋め込まれるようにビット線 138 用の金属膜を成膜し、CMP 等により表面を平坦化する。これにより、トレンチの内部にビット線 138 が形成される。ビット線 138 は、窒化チタン、タングステン、コバルト、モリブデン、ルテニウムにより形成される。次に、ビット線 138 及び該ビット線 138 間を絶縁する層間絶縁膜の上に層間絶縁膜 140 を形成する。層間絶縁膜 140 は、例えば SiO_2 膜、 SiOCN 膜、 SiOC 膜である。

[0018] 次に、図 9 に示されるように、層間絶縁膜 140 まで形成された第 1 基板 110 の第 1 主面 112a の側を、予め準備した第 2 基板 190 に接合する。本実施形態では、第 2 基板 190 は、CMOS (Complementary Metal Oxide Semiconductor) 基板である。第 2 基板 190 は、CMOS 部 192 と、配線部 194 とを有する。CMOS 部 192 は、シリコン基板 192a と、複数のトランジスタ 192b とを含む。複数のトランジスタ 192b は、P 型トランジスタと、N 型トランジスタとを含む。配線部 194 は、配線 194a と、層間絶縁膜 194b とを含む。配線 194a は、多層に形成される。層間絶縁膜 194b は、配線 194a 間を絶縁する。第 1 基板 110 と第 2 基板 190 とは、層間絶縁膜 140 と配線部 194 とが接するように接合される。

[0019] 次に、図 10 に示されるように、シリコン基板 112 の第 2 主面 112b 側からシリコン基板 112 及びシリコン酸化膜 114 を除去することにより、第 1 基板 110 を薄化する。本実施形態では、まず、グラインディング及び CMP をこの順に行うことにより、第 2 主面 112b 側からシリコン基板 112 を研磨する。次に、ウェットエッチング、ドライエッチング等により、シリコン酸化膜 114 に対してシリコン基板 112 を選択的にエッチングして除去する。グラインディングの代わりにレーザリフトオフ (Laser Lift Off) やレーザを用いた剥離技術によりシリコン基板 112 を除去してもよい。

。レーザーリフトオフを用いる場合、例えばシリコン基板 112 とシリコン酸化膜 114 との間に剥離層を設け、レーザー照射により剥離層を剥離することによって、剥離層と共にシリコン基板 112 を除去できる。レーザーを用いた剥離技術を用いる場合、例えばシリコン基板 112 の内部にレーザー照射により改質層を形成し、改質層を起点としてシリコン基板 112 を除去できる。次に、結晶シリコン膜 120 及び層間絶縁膜 130 に対してシリコン酸化膜 114 を選択的にエッチングして除去する。この場合、シリコン酸化膜 114 中に拡散しうる金属がシリコン酸化膜 114 と共に除去されるため、最終的な半導体装置 1 に残らない。また、ゲート電極 128 と重ならない、柱状の結晶シリコン膜 120 の長さを、第 1 基板 110 の全面で均一化することが容易である。これに対し、エッチング選択性を用いる代わりにエッチングを途中で停止して結晶シリコン膜 120 の長さを制御する場合、ゲート電極 128 と重ならない、柱状の結晶シリコン膜 120 の長さを、第 1 基板 110 の全面で均一化することが困難である。次に、結晶シリコン膜 120 のキャパシタ 160 側へのイオン注入を行う。例えば、イオン注入により、ドレイン領域（図示せず）が形成される。これにより、結晶シリコン膜 120 のソース領域とドレイン領域との間をチャネル（図示せず）とするトランジスタ 142 が形成される。ドレイン領域を形成するためのイオン注入においては、例えばヒ素、リン等の n 型不純物をイオン注入する。ドレイン領域は、キャパシタ 160 と電氣的に接続される。次に、RTA、加熱炉等により、活性化アニールを行う。

[0020] 次に、図 11 に示されるように、キャパシタ 160 用のパッド 154 を形成する。本実施形態では、まず、結晶シリコン膜 120 及び層間絶縁膜 130 の上に層間絶縁膜 144 用の絶縁膜を成膜する。層間絶縁膜 144 用の絶縁膜は、例えば SiO_2 膜、 SiOCN 膜、 SiOC 膜である。次に、リソグラフィにより、結晶シリコン膜 120 上に開口を有するレジストマスクを形成する。次に、レジストマスクを用いて、ドライエッチング等により層間絶縁膜 144 用の絶縁膜をエッチングして除去する。これにより、結晶シリコ

ン膜 120 が露出するビア 146 が形成される。次に、ビア 146 が埋め込まれるように金属膜を成膜し、CMP 等により表面を平坦化する。これにより、ビア 146 の内部に金属膜 148 が形成される。金属膜 148 は、例えば窒化チタン、タングステン、コバルト、モリブデン、ルテニウムにより形成される。次に、層間絶縁膜 144 及び金属膜 148 の上に層間絶縁膜 150 用の絶縁膜を成膜する。層間絶縁膜 150 用の絶縁膜は、例えば SiO_2 膜、 SiOCN 膜、 SiOC 膜である。次に、リソグラフィにより、金属膜 148 上に開口を有するレジストマスクを形成する。次に、レジストマスクを用いて、ドライエッチング等により層間絶縁膜 150 用の絶縁膜をエッチングして除去する。これにより、金属膜 148 が露出する開口 152 が形成される。次に、開口 152 が埋め込まれるように金属膜を成膜し、CMP 等により表面を平坦化する。これにより、開口 152 の内部にパッド 154 が形成される。パッド 154 は、例えば窒化チタン、タングステン、コバルト、モリブデン、ルテニウムにより形成される。

[0021] 次に、図 12 に示されるように、第 1 主面 112a と垂直な方向においてトランジスタ 142 と隣り合い、トランジスタ 142 と電氣的に接続されるキャパシタ 160 を形成する。本実施形態では、まず、層間絶縁膜 150 及びパッド 154 の上に層間絶縁膜 156 用の絶縁膜を成膜する。層間絶縁膜 156 用の絶縁膜は、例えば SiO_2 膜、 SiOCN 膜、 SiOC 膜である。次に、リソグラフィにより、パッド 154 上に開口を有するレジストマスクを形成する。次に、レジストマスクを用いて、ドライエッチング等により層間絶縁膜 156 用の絶縁膜をエッチングして除去する。これにより、パッド 154 が露出するキャパシタ孔 158 が形成される。次に、キャパシタ孔 158 の内部にキャパシタ 160 を形成する。キャパシタ 160 は、例えば金属膜の間に絶縁膜を挟む構造を有する。次に、層間絶縁膜 156 の上面及びキャパシタ 160 の上面を覆う絶縁膜 162 を形成する。

[0022] 以上により、第 1 実施形態に係る半導体装置 1 が製造される。半導体装置 1 は、複数のメモリセル 164 を有する DRAM (Dynamic Random Access M

emory) として構成される。各メモリセル 164 は、直列に接続されたトランジスタ 142 とキャパシタ 160 とを含む。

[0023] 以上に説明したように、第 1 実施形態に係る半導体装置 1 の製造方法によれば、まず、第 1 主面 112a を有するシリコン基板 112 を準備する。次に、シリコン基板 112 の第 1 主面 112a の上に、シリコン酸化膜 114、非晶質シリコン膜 116、及び金属層 118 をこの順に形成する。次に、金属層 118 が形成されたシリコン基板 112 をアニールすることにより、非晶質シリコン膜 116 を結晶シリコン膜 120 に変化させる。次に、結晶シリコン膜 120 の一部をチャンネルとするトランジスタ 142 を形成する。次に、第 1 主面 112a と垂直な方向においてトランジスタ 142 と隣り合い、トランジスタ 142 と電氣的に接続されるキャパシタ 160 を形成する。この場合、SOI 基板を用いずに、結晶シリコン膜 120 の一部をチャンネルとするトランジスタ 142 を含む半導体装置 1 を形成できる。

[0024] [第 2 実施形態]

図 13 から図 23 を参照し、第 2 実施形態に係る半導体装置 2 の製造方法について説明する。図 13 から図 23 は、第 2 実施形態に係る半導体装置 2 の製造方法を示す断面図である。

[0025] まず、図 13 に示されるように、シリコン基板 212 を準備する。シリコン基板 212 は、第 1 主面 212a と、第 2 主面 212b とを有する。第 2 主面 212b は、第 1 主面 212a と反対の面である。本実施形態では、シリコン基板 212 は、シリコン単結晶基板である。

[0026] 次に、図 14 に示されるように、シリコン基板 212 の第 1 主面 212a の上にシリコン酸化膜 214、非晶質シリコン膜 216、及び金属層 218 をこの順に形成する。本実施形態では、まず、CVD、熱酸化等により、シリコン基板 212 の第 1 主面 212a の上にシリコン酸化膜 214 を形成する。次に、CVD 等により、シリコン酸化膜 214 の上に非晶質シリコン膜 216 を形成する。非晶質シリコン膜 216 は、最終的な半導体装置 2 に残る結晶シリコン膜 220 の膜厚よりも厚くなるように堆積させる。例えば、

非晶質シリコン膜 216 の膜厚は、最終的な半導体装置 2 に残る結晶シリコン膜 220 の膜厚の 2 倍以上であってよい。次に、CVD、PVD 等により、非晶質シリコン膜 216 の上に金属層 218 を形成する。金属層 218 は、金属層 118 と同様に形成できる。

[0027] 次に、図 15 に示されるように、金属層 218 が形成されたシリコン基板 212 をアニールすることにより、非晶質シリコン膜 216 を結晶シリコン膜 220 に変化させる。結晶シリコン膜 220 は、結晶シリコン膜 120 と同様に形成できる。

[0028] 次に、図 16 に示されるように、結晶シリコン膜 220 を柱状に加工する。本実施形態では、まず、CVD 等により、結晶シリコン膜 220 の上にハードマスク 222 用の薄膜を形成する。ハードマスク 222 用の薄膜は、例えば SiN 膜、SiO₂ 膜である。次に、リソグラフィにより、結晶シリコン膜 220 を残す領域以外に開口を有するレジストマスクを形成する。次に、レジストマスクを用いて、結晶シリコン膜 220 をエッチングして除去する。次に、レジストマスクを除去する。これにより、結晶シリコン膜 220 が、第 1 主面 212a と垂直な方向に延在する柱状に加工される。

[0029] 次に、図 17 に示されるように、ゲート絶縁膜 226 及びゲート電極 228 を形成する。ゲート絶縁膜 226 及びゲート電極 228 は、ゲート絶縁膜 126 及びゲート電極 128 と同様に形成できる。ゲート絶縁膜 226 及びゲート電極 228 は、例えば第 1 主面 212a と垂直な方向において結晶シリコン膜 220 の中央部分に形成される。

[0030] 次に、図 18 に示されるように、層間絶縁膜 230 を形成する。本実施形態では、まず、シリコン酸化膜 214、結晶シリコン膜 220、ゲート絶縁膜 226、及びゲート電極 228 を覆うように層間絶縁膜 230 用の絶縁膜を成膜する。層間絶縁膜 230 用の絶縁膜は、例えば SiO₂ 膜、SiOCN 膜、SiOC 膜である。次に、CMP 等により、結晶シリコン膜 220 の上面を露出させる。これにより、層間絶縁膜 230 が形成される。このとき、ゲート電極 228 の近傍まで結晶シリコン膜 220 を研磨して膜厚を減ずる

。この場合、結晶シリコン膜 220 のうち金属誘起結晶化又は金属誘起横方向結晶化の始点領域近傍が除去される。金属誘起結晶化又は金属誘起横方向結晶化の始点領域近傍は、結晶性が悪くなったり、結晶性が不均一になったりしやすい。このため、金属誘起結晶化又は金属誘起横方向結晶化の始点領域近傍を除去することで、結晶性が良好な結晶シリコン膜 220 をチャンネルとして利用できる。次に、結晶シリコン膜 220 のビット線 238 側へのイオン注入を行う。例えば、イオン注入により、ソース領域（図示せず）が形成される。ソース領域を形成するためのイオン注入においては、例えばヒ素、リン等の n 型不純物をイオン注入する。ソース領域は、ビット線 238 と電氣的に接続される。次に、RTA、加熱炉等により、活性化アニールを行う。

[0031] 次に、図 19 に示されるように、ビット線 238 を形成する。本実施形態では、まず、結晶シリコン膜 220 及び層間絶縁膜 230 の上に層間絶縁膜 232 用の絶縁膜を成膜する。層間絶縁膜 232 用の絶縁膜は、例えば SiO_2 膜、 SiOCN 膜、 SiOC 膜である。次に、リソグラフィにより、結晶シリコン膜 220 上に開口を有するレジストマスクを形成する。次に、レジストマスクを用いて、ドライエッチング等により層間絶縁膜 232 用の絶縁膜をエッチングして除去する。これにより、結晶シリコン膜 220 が露出するビア 234 が形成される。次に、ビア 234 が埋め込まれるように金属膜を成膜し、CMP 等により表面を平坦化する。これにより、ビア 234 の内部に金属膜 236 が形成される。金属膜 236 は、例えば窒化チタン、タングステン、コバルト、モリブデン、ルテニウムにより形成される。次に、層間絶縁膜 232 及び金属膜 236 の上に、ビット線 238 間を絶縁する層間絶縁膜（図示せず）用の絶縁膜を成膜する。層間絶縁膜用の絶縁膜は、例えば SiO_2 膜、 SiOCN 膜、 SiOC 膜である。次に、リソグラフィにより、ビット線 238 を形成しようとする領域に開口を有するレジストマスクを形成する。次に、レジストマスクを用いて、ドライエッチング等により層間絶縁膜用の絶縁膜をエッチングする。これにより、層間絶縁膜 232 及び金

属膜 236 が露出するトレンチが形成される。次に、トレンチが埋め込まれるようにビット線 238 用の金属膜を成膜し、CMP 等により表面を平坦化する。これにより、トレンチの内部にビット線 238 が形成される。ビット線 238 は、窒化チタン、タングステン、コバルト、モリブデン、ルテニウムにより形成される。次に、ビット線 238 及び該ビット線 238 間を絶縁する層間絶縁膜の上に層間絶縁膜 240 を形成する。層間絶縁膜 240 は、例えば SiO_2 膜、 SiOCN 膜、 SiOC 膜である。

[0032] 次に、図 20 に示されるように、層間絶縁膜 240 まで形成された第 1 基板 210 の第 1 主面 212 a の側を、予め準備した第 2 基板 290 に接合する。本実施形態では、第 2 基板 290 は、CMOS 基板である。第 2 基板 290 は、CMOS 部 292 と、配線部 294 とを有する。CMOS 部 292 は、シリコン基板 292 a と、複数のトランジスタ 292 b とを含む。複数のトランジスタ 292 b は、P 型トランジスタと、N 型トランジスタとを含む。配線部 294 は、配線 294 a と、層間絶縁膜 294 b とを含む。配線 294 a は、多層に形成される。層間絶縁膜 294 b は、配線 294 a 間を絶縁する。第 1 基板 210 と第 2 基板 290 とは、層間絶縁膜 240 と配線部 294 とが接するように接合される。

[0033] 次に、図 21 に示されるように、シリコン基板 212 の第 2 主面 212 b 側からシリコン基板 212、シリコン酸化膜 214、結晶シリコン膜 220 の一部、及び層間絶縁膜 230 の一部を除去することにより、第 1 基板 210 を薄化する。本実施形態では、まず、グラインディング及び CMP をこの順に行うことにより、第 2 主面 212 b 側からシリコン基板 212、シリコン酸化膜 214、結晶シリコン膜 220 の一部、及び層間絶縁膜 230 の一部を研磨して除去する。この場合、シリコン酸化膜 214 中に拡散しうる金属がシリコン酸化膜 214 と共に除去されるため、最終的な半導体装置 2 に残らない。結晶シリコン膜 220 の一部を研磨する際、ゲート電極 228 の近傍まで結晶シリコン膜 220 を研磨して膜厚を減ずる。この場合、結晶シリコン膜 220 のうち金属誘起結晶化又は金属誘起横方向結晶化の終点領域

近傍が除去される。金属誘起結晶化又は金属誘起横方向結晶化の終点領域近傍は、結晶性が悪くなったり、結晶性が不均一になったりしやすい。このため、金属誘起結晶化又は金属誘起横方向結晶化の終点領域近傍を除去することで、結晶性が良好な結晶シリコン膜 220 をチャンネルとして利用できる。次に、結晶シリコン膜 220 のキャパシタ 260 側へのイオン注入を行う。例えば、イオン注入により、ドレイン領域（図示せず）が形成される。これにより、結晶シリコン膜 220 のソース領域とドレイン領域との間をチャンネル（図示せず）とするトランジスタ 242 が形成される。ドレイン領域を形成するためのイオン注入においては、例えばヒ素、リン等の n 型不純物をイオン注入する。ドレイン領域は、キャパシタ 260 と電氣的に接続される。次に、RTA、加熱炉等により、活性化アニールを行う。

[0034] 次に、図 22 に示されるように、キャパシタ 260 用のパッド 254 を形成する。本実施形態では、まず、結晶シリコン膜 220 及び層間絶縁膜 230 の上に層間絶縁膜 244 用の絶縁膜を成膜する。層間絶縁膜 244 用の絶縁膜は、例えば SiO_2 膜、 SiOCN 膜、 SiOC 膜である。次に、リソグラフィにより、結晶シリコン膜 220 上に開口を有するレジストマスクを形成する。次に、レジストマスクを用いて、ドライエッチング等により層間絶縁膜 244 用の絶縁膜をエッチングして除去する。これにより、結晶シリコン膜 220 が露出するビア 246 が形成される。次に、ビア 246 が埋め込まれるように金属膜を成膜し、CMP 等により表面を平坦化する。これにより、ビア 246 の内部に金属膜 248 が形成される。金属膜 248 は、例えば窒化チタン、タングステン、コバルト、モリブデン、ルテニウムにより形成される。次に、層間絶縁膜 244 及び金属膜 248 の上に層間絶縁膜 250 用の絶縁膜を成膜する。層間絶縁膜 250 用の絶縁膜は、例えば SiO_2 膜、 SiOCN 膜、 SiOC 膜である。次に、リソグラフィにより、金属膜 248 上に開口を有するレジストマスクを形成する。次に、レジストマスクを用いて、ドライエッチング等により層間絶縁膜 250 用の絶縁膜をエッチングして除去する。これにより、金属膜 248 が露出する開口 252 が形成さ

れる。次に、開口252が埋め込まれるように金属膜を成膜し、CMP等により表面を平坦化する。これにより、開口252の内部にパッド254が形成される。パッド254は、例えば窒化チタン、タングステン、コバルト、モリブデン、ルテニウムにより形成される。

[0035] 次に、図23に示されるように、第1主面212aと垂直な方向においてトランジスタ242と隣り合い、トランジスタ242と電氣的に接続されるキャパシタ260を形成する。本実施形態では、まず、層間絶縁膜250及びパッド254の上に層間絶縁膜256用の絶縁膜を成膜する。層間絶縁膜256用の絶縁膜は、例えばSiO₂膜、SiOCN膜、SiOC膜である。次に、リソグラフィにより、パッド254上に開口を有するレジストマスクを形成する。次に、レジストマスクを用いて、ドライエッチング等により層間絶縁膜256用の絶縁膜をエッチングして除去する。これにより、パッド254が露出するキャパシタ孔258が形成される。次に、キャパシタ孔258の内部にキャパシタ260を形成する。キャパシタ260は、例えば金属膜の間に絶縁膜を挟む構造を有する。次に、層間絶縁膜256の上面及びキャパシタ260の上面を覆う絶縁膜262を形成する。

[0036] 以上により、第2実施形態に係る半導体装置2が製造される。半導体装置2は、複数のメモリセル264を有するDRAMとして構成される。各メモリセル264は、直列に接続されたトランジスタ242とキャパシタ260とを含む。

[0037] 以上に説明したように、第2実施形態に係る半導体装置2の製造方法によれば、まず、第1主面212aを有するシリコン基板212を準備する。次に、シリコン基板212の第1主面212aの上に、シリコン酸化膜214、非晶質シリコン膜216、及び金属層218をこの順に形成する。次に、金属層218が形成されたシリコン基板212をアニールすることにより、非晶質シリコン膜216を結晶シリコン膜220に変化させる。次に、結晶シリコン膜220の一部をチャネルとするトランジスタ242を形成する。次に、第1主面212aと垂直な方向においてトランジスタ242と隣り合

い、トランジスタ 242 と電氣的に接続されるキャパシタ 260 を形成する。この場合、SOI 基板を用いずに、結晶シリコン膜 220 の一部をチャンネルとするトランジスタ 242 を含む半導体装置 2 を形成できる。

[0038] また、第 2 実施形態に係る半導体装置 2 の製造方法によれば、結晶シリコン膜 220 のうち金属誘起結晶化又は金属誘起横方向結晶化の始点領域近傍及び終点領域近傍を除去する。この場合、結晶性が良好な結晶シリコン膜 220 をチャンネルとして利用できる。

[0039] [第 3 実施形態]

図 24 から図 36 を参照し、第 3 実施形態に係る半導体装置 3 の製造方法について説明する。図 24 から図 36 は、第 3 実施形態に係る半導体装置 3 の製造方法を示す断面図である。

[0040] まず、図 24 に示されるように、シリコン基板 312 を準備する。シリコン基板 312 は、第 1 主面 312a と、第 2 主面 312b とを有する。第 2 主面 312b は、第 1 主面 312a と反対の面である。本実施形態では、シリコン基板 312 は、シリコン単結晶基板である。

[0041] 次に、図 25 に示されるように、シリコン基板 312 の第 1 主面 312a の上にシリコン酸化膜 314 及び非晶質シリコン膜 316 をこの順に形成する。本実施形態では、まず、CVD、熱酸化等により、シリコン基板 312 の第 1 主面 312a の上にシリコン酸化膜 314 を形成する。次に、CVD 等により、シリコン酸化膜 314 の上に非晶質シリコン膜 316 を形成する。非晶質シリコン膜 316 は、例えば非晶質シリコン膜 216 と同じ膜厚で堆積させる。

[0042] 次に、図 26 に示されるように、非晶質シリコン膜 316 を柱状に加工する。本実施形態では、まず、CVD 等により、非晶質シリコン膜 316 の上にハードマスク 322 用の薄膜を形成する。ハードマスク 322 用の薄膜は、例えば SiN 膜、SiO₂ 膜である。次に、リソグラフィにより、非晶質シリコン膜 316 を残す領域以外に開口を有するレジストマスクを形成する。次に、レジストマスクを用いて、非晶質シリコン膜 316 をエッチングして

除去する。次に、レジストマスクを除去する。これにより、非晶質シリコン膜 316 が、第 1 主面 312a と垂直な方向に延在する柱状に加工される。

[0043] 次に、図 27 に示されるように、ゲッタリング膜 372 及び金属層 318 を形成する。本実施形態では、まず、ウェットエッチング、ドライエッチング等により、ハードマスク 322 をエッチングして除去する。次に、非晶質シリコン膜 316 の側面及び上面を覆うようにゲッタリング膜 372 用の薄膜を形成する。ゲッタリング膜 372 用の薄膜は、例えば SiO_2 膜、 SiN 膜、不純物が添加されたポリシリコン膜である。次に、CMP 等により、非晶質シリコン膜 316 の上面を露出させる。これにより、ゲッタリング膜 372 が形成される。次に、CVD、PVD 等により、非晶質シリコン膜 316 及びゲッタリング膜 372 の上に金属層 318 を形成する。金属層 318 は、金属層 118 と同様に形成できる。

[0044] 次に、図 28 に示されるように、金属層 318 が形成されたシリコン基板 312 をアニールすることにより、非晶質シリコン膜 316 を結晶シリコン膜 320 に変化させる。本実施形態では、金属誘起結晶化、金属誘起横方向結晶化等により、非晶質シリコン膜 316 を結晶化させて結晶シリコン膜 320 を形成する。具体的には、不活性ガス雰囲気において、金属層 318 が形成されたシリコン基板 312 を所定の温度でアニールする。これにより、金属層 318 を構成する金属が非晶質シリコン膜 316 中に拡散し、非晶質シリコン膜 316 中に拡散した金属を核とする金属誘起結晶化又は金属誘起横方向結晶化により非晶質シリコン膜 316 が結晶化して結晶シリコン膜 320 が形成される。このとき、結晶シリコン膜 320 中には、金属層 318 を構成する金属が残存しうる。アニールにより、結晶シリコン膜 320 からシリコン酸化膜 114 及びゲッタリング膜 372 へ残留金属を拡散させることで、結晶シリコン膜 320 中に残存する金属の濃度を低減できる。その結果、結晶シリコン膜 320 をチャネルとするトランジスタ 342 の信頼性を向上させることができる。次に、ウェットエッチング等により、金属層 318 を除去する。

- [0045] 次に、図29に示されるように、ドライエッチング、ウェットエッチング等により、ゲッタリング膜372をエッチングして除去する。これにより、ゲッタリング膜372中の金属が再び結晶シリコン膜320に取り込まれることを防止できる。
- [0046] 次に、図30に示されるように、ゲート絶縁膜326及びゲート電極328を形成する。ゲート絶縁膜326及びゲート電極328は、ゲート絶縁膜126及びゲート電極128と同様に形成できる。ゲート絶縁膜326及びゲート電極328は、例えば第1主面312aと垂直な方向において結晶シリコン膜320の中央部分に形成される。
- [0047] 次に、図31に示されるように、層間絶縁膜330を形成する。本実施形態では、まず、シリコン酸化膜314、結晶シリコン膜320、ゲート絶縁膜326、及びゲート電極328を覆うように層間絶縁膜330用の絶縁膜を成膜する。層間絶縁膜330用の絶縁膜は、例えば SiO_2 膜、 SiOCN 膜、 SiOC 膜である。次に、CMP等により、結晶シリコン膜320の上面を露出させる。これにより、層間絶縁膜330が形成される。このとき、ゲート電極328の近傍まで結晶シリコン膜320を研磨して膜厚を減ずる。この場合、結晶シリコン膜320のうち金属誘起結晶化又は金属誘起横方向結晶化の始点領域近傍が除去される。金属誘起結晶化又は金属誘起横方向結晶化の始点領域近傍は、結晶性が悪くなったり、結晶性が不均一になったりしやすい。このため、金属誘起結晶化又は金属誘起横方向結晶化の始点領域近傍を除去することで、結晶性が良好な結晶シリコン膜320をチャンネルとして利用できる。次に、結晶シリコン膜320のビット線338側へのイオン注入を行う。例えば、イオン注入により、ソース領域（図示せず）が形成される。ソース領域を形成するためのイオン注入においては、例えばヒ素、リン等のn型不純物をイオン注入する。ソース領域は、ビット線338と電氣的に接続される。次に、RTA、加熱炉等により、活性化アニールを行う。
- [0048] 次に、図32に示されるように、ビット線338を形成する。本実施形態

では、まず、結晶シリコン膜 320 及び層間絶縁膜 330 の上に層間絶縁膜 332 用の絶縁膜を成膜する。層間絶縁膜 332 用の絶縁膜は、例えば SiO_2 膜、 SiOCN 膜、 SiOC 膜である。次に、リソグラフィにより、結晶シリコン膜 320 上に開口を有するレジストマスクを形成する。次に、レジストマスクを用いて、ドライエッチング等により層間絶縁膜 332 用の絶縁膜をエッチングして除去する。これにより、結晶シリコン膜 320 が露出するビア 334 が形成される。次に、ビア 334 が埋め込まれるように金属膜を成膜し、CMP 等により表面を平坦化する。これにより、ビア 334 の内部に金属膜 336 が形成される。金属膜 336 は、例えば窒化チタン、タングステン、コバルト、モリブデン、ルテニウムにより形成される。次に、層間絶縁膜 332 及び金属膜 336 の上に、ビット線 338 間を絶縁する層間絶縁膜（図示せず）用の絶縁膜を成膜する。層間絶縁膜用の絶縁膜は、例えば SiO_2 膜、 SiOCN 膜、 SiOC 膜である。次に、リソグラフィにより、ビット線 338 を形成しようとする領域に開口を有するレジストマスクを形成する。次に、レジストマスクを用いて、ドライエッチング等により層間絶縁膜用の絶縁膜をエッチングする。これにより、層間絶縁膜 332 及び金属膜 336 が露出するトレンチが形成される。次に、トレンチが埋め込まれるようにビット線 338 用の金属膜を成膜し、CMP 等により表面を平坦化する。これにより、トレンチの内部にビット線 338 が形成される。ビット線 338 は、窒化チタン、タングステン、コバルト、モリブデン、ルテニウムにより形成される。次に、ビット線 338 及び該ビット線 338 間を絶縁する層間絶縁膜の上に層間絶縁膜 340 を形成する。層間絶縁膜 340 は、例えば SiO_2 膜、 SiOCN 膜、 SiOC 膜である。

[0049] 次に、図 33 に示されるように、層間絶縁膜 340 まで形成された第 1 基板 310 の第 1 主面 312 a の側を、予め準備した第 2 基板 390 に接合する。本実施形態では、第 2 基板 390 は、CMOS 基板である。第 2 基板 390 は、CMOS 部 392 と、配線部 394 とを有する。CMOS 部 392 は、シリコン基板 392 a と、複数のトランジスタ 392 b とを含む。複数

のトランジスタ 392b は、P 型トランジスタと、N 型トランジスタとを含む。配線部 394 は、配線 394a と、層間絶縁膜 394b とを含む。配線 394a は、多層に形成される。層間絶縁膜 394b は、配線 394a 間を絶縁する。第 1 基板 310 と第 2 基板 390 とは、層間絶縁膜 340 と配線部 394 とが接するように接合される。

[0050] 次に、図 34 に示されるように、シリコン基板 312 の第 2 主面 312b 側からシリコン基板 312、シリコン酸化膜 314、結晶シリコン膜 320 の一部、及び層間絶縁膜 330 の一部を除去することにより、第 1 基板 310 を薄化する。本実施形態では、まず、グラインディング及び CMP をこの順に行うことにより、第 2 主面 312b 側からシリコン基板 312、シリコン酸化膜 314、結晶シリコン膜 320 の一部、及び層間絶縁膜 330 の一部を研磨して除去する。この場合、シリコン酸化膜 314 中に拡散しうる金属がシリコン酸化膜 314 と共に除去されるため、最終的な半導体装置 3 に残らない。結晶シリコン膜 320 の一部を研磨する際、ゲート電極 328 の近傍まで結晶シリコン膜 320 を研磨して膜厚を減ずる。この場合、結晶シリコン膜 320 のうち金属誘起結晶化又は金属誘起横方向結晶化の終点領域近傍が除去される。金属誘起結晶化又は金属誘起横方向結晶化の終点領域近傍は、結晶性が悪くなったり、結晶性が不均一になったりしやすい。このため、金属誘起結晶化又は金属誘起横方向結晶化の終点領域近傍を除去することで、結晶性が良好な結晶シリコン膜 320 をチャンネルとして利用できる。次に、結晶シリコン膜 320 のキャパシタ 360 側へのイオン注入を行う。例えば、イオン注入により、ドレイン領域（図示せず）が形成される。これにより、結晶シリコン膜 320 のソース領域とドレイン領域との間をチャンネル（図示せず）とするトランジスタ 342 が形成される。ドレイン領域を形成するためのイオン注入においては、例えばヒ素、リン等の n 型不純物をイオン注入する。ドレイン領域は、キャパシタ 360 と電氣的に接続される。次に、RTA、加熱炉等により、活性化アニールを行う。

[0051] 次に、図 35 に示されるように、キャパシタ 360 用のパッド 354 を形

成する。本実施形態では、まず、結晶シリコン膜 320 及び層間絶縁膜 330 の上に層間絶縁膜 344 用の絶縁膜を成膜する。層間絶縁膜 344 用の絶縁膜は、例えば SiO_2 膜、 SiOCN 膜、 SiOC 膜である。次に、リソグラフィにより、結晶シリコン膜 320 上に開口を有するレジストマスクを形成する。次に、レジストマスクを用いて、ドライエッチング等により層間絶縁膜 344 用の絶縁膜をエッチングして除去する。これにより、結晶シリコン膜 320 が露出するビア 346 が形成される。次に、ビア 346 が埋め込まれるように金属膜を成膜し、CMP 等により表面を平坦化する。これにより、ビア 346 の内部に金属膜 348 が形成される。金属膜 348 は、例えば窒化チタン、タングステン、コバルト、モリブデン、ルテニウムにより形成される。次に、層間絶縁膜 344 及び金属膜 348 の上に層間絶縁膜 350 用の絶縁膜を成膜する。層間絶縁膜 350 用の絶縁膜は、例えば SiO_2 膜、 SiOCN 膜、 SiOC 膜である。次に、リソグラフィにより、金属膜 348 上に開口を有するレジストマスクを形成する。次に、レジストマスクを用いて、ドライエッチング等により層間絶縁膜 350 用の絶縁膜をエッチングして除去する。これにより、金属膜 348 が露出する開口 352 が形成される。次に、開口 352 が埋め込まれるように金属膜を成膜し、CMP 等により表面を平坦化する。これにより、開口 352 の内部にパッド 354 が形成される。パッド 354 は、例えば窒化チタン、タングステン、コバルト、モリブデン、ルテニウムにより形成される。

[0052] 次に、図 36 に示されるように、第 1 主面 312a と垂直な方向においてトランジスタ 342 と隣り合い、トランジスタ 342 と電氣的に接続されるキャパシタ 360 を形成する。本実施形態では、まず、層間絶縁膜 350 及びパッド 354 の上に層間絶縁膜 356 用の絶縁膜を成膜する。層間絶縁膜 356 用の絶縁膜は、例えば SiO_2 膜、 SiOCN 膜、 SiOC 膜である。次に、リソグラフィにより、パッド 354 上に開口を有するレジストマスクを形成する。次に、レジストマスクを用いて、ドライエッチング等により層間絶縁膜 356 用の絶縁膜をエッチングして除去する。これにより、パッド

354が露出するキャパシタ孔358が形成される。次に、キャパシタ孔358の内部にキャパシタ360を形成する。キャパシタ360は、例えば金属膜の間に絶縁膜を挟む構造を有する。次に、層間絶縁膜356の上面及びキャパシタ360の上面を覆う絶縁膜362を形成する。

[0053] 以上により、第3実施形態に係る半導体装置3が製造される。半導体装置3は、複数のメモリセル364を有するDRAMとして構成される。各メモリセル364は、直列に接続されたトランジスタ342とキャパシタ360とを含む。

[0054] 以上に説明したように、第3実施形態に係る半導体装置3の製造方法によれば、まず、第1主面312aを有するシリコン基板312を準備する。次に、シリコン基板312の第1主面312aの上に、シリコン酸化膜314、非晶質シリコン膜316、及び金属層318をこの順に形成する。次に、金属層318が形成されたシリコン基板312をアニールすることにより、非晶質シリコン膜316を結晶シリコン膜320に変化させる。次に、結晶シリコン膜320の一部をチャンネルとするトランジスタ342を形成する。次に、第1主面312aと垂直な方向においてトランジスタ342と隣り合い、トランジスタ342と電氣的に接続されるキャパシタ360を形成する。この場合、SOI基板を用いずに、結晶シリコン膜320の一部をチャンネルとするトランジスタ342を含む半導体装置3を形成できる。

[0055] また、第3実施形態に係る半導体装置3の製造方法によれば、結晶シリコン膜320のうち金属誘起結晶化又は金属誘起横方向結晶化の始点領域近傍及び終点領域近傍を除去する。この場合、結晶性が良好な結晶シリコン膜320をチャンネルとして利用できる。

[0056] 今回開示された実施形態はすべての点で例示であって制限的なものではないと考えられるべきである。上記の実施形態は、添付の請求の範囲及びその趣旨を逸脱することなく、様々な形態で省略、置換、変更されてもよい。

[0057] 本国際出願は、2023年11月16日に提出した日本国特許出願第2023-194952号に基づく優先権を主張するものであり、当該出願の全

内容を本国際出願に援用する。

符号の説明

- [0058] 1、2、3 半導体装置
- 1 1 2、2 1 2、3 1 2 シリコン基板
- 1 1 2 a、2 1 2 a、3 1 2 a 第1主面
- 1 1 4、2 1 4、3 1 4 シリコン酸化膜
- 1 1 6、2 1 6、3 1 6 非晶質シリコン膜
- 1 1 8、2 1 8、3 1 8 金属層
- 1 2 0、2 2 0、3 2 0 結晶シリコン膜
- 1 4 2、2 4 2、3 4 2 トランジスタ
- 1 6 0、2 6 0、3 6 0 キャパシタ

請求の範囲

- [請求項1] 第1主面を有するシリコン基板を準備する工程と、
前記シリコン基板の前記第1主面の上にシリコン酸化膜を形成する工程と、
前記シリコン酸化膜の上に非晶質シリコン膜を形成する工程と、
前記非晶質シリコン膜の上に金属層を形成する工程と、
前記金属層が形成された前記シリコン基板をアニールすることにより、前記非晶質シリコン膜を結晶シリコン膜に変化させる工程と、
前記結晶シリコン膜の一部をチャンネルとするトランジスタを形成する工程と、
前記第1主面と垂直な方向において前記トランジスタと隣り合い、前記トランジスタと電氣的に接続されるキャパシタを形成する工程と、
を有する、半導体装置の製造方法。
- [請求項2] 前記トランジスタを形成する工程は、
前記シリコン基板の前記第1主面の側を第2シリコン基板に接合する工程と、
前記第2シリコン基板に接合された前記シリコン基板の前記第1主面と反対の第2主面の側から前記シリコン基板及び前記シリコン酸化膜を除去する工程と、
を含む、
請求項1に記載の半導体装置の製造方法。
- [請求項3] 前記第2シリコン基板は、CMOS基板である、
請求項2に記載の半導体装置の製造方法。
- [請求項4] 前記結晶シリコン膜は、前記シリコン酸化膜と接する第1面と、前記第1面と反対の第2面とを有し、
前記トランジスタを形成する工程は、前記結晶シリコン膜の前記第2面を研磨して膜厚を減ずる工程を含む、

請求項 3 に記載の半導体装置の製造方法。

[請求項5] 前記トランジスタを形成する工程は、前記シリコン基板及び前記シリコン酸化膜を除去する工程の後に、前記結晶シリコン膜の前記第 1 面を研磨して膜厚を減ずる工程を含む、

請求項 4 に記載の半導体装置の製造方法。

[請求項6] 前記シリコン基板及び前記シリコン酸化膜を除去する工程は、レーザーリフトオフ又はレーザを用いた剥離技術により前記シリコン基板を除去することを含む、

請求項 2 に記載の半導体装置の製造方法。

[請求項7] 前記結晶シリコン膜に変化させる工程と前記トランジスタを形成する工程との間に、前記結晶シリコン膜を前記第 1 主面と垂直な方向に延在する柱状に加工する工程を有する、

請求項 1 乃至 6 のいずれか一項に記載の半導体装置の製造方法。

[請求項8] 前記非晶質シリコン膜を形成する工程と前記金属層を形成する工程との間に、前記非晶質シリコン膜を前記第 1 主面と垂直な方向に延在する柱状に加工する工程を有する、

請求項 1 乃至 6 のいずれか一項に記載の半導体装置の製造方法。

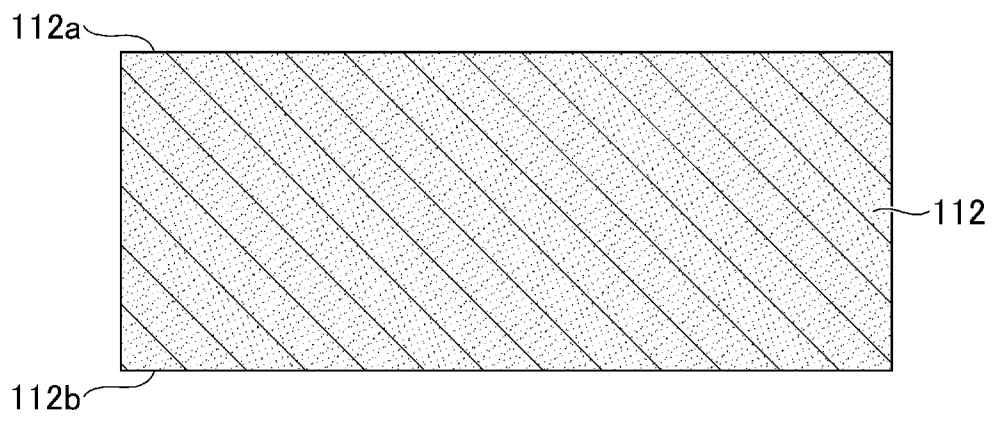
[請求項9] 前記柱状に加工する工程と前記金属層を形成する工程との間に、前記非晶質シリコン膜の側面を覆うゲッタリング膜を形成する工程を有する、

請求項 8 に記載の半導体装置の製造方法。

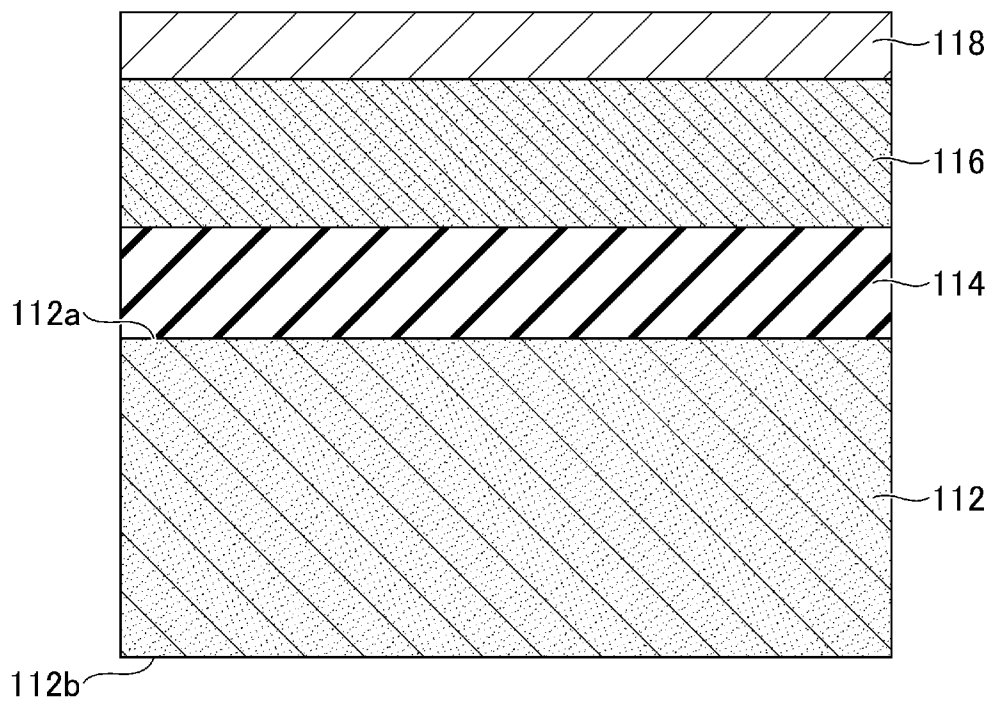
[請求項10] 前記金属層を形成する工程の後に、前記ゲッタリング膜を除去する工程を有する、

請求項 9 に記載の半導体装置の製造方法。

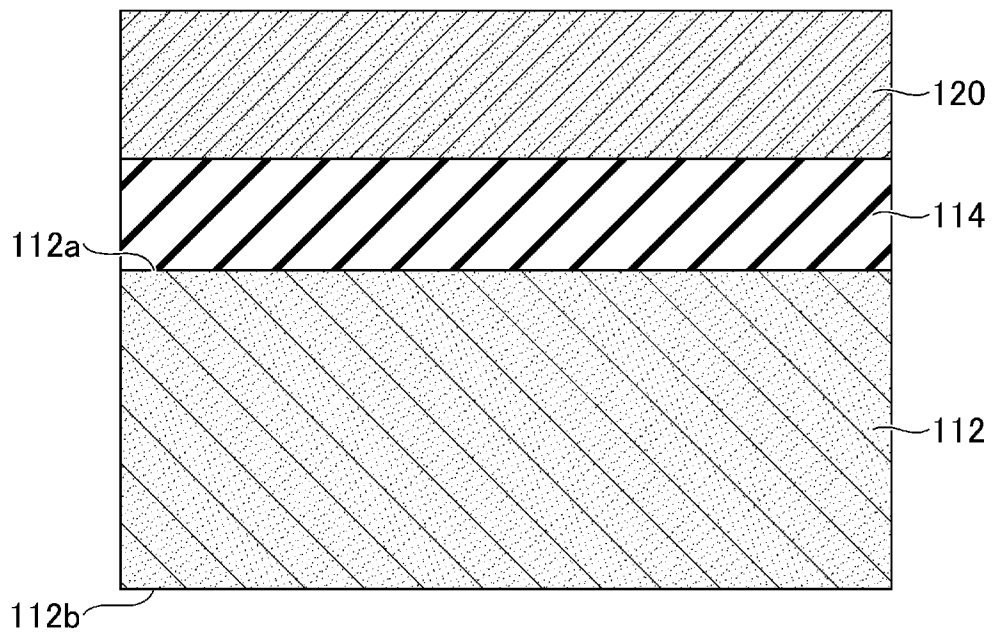
[図1]



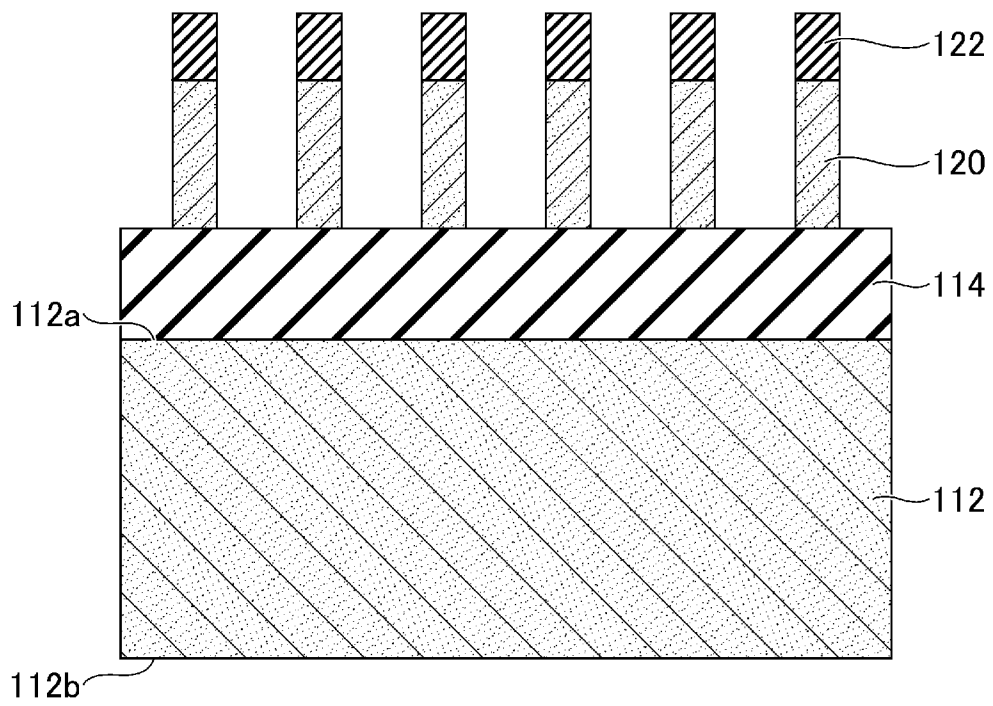
[図2]



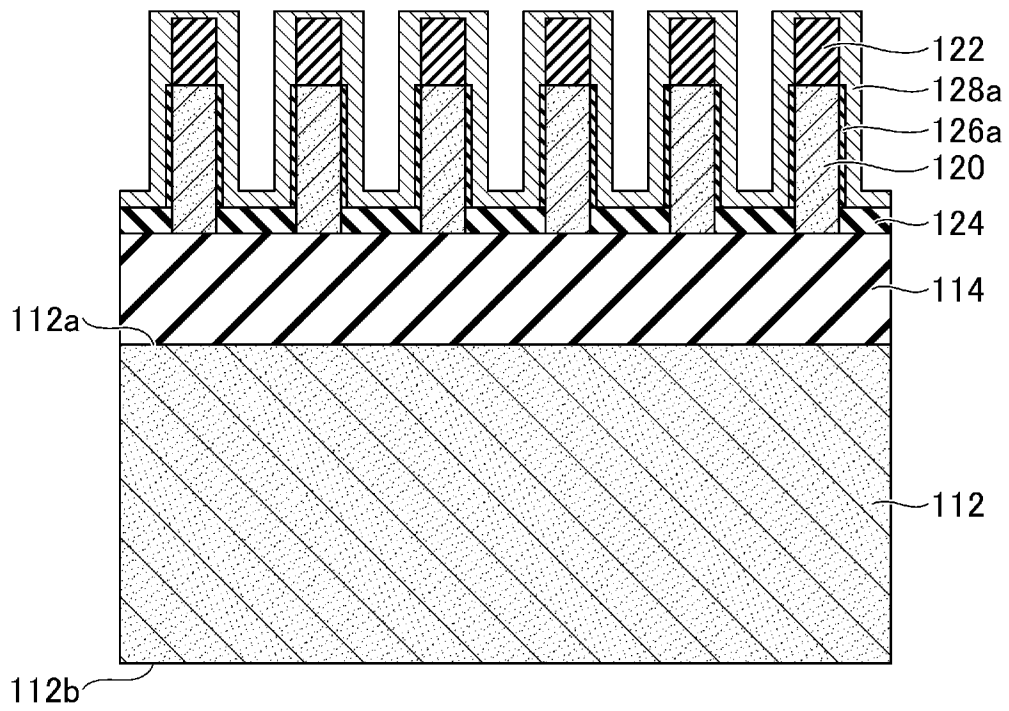
[図3]



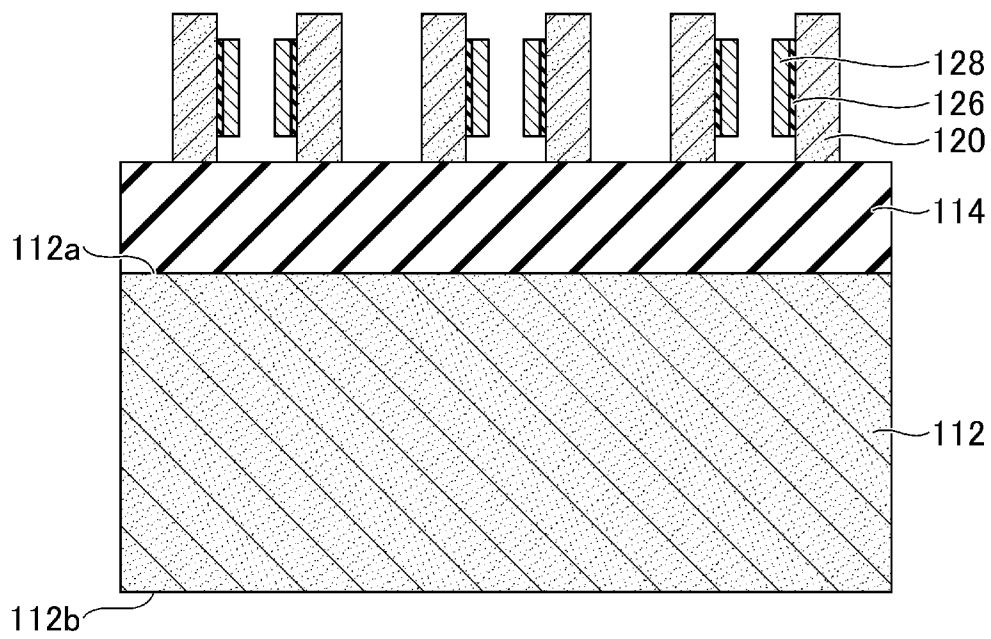
[図4]



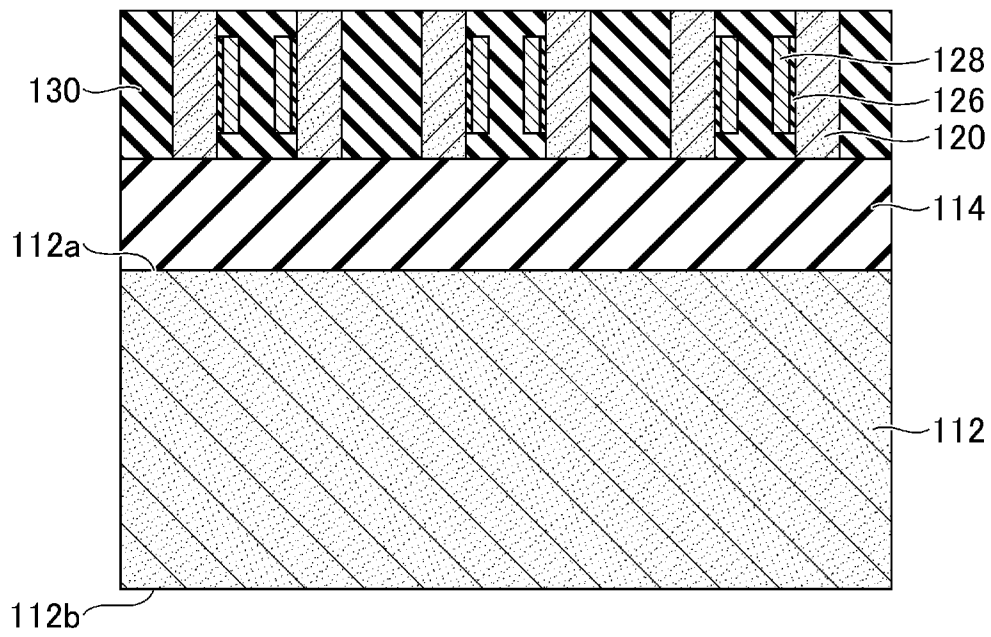
[図5]



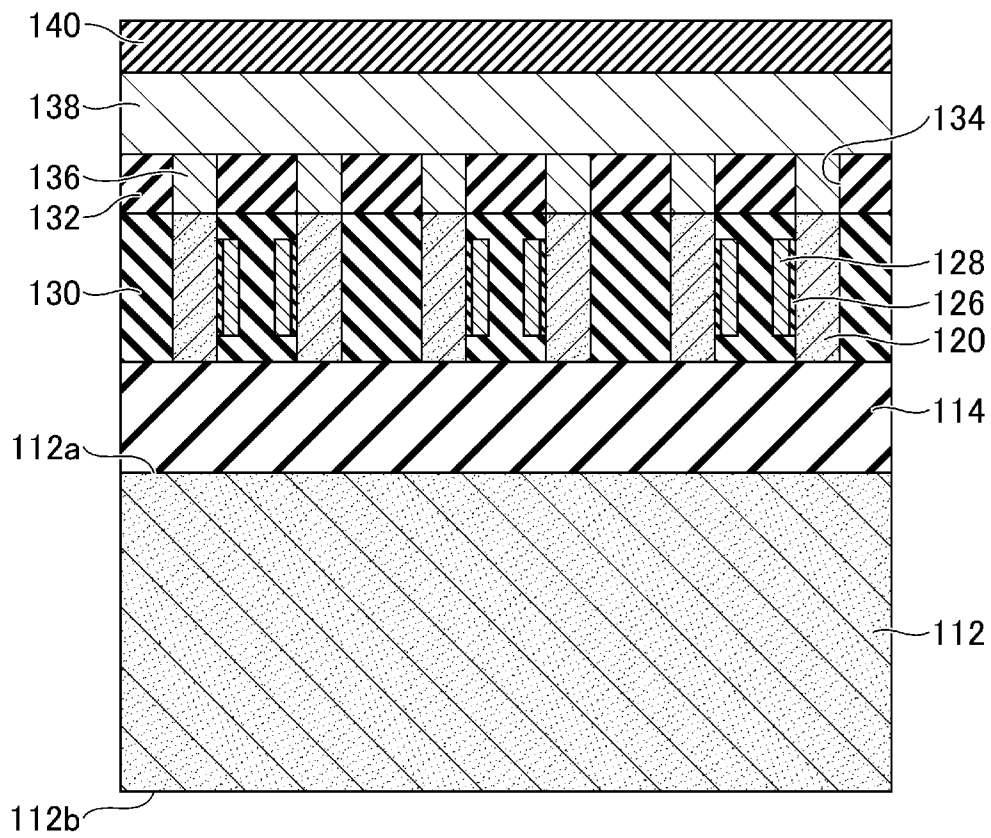
[図6]



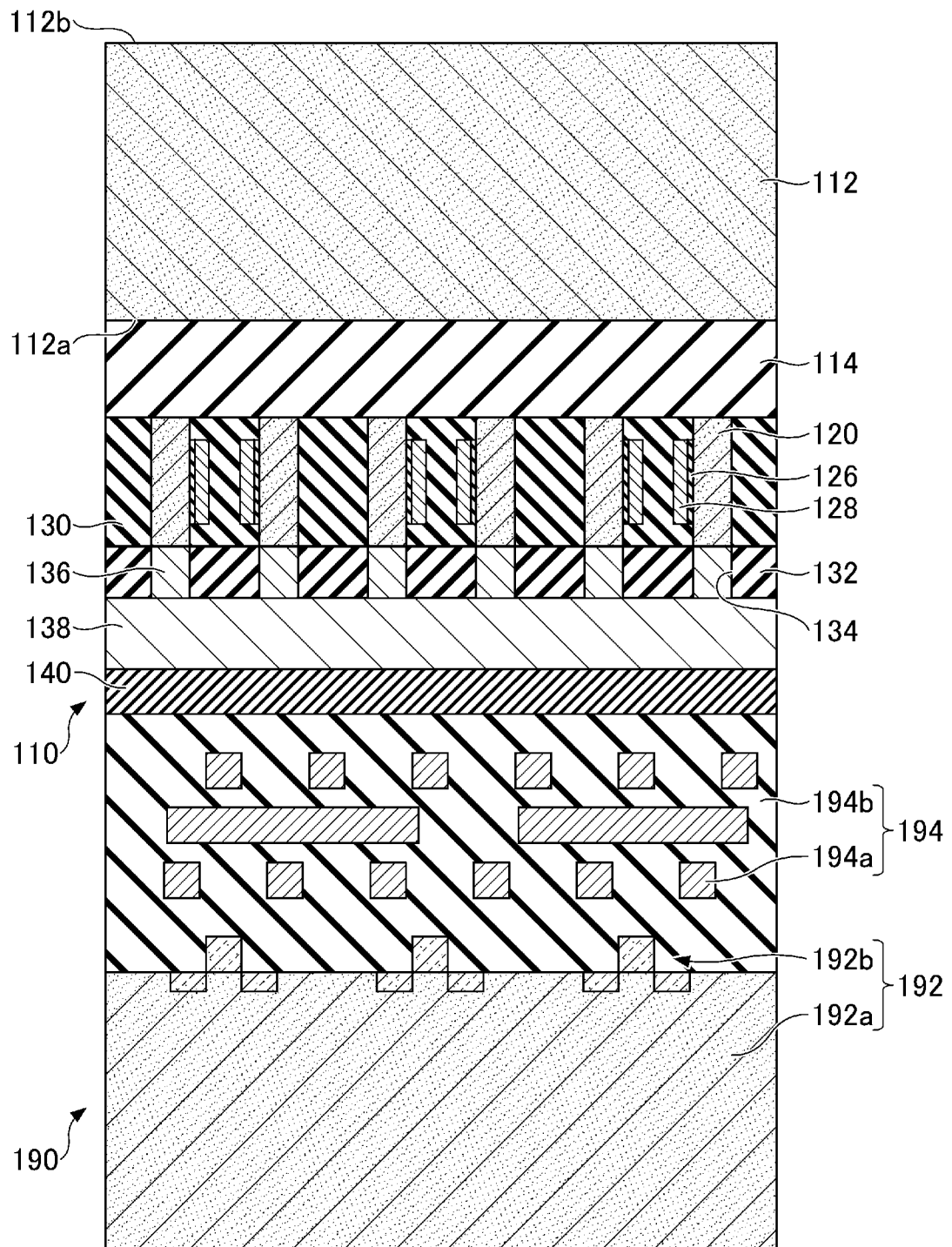
[図7]



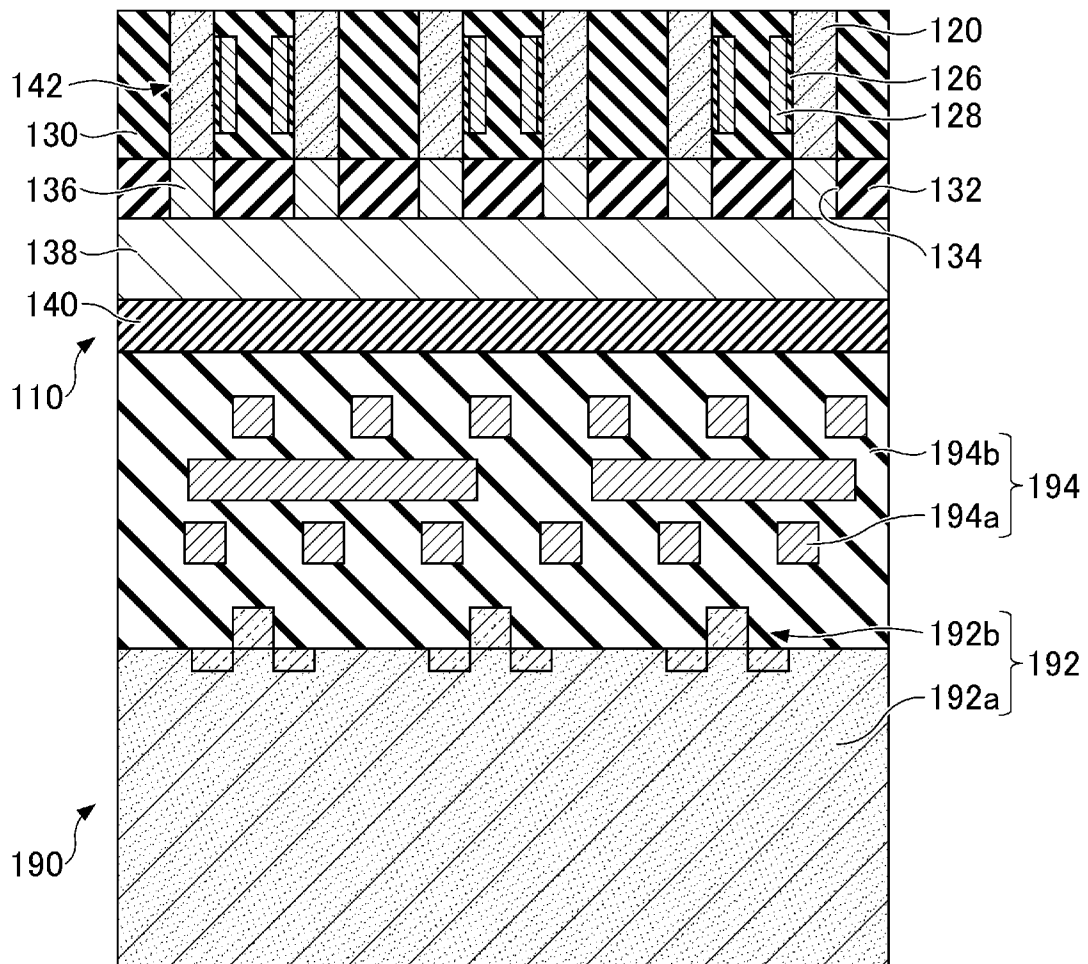
[図8]



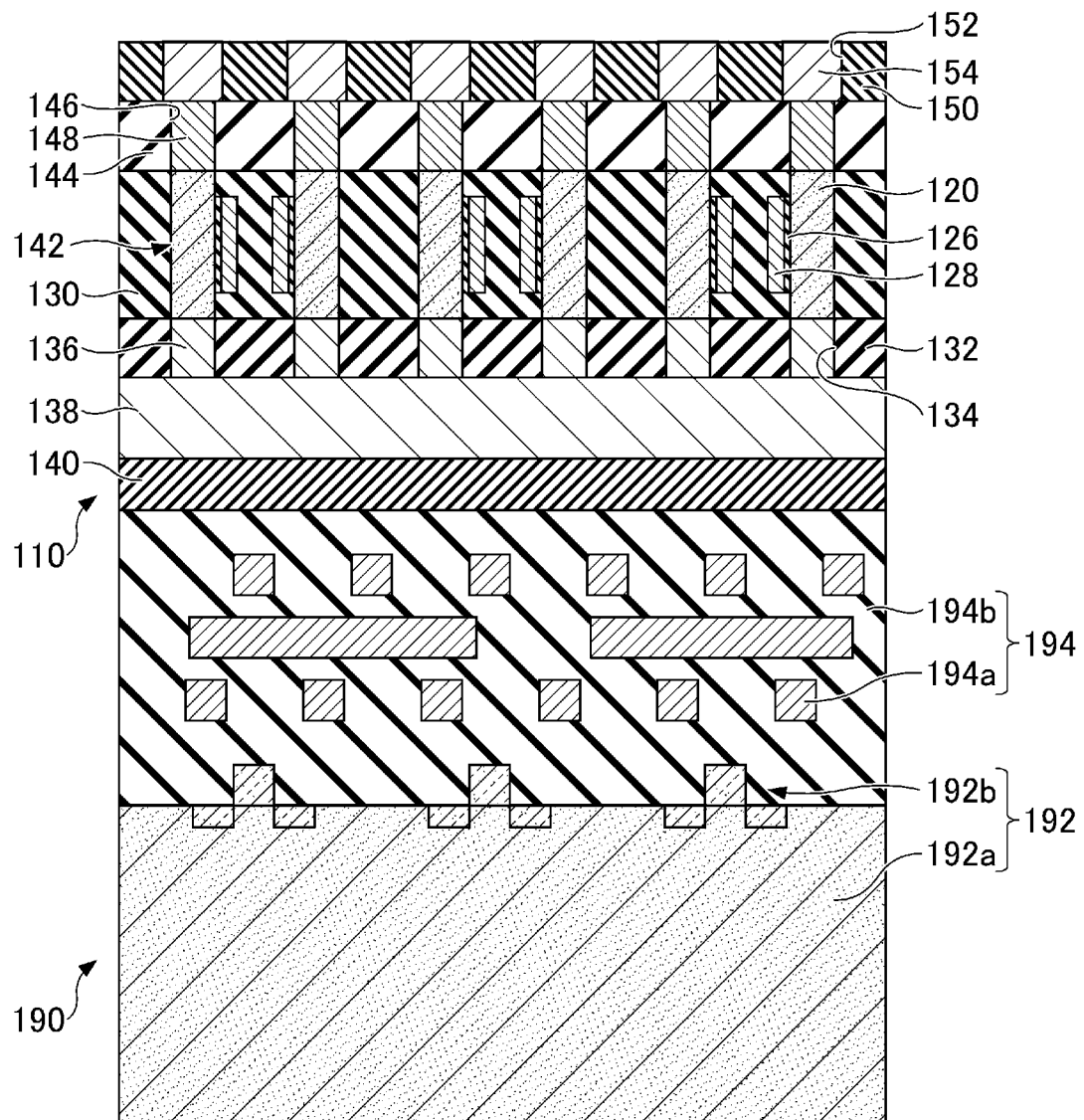
[図9]



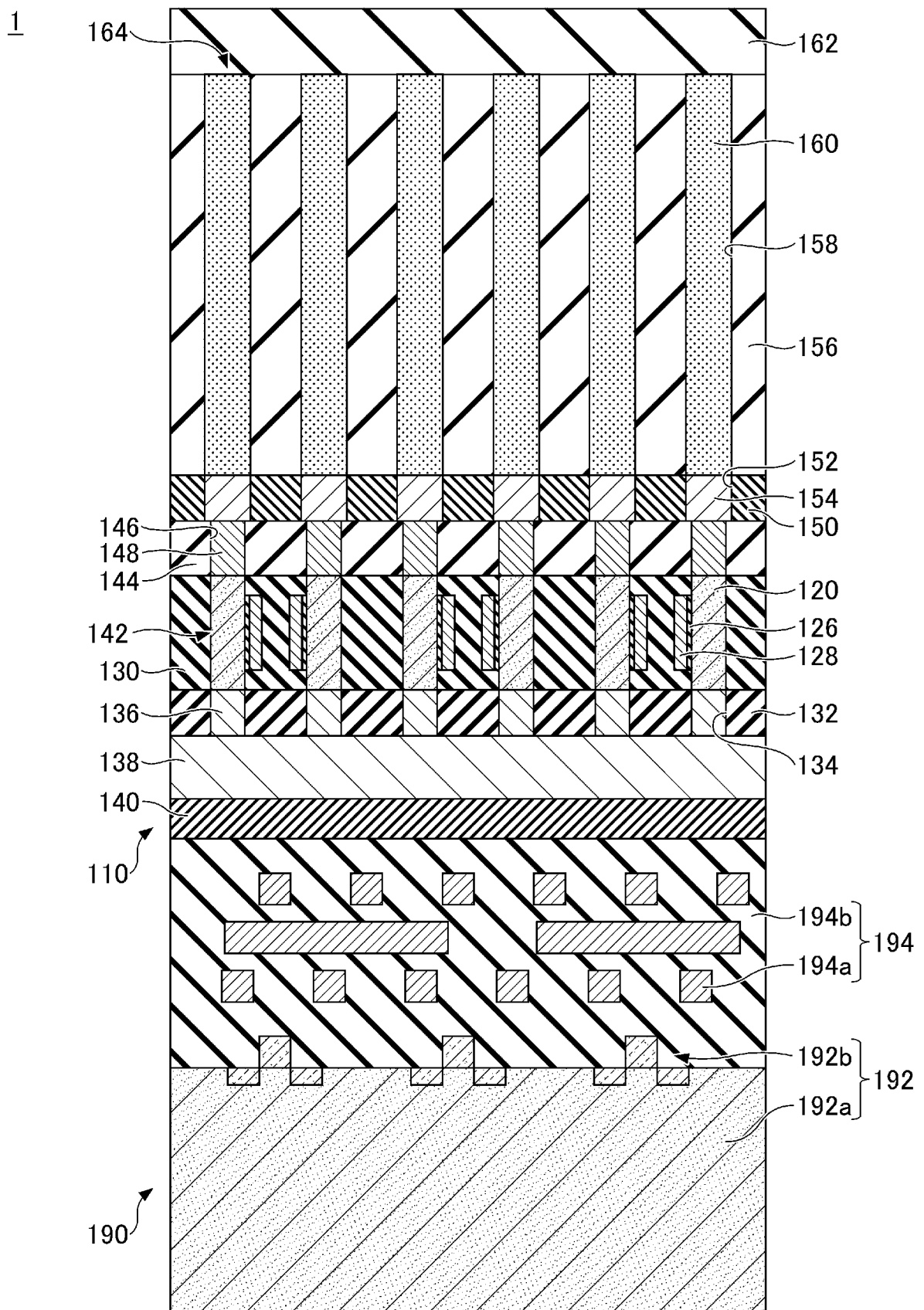
[図10]



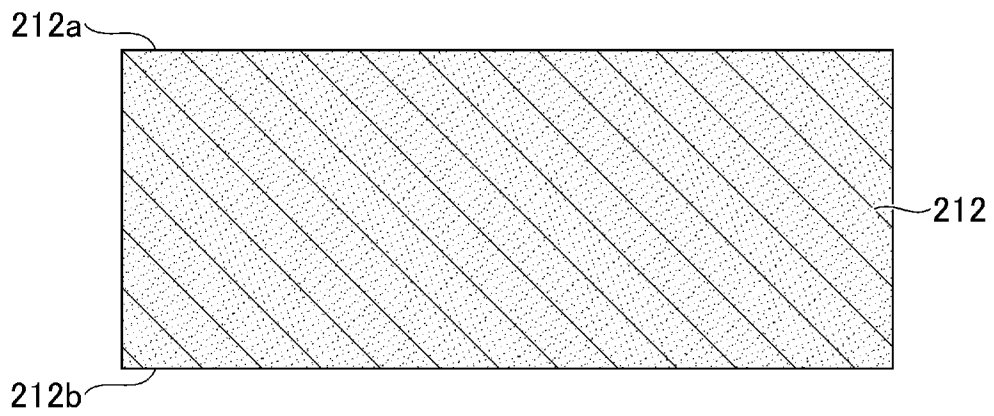
[図11]



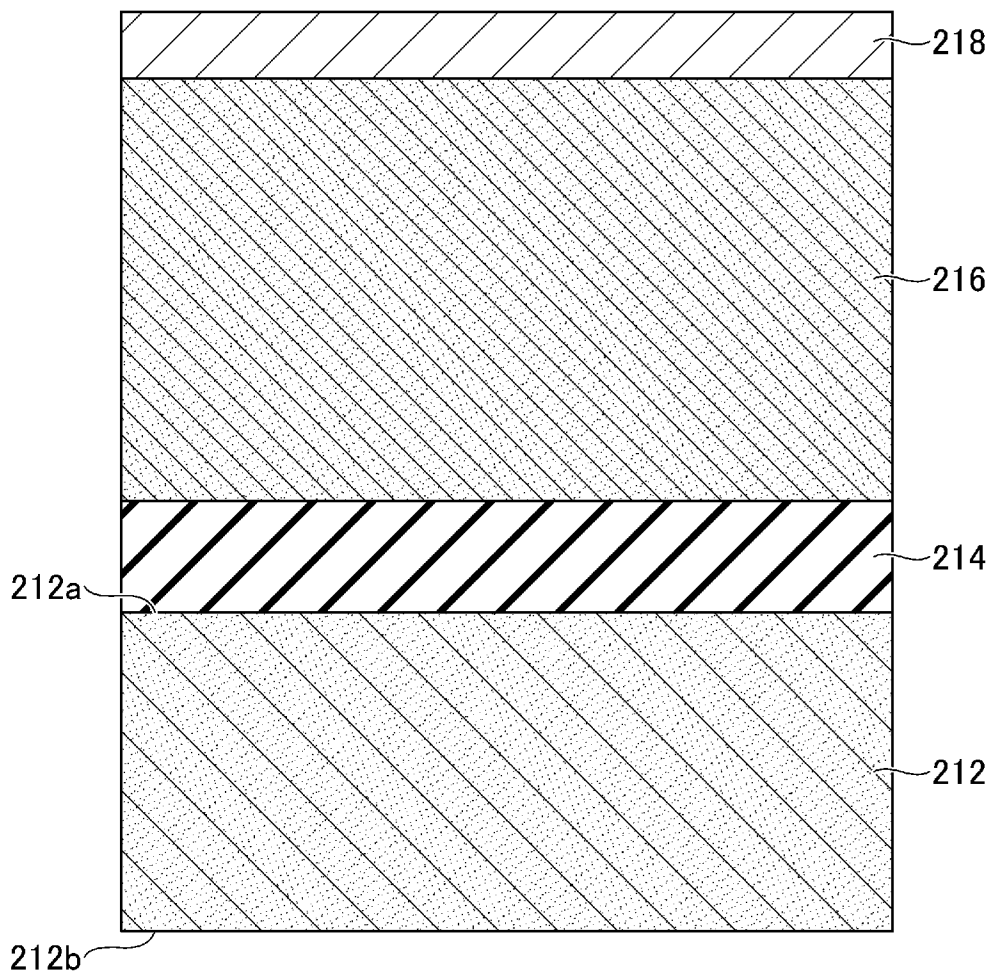
[図12]



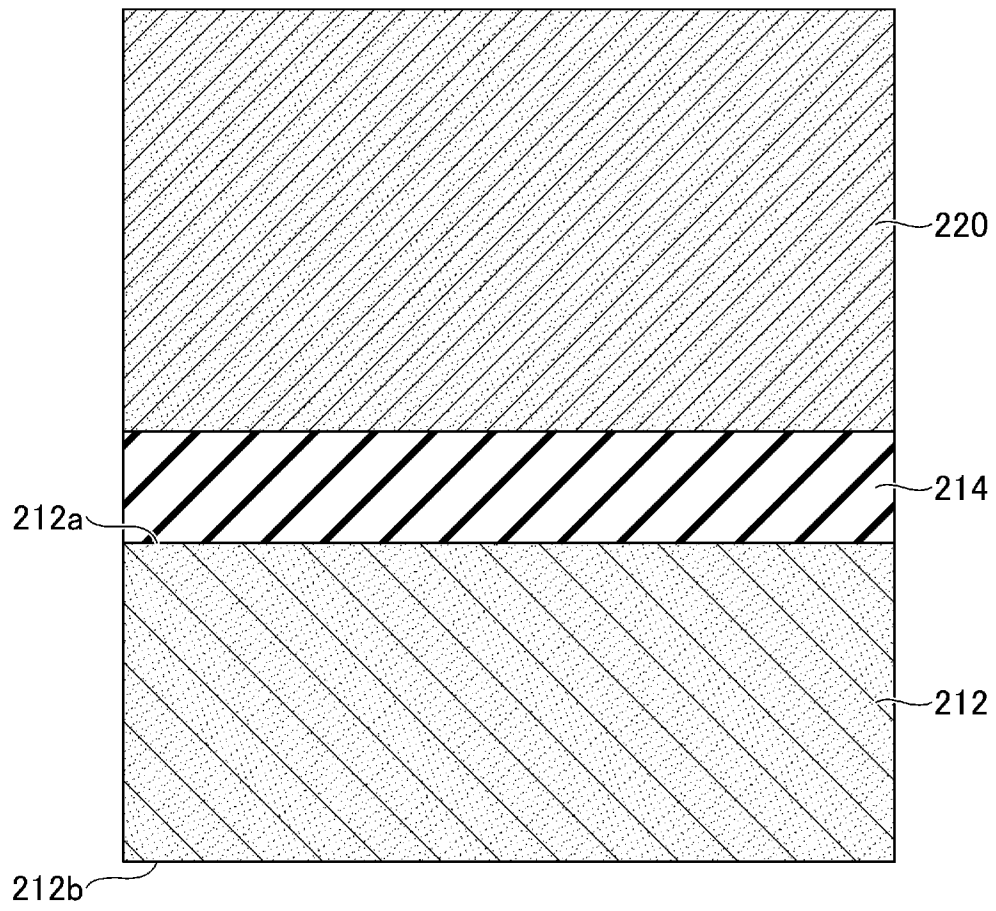
[図13]



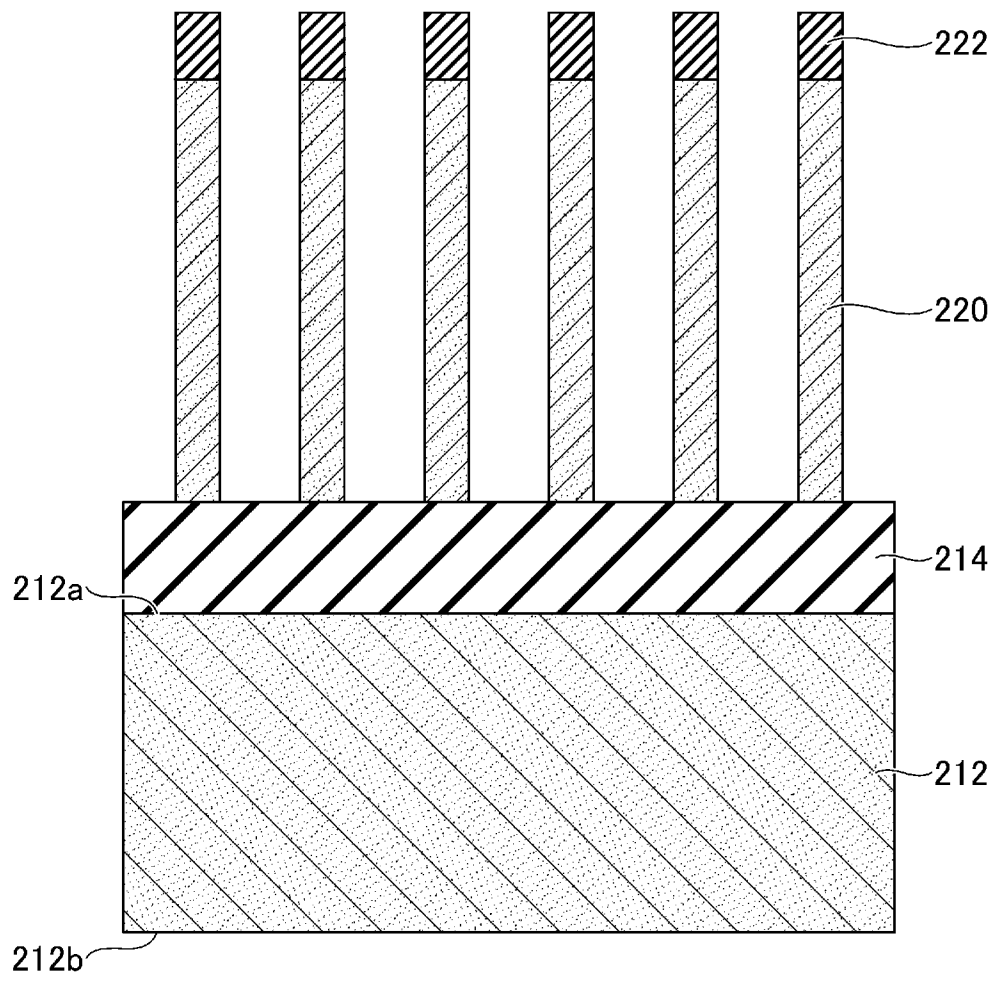
[図14]



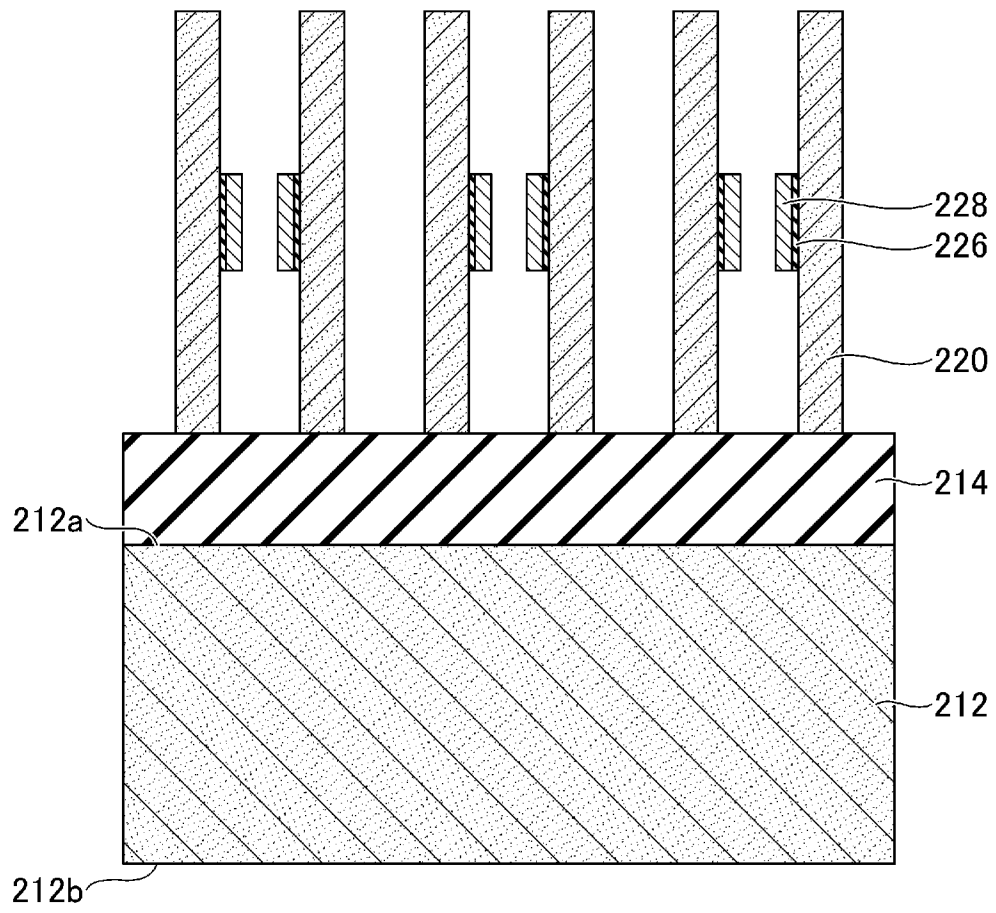
[図15]



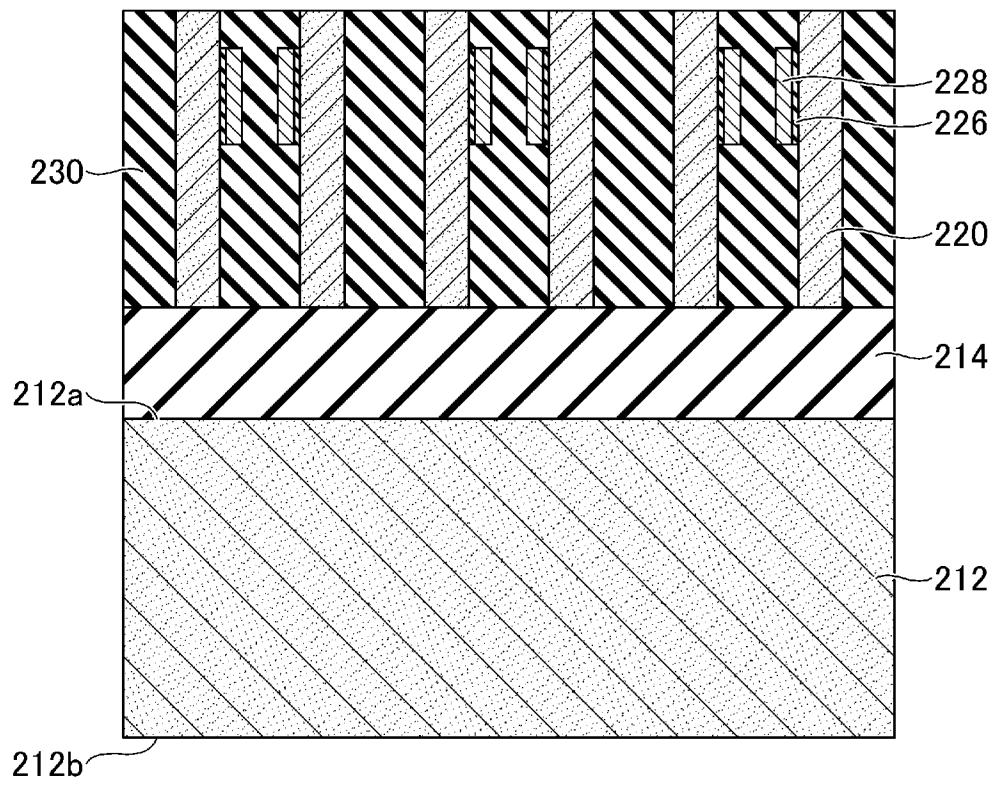
[図16]



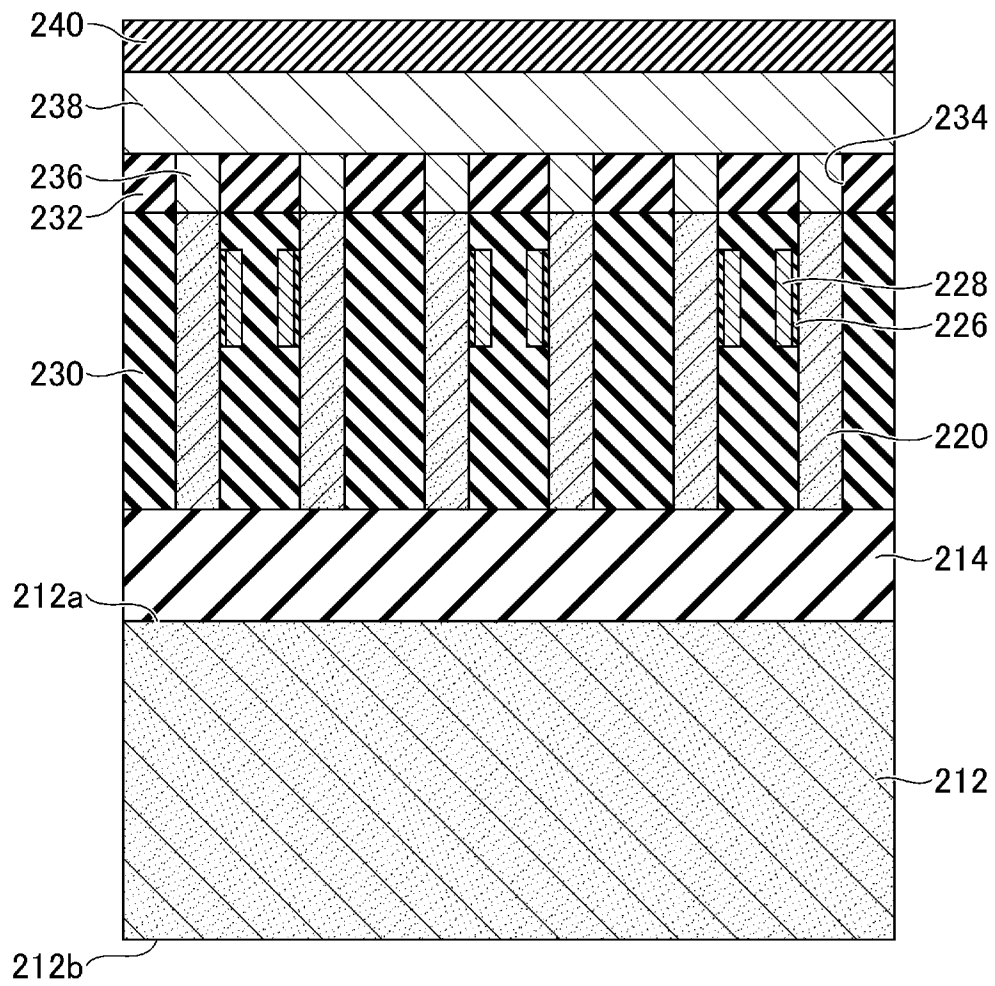
[図17]



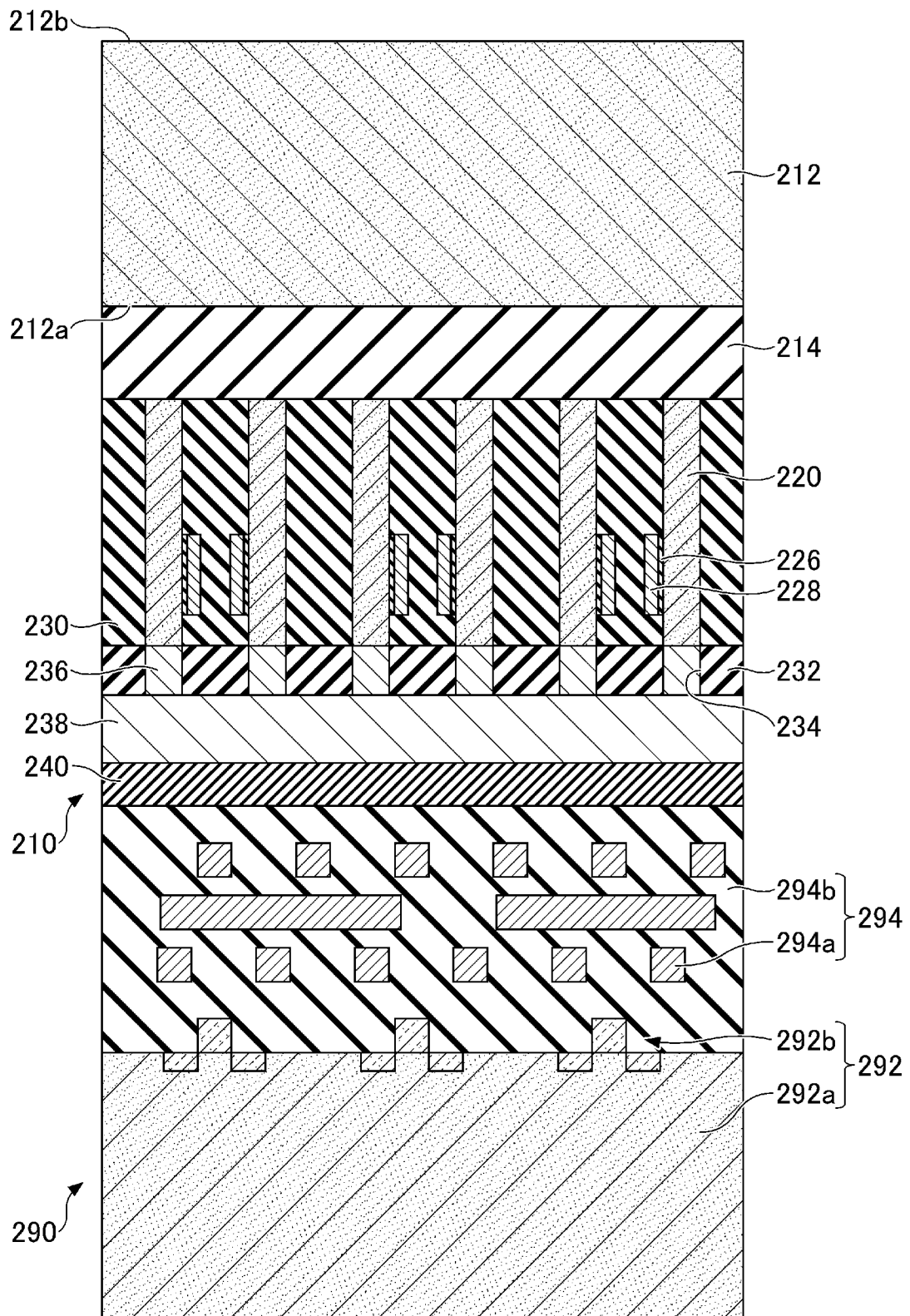
[図18]



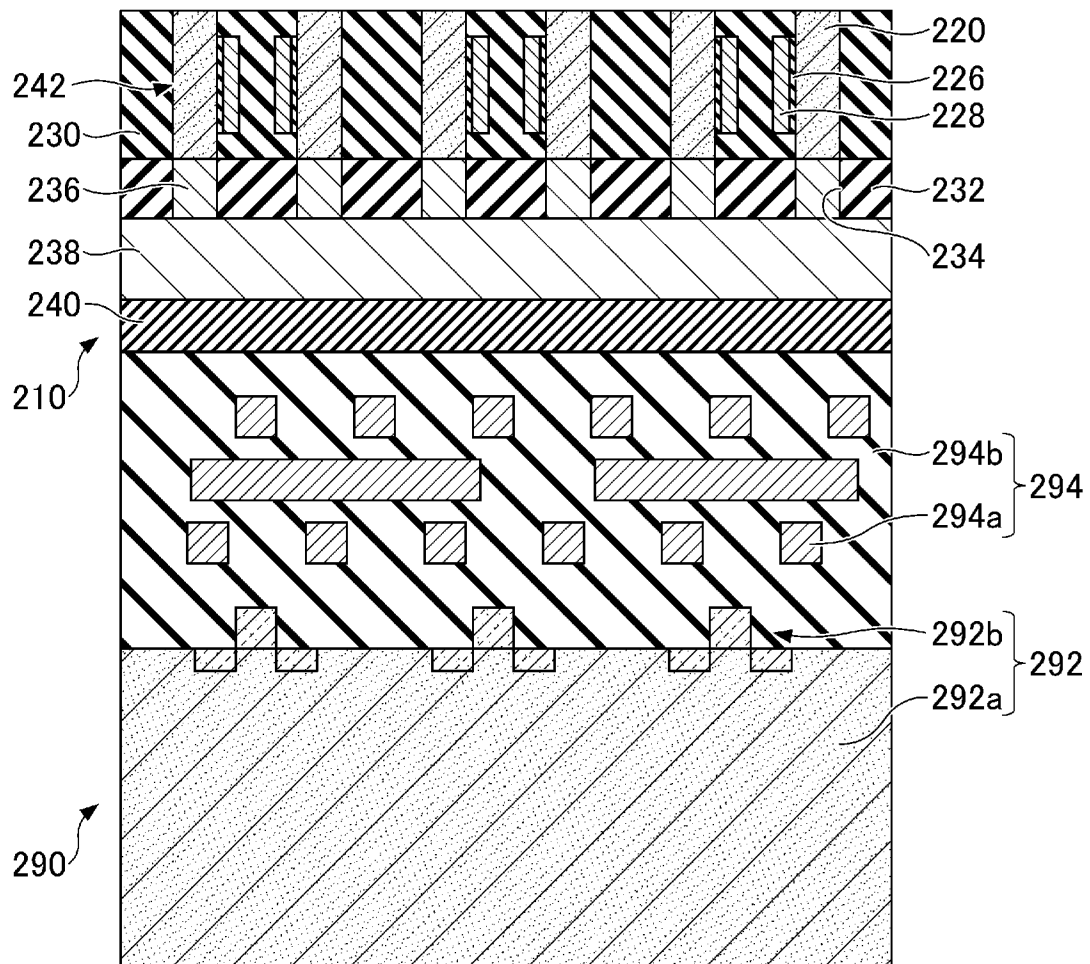
[図19]



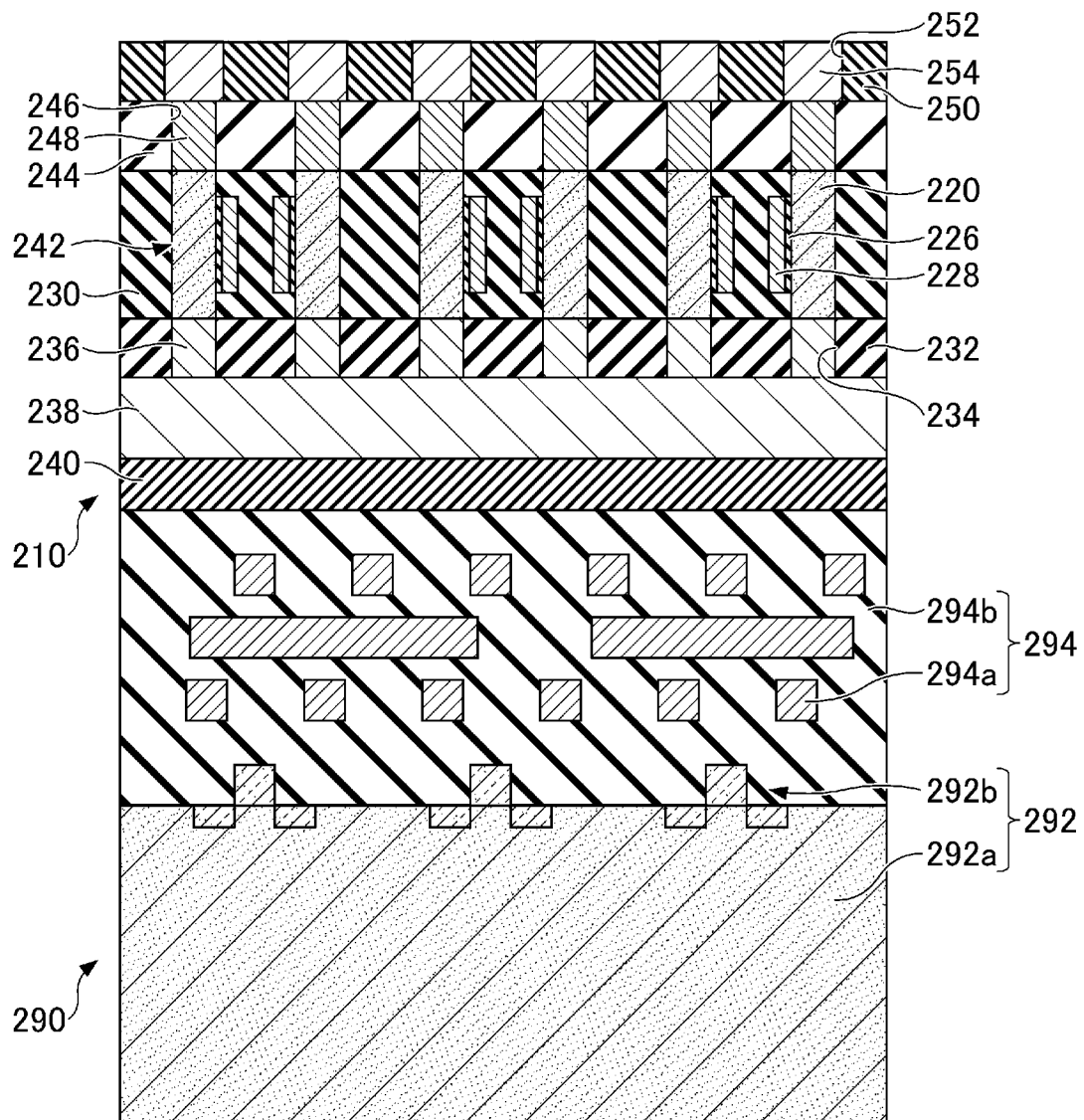
[図20]



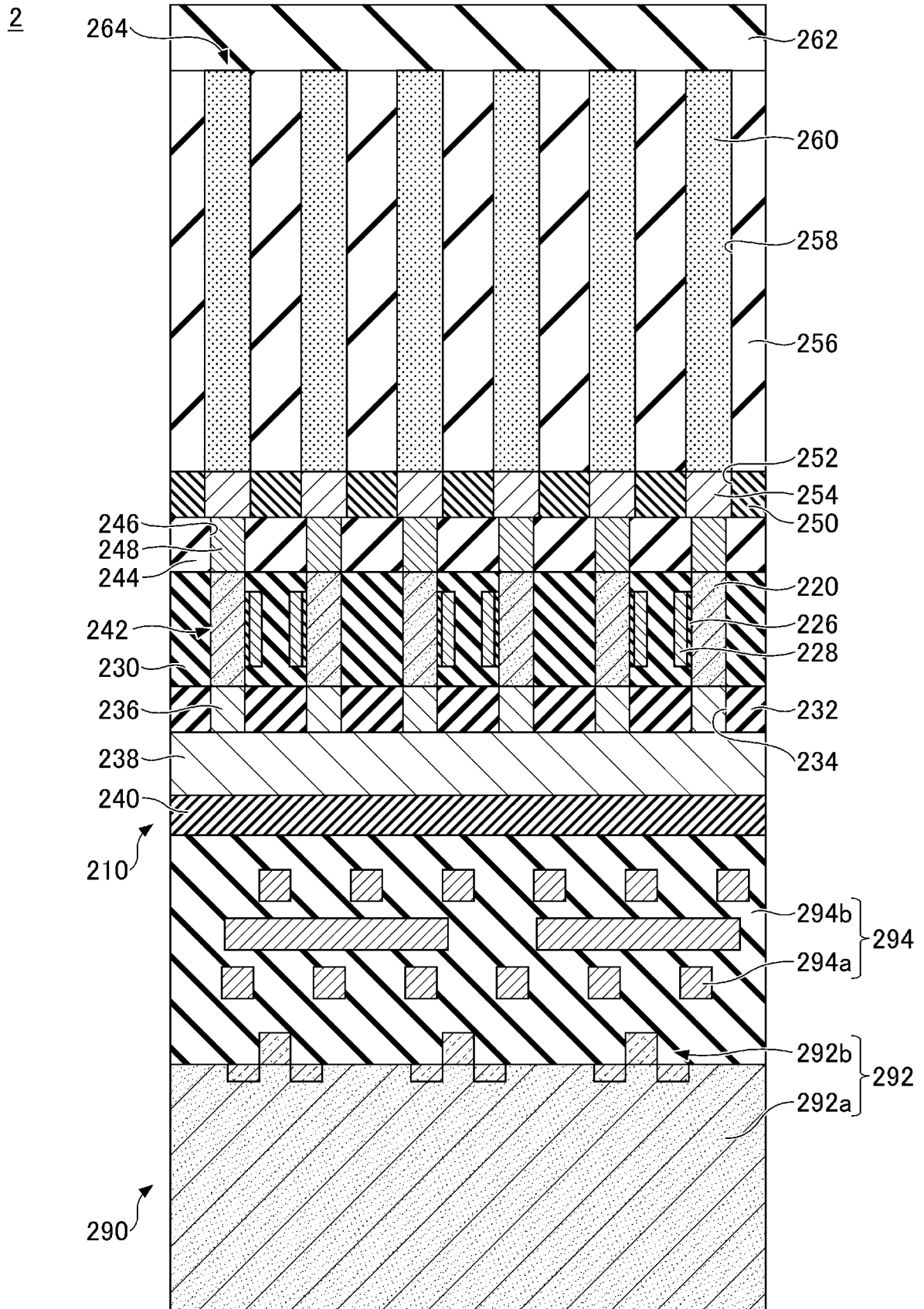
[図21]



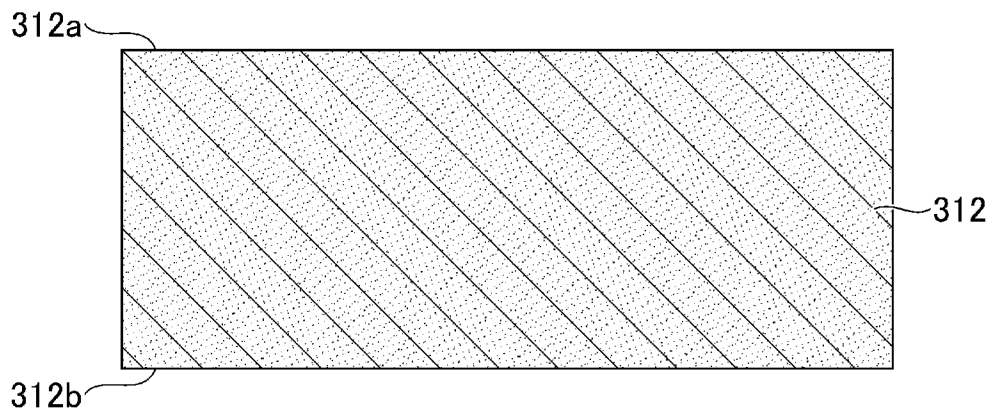
[図22]



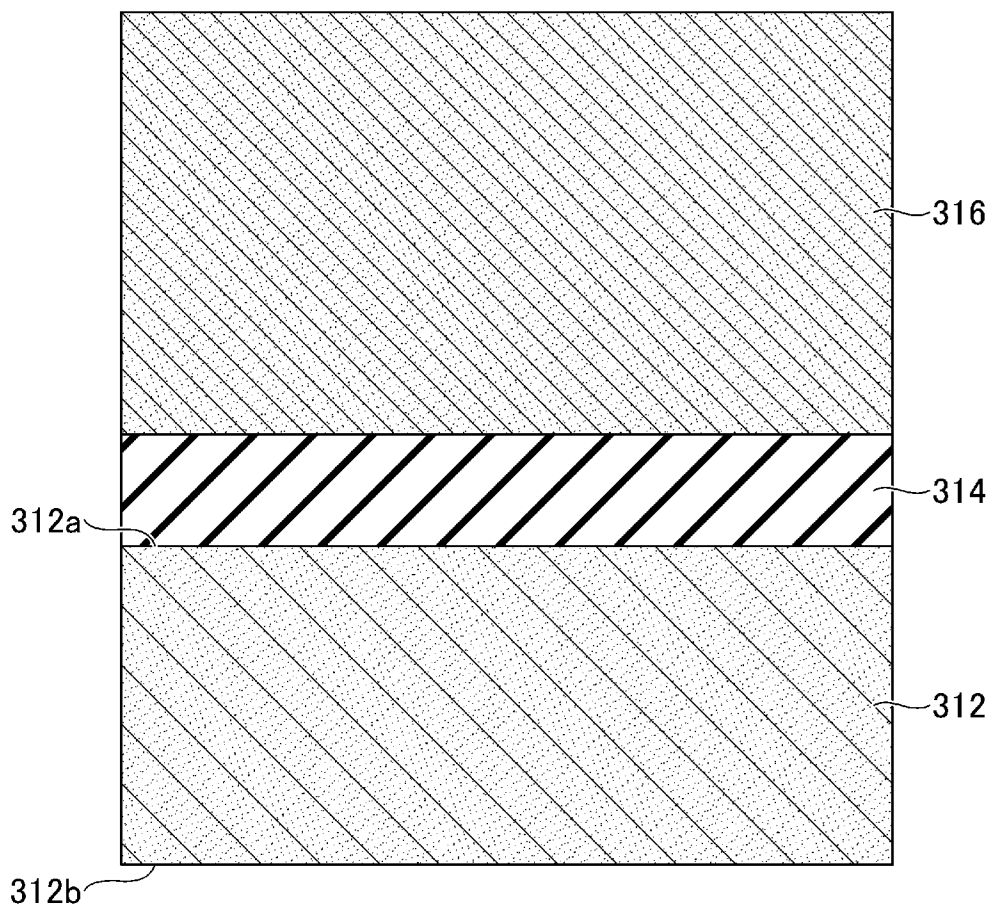
[図23]



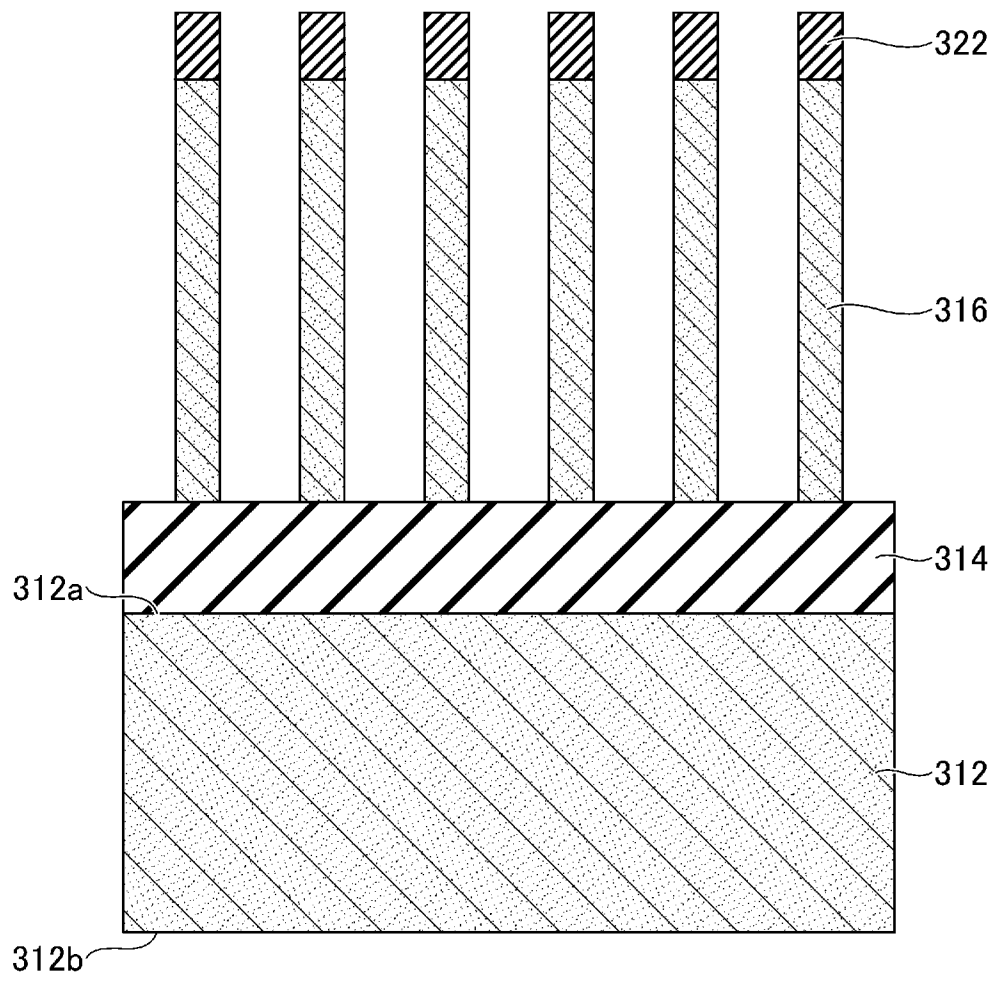
[図24]



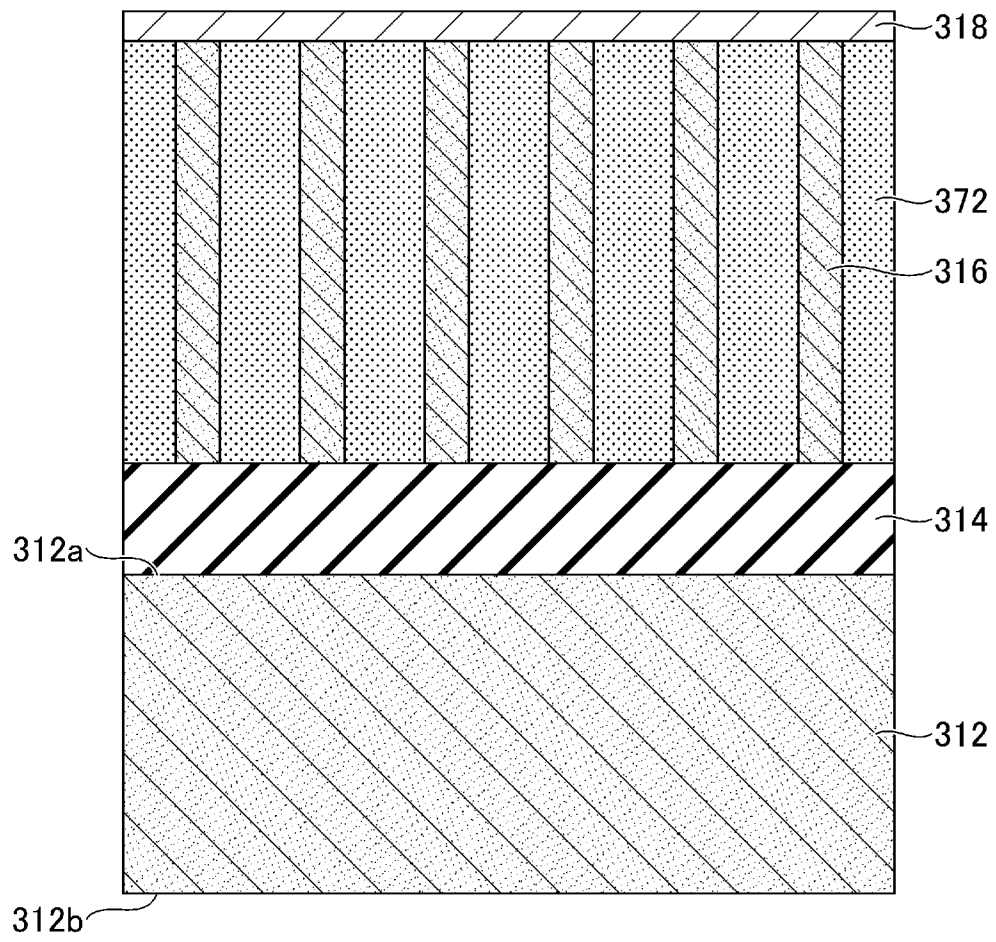
[図25]



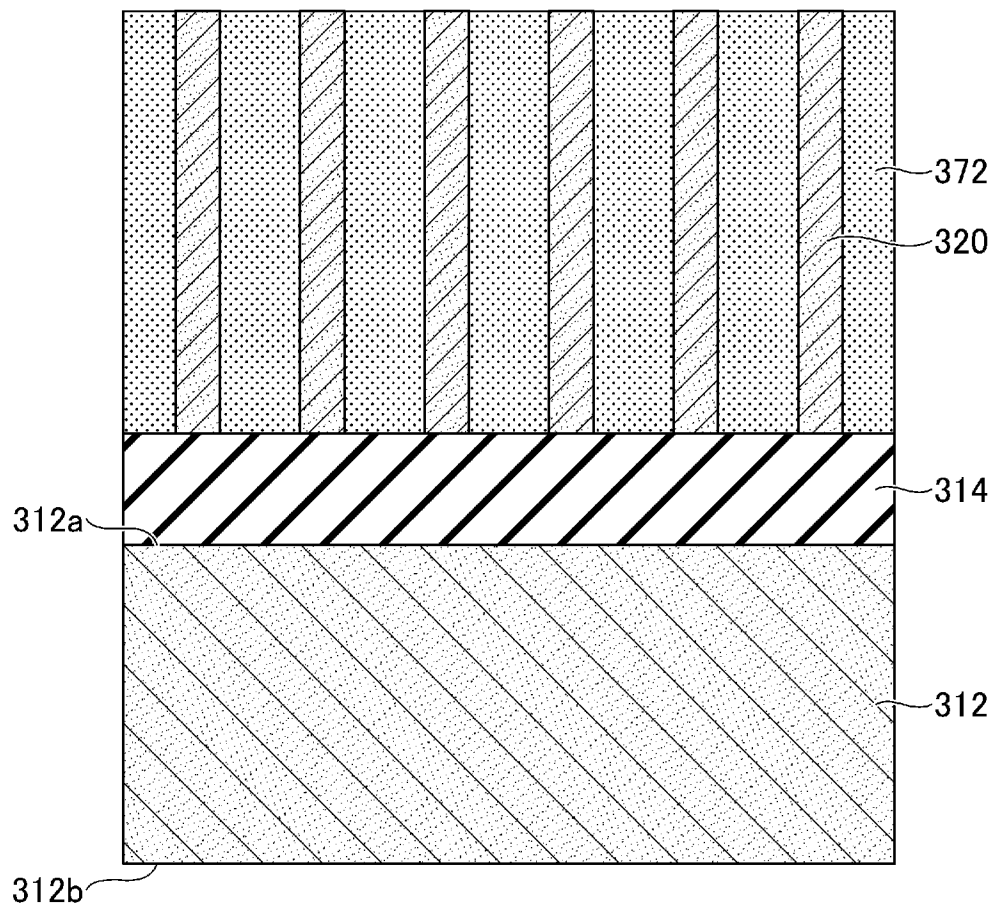
[図26]



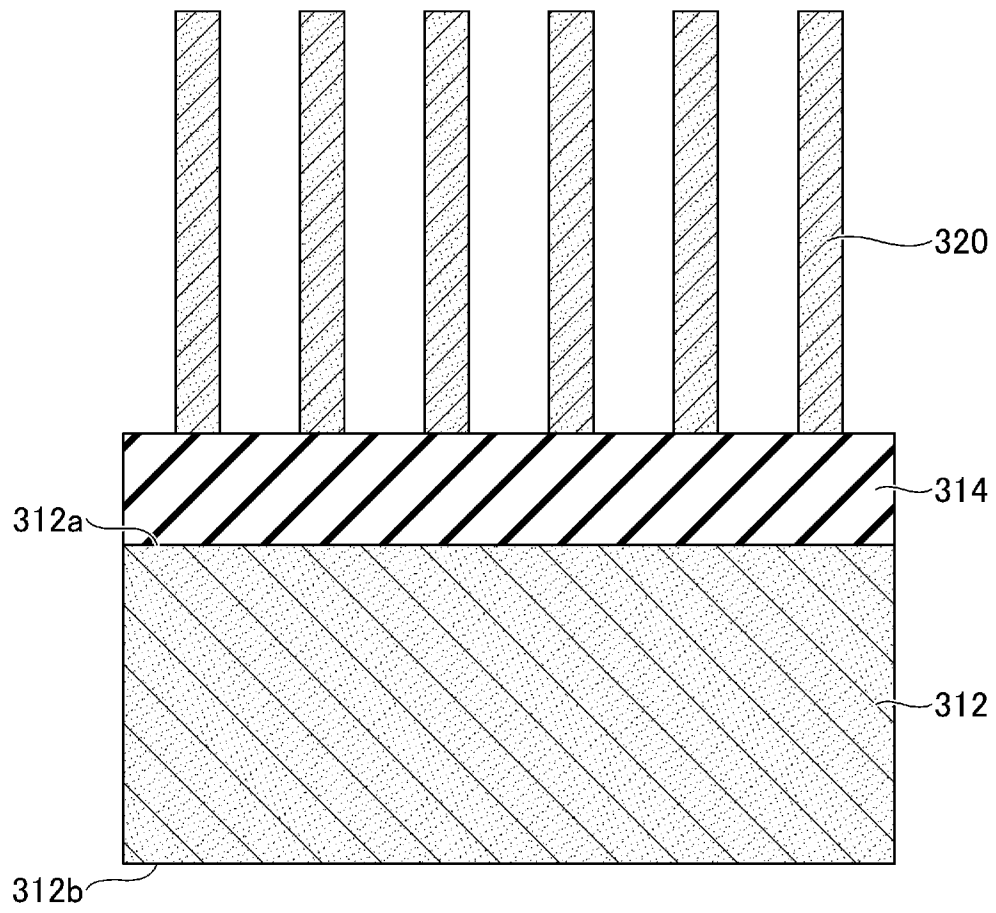
[図27]



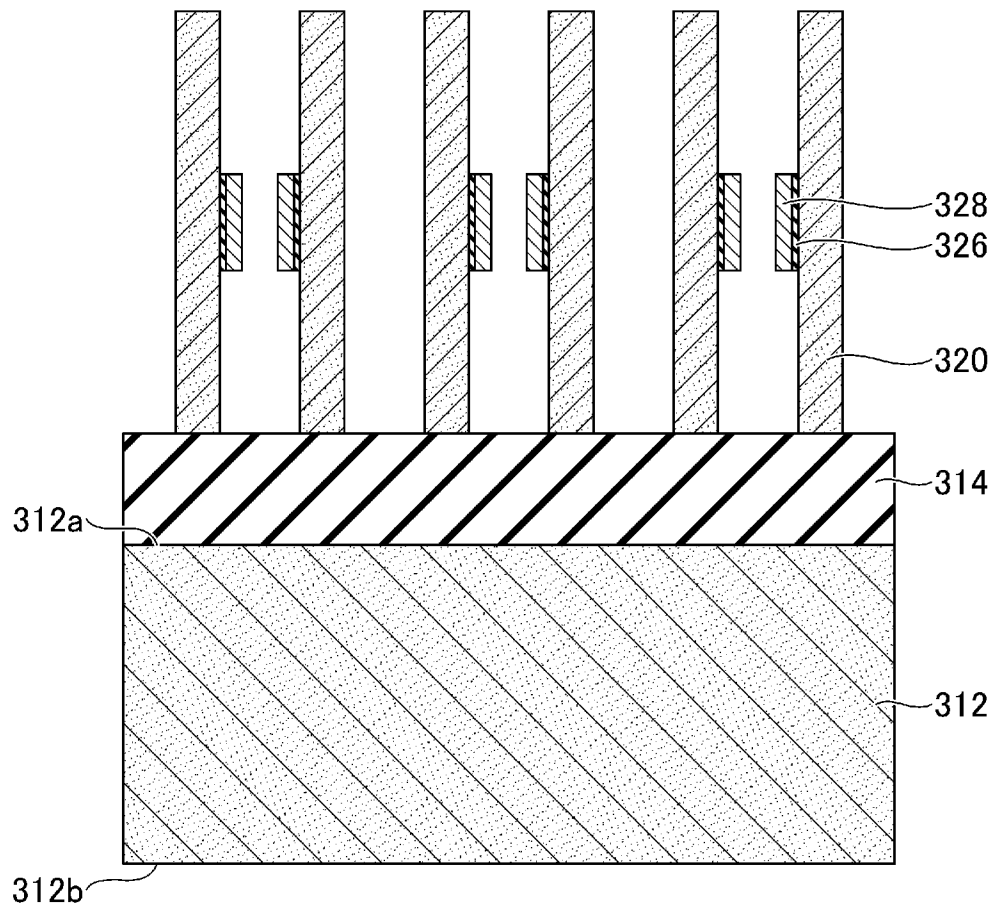
[図28]



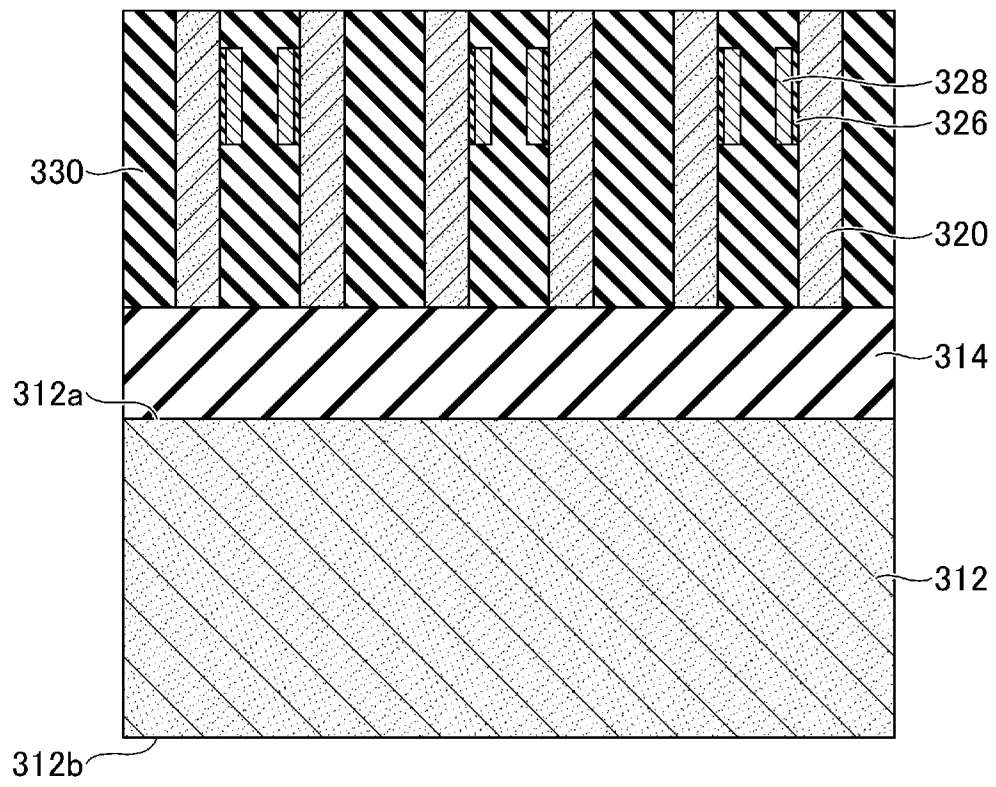
[図29]



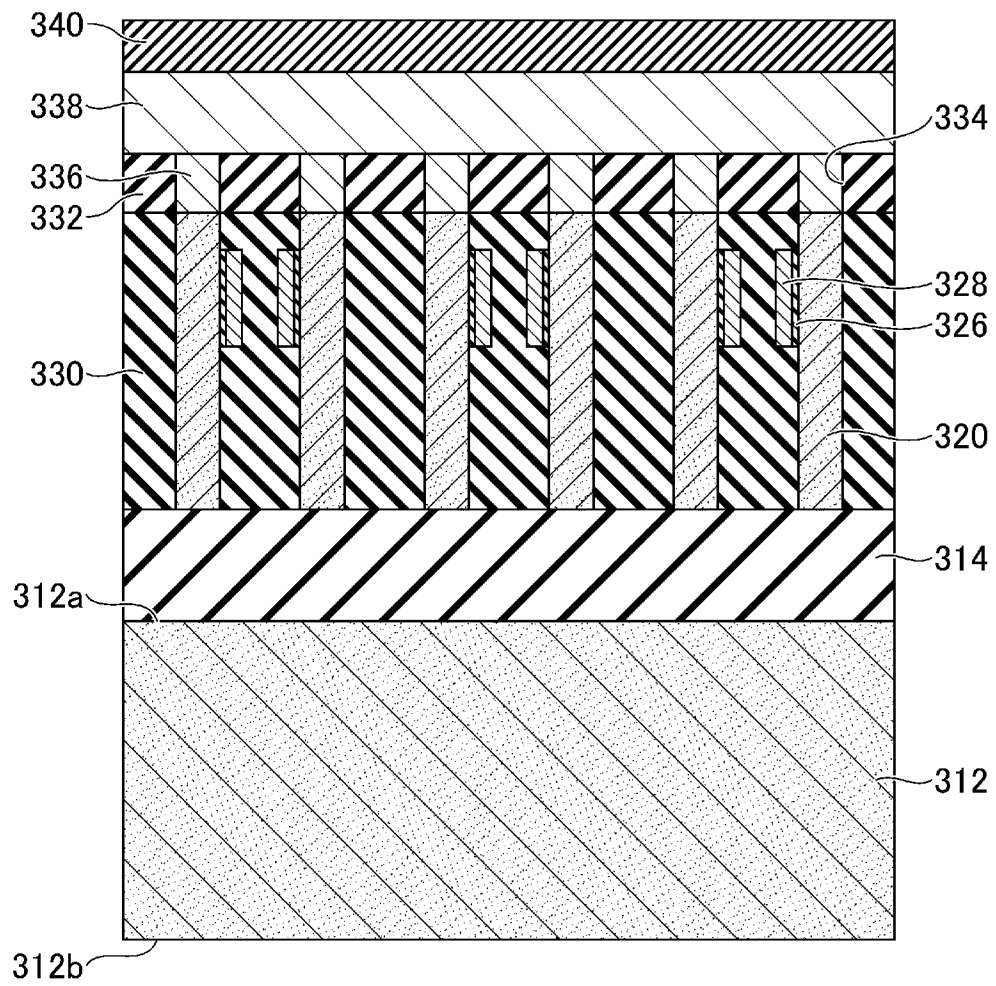
[図30]



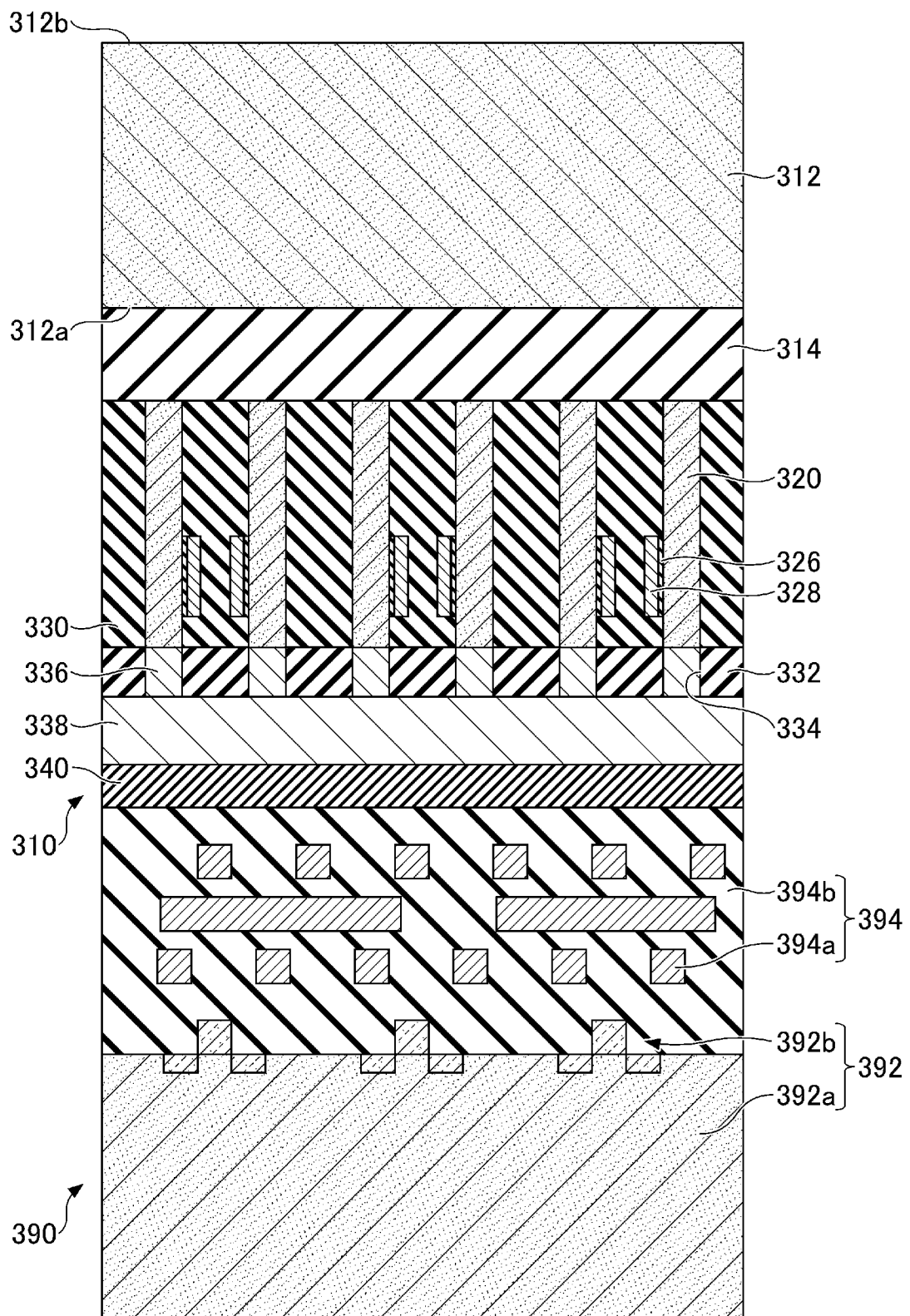
[図31]



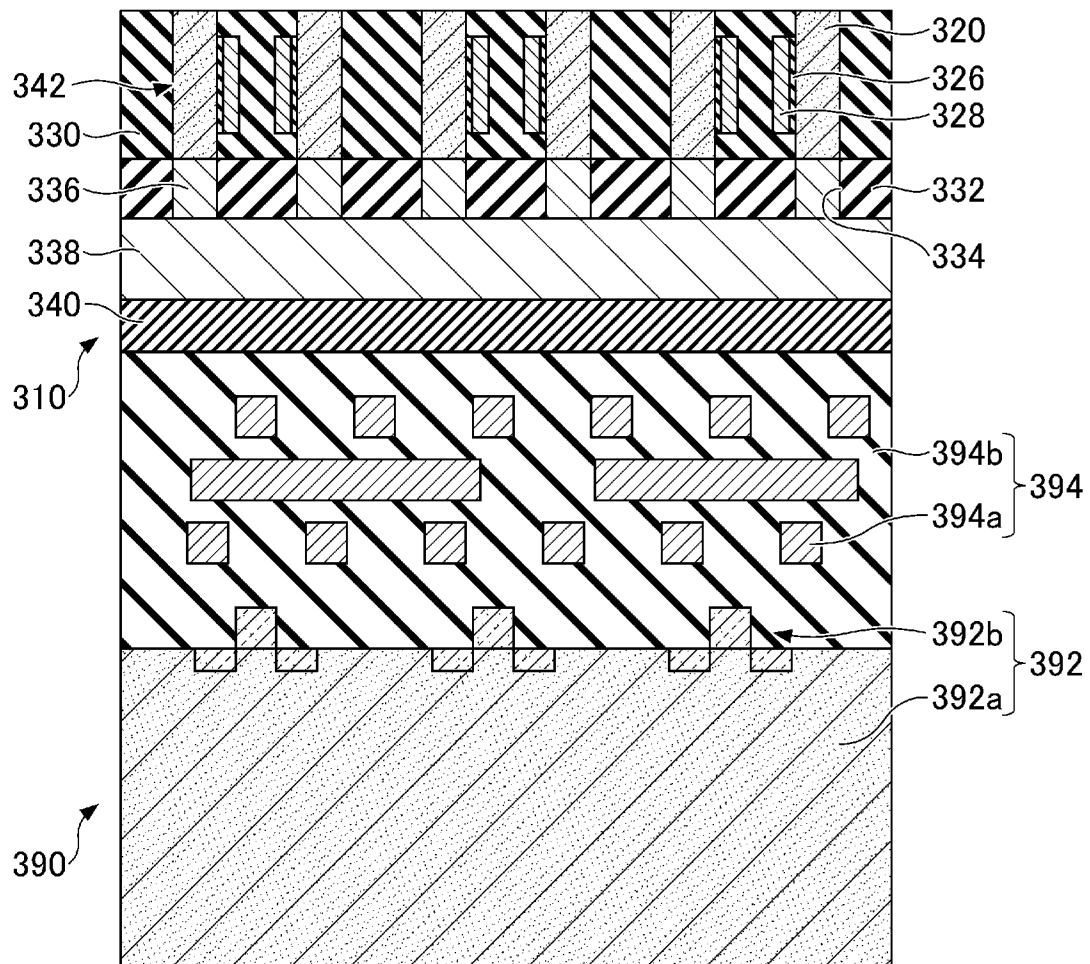
[図32]



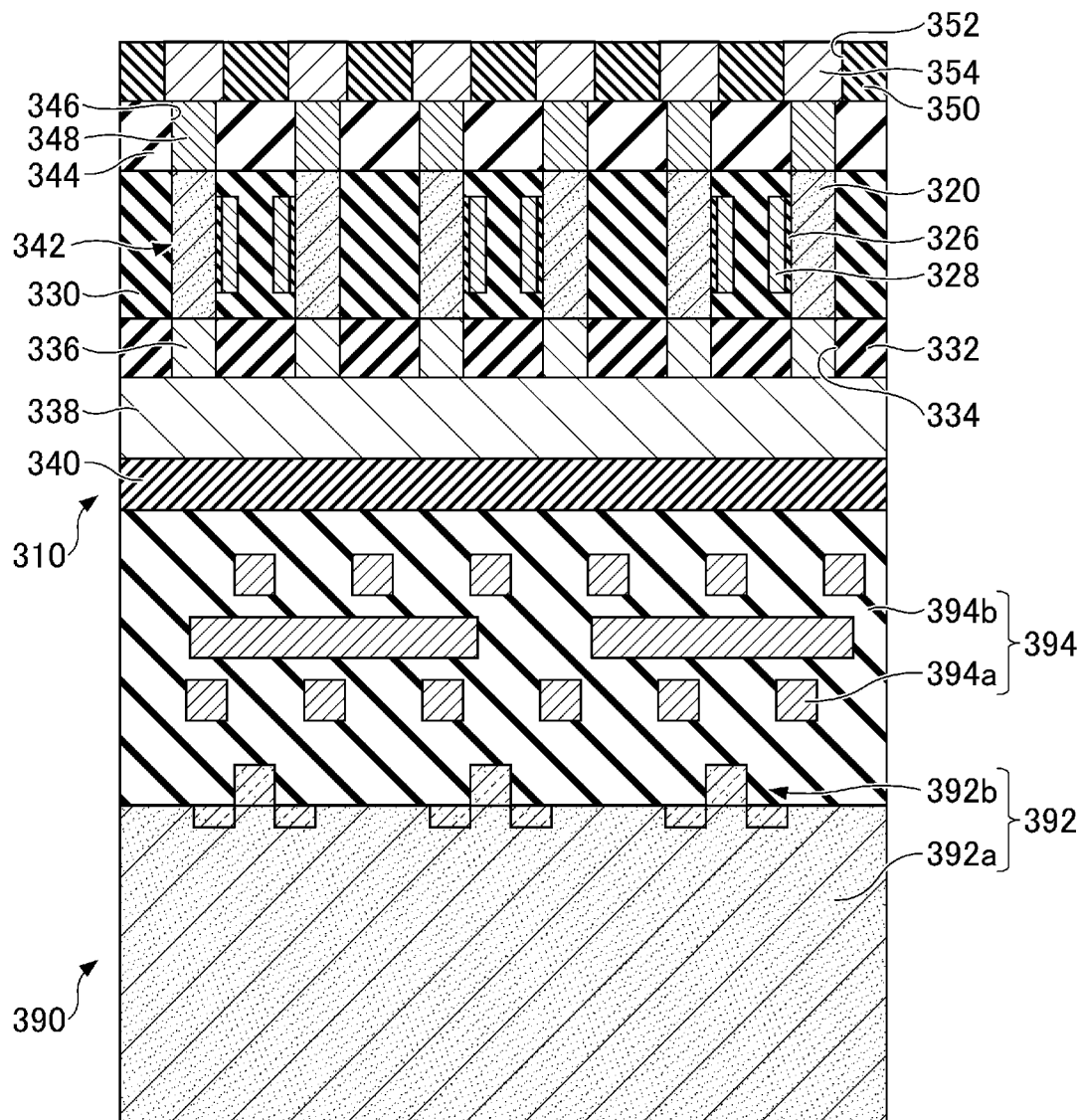
[図33]



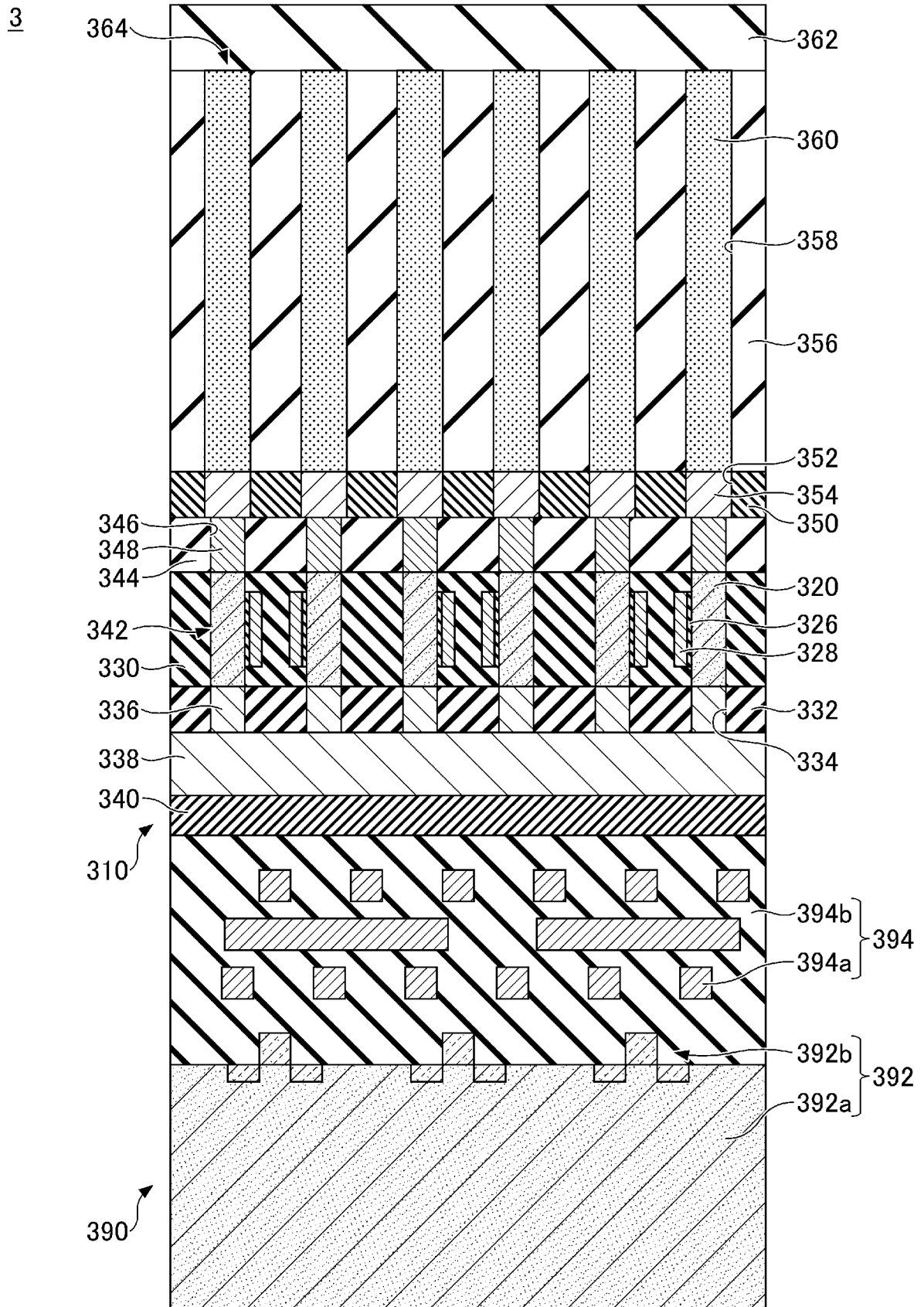
[図34]



[図35]



[図36]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2024/039389

A. CLASSIFICATION OF SUBJECT MATTER

H10B 12/00(2023.01)i; **H01L 21/20**(2006.01)i; **H01L 21/304**(2006.01)i; **H01L 21/768**(2006.01)i; **H10D 1/68**(2025.01)i; **H10D 30/01**(2025.01)i; **H10D 30/67**(2025.01)i; **H10D 84/80**(2025.01)i; **H10D 84/83**(2025.01)i; **H10D 86/40**(2025.01)i; **H10D 88/00**(2025.01)i

FI: H10B12/00 621C; H10B12/00 671A; H10D86/40 101B; H10D30/01 204; H10D30/01 206G; H10D30/67 206A; H01L21/20; H10D84/83 E; H10D84/80 101A; H10D84/83 H; H10D84/83 101E; H10D1/68; H01L27/12 R; H10D88/00 B; H01L21/90 C; H01L21/304 611Z; H01L21/304 621B; H01L21/304 631

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H10B12/00; H01L21/20; H01L21/304; H01L21/768; H10D1/68; H10D30/01; H10D30/67; H10D84/80; H10D84/83; H10D86/40; H10D88/00

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996
Published unexamined utility model applications of Japan 1971-2025
Registered utility model specifications of Japan 1996-2025
Published registered utility model applications of Japan 1994-2025

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	US 2011/0039381 A1 (SON, Yong-Hoon et al.) 17 February 2011 (2011-02-17) paragraphs [0003]-[0004], [0060], [0079]-[0119], fig. 1-14	1, 8
A		2-7, 9-10
Y	JP 2012-523129 A (TERASEMICON CORPORATION) 27 September 2012 (2012-09-27) paragraphs [0009], [0025]-[0031], [0038], fig. 1-3	1, 8
A		2-7, 9-10
A	WO 2014/065038 A1 (PS5 LUXCO S.A.R.L.) 01 May 2014 (2014-05-01) entire text, all drawings	1-10
A	JP 2003-133437 A (HITACHI, LTD.) 09 May 2003 (2003-05-09) entire text, all drawings	1-10



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance
“D” document cited by the applicant in the international application
“E” earlier application or patent but published on or after the international filing date
“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
“O” document referring to an oral disclosure, use, exhibition or other means
“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

10 January 2025

Date of mailing of the international search report

21 January 2025

Name and mailing address of the ISA/JP

**Japan Patent Office (ISA/JP)
3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915
Japan**

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/JP2024/039389

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
US	2011/0039381	A1	17 February 2011	KR 10-2011-0016325	A
JP	2012-523129	A	27 September 2012	WO 2010/117201	A2
				KR 10-2010-0111433	A
				CN 102365710	A
WO	2014/065038	A1	01 May 2014	US 2015/0287706	A1
				entire text, all drawings	
JP	2003-133437	A	09 May 2003	US 2003/0109102	A1
				entire text, all drawings	
				US 2004/0000690	A1

A. 発明の属する分野の分類（国際特許分類（IPC））

H10B 12/00(2023.01)i; H01L 21/20(2006.01)i; H01L 21/304(2006.01)i; H01L 21/768(2006.01)i;
H10D 1/68(2025.01)i; H10D 30/01(2025.01)i; H10D 30/67(2025.01)i; H10D 84/80(2025.01)i;
H10D 84/83(2025.01)i; H10D 86/40(2025.01)i; H10D 88/00(2025.01)i
FI: H10B12/00 621C; H10B12/00 671A; H10D86/40 101B; H10D30/01 204; H10D30/01 206G; H10D30/67 206A;
H01L21/20; H10D84/83 E; H10D84/80 101A; H10D84/83 H; H10D84/83 101E; H10D1/68; H01L27/12 R;
H10D88/00 B; H01L21/90 C; H01L21/304 611Z; H01L21/304 621B; H01L21/304 631

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

H10B12/00; H01L21/20; H01L21/304; H01L21/768; H10D1/68; H10D30/01; H10D30/67; H10D84/80; H10D84/83;
H10D86/40; H10D88/00

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報1922-1996年
日本国公開実用新案公報1971-2025年
日本国実用新案登録公報1996-2025年
日本国登録実用新案公報1994-2025年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	US 2011/0039381 A1 (SON, Yong-Hoon et al.) 17.02.2011 (2011 - 02 - 17) [0003] - [0004], [0060], [0079] - [0119], 図1 - 14	1, 8
A		2-7, 9-10
Y	JP 2012-523129 A (株式会社テラセミコン) 27.09.2012 (2012 - 09 - 27) [0009], [0025] - [0031], [0038], 図1 - 3	1, 8
A		2-7, 9-10
A	WO 2014/065038 A1 (ピーエスファイブ ルクスコ エスエイアールエル) 01.05.2014 (2014 - 05 - 01) 全文, 全図	1-10
A	JP 2003-133437 A (株式会社日立製作所) 09.05.2003 (2003 - 05 - 09) 全文, 全図	1-10

☐ C欄の続きにも文献が列挙されている。

☒ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー
“A” 特に関連のある文献ではなく、一般的技術水準を示すもの
“D” 国際出願で出願人が先行技術文献として記載した文献
“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
“I” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
“O” 口頭による開示、使用、展示等に言及する文献
“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献

“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの
“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
“Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
“&” 同一パテントファミリー文献

国際調査を完了した日
10.01.2025

国際調査報告の発送日
21.01.2025

名称及びあて先
日本国特許庁(ISA/JP)
〒100-8915
日本国
東京都千代田区霞が関三丁目4番3号

権限のある職員（特許庁審査官）

宮本 博司 5F 6313

電話番号 03-3581-1101 内線 3514

国際調査報告
パテントファミリーに関する情報

国際出願番号
PCT/JP2024/039389

引用文献			公表日	パテントファミリー文献			公表日
US	2011/0039381	A1	17.02.2011	KR	10-2011-0016325	A	
JP	2012-523129	A	27.09.2012	WO	2010/117201	A2	
				KR	10-2010-0111433	A	
				CN	102365710	A	
WO	2014/065038	A1	01.05.2014	US	2015/0287706	A1	
				全文, 全図			
JP	2003-133437	A	09.05.2003	US	2003/0109102	A1	
				全文, 全図			
				US	2004/0000690	A1	