

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第5063365号
(P5063365)

(45) 発行日 平成24年10月31日(2012.10.31)

(24) 登録日 平成24年8月17日(2012.8.17)

(51) Int.Cl.

F 1

H01L 27/04 (2006.01)

H01L 27/04

P

H01L 21/822 (2006.01)

H01C 7/00

D

H01C 7/00 (2006.01)

請求項の数 9 (全 12 頁)

(21) 出願番号 特願2007-556200 (P2007-556200)
 (86) (22) 出願日 平成18年2月8日 (2006.2.8)
 (65) 公表番号 特表2008-530820 (P2008-530820A)
 (43) 公表日 平成20年8月7日 (2008.8.7)
 (86) 國際出願番号 PCT/US2006/004436
 (87) 國際公開番号 WO2006/088709
 (87) 國際公開日 平成18年8月24日 (2006.8.24)
 審査請求日 平成20年12月12日 (2008.12.12)
 (31) 優先権主張番号 10/906,365
 (32) 優先日 平成17年2月16日 (2005.2.16)
 (33) 優先権主張国 米国(US)

(73) 特許権者 390009531
 インターナショナル・ビジネス・マシーンズ・コーポレーション
 INTERNATIONAL BUSINESS MACHINES CORPORATION
 アメリカ合衆国10504 ニューヨーク
 州 アーモンク ニュー オーチャード
 ロード
 (74) 代理人 100108501
 弁理士 上野 剛史
 (74) 代理人 100112690
 弁理士 太佐 種一
 (74) 代理人 100091568
 弁理士 市位 嘉宏

最終頁に続く

(54) 【発明の名称】電流密度増強層(CDEL)を有する薄膜抵抗器

(57) 【特許請求の範囲】

【請求項1】

半導体回路構造用の薄膜抵抗器であって、
 Ta、TaN、Ti、TiN、W、WN、NiCrまたはSiCrのうちの1つを含み、
 抵抗値を有する薄膜導体材料層と、
 前記薄膜導体材料層の片面に形成された、50 以下の厚さを有するAl₂O₃、Ta₂O₅、HfO₂またはZrO₂のうちの1つからなる金属酸化膜を含む電流密度増強層(CDEL)であって、前記薄膜抵抗器が、温度ストレスに対する抵抗値シフトを低減させつつ、より高い電流密度を伝達することを可能にする電流密度増強層と、を含む薄膜抵抗器。

10

【請求項2】

前記電流密度増強層が、原子層付着プロセスによって付着された、請求項1に記載の薄膜抵抗器。

【請求項3】

バック・エンド・オブ・ライン(BEOL)プロセスにおいてレベル間誘電層の上に形成された、またはフロント・エンド・オブ・ライン(FEOL)プロセスにおいて基板の上に形成された、請求項1に記載の薄膜抵抗器。

【請求項4】

導電性バイア構造によって半導体回路の金属レベルに電気的に結合された、請求項3に記載の薄膜抵抗器。

20

【請求項 5】

前記 C D E L 層が、前記薄膜導体材料層の上に形成された、請求項 1 ~ 4 のいずれか 1 項に記載の薄膜抵抗器。

【請求項 6】

前記薄膜導体材料層の下に形成された追加の前記 C D E L 層をさらに含む、請求項 5 に記載の薄膜抵抗器。

【請求項 7】

前記薄膜抵抗器の上に形成された絶縁層をさらに含む、請求項 1 ~ 6 のいずれか 1 項に記載の薄膜抵抗器。

【請求項 8】

前記薄膜導体材料層は、B E O L プロセスにおいて前記レベル間誘電層上に設けられた保護誘電層上に形成される、請求項 3 に記載の薄膜抵抗器。

10

【請求項 9】

前記薄膜導体材料層は、300 ~ 700 の厚さを有する、請求項 1 ~ 8 のいずれか 1 項に記載の薄膜抵抗器。

【発明の詳細な説明】**【技術分野】****【0001】**

本発明は一般に半導体薄膜抵抗器の分野に関し、より詳細には、電流密度増強層 (current density enhancing layer) を有する新規の集積回路構造用の薄膜抵抗器に関する。

20

【背景技術】**【0002】**

半導体集積回路 (I C) では、抵抗器を使用して、I C の他の電子構成部品の抵抗を制御することができる。当業者には知られているとおり、抵抗器の抵抗 R は、抵抗器の長さ L および抵抗器の断面積の逆数 $1 / A$ に比例し、L および A は電流の方向に測定される。したがって、抵抗器の抵抗の基本式は $R = L / A$ であり、この式で R、L および A は上で定義したとおりである。

【0003】

従来技術の抵抗器は一般に、ドープされたポリシリコンからなる。半導体デバイスの集積度が増すにつれて、半導体 I C 内のそれぞれの構成部品は、同等かまたはより良好な電気特性を示さなければならない。したがって、ダウンスケールされた抵抗器は、使用中にはあまり変動しない一定の抵抗値を示さなければならない。しかし、ポリシリコンの特性のため、ドープされたポリシリコンからなる従来技術の抵抗器は、限られた空間の中に限られた抵抗しか与えることができない。比較的に高い抵抗を与える目的にポリシリコン抵抗器を使用することは、高度に集積化された半導体デバイスを設計、製造する際の問題となる。

30

【0004】

最近、ドープされたポリシリコン抵抗器の代わりに、ポリシリコンの抵抗率よりも高い抵抗率を有する材料からなる単一の薄膜抵抗器が使用されている。このような高抵抗率材料の例には TiN および TaN が含まれる。ただしこれらに限定されるわけではない。N₂ を 36 % 含む窒化タンタル TaN は、大部分の半導体デバイスのバック・エンド・オブ・ザ・ライン (B E O L) において現在使用されている材料である。

40

【0005】

電流伝達能力 (current carrying capability) の高い B E O L 抵抗器を、集積回路設計者は非常に欲している。現行の TaN 抵抗器 (例えば K1 抵抗器) は、9 SF および 10 SF ジェネレーション (generation) に対して、0.5 mA / μm (電流 / 幅) 以下の電流密度しか提供しない。

【0006】

図 1 に、従来技術に基づく B E O L 抵抗器 10 を示す。図示のとおり、この B E O L 抵

50

抗器 10 は、アルミニウム、銅などの金属を含む第 1 のメタライゼーション・レベル M1 の上に形成されており、第 1 のメタライゼーション・レベル M1 は、導電性バイア構造 V1 によって、F E O L デバイス 15、例えば当業者によく知られた従来の技法を利用して形成された C M O S F E T、B J T などのトランジスタ・デバイスに電気的に結合されている。第 1 のメタライゼーション・レベル M1 はレベル間誘電材料層 12 を含み、その中にメタライゼーション・レベル M1 が形成されている。図 1 の B E O L 抵抗器 10 に示すとおり、レベル間誘電材料層 12 およびメタライゼーション M1 の上には、S i N などの材料の第 1 の薄膜キャップ誘電層 14、およびその上に付着された、S i O₂ などの酸化物または他の同様の酸化物を含む薄い誘電層 16 が形成されている。誘電層 16 の上に形成された 300 から 700 の薄膜 T a N 薄膜導電体材料層 20 が示されており、この薄膜導電体材料層 20 の上には、例えば S i N または S i C N (n B L O K) の薄膜キャッピング層、すなわちエッチング・ストップ層 25 が形成されている。次いで、当技術分野で知られている一般的な製造プロセスを使用して、別のレベル間誘電材料層と、第 1 のメタライゼーション M1 を第 2 のメタライゼーション M2 に接続する導電性バイア構造 V1 とが形成される。

【0007】

銅相互接続では、銅の上面のより良好なパッシベーションおよびキャッピングが、銅のエレクトロマイグレーション性能を増大させることができることが証明された。C o W P 膜およびリバース・ライナ・バリア (reverse liner barrier) 膜が、相互接続の性能を増大させることができることが示された。しかし、T a N 抵抗器に関しては、S i N または S i C N などのキャッピング材料は、より高い電流性能に対して十分な保護（およびキャッピング）を提供していないように思われる。

【0008】

さらに、現在使用されているエッチング・ストップ層、例えば n B L O K (S i C N) または S i N は、T a N 膜に十分には付着せず、したがって、ストレス / エージング中の抵抗のシフト (shifting) を防ぐのに有効でない。

【0009】

米国特許出願公開第 2004 / 0152299 号は、薄膜抵抗器を形成する方法を開示している。この開示では、(直線状の) バイア・ホールおよび一般的なエッチング・ストップ層 (例えば S i N) を含む層の後に、T i N または T i W の導電層 120 が形成される。この「スタック」は、実際には「膜抵抗器 / S i N / バイア」からなる。

【0010】

米国特許出願公開第 2004 / 0203192 号は、エレクトロマイグレーションに対する抵抗性を増大させるために表面に付着させた有機単層を有する C u 線を形成する方法を記載している。

【0011】

新規の薄膜抵抗器を提供すること、および、薄膜抵抗器の上にバリア材料を提供することによって薄膜抵抗器を製造し、それによって該薄膜抵抗器の電流伝達能力を増強する方法を提供することは非常に望ましいであろう。

【0012】

ストレス / エージングに対して高い抵抗性を示す新規の薄膜抵抗器を提供すること、および、T a N 膜薄膜導電体材料層の上にバリア材料層を提供することによって該薄膜抵抗器を製造する方法を提供することは非常に望ましいであろう。

【特許文献 1】米国特許出願公開第 2004 / 0152299 号

【特許文献 2】米国特許出願公開第 2004 / 0203192 号

【発明の開示】

【発明が解決しようとする課題】

【0013】

本発明の目的は、新規の薄膜抵抗器および該薄膜抵抗器を製造する方法を提供することにある。

10

20

30

40

50

【0014】

他の目的は、新規の薄膜抵抗器を提供すること、および、薄膜抵抗器の上にバリア材料を提供することによって薄膜抵抗器を製造し、それによって該薄膜抵抗器の電流伝達能力を増強する方法を提供することにある。

【0015】

本発明の他の目的は、薄膜抵抗器の電流伝達能力を増強するために、TaNにより良好に付着する追加のバリア材料層を有するTaN材料の新規の薄膜抵抗器を提供することにある。

【課題を解決するための手段】**【0016】**

本発明によれば、この追加のバリア材料は、電流密度増強層（Current Density Enhancement Layer : CDEL）と呼ばれ、ストレス／エージング中のシフトに対する抵抗性を増大させる。CDELは薄く、例えば厚さが100未満であり、BEOLまたはFEOL薄膜抵抗器製造時にバイア・エッチング・プロセス・ステップを妨げない。

【0017】

このCDELバリア膜、およびTaN膜の上のSiNまたはSiCNキャップ材料は、薄膜抵抗器の電流伝達能力を増大させる。本発明の一態様では、このCDELバリア膜（電流密度増強層）が、アルミナ（Al₂O₃）の薄層を付着させることによって、あるいは、アルミニウムの薄層の付着および空気酸化または短時間の低出力プラズマを使用した酸化によって、形成される。抵抗器膜（薄膜導体材料層）への良好な付着を有する他の膜も使用することができる。

【0018】

したがって、本発明によれば、薄膜抵抗器およびその製造方法が提供され、この薄膜抵抗器は、薄膜導体材料層と電流密度増強層（CDEL）とを含む。CDELは、薄膜導体材料に付着するように適合された絶縁材料であり、このCDELは、前記薄膜抵抗器が、加えられたストレス、例えば温度ストレス下での小さな抵抗シフトで、より高い電流密度を伝達することを可能にする。一実施形態では、薄膜抵抗器が、薄膜導体材料層の片面（上面または下面）に形成された単一のCDEL層を含む。第2の実施形態では、薄膜導体材料層の両面（上面および下面）に2つのCDEL層が形成される。

【0019】

有利には、本発明の薄膜抵抗器およびその製造方法は、BEOLプロセスとFEOLプロセスの両方のプロセスでの製造に適用可能である。

【発明を実施するための最良の形態】**【0020】**

次に、電流伝達能力の増強を示す薄膜抵抗器を製造するプロセスを提供する本発明を、本出願に添付されたさまざまな図面を参照することによってより詳細に説明する。これらの図面は、例示のために本明細書に添付したものであり、したがって一様な尺度では描かれていない。

【0021】

さらに、本発明の図面は、バック・エンド・オブ・ライン（BEOL）製造プロセスにおける1つの薄膜抵抗器だけが示された半導体ウェーハまたはチップの一部分を示す。これらの図面は、単一の薄膜抵抗器の存在しか示していないが、このプロセスは、単一の半導体チップまたはウェーハの表面の異なる複数の領域に複数の薄膜抵抗器を形成する際に使用することができる。さらに、本発明は、例えば他のデバイス領域を有するSi含有基板上に本発明の薄膜抵抗器を形成するフロント・エンド・オブ・ライン（FEOL）プロセスに適用可能であり、これらの他のデバイス領域は、本出願の図面に示された薄膜抵抗器の周縁に形成された、バイポーラ・トランジスタまたはFETなどのCMOSデバイスあるいはその両方を含む。

【0022】

10

20

30

40

50

図2を参照すると、第1のステップは、レベル間誘電層12を付着させることを含む。レベル間誘電層12は、低k誘電材料の有機または無機低kレベル間誘電体(ILD)などの誘電材料を含むことができ、この低k誘電材料の有機または無機低kレベル間誘電体は、スパッタリング、スピンドル、PECVDなどのよく知られたいくつかの技法のうちの任意の技法によって付着させることができ、3.5以下の誘電率を有する従来のスピンドル有機誘電体、スピンドル無機誘電体またはこれらの組合せを含むことができる。使用することができる適当な有機誘電体には、C、OおよびHを含む誘電体が含まれる。本発明において使用することができるいくつかのタイプの有機誘電体の例には、芳香族熱硬化性ポリマー樹脂および他の同様の有機誘電体が含まれる。ただしこれらに限定されるわけではない。レベル間誘電層として使用する有機誘電体は、多孔質でもまたはそうでなくともよいが、k値が低いため、多孔質有機誘電層のほうがずっと好ましい。レベル間誘電体12として使用することができる適当な無機誘電体は一般に、Si、OおよびH、任意選択でCを含み、例えば、プラズマ化学蒸着(CVD)技法によって付着されたSiO₂、SiCOH、炭素ドープ酸化物(carbon-doped oxide: CDO)、酸炭化シリコン(silicon-oxicarbide)、有機ケイ酸塩ガラス(organic silicate glass: OSG)を含む。使用することができるいくつかのタイプの無機誘電体の例示的な例には、シリセスキオキサン(silsesquioxane: HOSP)、メチルシリセスキオキサン(methyl silsesquioxane: MSQ)、ヒドリドシリセスキオキサン(hydrido silsesquioxane: HSQ)、MSQ-HSQ共重合体、オルトケイ酸テトラエチル(tetraethyl orthosilicate: TEOS)、オルガノシラン(organosilane)および他の任意のSi含有材料が含まれる。ただしこれらに限定されるわけではない。議論の目的上、レベル間誘電材料層12はSiO₂であると仮定する。

【0023】

当技術分野においてよく知られたプロセスを利用してFOLデバイスに接続する設計位置に、従来のフォトリソグラフィ処理技法を利用して第1の金属層M1を形成する。説明の目的上、M1金属層は銅またはアルミニウムを含むことができる。

【0024】

このレベル間誘電材料層12およびM1メタライゼーション(金属層)の上に、保護誘電層14を形成する。保護誘電層14は一般に、保護誘電層14の上に付着させる第2の誘電層16とは異なる無機誘電体からなる。具体的には、保護誘電層14は、酸化物、窒化物、酸窒化物(oxy nitride)、または多層を含むこれらの任意の組合せからなる。保護誘電層14は一般にSiNなどの窒化物であり、その上に形成する第2の誘電層16は一般にSiO₂であるが、SiCOHなどの他の誘電体とすることもできる。保護誘電層14の厚さは、この層を形成する際に使用する材料のタイプおよび付着プロセスによって変化する。この保護誘電層14の厚さは一般に10から1000である。

【0025】

保護誘電層14および第2の誘電層16を順番に付着させた後、第2の誘電層16の上に、薄膜抵抗器を形成する材料の薄膜導体材料層20を付着させる。この薄膜導体材料層20は一般にTaNであるが、Ta、TaN、Ti、TiN、W、WN、NiCr、SiCrなどを含む、薄膜抵抗器100(図7参照)を形成する他の導体材料を含むこともできる。本明細書ではこれらの材料の組合せも企図される。薄膜導体材料層20はTaN、TiN、NiCrまたはSiCrを含むことが好ましく、TaNおよびTiNが特に好ましい。薄膜導体材料層20は、一般に厚さ300から700、典型的には厚さ450

から550の薄い層である。薄膜抵抗器100を形成する薄膜導体材料層20は、例えばCVD、PECVD、スパッタリング、めっき、蒸着、ALDおよび他の同様の付着プロセスを含む任意の付着プロセスを利用して、第2の誘電層16上に形成することができる。

【0026】

薄膜導体材料層20を形成した後、薄膜導体材料層20上に、薄い電流密度増強層(C

10

20

30

40

50

D E L) 5 0 をパターニングし、形成して、例えば図 2 に示す構造を得る。C D E L 層 5 0 は、例えばトリメチルアルミニウム A 1 (C H ₃) ₃ などの前駆物質およびオゾン (O ₃) などの酸化剤を利用した、付着温度 3 8 0 の原子層付着 (A L D) プロセスによって、1 0 0 未満の厚さに付着させた A l ₂ O ₃ 層などの誘電材料を含む。C D E L 層 5 0 の厚さは 5 0 未満であることが好ましい。C D E L 層 5 0 は、その下の例えば T a N 等から成る薄膜導体材料層 2 0 によく付着し、本明細書において後により詳細に説明するように、薄膜抵抗器 1 0 0 の電流伝達能力を増大させる材料からなることが好ましい。より重要なのは、本明細書において後により詳細に説明するように、C D E L 層 5 0 の形成が、例えば温度ストレスが加えられたときに抵抗のシフトを低減させることである。したがって、この A l ₂ O ₃ C D E L 層 5 0 の付着の他に、C D E L 層 5 0 はあるいは、1 0 から 2 0 の厚さに付着させ、O ₂ プラズマまたは空気酸化によって酸化させた、アルミニウムの薄層を含むこともできる。他の実施形態例では、C D E L 層 5 0 が、厚さ 1 0 から 5 0 の T a ₂ O ₅ 、H f O ₂ 、Z r O ₂ などの金属酸化物を含む。

【 0 0 2 7 】

図 7 に示した薄膜抵抗器 1 0 0 を形成した後、C D E L 層 5 0 の構造の上にエッティング・ストップ層 2 5 を付着させる。エッティング・ストップ層 2 5 は、例えば化学蒸着 (C V D) 、プラズマ化学蒸着 (P E C V D) 、化学溶液付着、蒸着、原子層付着 (A L D) および他の同様の付着プロセスを含む任意の共形付着プロセスを利用して形成する。形成するエッティング・ストップ層 2 5 の厚さは、使用する付着プロセスならびに使用する絶縁材料のタイプによって異なる。一般に、例示の目的上、エッティング・ストップ層 2 5 の厚さは 2 0 から 5 0 n m 、典型的には 3 0 から 4 0 n m である。エッティング・ストップ層 2 5 は、エッティング・プロセスをその表面で止めることができる層として機能することができる任意の絶縁材料を含むことができる。例示的には、エッティング・ストップ層 2 5 は、酸化物、窒化物、酸窒化物またはこれらの任意の組合せを含むことができる。好ましい一実施形態では、エッティング・ストップ層 2 5 が、S i N 、S i C N (n B L O K) または S i 酸窒化物からなる。

【 0 0 2 8 】

図 3 に戻って、例えばリソグラフィ・マスク (フォトレジスト層) 1 2 0 を塗布することによって、薄膜抵抗器 1 0 0 (図 7 参照) の形状を特定する。次いで、図 4 に示すように、エッティング・ステップを実行して、薄膜導体材料層 2 0 ' を形成する。これは、マスク 1 2 0 の周囲の外側の層 2 5 、5 0 および 2 0 を除去し、層 1 6 の表面で止めることによって実施する。続いて、図 4 に示すように、次のプロセス・ステップで、形成されたレジスト層 1 2 0 を除去する。続いて、図 5 に示すように、本明細書に記載した材料から形成した別のレベル間誘電層を、露出した層 1 6 の上および薄膜導電材料層 2 0 ' の上方に付着させ、平坦化して、図 6 に示す構造を形成する。最後に、図 7 に示すように、本発明の薄膜導体材料層 2 0 ' を別のメタライゼーション層、例えば M 2 に電気的に結合するため、従来の技法を使用して、導電性バイア構造 V 1 を形成することができる。

【 0 0 2 9 】

本発明の第 2 の実施形態では、図 8 に示すように、薄膜導体材料層 2 0 を、2 つの薄い C D E L 層 5 0 a 、5 0 b の間に挟み込む。これは、誘電層 1 4 、1 6 、第 1 の C D E L 層 5 0 a 、薄膜抵抗器を形成する材料の薄膜導体材料層 2 0 、薄膜導体材料層 2 0 の上に付着させた第 2 の C D E L 層 5 0 b 、および第 2 の C D E L 層 5 0 b の上に付着させた最後のエッティング・ストップ層 2 5 を順番に付着させるプロセス・ステップを含む。第 1 の実施形態と同様に、2 つの薄い C D E L 層 5 0 a 、5 0 b は、原子層付着 (A L D) によって 1 0 0 未満、好ましくは 5 0 以下の厚さに付着させた A l ₂ O ₃ 層などの絶縁材料を含む。C D E L 層 5 0 a 、b はあるいは、1 0 から 2 0 の厚さに付着させ、O ₂ プラズマまたは空気酸化によって酸化させたアルミニウムの薄層を含むこともできる。他の実施形態例では、C D E L 層 5 0 a 、b が、T a ₂ O ₅ 、H f O ₂ 、Z r O ₂ などの金属酸化物を含む。第 1 の C D E L 層 5 0 a と第 2 の C D E L 層 5 0 b の間に挟まれて、一般に T a N または第 1 の実施形態に関して本明細書に記載した他の導電材料の薄膜導体材

料層 20 がある。前述のとおり、薄膜導体材料層 20 は、一般に厚さ 300 から 700 、 500 の薄い層である。CDEL 層 50a 、 b は、その間の薄膜導体材料層 20 の材料 TaN によく付着し、本明細書において後により詳細に説明するように、薄膜導体材料層 20 の電流伝達能力を増大させる材料から形成することが好ましい。薄膜抵抗器を形成する薄膜導体材料層 20 は、例えば CVD 、 PECVD 、スパッタリング、めっき、蒸着、 ALD および他の同様の付着プロセスを含む任意の付着プロセスを利用して、第 1 の CDEL 層 50a 上に形成することができる。薄膜導体材料層 20 を形成した後、薄膜導体材料層 20 上に、薄い第 2 の電流密度増強層 (CDEL) 50b を付着させ、 CDEL 層 50b 上にエッチング・トップ層 25 を付着させて、図 8 に示す構造を得る。次いで、次の処理ステップでは、塗布されたリソグラフィ・マスク（すなわち図示されていないレジスト層）を使用して、薄膜抵抗器の形状を特定し、エッチング・ステップを実行して、図 9 に示すような薄膜導体層 20" を形成する。これは、画定されたマスク周囲の外側の層 25 、 50b 、 20 および 50a を除去し、図 9 に示すように層 16 の表面で止めるこ¹⁰とによって実施する。次に、形成されたフォトマスク（レジスト）層 120 （図 3 参照）を除去する。続いて、図 10 に示すように、本明細書に記載した材料から形成した別のレベル間誘電層 125 （図 5 参照）を、露出した層 16 の上および薄膜導体材料層 20" の上方に付着させ、平坦化して、図 10 に示す構造を形成する。最後に、図 11 に示すように、本発明の薄膜導体材料層 20" を有する薄膜抵抗器 200 を別のメタライゼーション層、例えば M2 に電気的に結合するため、従来の技法を使用して、バイア構造 V1 を形成することができる。²⁰

【 0030 】

第 1 および第 2 の実施形態に従って CDEL 層（ 1 つまたは複数）を形成することによって、抵抗を劣化させることなく、すなわち抵抗をシフトさせることなしに、薄膜導体材料層 20' （図 7 ）および 20" （図 11 ）の中により多くの電流を送り込む能力が増大する。これを表 1 に示し、以下に説明する。

【 0031 】

【 表 1 】

CDEL情報	Vstress(V)	I ₀ (mA)	I ₂₄ (mA)	R ₀ (オーム)	R ₂₄ (オーム)	%R ₂₄ シフト
50A Al ₂ O ₃	1.38	20.62	19.56	66.93	70.55	5.41
100A Al ₂ O ₃	1.39	20.83	19.72	66.73	70.49	5.63
No Al ₂ O ₃	1.19	20.36	18.84	58.45	63.16	8.10

【 0032 】

表 1 は、本発明に従って形成した絶縁半導体構造あるいは薄膜抵抗器に加えたストレス適用例について、シフトに対する抵抗性を示したものである。この薄膜抵抗器のサイズは約 10 μm × 10 μm であり、加えた電流密度は 2 mA / μm (幅) である。ストレスは、約 125 、 24 時間の高温ストレスである。したがって、表 1 に示すとおり、 I₀ は、 0 時間ににおける電流（電流ストレス前）、 R₀ は、 0 時間ににおける抵抗（電流ストレス前）、 I₂₄ は、 24 時間後、すなわち電流ストレス終了時の電流、 R₂₄ は、 24 時間後（電流ストレス終了時）のデバイスの抵抗、 %R₂₄ は、上記の条件での 24 時間の一定電流ストレス後の抵抗のシフトである。抵抗器が約 50 の Al₂O₃ の単一の CDEL 層を含み、この抵抗器に高温で 24 時間、電圧を印加した、本発明の第 1 の実施形態に従って形成した抵抗器例において、表 1 は、時間ゼロの初期抵抗値 R₀ が 66.93 オームのときに、 5.4 % の抵抗シフトが示されることを明らかにしている。これは、 1.38 V の印加で約 20.6 mA の初期電流 I₀ に対応する。 24 時間後、電流は約 19.56 mA まで低下し、これは、約 70.55 オームへの抵抗 R₂₄ の増大に対応し、これは、約 5.4 % の抵抗シフトに対応する。⁴⁰ 高温で 24 時間、電圧を印加した約 100 の Al₂O₃ 層の片面 CDEL の場合には、 5.6 % の抵抗シフトが示されることを表 1 は明らかにしている。これは、薄膜抵抗器に一定の電圧を印加したときの、 66.73 オームの時間ゼロの初期抵抗値 R₀ 、および約 70.49 オームの 24 時間後の最終抵抗値 R₂₄ に対応する。表に示すように、これは、 Al₂O₃ CDEL 層のない薄膜抵抗器の場⁵⁰

合に示された約 8 . 0 % の抵抗シフトに比べ、抵抗シフトの著しい低下である。片面 100 C D E L 層を有する抵抗器は、片側 50 C D E L 層を有する抵抗器と比較して、抵抗性のシフトをやや増大させてるので、50 以下の C D E L 層を有する薄膜抵抗器を形成することが好ましい。

【 0 0 3 3 】

本発明の薄膜抵抗器は、フロント・エンド・オブ・ライン・プロセスにおいて、例えば基板上に形成し、バイポーラ・トランジスタまたは F E T などの C M O S デバイスあるいはその両方を含む他のデバイス領域に結合することができることを理解されたい。

【 0 0 3 4 】

本発明の好ましい実施形態に関して本発明を説明し、示したが、本出願の趣旨および範囲から逸脱することなく、形態および詳細の上記の変更およびその他の変更を実施することができることを当業者は理解されたい。したがって、本出願は、添付の特許請求の範囲に含まれるものであれば、説明し、示した正確な形態に限定されないことが意図される。

【 産業上の利用可能性 】

【 0 0 3 5 】

本発明は、半導体デバイスの分野において有用であり、より具体的には半導体回路構造用の薄膜抵抗器に対して有用である。

【 図面の簡単な説明 】

【 0 0 3 6 】

【 図 1 】従来技術に基づく基本的な B E O L 薄膜 T a N を有する薄膜抵抗器およびその製造において使用される処理を示す図（断面図）である。

【 図 2 】本発明の第 1 の実施形態に基づく C D E L 構造を有する薄膜抵抗器を形成するプロセスを示す図（断面図）である。

【 図 3 】本発明の第 1 の実施形態に基づく C D E L 構造を有する薄膜抵抗器を形成するプロセスを示す図（断面図）である。

【 図 4 】本発明の第 1 の実施形態に基づく C D E L 構造を有する薄膜抵抗器を形成するプロセスを示す図（断面図）である。

【 図 5 】本発明の第 1 の実施形態に基づく C D E L 構造を有する薄膜抵抗器を形成するプロセスを示す図（断面図）である。

【 図 6 】本発明の第 1 の実施形態に基づく C D E L 構造を有する薄膜抵抗器を形成するプロセスを示す図（断面図）である。

【 図 7 】本発明の第 1 の実施形態に基づく C D E L 構造を有する薄膜抵抗器を形成するプロセスを示す図（断面図）である。

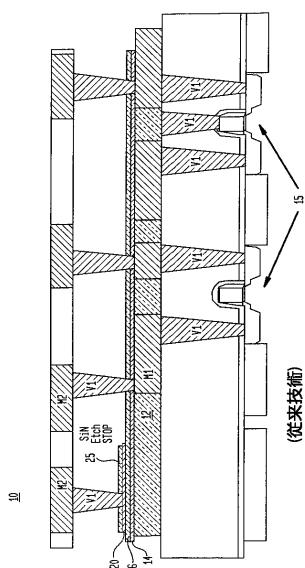
【 図 8 】本発明の第 2 の実施形態に基づく C D E L 構造を有する薄膜抵抗器を形成するプロセスを示す図（断面図）である。

【 図 9 】本発明の第 2 の実施形態に基づく C D E L 構造を有する薄膜抵抗器を形成するプロセスを示す図（断面図）である。

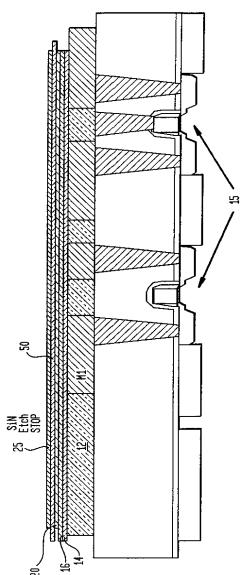
【 図 1 0 】本発明の第 2 の実施形態に基づく C D E L 構造を有する薄膜抵抗器を形成するプロセスを示す図（断面図）である。

【 図 1 1 】本発明の第 2 の実施形態に基づく C D E L 構造を有する薄膜抵抗器を形成するプロセスを示す図（断面図）である。

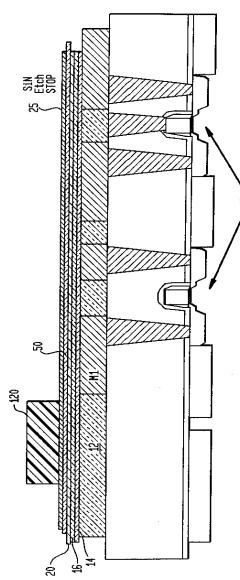
【図1】



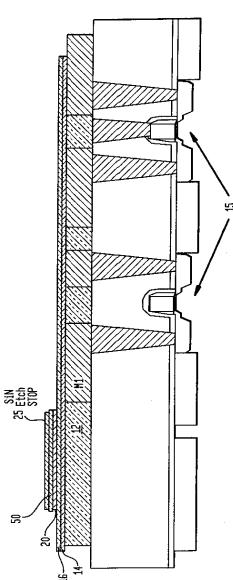
【図2】



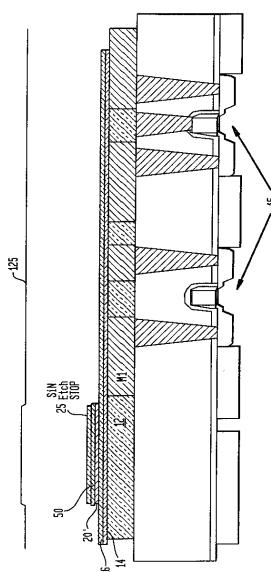
【図3】



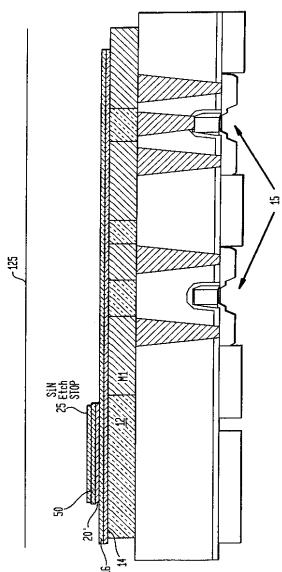
【図4】



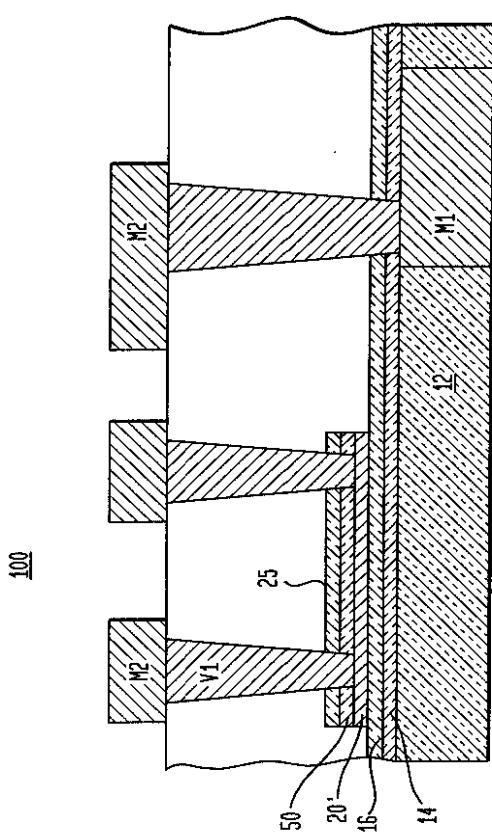
【図5】



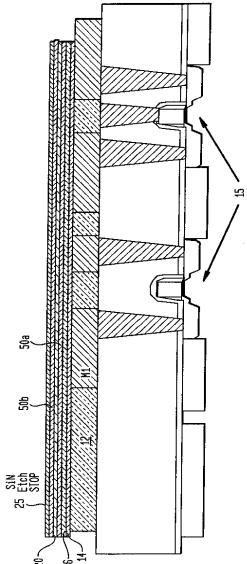
【図6】



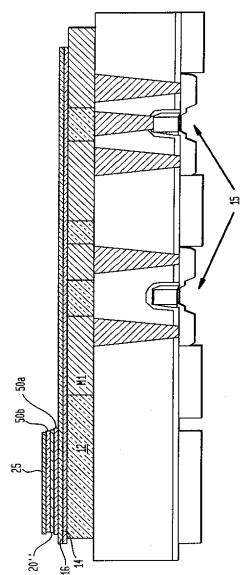
【図7】



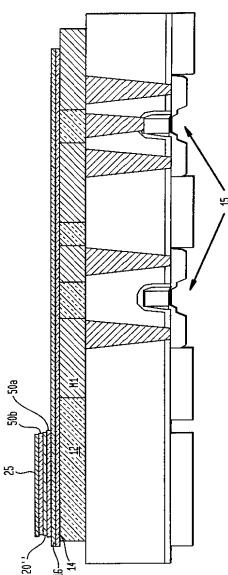
【図8】



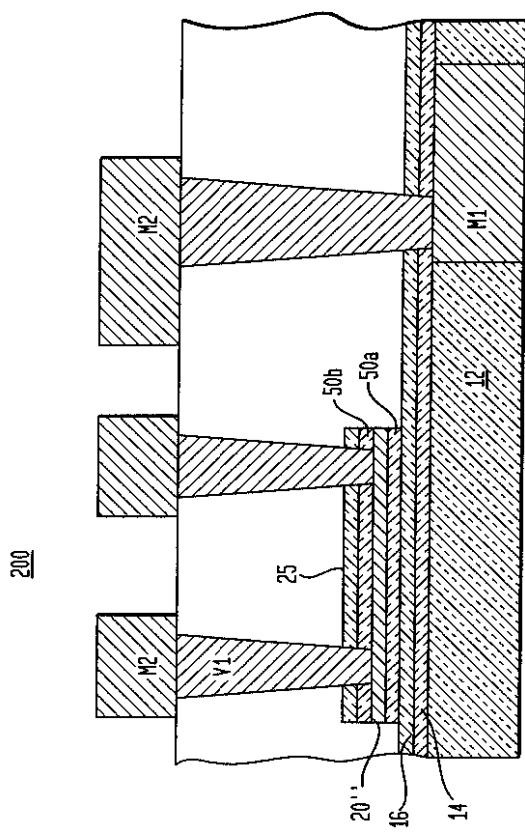
【図9】



【図10】



【図11】



フロントページの続き

(74)代理人 100086243

弁理士 坂口 博

(72)発明者 チンサキンディ、アニル、ケイ

アメリカ合衆国 12590 ニューヨーク州ワッピンガーズ・フォールズ アパート 7D ルート

9 1548

(72)発明者 エシュン、エベニーザー、イー

アメリカ合衆国 12550 ニューヨーク州ニューバーグ ヒビング・ウェイ 32

審査官 増山 慎也

(56)参考文献 特開2001-223334 (JP, A)

特開2001-267320 (JP, A)

特開平04-221850 (JP, A)

特開2003-031689 (JP, A)

特開2003-163272 (JP, A)

(58)調査した分野(Int.Cl., DB名)

H01L 21/822

H01C 7/00

H01L 27/04