



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2017-0121224
(43) 공개일자 2017년11월01일

- | | |
|---|---|
| <p>(51) 국제특허분류(Int. Cl.)
H01L 29/06 (2006.01) H01L 29/861 (2006.01)
H01L 29/872 (2006.01)</p> <p>(52) CPC특허분류
H01L 29/0634 (2013.01)
H01L 29/0619 (2013.01)</p> <p>(21) 출원번호 10-2017-7026543</p> <p>(22) 출원일자(국제) 2016년02월26일
심사청구일자 없음</p> <p>(85) 번역문제출일자 2017년09월20일</p> <p>(86) 국제출원번호 PCT/US2016/019917</p> <p>(87) 국제공개번호 WO 2016/138468
국제공개일자 2016년09월01일</p> <p>(30) 우선권주장
62/126,240 2015년02월27일 미국(US)</p> | <p>(71) 출원인
디3 세미컨덕터 엘엘씨
미국 텍사스 75001 애디슨 이. 벨트우드 파크웨이 15050</p> <p>(72) 발명자
해링턴 3세 토마스 이.
미국 텍사스 75001 애디슨 이. 벨트우드 파크웨이 15050</p> <p>취지준
미국 텍사스 75001 애디슨 이. 벨트우드 파크웨이 15050</p> <p>(74) 대리인
박장원</p> |
|---|---|

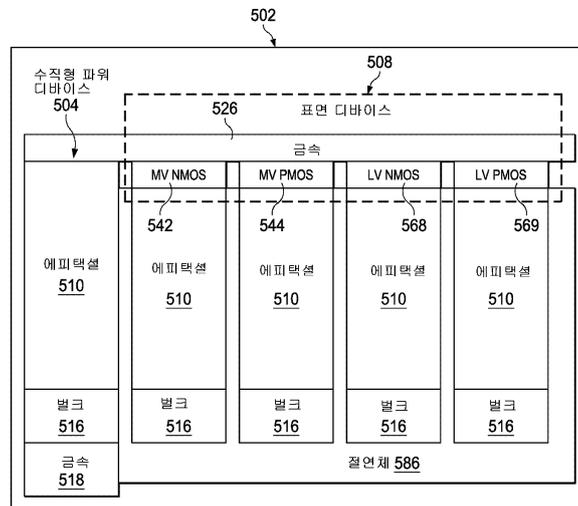
전체 청구항 수 : 총 21 항

(54) 발명의 명칭 수직형 파워 디바이스 내의 표면 디바이스들

(57) 요약

반도체 디바이스가 개시되는바, 상기 반도체 디바이스는 초집합 MOSFET, IGBT, 다이오드, 기타 등등의 수직형 파워 디바이스와 상기 반도체 디바이스의 상부 표면을 따라 전기적으로 활성인 하나 이상의 수평형(lateral) 디바이스들을 포함하는 표면 디바이스를 포함한다.

대표도 - 도5



(52) CPC특허분류

H01L 29/7395 (2013.01)

H01L 29/8611 (2013.01)

H01L 29/872 (2013.01)

명세서

청구범위

청구항 1

반도체 디바이스로서,

상기 반도체 디바이스의 수직축을 따라 전기적으로 활성이며 그리고 상기 반도체 디바이스의 후면 상에서 적어도 하나의 주요한 단자를 갖는 수직형(vertical) 파워 디바이스; 및

상기 반도체 디바이스의 상부 표면을 따라 전기적으로 활성인 하나 이상의 수평형(lateral) 디바이스들을 포함하는 표면 디바이스

를 포함하는 것을 특징으로 하는 반도체 디바이스.

청구항 2

제1항에 있어서,

상기 수직형 파워 디바이스는 초접합(superjunction) 금속 산화물 반도체 전계 효과 트랜지스터(SJMOSFET)를 형성하는 것을 특징으로 하는 반도체 디바이스.

청구항 3

제1항에 있어서,

상기 수직형 파워 디바이스는 초접합 금속 산화물 반도체 전계 효과 트랜지스터(SJMOSFET) 및 절연 게이트 바이폴라 트랜지스터(IGBT)로 구성되는 것을 특징으로 하는 반도체 디바이스.

청구항 4

제1항에 있어서,

상기 수직형 파워 디바이스는 초접합 금속 산화물 반도체 전계 효과 트랜지스터(SJMOSFET), 절연 게이트 바이폴라 트랜지스터(IGBT) 및 파워 다이오드로 구성되는 것을 특징으로 하는 반도체 디바이스.

청구항 5

제2항에 있어서,

상기 하나 이상의 수평형 디바이스는 하나 이상의 N형 MOS(NMOS) 트랜지스터, P형 MOS(PMOS) 트랜지스터, LDMOS(Lateral-Drift MOS) 트랜지스터, NPN 바이폴라 접합 트랜지스터(NPN), PNP 바이폴라 접합 트랜지스터(PNP), 플로팅-게이트 MOS 트랜지스터, 다이오드, 저항기, 커패시터, 인덕터 및 가용성(fusible) 소자를 포함하며,

상기 표면 디바이스는 상기 수직형 파워 디바이스를 제어하도록 구성되는 것을 특징으로 하는 반도체 디바이스.

청구항 6

제2항에 있어서,

하나 이상의 소거 및 프로그래밍가능한 판독전용 메모리(EPROM), 전기적으로 소거 및 프로그래밍가능한 판독전용 메모리(EEPROM), 상태 머신, 아날로그-디지털 변환기, 디지털-아날로그 변환기, 게이트 드라이버, 온도 센서, 논리 게이트, 프로세서 및 임의의 다른 혼합된 아날로그-디지털 회로 구성을 형성하도록 상기 하나 이상의 수평형 디바이스들이 상호연결되며; 그리고

상기 표면 디바이스는 상기 수직형 파워 디바이스를 제어하도록 구성되는 것을 특징으로 하는 반도체 디바이스.

청구항 7

제5항에 있어서,

상기 표면 디바이스는 중간 전압 영역 및 저전압 영역을 포함하고,

상기 중간 전압 영역은 NMOS 영역 및 PMOS 영역을 포함하고,

상기 저전압 영역은 NMOS 영역 및 PMOS 영역을 포함하는 것을 특징으로 하는 반도체 디바이스.

청구항 8

제1항에 있어서,

상기 반도체 디바이스의 상부면 상의 금속층을 더 포함하고,

상기 금속층은 상기 수직형 파워 디바이스를 상기 표면 디바이스에 연결하는 것을 특징으로 하는 반도체 디바이스.

청구항 9

제1항에 있어서,

상기 수직형 파워 디바이스로부터 열을 방산하고 상기 반도체 디바이스의 전체 온도를 낮추기 위해, 상기 표면 디바이스의 부분들은 상기 수직 파워 디바이스의 부분들에 산재되는 것을 특징으로 하는 반도체 디바이스.

청구항 10

제8항에 있어서,

상기 수직형 파워 디바이스를 상기 표면 디바이스로부터 분리시키는 절연체를 더 포함하며,

상기 반도체 디바이스는 실리콘-온-인슐레이터(silicon-on-insulator) 디바이스로 형성되고 그리고 상기 절연체는 실리콘 산화물 및 알루미늄 산화물 중 하나인 것을 특징으로 하는 반도체 디바이스.

청구항 11

반도체 디바이스로서,

상기 반도체 디바이스의 수직축을 따라 전기적으로 활성이며 그리고 상기 반도체 디바이스의 후면 상에 콜렉터 단자를 갖는 절연 게이트 바이폴라 트랜지스터(IGBT)를 형성하는 수직형 파워 디바이스; 및

상기 반도체 디바이스의 상부 표면을 따라 전기적으로 활성인 하나 이상의 수평형 디바이스들을 포함하는 표면 디바이스

를 포함하는 것을 특징으로 하는 반도체 디바이스.

청구항 12

제11항에 있어서,

상기 하나 이상의 수평형 디바이스는 하나 이상의 N형 MOS(NMOS) 트랜지스터, P형 MOS(PMOS) 트랜지스터, LDMOS(Lateral-Drift MOS) 트랜지스터, NPN 바이폴라 접합 트랜지스터(NPN), PNP 바이폴라 접합 트랜지스터(PNP), 플로팅-게이트 MOS 트랜지스터, 다이오드, 저항기, 커패시터, 인덕터 및 가용성(fusible) 소자를 포함하며,

상기 표면 디바이스는 상기 수직형 파워 디바이스를 제어하도록 구성되는 것을 특징으로 하는 반도체 디바이스.

청구항 13

제11항에 있어서,

하나 이상의 소거 및 프로그래밍가능한 판독전용 메모리(EPROM), 전기적으로 소거 및 프로그래밍가능한 판독전용 메모리(EEPROM), 상태 머신, 아날로그-디지털 변환기, 디지털-아날로그 변환기, 게이트 드라이버, 온도 센서, 논리 게이트, 프로세서 및 임의의 다른 혼합된 아날로그-디지털 회로 구성을 형성하도록 상기 하나 이상의 수평형 디바이스들이 상호연결되며; 그리고

상기 표면 디바이스는 상기 수직형 파워 디바이스를 제어하도록 구성되는 것을 특징으로 하는 반도체 디바이스.

청구항 14

제11항에 있어서,

상기 표면 디바이스는 중간 전압 영역 및 저전압 영역을 포함하고,

상기 중간 전압 영역은 NMOS 영역 및 PMOS 영역을 포함하고,

상기 저전압 영역은 NMOS 영역 및 PMOS 영역을 포함하는 것을 특징으로 하는 반도체 디바이스.

청구항 15

제11항에 있어서,

상기 반도체 디바이스의 상부면 상의 금속층을 더 포함하고,

상기 금속층은 상기 수직형 파워 디바이스를 상기 표면 디바이스에 연결하는 것을 특징으로 하는 반도체 디바이스.

청구항 16

제11항에 있어서,

상기 수직형 파워 디바이스로부터 열을 방산하고 상기 반도체 디바이스의 전체 온도를 낮추기 위해, 상기 표면 디바이스의 부분들은 상기 수직 파워 디바이스의 부분들에 산재되는 것을 특징으로 하는 반도체 디바이스.

청구항 17

제11항에 있어서,

상기 수직형 파워 디바이스를 상기 표면 디바이스로부터 분리시키는 절연체를 더 포함하며,

상기 반도체 디바이스는 실리콘-온-인슐레이터(silicon-on-insulator) 디바이스로 상기 절연체는 실리콘 산화물 및 알루미늄 산화물 중 하나인 것을 특징으로 하는 반도체 디바이스.

청구항 18

반도체 디바이스로서,

상기 반도체 디바이스의 수직축을 따라 전기적으로 활성이며 그리고 상기 반도체 디바이스의 후면 상에 캐소드 단자를 갖는 다이오드를 형성하는 수직형 파워 디바이스; 및

상기 반도체 디바이스의 상부 표면을 따라 전기적으로 활성인 하나 이상의 수평형 디바이스들을 포함하는 표면 디바이스

를 포함하는 것을 특징으로 하는 반도체 디바이스.

청구항 19

제18항에 있어서,

상기 하나 이상의 수평형 디바이스는 하나 이상의 N형 MOS(NMOS) 트랜지스터, P형 MOS(PMOS) 트랜지스터, LDMOS(Lateral-Drift MOS) 트랜지스터, NPN 바이폴라 접합 트랜지스터(NPN), PNP 바이폴라 접합 트랜지스터(PNP), 플로팅-게이트 MOS 트랜지스터, 다이오드, 저항기, 커패시터, 인덕터 및 가용성(fusible) 소자를 포함하며,

하나 이상의 소거 및 프로그래밍가능한 판독전용 메모리(EPROM), 전기적으로 소거 및 프로그래밍가능한 판독전용 메모리(EEPROM), 상태 머신, 아날로그-디지털 변환기, 디지털-아날로그 변환기, 게이트 드라이버, 온도 센서, 논리 게이트, 프로세서 및 임의의 다른 혼합된 아날로그-디지털 회로 구성을 형성하도록 상기 하나 이상의 수평형 디바이스들이 상호연결되며; 그리고

상기 표면 디바이스는 상기 수직형 파워 디바이스를 제어하도록 구성되는 것을 특징으로 하는 반도체 디바이스.

청구항 20

제18항에 있어서,
 상기 표면 디바이스는 중간 전압 영역 및 저전압 영역을 포함하고,
 상기 중간 전압 영역은 NMOS 영역 및 PMOS 영역을 포함하고,
 상기 저전압 영역은 NMOS 영역 및 PMOS 영역을 포함하는 것을 특징으로 하는 반도체 디바이스.

청구항 21

제18항에 있어서,
 상기 수직형 파워 디바이스를 상기 표면 디바이스로부터 분리시키는 절연체를 더 포함하며,
 상기 반도체 디바이스는 실리콘-온-인슐레이터(silicon-on-insulator) 디바이스로 형성되고 상기 절연체는 실리콘 산화물 및 알루미늄 산화물 중 하나인 것을 특징으로 하는 반도체 디바이스.

발명의 설명

기술 분야

[0001] 본 발명은 일반적으로 수직형 파워 디바이스 다이 내의 많은 유형의 표면 디바이스(예를 들어, NMOS, PMOS 등)들을 집적 및 매립하는 방법에 관한 것이다. 특히, 본 발명은 수직형 파워 디바이스 내에 표면 디바이스들을 집적 및 매립하는 방법 및 설계를 상세히 설명한 것으로, 다양한 표면 디바이스를 수용할 수 있는 최상부 표면 도핑 영역을 설계함과 동시에 특정한 항복 전압을 유지할 수 있도록 파워 디바이스 전도 영역들을 설계함으로써, 또는 전기적으로 완전히 절연된 실리콘-온-인슐레이터(silicon-on-insulator) 아키텍처와 호환되도록 파워 디바이스들 및 다양한 표면 디바이스들을 설계함으로써, 수직형 파워 디바이스 내에 표면 디바이스들을 집적 및 매립하는 방법을 개시한다.

배경 기술

[0002] 시스템 비용을 줄이고, 더 많은 기능을 제공하며, 높은 수준의 정밀도 및 효율을 가능하게 하는 요구들은, 반도체가 계속해서 점점 더 높은 집적도를 갖게 하였다. 단일 다이 내에 센서를 포함하여 로직, 아날로그 및 혼성 신호 회로와 하나 이상의 수직형 파워 디바이스를 통합함으로써 많은 애플리케이션이 이점을 얻을 수 있다. 이러한 이점으로는 집적으로 인한 제조 비용의 절감, 기능의 향상, 개선된 부품 매칭, 및 공유된 기판으로 인한 향상된 열 매칭을 포함한다.

발명의 내용

해결하려는 과제

[0003] 초접합(super junction) MOSFET, IGBT 및 다이오드 등과 같은 수직형 파워 디바이스는 다수의 파워 애플리케이션에 사용되며, 일례는 스위치 모드 파워 서플라이의 MOSFET이다. 이러한 많은 애플리케이션들은 제어 회로(예를 들어, 마이크로 프로세서)가 이들 파워 디바이스들과 최적의 방식으로 인터페이스할 수 있게 하는 외부 회로를 필요로 한다. 예를 들어, 대부분의 애플리케이션은 최적적으로 스위칭하는데 필요한 게이트 전압을 파워 디바이스에 제공하기 위하여, 제어 회로와 파워 디바이스 사이를 인터페이싱하는 별도의 게이트 드라이버 IC가 필요하다.

[0004] 시스템 비용을 줄이고, 더 많은 기능을 제공하고, 더 높은 정밀도와 효율을 가능하게 하기 위해, 파워 디바이스 다이 내에 다양한 유형의 제어 회로들을 내장할 수 있는 것이 유리할 것이다. 본 개시는 수직형 디바이스 다이 내에 많은 유형들의 표면 디바이스들(예를 들어, NMOS, PMOS 등)를 통합하고 내장하기 위한 방법을 제공한다.

도면의 간단한 설명

[0005] 도 1은 본 발명에 따른 수직형 파워 디바이스 및 혼합 신호 표면 디바이스를 포함하는 디바이스의 블록도이다. 도 2a는 본 발명에 따라 벌크 실리콘 상의 에피택셜에 혼합 신호 디바이스와 결합된 수직형 파워 초접합

MOSFET(SJMOSFET)을 포함하는 반도체 장치의 단면도이다.

도 2b는 SJMOSFET의 일부의 단면도이다.

도 2c는 표면 디바이스의 단면도이다.

도 2d는 디바이스의 장치의 중간 전압(medium voltage) 영역의 단면도이다.

도 2e는 MV NMOS 영역 내의 트랜지스터의 단면도이다.

도 2f는 MV PMOS 영역 내의 트랜지스터의 단면도이다.

도 2g는 디바이스의 저전압(low voltage) 영역의 단면도이다.

도 2h는 LV NMOS 영역 내의 트랜지스터의 단면도이다.

도 2i는 LV PMOS 영역 내의 트랜지스터의 단면도이다.

도 3a는 본 발명에 따른 벌크 실리콘 상의 에피택셜에 혼합 신호 디바이스와 결합된 수직형 IGBT를 포함하는 반도체 디바이스의 단면도이다.

도 3b는 IGBT의 일부의 단면도를 보다 상세하게 도시한다.

도 3c는 표면 디바이스의 단면도이다.

도 4a는 본 발명에 따라 벌크 실리콘 상의 에피택셜에 혼합 신호 디바이스와 결합된 수직형 파워 다이오드를 포함하는 반도체 장치의 단면도이다.

도 4b는 다이오드의 일부의 단면도를 보다 상세히 도시한다.

도 5는 본 발명에 따른 SOI(silicon-on-insulator) 기술을 사용하여 형성된 수직형 파워 디바이스 및 혼합 신호 표면 디바이스를 포함하는 반도체 디바이스의 블록도이다.

도 6a는 수직형 SJMOSFET 및 표면 디바이스들을 포함하는 디바이스의 단면도로서, 이들은 벌크 실리콘 상의 에피택셜에 형성되고 그리고 실리콘-온-인슐레이터 기술을 사용하여 절연체에 의해 분리된다.

도 6b는 SJMOSFET의 일부의 단면도이다.

도 6c는 MV NMOS 영역의 단면도이다.

도 6d는 MV PMOS 영역의 단면도이다.

도 6e는 LV NMOS 영역의 단면도이다.

도 6f는 LV PMOS 영역의 단면도이다.

도 7a는 실리콘-온-인슐레이터 기술을 사용하는 IGBT 및 표면 디바이스의 일부를 포함하는 디바이스의 단면도이다.

도 7b는 수직 IGBT의 단면도이다.

도 8a는 실리콘-온-인슐레이터 기술을 사용하는 다이오드 및 표면 디바이스를 포함하는 디바이스의 단면도이다.

도 8b는 다이오드의 일부의 단면도를 보다 상세하게 도시한다.

도 9는 혼합 신호 표면 디바이스를 갖는 수직형 파워 디바이스를 포함하는 장치의 3 차원 도면이다.

발명을 실시하기 위한 구체적인 내용

[0006] 본 개시의 다양한 실시예들의 구현 및 사용이 이하에서 상세히 논의되지만, 본 개시는 다양한 특정 문맥으로 구현될 수 있는 적용가능한 많은 발명적 개념들을 제공한다는 것을 이해해야 한다. 여기에서 논의된 특정 실시예는 단지 본 발명을 제조하고 사용하기 위한 특정 방법의 일례일 뿐이며 본 발명의 범위를 제한하지 않는다.

[0007] MOSFET, IGBT 및 다이오드와 같은 수직형 파워 디바이스는 디바이스 내부의 전류 흐름의 주 방향이 수직인, 즉 상부(top)에서 하부(bottom)로 또는 하부에서 상부로 또는 이들 양쪽으로 향하는 반도체 구조물이다. 또한, 초접합 MOSFET과 같은 수직형 초접합 디바이스는 소자는 교번하는 n-형 및 p-형 영역들 사이에서 전하 밸런스를 채용하는데, 이는 전하 밸런스가 없는 경우보다 더 낮은 온-저항(on-resistance: RON), 및 더 높은 브레이크다

운 전압(BV)을 획득하기 위함이다. IGBT 및 다이오드 구조는 일반적으로 전하 밸런스 구조를 채용하지 않지만, 전력 효율의 관점에서 유리할 때에는 전하 밸런스 구조를 채용할 수 있다.

[0008] 수직형 파워 디바이스와 달리, 논리 회로, 아날로그 회로, 혼합-신호 회로(mixed-signal circuit), 및 메모리 회로를 구성하기 위해 사용되는 반도체 디바이스 소자(본 명세서에서는 "회로 소자"라고 통칭됨)는 주로 상부 표면(top surface) 디바이스이다. 이들 디바이스들은, 상부 표면의 수 마이크론 이내에서의 수평적인 전류 흐름을 채용하거나(예컨대, 상부 표면 소스, 게이트 및 드레인 단자를 구비한 NMOS 트랜지스터), 상부 표면 위에서 수평적 전류 흐름을 채용하거나(폴리실리콘 또는 박막 트랜지스터), 혹은 표면의 오직 수 마이크론(통상적으로 5 μm 이하) 이내에서의 수직적 전류 흐름을 채용하는바, 이는 표면에서 수집되며(전류는 수직으로 흐르고, 이후 수평으로, 다음으로 다시 수직으로 흘러서 표면에서 수집된다) 그리고 상부 표면으로부터 하부 표면으로 혹은 하부 표면으로부터 상부 표면으로 흐르지 않는다(예컨대, 상부 표면 이미터, 베이스, 콜렉터 단자를 구비한 NPN 바이폴라 트랜지스터). 이러한 종류의 상부 표면 디바이스 구조들은, 또한 상부 표면 용량성 소자 및 상부 표면 위의 용량성 및 유도성 소자들 뿐만 아니라 EPROM, EEPROM 및 플래시 EEPROM과 같은 전하-포획 비-휘발성 메모리 소자들을 포함한다.

[0009] 바람직한 실시예에는 다양한 표면 타입 회로 소자들을 수용할 수 있는 상부 표면 도핑 영역을 갖는 벌크 실리콘 상의 에피택셜에 구현되는 수직 전류 흐름 파워 MOSFET, IGBT 또는 다이오드를 포함한다. 상부 표면 도핑 영역은 동일한 도핑 유형 및 반대되는 도핑 유형 둘다의 더 적은 및 더 큰 네트 도핑 레벨들을 갖는 매립된 웰들을 포함할 수 있을 정도로 충분히 깊게 설계되고, 그리고 이와 동시에 하부의 파워 디바이스 드리프트 영역들(예를 들어, 초집합 전하 밸런스 영역들이 있든 없든)은 수직형 파워 디바이스의 필요 항복 전압을 여전히 지원할 수 있을만큼 충분히 높게(tall) 설계된다. 이러한 상부 표면 도핑 영역은 MV-P 웰(중간 전압 p-타입 웰: medium-voltage p-type well)이라 지칭될 것이다. 이러한 MV-Pwell 영역은 수직형 디바이스의 표면에 위치하고 파워 디바이스의 저전압 측에 전기적으로 연결되어 있기 때문에, 그리고 파워 디바이스의 고전압 측은 수직 구조의 후면에 인가되고 이러한 고전압은 수직형 디바이스의 하부로부터 상부쪽으로 강하하기 때문에, 상기 MV-P 웰 영역은 0 볼트의 전위에서 효과적으로 바이어싱된다. 따라서, MV-P 웰 영역은 파워 디바이스 드리프트 영역(초집합 MOSFET의 경우 교환하는 p형 및 n형 초집합 컬럼들을 포함함)을 가로질러 연장될 수 있으며, 그리고 반대되는 도핑 유형의 웰에 대한 도핑 웰 호스트로서의 역할을 할 수 있는바, 따라서 전도도 유형의 디바이스들(가변 전압 능력의 수평형, 표면 NMOS 및 PMOS) 및 바이폴라 트랜지스터들 둘다가 MV-P 웰 영역 내에 내장될 수 있다.

[0010] 논리, 아날로그, 비휘발성 메모리 및 혼합 신호 회로(표면 디바이스들)와 수직형 파워 디바이스를 통합하는 것은, 바람직한 실시예에서 설명되는 바와 같이 벌크 실리콘 상의 에피택셜을 이용하여 달성될 수 있지만, SOI(silicon-on-insulator) 기판을 사용하여 달성될 수도 있다. SOI 기판을 사용하는 대안적인 실시예는 수직형 전류 흐름 파워 MOSFET, IGBT 또는 다이오드이며, 이는 인접한 표면 타입 회로 영역들 혹은 심지어 추가적인 수직형 전류 흐름 파워 MOSFET, IGBT 또는 다이오드 영역들과 절연체 매립 트랜치들에 의해서 수평적으로 분리되는바, 절연체 매립 트랜치들은 파워 디바이스 드리프트 영역을 가로지르고, SOI의 하부 절연체와 교차하며, 완전한 유전체 절연을 각각의 디바이스 영역에 제공한다. 수직형 파워 디바이스 각각의 고전압 단자에 대한 액세스는, 고전압 단자의 영역 내의 임의의 핸들 웨이퍼(사용된 경우) 및 SOI 절연체의 후면 패터닝 및 에칭에 의해 획득된다. MOSFET의 경우, SOI 절연체 뿐만 아니라 임의의 핸들 웨이퍼(사용된 경우)가 각각의 드레인 영역에 대해 패터닝되고 에칭되며, 후면 금속 배선이 증착, 패터닝 및 에칭되어 각 MOSFET 드레인 영역 위에 남아있게 된다. IGBT의 경우, SOI 절연체 뿐만 아니라 임의의 핸들 웨이퍼(사용된 경우)가 패터닝 및 에칭되고, p+ 이온 주입이 수행되고 어닐링되며, 그리고 후면 금속 배선이 증착, 패터닝, 및 에칭되어 IGBT 컬렉터 영역 각각에 남아있게 된다. 다이오드의 경우, SOI 절연체 뿐만 아니라 핸들 웨이퍼(사용된 경우)는 각각의 캐소드 영역에 대해 패터닝 및 에칭되며, 후면 금속 배선이 패터닝 및 에칭되어 각각의 다이오드 캐소드 영역 위에 남아 있다.

[0011] 유전체로 절연된 인접한 표면 디바이스 영역들을 구비한 초집합 MOSFET의 예시적인 SOI 프로세스의 상세한 구현 예가 아래에서 설명된다. 시작 SOI는 분리 기술(Smart Cut™ 또는 다른 분리 기술과 같은 수소 주입을 사용하는) 또는 산소 주입(SIMOX)에 의한 분리(Separation by Implantation of Oxygen)와 같은 산소 주입 기술을 사용하는 임의 유형의 웨이퍼 본딩이 될 수 있다. 오늘날 대부분의 SOI 구현예들은 절연체 상부에서 상대적으로 얇은 실리콘(수 마이크론)을 사용하기 때문에, 집적된 파워 디바이스를 위한 구현에는 일반적으로, 유전체적으로 완전 절연된 수평형(lateral) 고전압 디바이스들(예컨대, 수평 확산된 MOS(LDMOS))을 위한 것이거나 또는 드레인(MOSFET), 콜렉터(IGBT), 혹은 캐소드(다이오드)에 대한 상부측 콘택을 구비한 수직형 파워 디바이스들을 위한 것이며, 드레인(MOSFET), 콜렉터(IGBT), 혹은 캐소드(다이오드)에 대한 후면 콘택을 구비한 수직형 파워 디바이

스들을 위한 것이 아니다.

- [0012] 웨이퍼 본딩 기술을 사용하여 구성된 SOI 웨이퍼 상에 수직형 초접합 MOSFET를 형성하기 위한 예시적인 공정 흐름은 다음과 같다:
- [0013] 1) 낮은 n형 도핑(1E16 원자/cm³ 미만)을 갖는 벌크 Si 웨이퍼로 시작한다.
- [0014] 2) 웨이퍼 본딩 기술을 사용하여 SOI 베이스 웨이퍼를 구성하기 위해 이러한 시작 벌크 Si 웨이퍼를 사용하기 전에, N+ 비소 도핑(2E15 원자/cm² 이상의 도즈)으로 초기 Si 웨이퍼에 이온주입하는데, 이는 나중에 초접합 MOSFET의 고농도로 도핑된(heavily doped) 드레인을 형성할 것이다.
- [0015] 3) 고농도로 도핑된 N+ 웨이퍼 표면 상에 SiO₂를 성장시키고, 선택된 웨이퍼 본딩 SOI 제조 기술의 통상적인 방식으로 SOI 베이스 웨이퍼의 형성을 완료한다.
- [0016] 4) 다중 에피택셜 증착 초접합 구현을 위해, 다중 에피택셜 층을 증착하고 각각의 에피택셜 층에 마스크된 p형 주입을 수행함으로써 SOI 웨이퍼의 상부면 상에 초접합 p형 컬럼들을 형성한다.
- [0017] 5) 트렌치 초접합 구현을 위해, SOI 웨이퍼의 상부면 상에 하나의 증착에서 초접합 에피택시의 전체 두께를 증착하고, 트렌치들을 에칭하고, 그리고 초접합(superjunction) 형성하는바, 선택적 p형 에피택시로 트렌치를 재충전하거나, 또는 p형 도펀트로 측벽들을 임플란트하고 그리고 SiO₂ 또는 SiO₂ 및 폴리실리콘의 조합 기타 등등으로 트렌치들을 재충전함으로써 초접합을 형성한다.
- [0018] 6) 다중 에피택셜 및 트렌치 초접합 구현예들 둘다에서, 하부 SOI 절연 산화물까지 연장되는 딥 트렌치들(트렌치 초접합 구현예의 초접합 트렌치들과는 구별되는)을 에칭하고 그리고 에칭후 이들 트렌치들을 산화물로 충전하여, CMOS, 바이폴라, 비휘발성 메모리 및 기타 혼합 신호 영역들(즉, 표면 디바이스 영역들)로부터 초접합 파워 디바이스 영역(들)을 유전체로 격리시킨다.
- [0019] 7) 전면 프로세싱이 완료된 후:
- [0020] a) 후면 핸들 웨이퍼의 두께 전체 또는 일부를 그라인딩한다. 후속 프로세싱은 얇은 웨이퍼(10 mils 이하)를 처리할 수 있는 능력을 요구한다.
- [0021] b) 오직 초접합 영역 위에서만, 후면 핸들 웨이퍼 두께의 나머지 부분(존재한다면)과 후면 상의 절연 산화물을 패터닝 및 에칭하는데, 이는 후면의 고농도로 도핑된 N+ 드레인 실리콘을 노출시키기 위한 것이다.
- [0022] c) 후면 드레인 실리콘에 전기적 콘택을 형성하기 위해 후면 금속(들)을 증착한다.
- [0023] d) 유전체로 절연된 다수의 수직형 초접합 MOSFET를 형성하기 위해, 독립적인 드레인 연결 각각을 분리시키도록 후면 금속 배선이 패터닝된다. 후면 핸들 웨이퍼의 패터닝 및 에칭과 SOI 절연 산화물의 패터닝 및 에칭 사이에 절연층을 증착시키는 것이 필요할 수도 있는바, 이는 후속하는 후면 금속 증착이 핸들 웨이퍼와 접촉하지 않도록 하기 위함이며, 이러한 접촉은 후면 금속 에칭의 종료점 검출(end-pointing)을 어렵게 할 수도 있다. 또한, 후면 상에 있는 다수의 격리된 수직형 초접합 MOSFET 드레인들을 구비한 구성을 패키징하기 위하여, 패키징 다이 패들(die paddle)이 여러 개의 연결 구역들을 가질 필요가 있다.
- [0024] 8) 전술한 바와 같은 SOI 구성의 경우, CMOS, 바이폴라, 비휘발성 메모리 및 기타 혼합 신호 영역들(즉, 표면 디바이스 영역들) 각각은 수직형 파워 디바이스(들)과 서로 유전체로 격리될 수 있으며, 일부 실시예들이 도 5 내지 도 8b에 도시 및 설명된다.
- [0025] 도 1을 참조하면, 디바이스(102)는 수직형 파워 디바이스(104) 및 혼합 신호 표면 디바이스(mixed signal surface device)(108)를 포함한다.
- [0026] 수직형 파워 디바이스(104)는 벌크 실리콘(116) 상의 에피택셜 실리콘(110)의 일부로서 형성되고 그리고 금속(126) 및 금속(118)에 연결된다. 수직형 파워 디바이스(104)는 가령, SJMOSFET, IGBT, 실리콘 접합 다이오드, 쇼트키(Schottky) 다이오드 또는 복합 디바이스 등과 같은, 하나의 고 파워(high power) 디바이스를 형성하는 병렬로 연결된 반도체 디바이스들을 포함한다. 금속(126)과 금속(118) 사이에서 디바이스(102)의 높이는 수직형 파워 디바이스(104)의 주어진 항복 전압을 서포트할 정도로 충분히 높다. 수직형 파워 디바이스(104)의 최상부는 디바이스(102)의 최상부 도핑 영역의 일부를 형성한다. 수직형 파워 디바이스(104)는 후면 연결을 갖는데, 후면 연결은 고전압 단자를 상부 표면으로 다시 라우팅하지 않고, 그 대신 예컨대 금속(118)을 통해 후면에 고

전압 단자를 가져온다. 후면 단자는 드레인(MOS), 콜렉터(IGBT) 또는 캐소드(다이오드)와 같은 주요한, 고전압, 전류 운반 단자이다. 후면 단자는 디바이스의 기본 기능에 관여하지 않는 기생 커패시턴스 또는 기생 접합과 같은 기생 단자가 아니다.

- [0027] 표면 디바이스(108)는 벌크 실리콘(116) 상에 형성된 에피택셜 실리콘(110)의 상부 표면 또는 내부에 형성된 하나 이상의 아날로그 디바이스 및 디지털 디바이스를 포함하는 혼합 신호 디바이스이다. 표면 디바이스(108)는 중간 전압(medium voltage: MV) 영역(120) 및 저 전압(low voltage: LV) 영역(122)을 포함한다. 대안적인 실시예에는 하나 이상의 MV 영역들, 하나 이상의 LV 영역들, 또는 하나 이상의 MV 영역 및 LV 영역의 조합을 사용한다. 표면 디바이스(108)를 형성하는 전자 회로들은 디바이스(102)의 상부 표면을 따라 전기적으로 활성이므로 표면 디바이스(108)로부터의 전류는 디바이스(102)의 하부 또는 후면 표면 상의 금속(118)으로 흐르지 않는다. 표면 디바이스(108)는 수직형 파워 디바이스(104)의 최상부와 함께 디바이스(102)의 최상부 도핑 영역을 형성한다. 표면 디바이스(108)를 형성하는 디바이스들은, 디바이스(102)의 상부 표면에서 수평 축을 따라 전기적으로 활성이라는 측면에서 수평형(lateral) 디바이스이며 또는, 그 주요한 전기적 활동이 표면 디바이스 영역 내로 한정된다는 점에서 수직형 디바이스들(가령, NPN 트랜지스터)이다.
- [0028] 일부 실시예들에서, 표면 디바이스(108)를 형성하는 전자 회로들은 수직형 파워 디바이스(104)를 제어하는데 이용된다. 일부 실시예들에서, 표면 디바이스(108)는 하나 이상의 수평형(lateral) NMOS, 수평형 PMOS, LDMOS, 수직 NPN, 수직 PNP, 수평형 NPN 및 수평형 PNP 트랜지스터를 포함한다. 특정 실시예에서, 표면 디바이스(108)의 회로는 하나 이상의 EPROM(소거가능 프로그램가능 판독전용 메모리) 또는 EEPROM(전기적 소거가능 프로그램가능한 판독전용 메모리) 비 휘발성 메모리 소자를 형성한다. 일 실시예에서, 표면 디바이스(108)는 하나 이상의 용량성 소자, 유도성 소자 및 저항성 소자를 포함한다. 대안적인 실시예에는 아날로그-디지털 변환기, 디지털-아날로그 변환기, 논리 게이트, 메모리, 프로세서, 상태 머신, EPROM, EEPROM, 논리 게이트 등의 임의 개수의 디지털 혹은 아날로그 부품을 형성하도록 가령, 트랜지스터, 저항기, 커패시터 등과 같은 표면 디바이스(108)에 형성된 임의 개수 또는 임의 유형의 전기 부품을 가질 수 있다.
- [0029] MV 영역(120)은 NMOS 영역(142)과 PMOS 영역(144) 내부에서 하나 이상의 트랜지스터들을 포함한다. 추가적인 실시예에서, NMOS 영역(142)과 PMOS 영역(144) 사이의 소정의 트랜지스터들은 서로 상보적으로 보완하여, 간단한 논리 게이트 및 메모리로부터 복잡한 상태 머신과 프로세서를 아우르는 CMOS 논리 회로들을 형성할 수 있다.
- [0030] LV 영역(122)은 NMOS 영역(168) 및 PMOS 영역(169) 내부에 하나 이상의 트랜지스터들을 포함한다. LV 영역(122)은 MV 영역(120)의 트랜지스터들보다 더 낮은 전압들 및 더 작은 트랜지스터 사이즈를 이용한다.
- [0031] 금속(126)은 하나 이상의 금속층들을 포함한다. 최상위 금속층은 두꺼운데(약 2-5 마이크로미터[μm]의 두께), 이는 수직형 파워 디바이스(104)에 전류를 전달하기 위한 것이다.
- [0032] 표면 디바이스(108)에 연결되는 금속(126)의 소정부분의 경우, 금속(126)은 약 0.3 - 1.0 μm 두께이며 실리콘에 가장 가까운, 하나 이상의 얇은 하부 금속층을 포함할 수 있는데, 이는 MV 영역(120) 및 LV 영역에서 조밀한 배선을 위한 것이다. 이후, 이들 얇은 금속층들은 최상부 금속층으로서 두꺼운 파워 디바이스 금속층으로 덮히게 된다. 수직형 파워 디바이스(104) 위에 있는 얇은 금속층(126)은 적층되고 그리고 두꺼운 최상위 금속층으로부터 얇은 금속층으로 전류를 전달하고 최종적으로는 수직형 파워 디바이스(104)로 전류를 전달하는 비아들(vias)을 포함한다.
- [0033] 벌크 실리콘(116) 상의 에피택셜 실리콘(110)의 일부분은 표면 디바이스(108) 아래에 전류를 전달하지 않기 때문에, 에피택셜 실리콘(110)의 상기 일부분은 수직형 파워 디바이스(104)를 형성하는 에피택셜 실리콘(110)의 일부분 보다 낮은 온도를 가질 것이다. 특정 실시예에서, 표면 디바이스(108)의 영역들은 수직형 파워 디바이스(104)로부터 열을 방산하고 디바이스(102)의 전체 온도를 낮추기 위해, 수직형 디바이스 영역 주위 또는 그 내부에 전략적으로 배치되거나 산재된다.
- [0034] 도 2a를 참조하면, 벌크 실리콘 상의 에피택셜 내 또는 위에 혼합 신호 디바이스와 조합된 수직형 파워 초접합 MOSFET(SJMOSFET)을 포함하는 반도체 디바이스(202)의 단면도가 도시된다. 디바이스(202)는 도 1의 디바이스(102)의 일 실시예이다.
- [0035] 디바이스(202)는 제 1 SJMOSFET 부분(204), 제 2 SJMOSFET 부분(206) 및 표면 디바이스(208)를 포함하는바, 이들 모두는 벌크 실리콘(216)상의 에피택셜 실리콘(210) 내에 또는 그 위에 형성된다.
- [0036] 제 1 SJMOSFET 부(204)와 제 2 SJMOSFET 부(206)는 전기적으로 서로 연결된다. 디바이스(202) 상에 형성된

SJMOSFET의 전력 처리 용량을 증가시키기 위해서 추가적인 SJMOSFET 부분들이 포함될 수도 있다.

- [0037] 에피택셜 실리콘(210)은 N형 에피택셜층(214) 내에 형성된 P형 실리콘 컬럼(212)을 포함한다. P형 실리콘 컬럼(212) 및 N형 에피택셜층(214)은 $(4 \sim 6) \times 10^{15}$ (E15의 중간) cm^{-3} 에서 $(1 \sim 3) \times 10^{16}$ (E16의 하위) cm^{-3} 까지의 농도로 도핑된다. N+ 층(216)은 웨이퍼 후면 상의 금속층(218)과 접촉하는 벌크 실리콘층이다.
- [0038] 특정 실시예에서, P형 컬럼(212)은 n+ 벌크 기판 상에 배치된 하나 이상의 n형 에피택셜 실리콘 증착물들 각각에 대하여 마스크링된 p형 이온주입들을 수행함으로써 형성된다. 특정 실시예에서, P형 컬럼(212)은 n+ 벌크 기판 상에 배치된 n형 에피택셜 영역 내에 트렌치를 에칭하고, P형 불순물로 트렌치 측벽을 이온주입하고, 그리고 도핑되지 않은 에피택셜 실리콘 또는 실리콘 이산화물로 트렌치를 재충전함으로써 형성된다. 특정 실시예에서, P형 컬럼(212)은 n+ 벌크 기판 상에 배치된 n형 에피택셜 영역 내에 트렌치를 에칭하고, 라이너 실리콘 이산화물을 트렌치에 성장시키고, 트렌치 측벽을 P형 불순물로 이온주입하고, 그리고 도핑된 또는 도핑되지 않은 폴리실리콘으로 트렌치를 재충전함으로써 형성된다.
- [0039] 특정 실시예에서는, 디바이스(202)의 SJMOSFET에 대한 고전압 터미네이션 영역들(high-voltage termination regions)이 불필요한데, 이는 수직으로 에칭된 절연 트렌치들의 부가되었기 때문이며, 수직으로 에칭된 절연 트렌치들은, 인접한 초집합 컬럼들의 전하 밸런스를 방해하지 않을 정도의 충분히 낮은 내부 전하를 갖는 트렌치 절연 물질에게 충분한 전기적 격리를 제공한다. 특정 실시예에서, 수직으로 에칭된 절연 트렌치는 전하 밸런스를 유지하기 위해 P형 컬럼의 너비(width)를 실질적으로 양분한다(substantially bisect).
- [0040] 특정 실시예에서, 수직으로 에칭된 절연 트렌치는 전하 밸런스를 유지하기 위해 N형 컬럼의 너비(width)를 실질적으로 양분한다. 벌크 실리콘 상의 에피택셜 기법을 이용하는 설계의 경우, SOI 기법에서 사용된 것들과 유사한 수직으로 에칭된 절연 트렌치들이 추가되어, 에피택셜-온-벌크 기법에서 이용되는 고전압 터미네이션 영역들에 의해서 소모되는 면적을 감소시킨다. 수직으로 에칭된 절연 트렌치들은 파워 디바이스의 영역들로부터 표면 디바이스의 영역들을 측면 방향으로 전기적으로 격리시키며, 아울러 에피택셜-온-벌크 설계에서는 바닥 절연체가 존재하지 않기 때문에, 접합/드리프트 격리에 여전히 의존하여 수직적 전기 절연을 제공한다.
- [0041] 특정 실시예에서, 표면 디바이스(208)는 중간 전압(MV) 영역(220) 및 저전압(LV) 영역(222)을 포함한다. 표면 디바이스(208)는 일례로서 4개의 트랜지스터들을 포함한다. 대안적인 실시예들은 오직 하나의 MV 영역, 오직 하나의 LV 영역 또는 이들의 조합을 포함할 수 있고, 아날로그-디지털 변환기, 디지털-아날로그 변환기, 논리 게이트, 메모리, 프로세서, 상태 머신, EPROM, EEPROM, 논리 게이트 등의 임의의 개수의 디지털 혹은 아날로그 부품을 형성하도록 가령, 트랜지스터, 저항기, 커패시터 등과 같은 임의의 개수 또는 임의의 유형의 전기 부품을 가질 수 있다.
- [0042] 패시베이션층(224)은 디바이스(202)의 상부 표면을 코팅하여 디바이스(202)가 환경적 요인들에 덜 영향을 받게 한다. 패시베이션층(224)은 하나 이상의 산화물, 질화물, 폴리이미드 등으로 형성된다.
- [0043] 도 2b는 SJMOSFET 부분(204)의 단면을 보다 상세하게 도시한다.
- [0044] 금속(226)은 SJMOSFET 부분(204)의 소스를 가령, SJMOSFET 부분(206)과 같은 다른 SJMOSFET 부분들의 소스들에 상호연결한다. 다른 실시예에서, 멀티-레벨 금속 토폴로지가 사용될 수 있다. 멀티-레벨 금속 토폴로지는 모든 층들에 알루미늄(Al)을 사용할 수 있으며, 또는 디바이스(202)의 SJMOSFET의 높은 전력 요건들을 감당할 수 있도록 최상부층이 충분히 두껍다면(약 2~5 마이크로미터 두께), 최하위 금속층들로서 알루미늄(Al)과 최상위 금속층들로서 구리(Cu)를 조합하여 사용할 수 있다. MV 영역(220) 및 LV 영역(222)의 금속층의 경우, 금속층(226)은 실리콘에 가장 가까우며 약 0.3 ~ 1.0 μm 두께인 하나 이상의 얇은 하부 금속층들을 가질 수 있는데, 이는 MV 영역(220) 및 LV 영역(222)에서의 조밀한 배선을 위한 것이다. 이후, 이들 얇은 금속층들 위에는 최상위 금속층으로서 두꺼운 파워 디바이스 금속층이 형성된다. 보다 얇은 금속층들을 갖는 디바이스(202)의 SJMOSFET 부분들의 경우, 하부 금속층들 및 하부 비아층들의 스택이, 최상부 금속층으로부터 실리콘 내의 SJMOSFET 으로 전류를 전달할 것이다.
- [0045] 비아(228)는 텅스텐(W) 플러그로 제조되며, 콘택 하부 및 티타늄(Ti), 티타늄 나이트라이드(TiN) 또는 이들의 조합과 같은 배리어층으로 라이닝된 측벽을 갖는다.
- [0046] 층간 유전체(ILD)(230)는 다결정 실리콘으로 만들어진 게이트(238)와 금속(226) 사이에 있는 유전체층이다. 디바이스(202)의 SJMOSFET과 같은 파워 디바이스들은 전형적으로 다수의 SiO_2 (산화물)층들을 포함하는바, 표면에 가장 가까운 비대전(uncharged), 비도핑(undoped) 산화물층(non-plasma-enhanced deposition)이 있으며, 도핑

된 산화물(예컨대, PSG: phosphosilicate glass) 및 플라즈마 증착된 산화물들(예컨대, PTEOS: plasma enhanced tetraethyl orthosilicate)이 후속된다.

- [0047] 필드 산화물(232)은 파워 디바이스를 위한 필드 산화물층이며, 통상적으로는 (표면에) 두껍게 증착된 산화물이고 즉, 실리콘의 국부적 산화(local oxidation of silicon: LOCOS)가 아니며, 그리고 부드럽게 변화하는 전기장을 유지하기 위하여 45° 에 매우 가까운 경사를 제공하도록 습식 에칭된다. 이것은 파워 디바이스에 있어서 매우 중요한데, 파워 디바이스가 코어 영역(여기서는 전기장이 거의 수직적이며)으로부터 터미네이션 영역들(여기서는 전기장이 수직 및 수평의 조합이며, 거의 수평적이다)로 천이(transition)하기 때문이다.
- [0048] 게이트 산화물(234)은 게이트(238)를 n 컬럼 및 P-보디(P-body)로부터 분리한다.
- [0049] P-보디 도핑(236)은 SJMOSFET 부분(204)의 채널 영역을 형성하는데, 이는 VDMOS(vertical diffused metal oxide semiconductor) 디바이스로 지칭될 수도 있다. P-보디(236)는 도시되지 않은 N+ 및 P-베이스 도핑 영역을 포함한다.
- [0050] 게이트(238)는 폴리실리콘을 포함하고 게이트(238)에 인가된 전압은 디바이스(202)의 SJMOSFET의 소스와 드레인 사이를 통과하는 전류의 양을 제어한다.
- [0051] 도2c는 표면 디바이스(208)의 단면도이다. 표면 디바이스(208)는 중간 전압(MV) 영역(220) 및 저전압(LV) 영역(222)을 포함한다. 중간 전압 영역(220) 및 저전압 영역(222) 각각은 예시적인 2개의 MOSFET 디바이스들을 포함한다. 다른 실시예에서, 표면 디바이스(208)는 하나 이상의 아날로그 신호처리 및 디지털 신호처리를 수행하기 위한 추가적인 트랜지스터들 및 부품들을 포함한다. 다른 실시예에서, 표면 디바이스(208)는 SJMOSFET 소자(202)의 온/오프 상태를 제어하는데 사용되는 상태 머신을 형성하기 위한 추가적인 트랜지스터들을 포함한다. 표면 디바이스(208)는 에피택셜 실리콘(210)의 상부에 형성된 중간 전압 P형 웰(MV P-웰)(240)을 포함한다. MV P-웰(240)은 대략 $E16 \text{ cm}^{-3}$ 의 중간 정도의 농도로 도핑되고, 그 하한은 N형 에피택셜층(214)의 농도에 의해 제한되는바, 따라서 MV P-웰(240)의 도핑 농도는 N형 에피택셜층(214)의 백그라운드 도핑 농도보다 크다.
- [0052] 도2d는 디바이스(202)의 중간 전압 영역(220)의 단면도이다. 중간 전압 영역(220)은 중간 전압 N형 금속 산화물 반도체(MV NMOS) 영역(242) 및 중간 전압 P형 금속 산화물 반도체(MV PMOS) 영역(244)을 포함한다.
- [0053] MV NMOS 영역(242)은 MV P-웰(240)에 형성된 트랜지스터(246)를 포함한다.
- [0054] MV PMOS 영역(244)은 MV N-웰(250)에 형성된 트랜지스터(248)를 포함한다. MV N-웰(250)은 MV P-웰(240) 내부에 형성되며 그리고 대략 $E16 \text{ cm}^{-3}$ 의 중간 정도의 농도로 도핑되고, 그 하한은 MV P-웰(240)의 농도에 의해 제한되는바, 따라서 MV N-웰(250)의 도핑 농도는 MV P-웰(240)의 백그라운드 도핑 농도보다 크다.
- [0055] 도2e는 MV NMOS 영역(242) 내의 트랜지스터(246)의 단면도이다. 트랜지스터(246)는 게이트(252), 소스(254) 및 드레인(256)을 포함한다. 게이트(252)는 다결정 실리콘으로 만들어지며, 게이트(252)에 인가되는 전압에 기초하여 소스(253)와 드레인(254) 사이의 전류를 제어한다. 게이트 산화물층(255)은 에피택셜 실리콘(210)으로부터 게이트(252)를 분리한다. 소스(253)는 MV P-웰(240) 내부의 에피택셜 실리콘(210)의 상부에 형성되는 N+ 영역(256) 및 N++ 영역(257)을 포함한다. 드레인(254)은 MV P-웰(240) 내부의 에피택셜 실리콘(210)의 상부에 형성되는 N+ 영역(258) 및 N++ 영역(259)을 포함한다. N++ 영역들(257 및 259)의 도즈는 대략 $(7\sim9) \times 10^{19}$ (즉, 높은 E19)에서 중간 E20 cm^{-3} 인 농도의 경우, 대략 $3 \sim 7 E15 \text{ cm}^{-2}$ 이다. N+ 영역들(256 및 258)은 N++ 영역들(257 및 259)을 각각 둘러싸며, 수평 방향 필드들을 그레이드 아웃(grade out)하고 그리고 트랜지스터들(246)이 중간 전압 레벨들에서 동작할 수 있게 한다. N+ 영역들(256 및 258)의 도즈는 중간 E17에서부터 높은 E18 cm^{-3} 까지의 농도인 경우, 높은 E13 내지 높은 E14 cm^{-2} 를 형성한다.
- [0056] 도2f는 MV PMOS 영역(244) 내의 트랜지스터(248)의 단면도이다. 트랜지스터(248)는 게이트(260), 소스(261) 및 드레인(262)을 포함한다. 게이트(260)는 다결정 실리콘으로 만들어지며, 게이트(260)에 인가되는 전압에 기초하여 소스(261)와 드레인(262) 사이의 전류를 제어한다. 게이트 산화물층(263)은 에피택셜 실리콘(210)으로부터 게이트(260)를 분리한다. 소스(261)는 MV N-웰(250) 내부의 에피택셜 실리콘(210)의 상부에 형성되는 P+ 영역(264) 및 P++ 영역(265)을 포함한다. 드레인(262)은 MV N-웰(250) 내부의 에피택셜 실리콘(210)의 상부에 형성되는 P+ 영역(266) 및 P++ 영역(267)을 포함한다. P++ 영역들(265 및 267)의 도즈는 중간 E19에서 중간 E20 cm^{-3} 인 농도의 경우, 대략 $1 \sim 5 E15 \text{ cm}^{-2}$ 이다. P+ 영역들(264 및 266)은 P++ 영역들(265 및 267)을 각각 둘러싸

며, 수평 방향 필드들을 그레이드 아웃(grade out)하고 그리고 트랜지스터들(248)이 중간 전압 레벨들에서 동작할 수 있게 한다. P+ 영역들(264 및 266)의 도즈는 중간 E17에서부터 높은 E18 cm^{-3} 까지의 농도인 경우, 높은 E13 내지 높은 E14 cm^{-2} 를 형성한다.

- [0057] 도2g는 디바이스(202)의 저전압 영역(222)의 단면도이다. 저전압 영역(222)은 저전압 N형 금속 산화물 반도체(LV NMOS) 영역(268) 및 저전압 P형 금속 산화물 반도체(LV PMOS) 영역(269)을 포함한다.
- [0058] LV NMOS 영역(268)은 LV P-웰(272)에 형성된 트랜지스터(270)를 포함한다. LV P-웰(272)은 MV P-웰(240)의 내부에 형성되고 그리고 대략 중간 E16에서 중간 E17 cm^{-3} 사이의 도핑 농도를 갖는다.
- [0059] LV PMOS 영역(269)은 LV N-웰(273)에 형성된 트랜지스터(271)를 포함한다. LV N-웰(273)은 MV P-웰(240)의 내부에 형성되고 대략 높은 E16에서 중간 E17 cm^{-3} 정도의 도핑 농도를 가지며, 그 하한은 경계는 MV P-웰(240)의 도핑 농도에 의해 제한되는바, 따라서 LV N-웰(273)의 도핑 농도는 MV P-웰(240)의 백그라운드 도핑 농도보다 크다.
- [0060] 도2h는 LV NMOS 영역(268)에 있는 트랜지스터(270)의 단면도이다. 트랜지스터(270)는 게이트(274), 소스(275), 및 드레인(276)을 포함한다. 게이트(274)는 다결정 실리콘으로 만들어지며, 게이트(274)에 인가되는 전압에 기초하여 소스(275)와 드레인(276) 사이의 전류를 제어한다. 게이트 산화물층(277)은 에피택셜 실리콘(210)으로부터 게이트(274)를 분리한다. 소스(275)는 LV P-웰(272) 내부의 에피택셜 실리콘(210)의 상부에 형성되는 N++ 영역(278)을 포함하며, LV P-웰(272)은 MV P-웰(240) 내부에 형성된다. 드레인(276)은 LV P-웰(272) 내부의 에피택셜 실리콘(210)의 상부에 형성되는 N++ 영역(279)을 포함한다. N++ 영역들(278 및 279)의 도즈는 높은 E19에서 중간 E20 cm^{-3} 의 농도의 경우, 대략 3 ~ 7 E15 cm^{-2} 이다.
- [0061] 도2i는 LV PMOS 영역(269)에 있는 트랜지스터(271)의 단면도이다. 트랜지스터(271)는 게이트(280), 소스(281) 및 드레인(282)을 포함한다. 게이트(280)는 다결정 실리콘으로 만들어지며, 게이트(280)에 인가되는 전압에 기초하여 소스(281)와 드레인(282) 사이의 전류를 제어한다. 게이트 산화물층(283)은 에피택셜 실리콘(210)으로부터 게이트(280)를 분리한다. 소스(281)는 LV N-웰(273) 내부의 에피택셜 실리콘(210)의 상부에 형성되는 P++ 영역(285)을 포함한다. 드레인(282)은 LV N-웰(273) 내부의 에피택셜 실리콘(210)의 상부에 형성되는 P++ 영역(284)을 포함한다. P++ 영역들(284 및 285)의 도즈는 중간 E19 내지 중간 E20 cm^{-3} 의 농도의 경우, 대략 1 ~ 5 E15 cm^{-2} 이다.
- [0062] 도 2j는 SJMOSFET 부분(204)과 병렬인 초접합 IGBT(SJIGBT) 부분(207)을 포함하는 수직형 파워 디바이스를 갖는 디바이스의 단면도이다. SJMOSFET과 병렬로 SJIGBT를 제공함으로써, 복합 초접합 IGBT 및 MOSFET 고전압 디바이스를 형성한다. SJIGBT 부분(207) 및 SJMOSFET 부분(204)의 게이트 버스들은 SJIGBT 부분(207) 및 SJMOSFET 부분(204)의 온-오프 타이밍을 개별적으로 제어하기 위해 분리될 수 있다. SJIGBT 부분(207) 및 SJMOSFET 부분(204)의 상대적인 온-오프 타이밍을 최적화함으로써, MOSFET의 뛰어난 스위칭 속도와 IGBT의 우수한 전류 처리 능력이 조합된 복합 디바이스가 생성될 수 있다. 일 실시예에서, 내장된 혼합 신호 회로는 상기 복합 디바이스의 스위칭 속도 및 전류 처리 능력을 최적화하도록, SJIGBT 부분(207)과 SJMOSFET 부분(204)의 상대적인 온-오프 타이밍을 제어할 수 있다.
- [0063] 도 3a를 참조하면, 벌크 실리콘 상의 에피택셜에서 혼합 신호 디바이스와 결합된 수직형 IGBT를 포함하는 반도체 디바이스(302)의 단면도가 도시된다. 상기 디바이스(302)는 도 1의 디바이스(102)의 일 실시예이다. 제 1 IGBT 부분(304)과 제 2 IGBT 부분(306)은 서로 전기적으로 연결된다. 디바이스(302) 상에 형성된 IGBT의 전력 처리 용량을 증가시키기 위해 추가적인 IGBT 부분들이 포함될 수도 있다.
- [0064] 에피택셜 실리콘(310)은 N형 에피택셜층(314)을 포함하며, N형 에피택셜층(314)은 대략 $(4 \sim 6) \times 10^{15}$ (중간 E15) cm^{-3} 에서 대략 $(1 \sim 3) \times 10^{16}$ (낮은 E16) cm^{-3} 까지의 농도로 도핑된다. 벌크 실리콘 N+ 층(316) 및 금속 층(318)은 웨이퍼의 뒷면에 형성된다.
- [0065] 표면 디바이스(308)는 중간 전압(MV) 영역(320) 및 저전압(LV) 영역(322)을 포함한다. 표면 디바이스(308)는 4개의 트랜지스터들을 포함한다. 대안적인 실시예는 오직 하나의 MV 영역, 오직 하나의 LV 영역 또는 이들의 조합을 포함할 수 있고, 아날로그-디지털 변환기, 디지털-아날로그 변환기, 논리 게이트, 메모리, 프로세서, 상태 머신 기타 등등의 임의 개수의 디지털 혹은 아날로그 부품을 형성하도록 가령, 트랜지스터, 저항기, 커패시터

등과 같은 임의 개수 또는 임의 유형의 전기 부품을 가질 수 있다.

- [0066] 패시베이션층(324)은 디바이스(302)의 상부 표면을 코팅하여 디바이스(302)가 환경적 요인들에 덜 영향을 받게 한다. 패시베이션층(324)은 하나 이상의 산화물, 질화물, 폴리이미드 등으로 형성된다.
- [0067] 도 3b는 IGBT 부분(304)의 단면을 보다 상세하게 도시한다.
- [0068] 금속(326)은 IGBT 부분(304)의 이미터를 가령, IGBT 부분(306)과 같은 다른 IGBT 부분들의 이미터들과 상호연결한다. 다른 실시예에서, 멀티-레벨 금속 토폴로지가 사용될 수 있다. 멀티-레벨 금속 토폴로지는 모든 층들에 알루미늄(Al)을 사용할 수 있으며, 또는 디바이스(302)의 IGBT의 높은 전력 요건들을 감당할 수 있도록 최상부 층이 충분히 두껍다면(약 2~5 마이크로미터 두께), 최하위 금속층들로서 알루미늄(Al)과 최상위 금속층들로서 구리(Cu)를 조합하여 사용할 수 있다. MV 영역(320) 내의 MV NMOS 트랜지스터(346)의 소스는 금속(326)에 의해서 디바이스(302)의 IGBT의 이미터에 연결된다.
- [0069] 비아(328)는 텅스텐(W) 플러그로 제조되며, 콘택 하부 및 티타늄(Ti), 티타늄 나이트라이드(TiN) 또는 이들의 조합과 같은 배리어층으로 라이닝된 측벽을 갖는다.
- [0070] 층간 유전체(ILD)(330)는 다결정 실리콘으로 만들어진 게이트들과 금속(326) 사이에 있는 유전체층이다. 디바이스(302)의 IGBT와 같은 파워 디바이스들은 전형적으로 다수의 SiO₂(산화물)층들을 포함하는바, 표면에 가장 가까운 비대전(uncharged), 비도핑(undoped) 산화물층(non-plasma-enhanced deposition)이 있으며, 도핑된 산화물(예컨대, PSG: phosphosilicate glass) 및 플라즈마 증착된 산화물들(예컨대, PETEOS)이 후속된다.
- [0071] 필드 산화물(332)은 파워 디바이스를 위한 필드 산화물층이며, 통상적으로는 (표면에) 두껍게 증착된 산화물이고 즉, 실리콘의 국부적 산화(local oxidation of silicon: LOCOS)가 아니며, 그리고 부드럽게 변화하는 전기장을 유지하기 위하여 45° 에 매우 가까운 경사를 제공하도록 습식 에칭된다. 이것은 파워 디바이스에 있어서 매우 중요한데, 파워 디바이스가 코어 영역(여기서는 전기장이 거의 수직적이며)으로부터 터미네이션 영역들(여기서는 전기장이 수직 및 수평의 조합이며, 거의 수평적이다)로 천이하기 때문이다.
- [0072] 게이트 산화물(334)은 웨이퍼의 에피택셜 실리콘(310) 내의 N형 에피택셜층(314)으로부터 게이트(338)를 분리시킨다.
- [0073] 낮은 E16 cm⁻³에서 낮은 E18 cm⁻³ 범위의 도핑을 갖는 P-바디 도핑(336)은 IGBT 부분(306)의 에피택셜 실리콘(310)의 상부 표면을 향해 형성된다. N++ 층(331)이 P-바디(336) 내에 형성된다.
- [0074] 게이트(338)는 폴리실리콘을 포함하고, 게이트(338)에 인가되는 전압은 디바이스(302)의 IGBT의 이미터와 컬렉터 사이를 통과하는 전류의 양을 제어한다. 도면에서의 명료함을 위하여, 게이트 콘택 및 콘트롤은 도시하지 않았다.
- [0075] P+ 층(339)은 N+ 층(316)과 P-N 접합을 형성하여, 제 1 IGBT 부분(304)의 컬렉터를 형성한다.
- [0076] 도3c는 표면 디바이스(308)의 단면도이다. 표면 디바이스(308)는 중간 전압(MV) 영역(320) 및 저전압(LV) 영역(322)을 포함한다. 중간 전압 영역(320) 및 저전압 영역(322) 각각은 2개의 예시적인 MOSFET 디바이스들을 포함한다. 다른 실시예에서, 표면 디바이스(308)는 하나 이상의 아날로그 신호 처리 및 디지털 신호 처리를 수행하기 위한 추가적인 트랜지스터들 및 부품들을 포함한다. 일 실시예에서, 표면 디바이스(308)는 디바이스(302)의 IGBT의 온/오프 상태를 제어하는데 사용되는 상태 머신을 형성하기 위한 추가적인 트랜지스터를 포함한다. 표면 디바이스(308)는 에피택셜 실리콘(310)의 상부에 형성되는 중간 전압 P형 웰(MV P-웰)(340)을 포함한다. MV P-웰(340)은 E16 cm⁻³의 중간 정도의 농도로 도핑되고, 그 하한은 N형 에피택셜층(314)의 농도에 의해 제한되는바, 따라서 MV P-웰(340)의 도핑 농도는 N형 에피택셜층(314)의 백그라운드 도핑 농도보다 크다.
- [0077] 금속(326)은 하나의 불연속 층으로서 ILD(330)의 상부에 형성된다. 대안적인 실시예들에서, MV 영역(320) 및 LV 영역(322)의 금속층인 금속층(326)은 하나 이상의 "얇은" 하부 금속층들을 가질 수 있는바, 이들 "얇은" 하부 금속층들은 두께가 0.3 ~ 1.0 μm이고 실리콘에 가장 가까우며, MV 영역(320) 및 LV 영역(322)에서 조밀한 배선을 위한 것이다. 이후, 이들 얇은 층들 위에는 최상부 금속층으로서 두꺼운 파워 디바이스 금속층이 형성된다. 얇은 금속층을 갖는 디바이스(302)의 IGBT 부분들의 경우, 하부 금속층들 및 하부 비아층들의 스택은 최상부 금속층으로부터 실리콘 내의 IGBT로 전류를 전달할 것이다.
- [0078] 중간 전압 영역(320)은 중간 전압 N형 금속 산화물 반도체(MV NMOS) 영역(342) 및 중간 전압 P형 금속 산화물

반도체(MV PMOS) 영역(344)을 포함한다. MV NMOS 영역(342)은 MV P-웰(340)에 형성된 트랜지스터(346)를 포함한다. MV PMOS 영역(344)은 MV N-웰(350)에 형성된 트랜지스터(348)를 포함한다. MV N-웰(350)은 MV P-웰(340)의 내부에 형성되고 그리고 중간 E16cm⁻³의 농도로 도핑되며, 그 하한은 MV P-웰(340)의 도핑 농도에 의하여 제한을 받는다 따라서 MV N-웰(350)의 도핑 농도는 MV P-웰(340)의 백그라운드 도핑 농도보다 크다.

- [0079] MV NMOS 영역(342)의 트랜지스터(346) 및 MV PMOS 영역(344)의 트랜지스터(348)는 도 2e의 트랜지스터(246) 및 도 2f의 트랜지스터(248)의 형태 및 기능과 각각 유사하다.
- [0080] 저전압 영역(322)은 저전압 N형 금속 산화물 반도체(LV NMOS) 영역(368) 및 저전압 P형 금속 산화물 반도체(LV PMOS) 영역(369)을 포함한다. LV NMOS 영역(368) LV P-웰(372)에 형성된 트랜지스터를 포함한다. LV P-웰(372)은 MV P-웰(340) 내부에 형성되고 그리고 대략 중간 E16에서 중간 E17 cm⁻³ 사이의 도핑 농도를 갖는다.
- [0081] LV PMOS 영역(369)은 LV N-웰(373) 내에 형성된 트랜지스터(371)를 포함한다. LV N-웰(373)은 MV P- 웰(340) 내부에 형성되고 그리고 대략 높은 E16에서 중간 E17 cm⁻³ 정도의 도핑 농도를 가지며, 그 하한은 MV P-웰(340)의 도핑 농도에 의해 제한되는바, 따라서 LV N-웰(373)의 도핑 농도는 MV P-웰(340)의 백그라운드 도핑 농도보다 크다.
- [0082] LV NMOS 영역(368)의 트랜지스터(370) 및 LV PMOS 영역(369)의 트랜지스터(371)는 각각 도 2h의 트랜지스터(270) 및 도 2i의 트랜지스터(271)의 형태 및 기능과 각각 유사하다.
- [0083] 도 4a를 참조하면, 벌크 실리콘 상의 에피택셜 내에 또는 위에 있는 혼합 신호 디바이스와 결합된 수직형 파워 다이오드를 포함하는 반도체 디바이스(402)의 단면도가 도시된다. 디바이스(402)는 도 1의 디바이스(102)의 일 실시예이다.
- [0084] 제 1 다이오드 부분(404)과 제 2 다이오드 부분(406)은 전기적으로 서로 연결된다. 디바이스(402) 상에 형성된 다이오드의 전력 처리 용량을 증가시키기 위하여, 추가적인 다이오드 부분들이 포함될 수 있다.
- [0085] 에피택셜 실리콘(410)은 N형 에피택셜층(414)을 포함하며, N형 에피택셜층(414)은 (4 ~ 6) × 10¹⁵ (중간 E15) cm⁻³에서 (1 ~ 3) × 10¹⁶ (낮은 E16) cm⁻³ 사이의 농도로 도핑된다. N+ 층(416)은 벌크 실리콘 층이며 웨이퍼 후면 상의 금속층(418)과 콘택한다.
- [0086] 표면 디바이스(408)는 중간 전압(MV) 영역(420) 및 저전압(LV) 영역(422)을 포함한다. 표면 디바이스(408)는 4개의 트랜지스터들을 포함한다. 대안적인 실시예는 오직 하나의 MV 영역, 오직 하나의 LV 영역 또는 이들의 조합을 포함할 수 있고, 아날로그-디지털 변환기, 디지털-아날로그 변환기, 논리 게이트, 메모리, 프로세서, 상태 머신, 기타 등등의 임의의 개수의 디지털 혹은 아날로그 부품을 형성하도록 가령, 트랜지스터, 저항기, 커패시터 등과 같은 임의의 개수 또는 임의의 유형의 전기 부품을 가질 수 있다.
- [0087] 패시베이션층(424)은 디바이스(402)의 상부 표면을 코팅하여 디바이스(402)가 환경적 요인들로부터 덜 영향을 받게한다. 패시베이션층(424)은 하나 이상의 산화물, 질화물, 폴리이미드 등으로 형성된다.
- [0088] MV 영역(420)은 MV NMOS 트랜지스터(446) 및 MV PMOS 트랜지스터(448)를 포함한다. MV 영역(420) 및 그 각각의 트랜지스터들은 도 2c의 MV 영역(220) 및 도 3c의 MV 영역(320)의 형태 및 기능과 유사하다.
- [0089] LV 영역(422)은 LV NMOS 트랜지스터(470) 및 LV PMOS 트랜지스터(471)를 포함한다. LV 영역(422) 및 그 각각의 트랜지스터는 도 2c의 LV 영역(222) 및 도 3c의 LV 영역(322)과 유사한 형태 및 기능을 갖는다.
- [0090] 도 4b는 다이오드 부분(404)의 단면을 보다 상세하게 도시한다.
- [0091] 금속(426)은, 다이오드 부분(404)의 애노드와 다른 다이오드 부분들(가령, 다이오드 부분 406)의 애노드들을 상호연결한다. 다른 실시예에서는, 알루미늄(Al) 또는 구리(Cu)가 멀티-레벨 금속 토폴로지에서 이용되며, 디바이스(402)의 다이오드의 고전력 요구 사항을 처리하기 위해 두꺼운 알루미늄 층을 사용한다. 멀티-레벨 금속 토폴로지에서, 알루미늄이 모두 사용되거나 또는 실리콘 근처에서 알루미늄이 사용되며 상부층에서는 구리(Cu)가 된다. 최상위 금속층은 디바이스(402)를 위해 전류를 운반하도록 두껍다(대략 2~5 마이크로미터의 두께). MV 영역(420)에 있는 MV NMOS 트랜지스터(446)의 소스는 금속(426)에 의해서 디바이스(402)의 다이오드의 이미터에 연결된다.
- [0092] 비아(428)는 텅스텐(W) 플러그로 제조되며, 콘택 하부 및 티타늄(Ti), 티타늄 나이트라이드(TiN) 또는 이들의

조합과 같은 배리어층으로 라이닝된 측벽을 갖는다.

- [0093] 층간 유전체(ILD)(430)는 유전체층으로서, 디바이스(402)의 전기적으로 활성인 부분들로부터 금속(426)을 분리시킨다.
- [0094] 디바이스(402)의 다이오드와 같은 파워 디바이스들은 전형적으로 다수의 SiO₂(산화물)층들을 포함하는바, 표면에 가장 가까운 비대전(uncharged), 비도핑(undoped) 산화물층(non-plasma-enhanced deposition)이 있으며, 도핑된 산화물(예컨대, PSG) 및 플라즈마 증착된 산화물들(예컨대, PETEOS)이 후속된다.
- [0095] 필드 산화물(432)은 파워 디바이스를 위한 필드 산화물층이며, 통상적으로는 (표면에) 두껍게 증착된 산화물이고 즉, 실리콘의 국부적 산화(local oxidation of silicon: LOCOS)가 아니며, 그리고 부드럽게 변화하는 전기장을 유지하기 위하여 45° 에 매우 가까운 경사를 제공하도록 습식 에칭된다. 이것은 파워 디바이스에 있어서 매우 중요한데, 파워 디바이스가 코어 영역(여기서는 전기장이 거의 수직적이며)으로부터 터미네이션 영역들(여기서는 전기장이 수직 및 수평의 조합이며, 거의 수평적이다)로 천이(transition)하기 때문이다.
- [0096] 높은 E18 cm⁻³ 내지 낮은 E20 cm⁻³ 범위의 도핑을 갖는 P+ 층(433)이, 다이오드 부분(404)의 에피택셜 실리콘(410)의 상부 표면을 향해 형성되고, 비아(428)에 의해 금속(426)에 연결된다. 인터페이스(435)는 P+ 층(433)과 N- 도핑된 에피택셜층(414) 사이의 인터페이스이며, 실리콘 접합 다이오드를 생성하기 위한 PN 접합을 형성한다. 인터페이스(437)는 비아(429)와 N- 도핑된 N형 에피택셜층(414) 사이의 인터페이스이며, 이는 쇼트키 다이오드를 위한 쇼트키 장벽을 생성하도록 금속-반도체 접합을 형성한다. 추가적인 실시예에서, 디바이스(402)의 다이오드는 실리콘 접합 다이오드만을 포함하거나, 쇼트키 다이오드만을 포함하거나, 또는 실리콘 접합 다이오드와 쇼트키 다이오드의 임의의 조합을 포함한다.
- [0097] 도 5는 실리콘-온-인슐레이터(SOI) 기술을 이용하여 형성된 수직형 파워 디바이스(504) 및 혼합 신호 표면 디바이스(508)를 포함하는 반도체 디바이스(502)의 블록도이다. 일 실시예에서, 수직형 파워 디바이스(504)는 표면 디바이스(508)에 의해 제어된다. 수직형 파워 디바이스(504)와 표면 디바이스(508)는 에피택셜 실리콘(510) 상에 형성되고 절연체(586)에 의해 분리된다.
- [0098] 수직형 파워 디바이스(504)는 하나 이상의 파워 디바이스들을 포함하며, 이들의 서브세트는 병렬로 함께 연결되어 SJMOSFET, IGBT, 실리콘 접합 다이오드, 쇼트키 다이오드 등과 같은 하나 이상의 파워 디바이스를 형성한다. 수직형 파워 디바이스(504)는 금속(526)과 금속(518) 사이에 연결되며, 이는 각각 금속의 하나 이상의 층을 포함할 수 있다. 전력은 수직 파워 디바이스(504)를 통해 웨이퍼의 상부 표면 또는 전면의 금속(526)과 웨이퍼의 하부 표면 또는 후면의 금속(518) 사이를 흐른다.
- [0099] 표면 디바이스(508)는 하나 이상의 아날로그 회로 및 디지털 회로를 포함하는 혼합 신호 디바이스이다. 표면 디바이스(508)는 MV NMOS 영역(542), MV PMOS 영역(544), LV NMOS 영역(568), 및 LV PMOS 영역(569)과 같은 하나 이상의 MOS 영역을 포함한다. 각각의 영역은 하나 이상의 트랜지스터들을 포함하는 하나 이상의 회로들을 포함하고, 서로 다른 회로들은 금속(526)으로 상호연결된다. 대안적인 실시예는 아날로그-디지털 변환기, 디지털-아날로그 변환기, 논리 게이트, 메모리, 프로세서, 상태 머신, EPROM, EEPROM, 논리 게이트 등의 임의 개수의 디지털 혹은 아날로그 부품을 형성하도록 가령, 트랜지스터, 저항기, 커패시터 등과 같은 표면 디바이스(508)에 형성된 임의 개수 또는 임의 유형의 전기 부품을 가질 수 있다.
- [0100] MV NMOS 영역(542) 및 MV PMOS 영역(544)은 중간 전압 레벨에서 동작하는 반면, LV NMOS 영역(568) 및 LV PMOS 영역(569)은 저전압 레벨에서 동작한다. 선택적으로는, 각각의 영역은 절연체(586)에 의해 서로 분리된다.
- [0101] 에피택셜 실리콘(510)의 일부는 표면 디바이스(508) 아래에 전류를 전달하지 않기 때문에, 에피택셜 실리콘(510)의 이 부분은 수직형 파워 디바이스(504)를 형성하는 에피택셜 실리콘(510) 보다 낮은 온도를 가질 것이다. 특정 실시예에서, 표면 디바이스는 수직형 파워 디바이스(504)로부터 열을 방산하고 디바이스(502)의 전체 온도를 낮추기 위해 수직 디바이스 영역 주위 또는 내부에 전략적으로 배치되거나 산재되어있다.
- [0102] 도 6a는 벌크 실리콘(616) 상의 에피택셜 실리콘(610) 상에 형성되고 절연체(686)에 의해 분리되는 수직 SJMOSFET 및 표면 디바이스(608)를 포함하는 디바이스(602)의 단면도이다. 디바이스(602)는 도5의 디바이스(502)의 일 실시예이다. 핸들 웨이퍼(690)는 취급 및 처리 중에 디바이스(602)를 지지한다. 제 1 SJMOSFET 부분(604)은 에피택셜 실리콘(610)에 형성된 P형 컬럼(612)을 포함한다. 표면 디바이스(608)는 MV NMOS 영역(642), MV PMOS 영역(644), LV NMOS 영역(668) 및 LV PMOS 영역(669)을 포함하며, 이들 각각은 절연체(686)에 의해 분리된다. MV NMOS 영역(642), MV PMOS 영역(644), LV NMOS 영역(668) 및 LV PMOS 영역(669)은 에피택셜 실리콘

(610)에 형성된 P형 컬럼(612)을 포함하지 않는다. MV NMOS 영역(642), MV PMOS 영역(644), LV NMOS 영역(668), 및 LV PMOS 영역(669) 영역(669)은, 각각의 영역 내에 구현되는 디바이스들의 유형에 필요한 반도체 도핑 유형 및 농도를 갖는 단일 웰을 각각 포함한다.

- [0103] 도 6b는 제 1 SJMOSFET 부분(604)의 단면도이다. 제 1 SJMOSFET 부분(604)은 패시베이션층(624), 금속(626), ILD(630), 게이트(638), P-바디 도핑(636), 게이트 산화물(634), N형 에피택셜층(614), N+ 층(616), 금속(618)을 포함하며 절연체(686)에 의해 둘러싸여 있다. 제 1 SJMOSFET 부분(604)의 형태 및 기능은 도 2a 및 도 2b의 제 1 SJMOSFET 부분(204)의 그것과 유사하다. 절연체(686)는 디바이스(602)의 일부인 다른 회로로부터 제 1 SJMOSFET 부분(604)을 격리 및 절연시킨다.
- [0104] 도 6c는 MV NMOS 영역(642)의 단면도이다. MV NMOS 영역(642)은 에피택셜 실리콘(610) 내의 웨이퍼의 상부 표면에 형성된다. MV NMOS 영역(642)은 절연체(686)에 둘러싸여, MV NMOS 영역(642) 상에 및 내에 형성된 전기적 회로들을 격리시킨다. MV NMOS 영역(642)은 중간 전압 레벨을 사용하고 트랜지스터(646)를 포함한다. MV P-웰(640)은 다른 반도체 도핑 유형들 및 농도들을 갖는 웰들을 포함하지 않는다. MV P-웰(640)의 다른 실시예는 다른 반도체 도핑 유형들 및 농도들 갖는 웰들을 포함할 수 있다.
- [0105] 트랜지스터(646)는 에피택셜 실리콘(610)에 형성된 MV NMOS 영역(642)으로부터 산화물(655)에 의해 분리되는 게이트(652)를 포함한다. 트랜지스터(646)는 N++ 층(657) 및 N+ 층(656)에 의해 형성된 소스(653)를 포함한다. 트랜지스터(646)는 N++ 층(659) 및 N+ 층(658)에 의해 형성된 드레인(654)을 포함한다.
- [0106] 도 6d는 MV PMOS 영역(644)의 단면도이다. MV PMOS 영역(644)은 에피택셜 실리콘(610) 내의 웨이퍼의 상부 표면에 형성된다. MV PMOS 영역(644)은 절연체(686)에 의해 둘러싸여, MV PMOS 영역(644) 내에 혹은 위에 형성된 전기적 회로들을 격리시킨다. MV PMOS 영역(644)은 중간 전압 레벨을 사용하고 그리고 트랜지스터(648)를 포함한다. MV N-웰(650)은 다른 반도체 도핑 유형들 및 농도들을 갖는 웰들을 포함하지 않는다. MV N-웰(650)의 다른 실시예는, MV N-웰(650) 내에 형성된 다른 반도체 도핑 타입들 및 농도들의 웰들을 사용한다.
- [0107] 트랜지스터(648)는 에피택셜 실리콘(610)에 형성된 MV PMOS 영역(644)으로부터 산화물(663)에 의해 분리되는 게이트(660)를 포함한다. 트랜지스터(648)는 P++ 층(665) 및 P+ 층(664)에 의해 형성된 소스(661)를 포함한다. 트랜지스터(648)는 P++ 층(665) 및 P+ 층(664)에 의해 형성된 드레인(662)을 포함한다.
- [0108] 트랜지스터(646)의 드레인(654)과 트랜지스터(648)의 드레인(662)은 금속(626)에 의해서 연결된다. 일 실시예에서, 트랜지스터(646)의 게이트(652)와 트랜지스터(648)의 게이트(660)는 전기적으로 접속되어 CMOS 인버터의 입력을 형성하고, 트랜지스터(646)의 드레인(654)과 트랜지스터(648)의 드레인(662)은 CMOS 인버터의 출력을 형성한다.
- [0109] 도 6e는 LV NMOS 영역(668)의 단면도이다. LV NMOS 영역(668)은 에피택셜 실리콘(610) 내의 웨이퍼의 상부 표면에 형성된다. LV NMOS 영역(668)은 절연체(686)에 의해 둘러싸여, LV NMOS 영역(668) 내에 혹은 위에 형성된 전기적 회로들을 격리시킨다. LV NMOS 영역(668)은 저전압 레벨을 사용하고 그리고 트랜지스터(670)를 포함한다. LV P-웰(672)은 다른 반도체 도핑 유형들 및 농도들을 갖는 웰들을 포함하지 않는다. LV P-웰(672)의 다른 실시예는, 다른 반도체 도핑 타입들 및 농도들의 웰들을 포함할 수 있다.
- [0110] 트랜지스터(670)는 에피택셜 실리콘(610)에 형성된 LV NMOS 영역(668)으로부터 산화물(677)에 의해서 분리되는 게이트(674)를 포함한다. 트랜지스터(670)는 N++ 층(678)에 의해 형성된 소스(675)를 포함한다. 트랜지스터(670)는 N++ 층(679)에 의해 형성된 드레인(676)을 포함한다.
- [0111] 도 6f는 LV PMOS 영역(669)의 단면도이다. LV PMOS 영역(669)은 에피택셜 실리콘(610) 내의 웨이퍼의 상부 표면에 형성된다. LV PMOS 영역(669)은 절연체(686)에 의해 둘러싸여, LV PMOS 영역(669) 내에 혹은 위에 형성된 전기적 회로들을 격리시킨다. LV PMOS 영역(669)은 저전압 레벨을 사용하고 그리고 트랜지스터(671)를 포함한다. LV N-웰(673)은 다른 반도체 도핑 유형들 및 농도들을 갖는 웰들을 포함하지 않는다. LV N-웰(673)의 다른 실시예는, LV N-웰(673) 내에 형성된 다른 반도체 도핑 타입들 및 농도들의 웰들을 사용할 수 있다.
- [0112] 트랜지스터(671)는 에피택셜 실리콘(610)에 형성된 LV PMOS 영역(669)으로부터 산화물(683)에 의해서 분리되는 게이트(680)를 포함한다. 트랜지스터(671)는 P++ 층(685)에 의해 형성된 소스(681)를 포함한다. 트랜지스터(671)는 P++ 층(684)에 의해 형성된 드레인(682)을 포함한다. 명료함을 위하여 게이트들에 대한 중간 금속층들 및 콘택들은 도시되지 않았다.
- [0113] 트랜지스터(670)의 드레인(676)과 트랜지스터(671)의 드레인(682)은 금속(626)에 의해서 연결된다. 일 실시예에

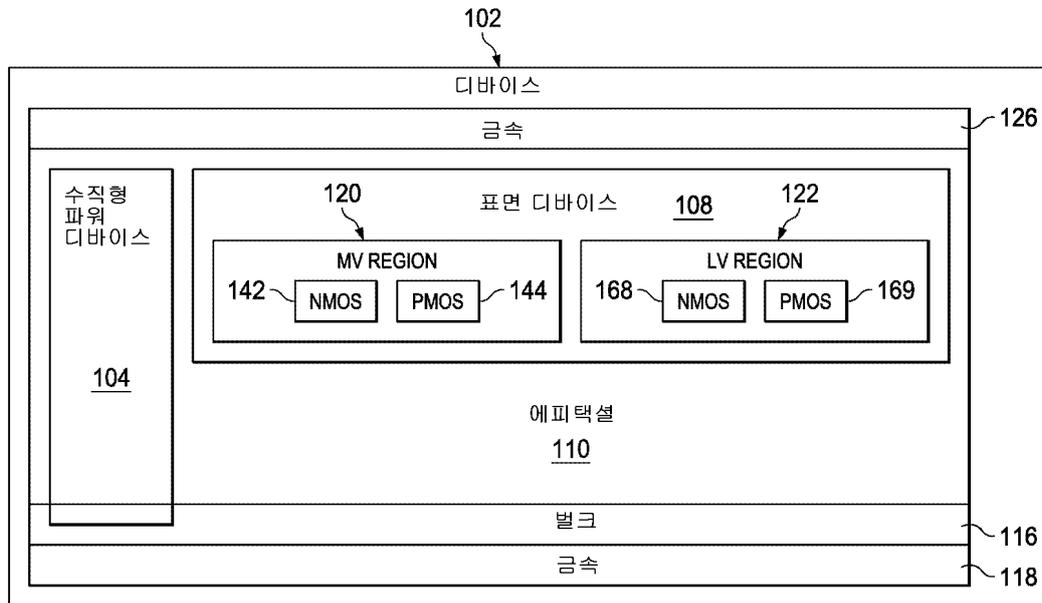
서, 트랜지스터(670)의 게이트(674)와 트랜지스터(671)의 게이트(680)는 전기적으로 접속되어 CMOS 인버터의 입력력을 형성하고, 트랜지스터(670)의 드레인(676)과 트랜지스터(671)의 드레인(682)은 CMOS 인버터의 출력을 형성한다.

- [0114] 도 7a는 제 1 IGBT 부분(704) 및 표면 디바이스(708)를 포함하는 디바이스(702)의 단면도이다. 디바이스(702)는 도 5의 디바이스(502)의 일 실시예이며 그리고 도 6a의 디바이스(602)와는 다른데, 도 7a의 실시예는 수직형 파워 IGBT이지만 도 6a의 실시예에서의 수직형 파워 디바이스는 수직형 파워 SJMOSFET 이라는 점에서 서로 다르다. 핸들 웨이퍼(790)는 취급 및 처리 동안 디바이스(702)를 지지한다.
- [0115] 표면 디바이스(708)는 도 6a의 표면 디바이스(608)와 형태 및 기능면에서 유사하며 MV NMOS 영역(742), MV PMOS 영역(744), LV NMOS 영역(768), 및 LV PMOS 영역(769)을 포함한다. MV NMOS 영역 MV 영역(742), MV PMOS 영역(744), LV NMOS 영역(768), 및 LV PMOS 영역(769) 각각은 절연체(786)로 둘러싸인다. MV NMOS 영역 MV 영역(742), MV PMOS 영역(744), LV NMOS 영역(768), 및 LV PMOS 영역(769) 각각은 에피택셜 실리콘(710)의 상부에 형성된 트랜지스터를 포함한다. 대안적인 실시예에서, 임의 개수의 전기 부품들을 각각 포함하는 임의 개수의 MOS 영역들이 조합되어, 하나 이상의 수직형 파워 디바이스들을 제어하는데 사용될 수 있는 표면 디바이스(708)를 형성할 수 있다.
- [0116] 도 7b는 디바이스(702)의 수직 IGBT의 단면도이다. 디바이스(702)의 수직 IGBT는 게이트(738)를 포함하는 트랜지스터 IGBT 이다. 명료함을 위하여, 게이트에 대한 중간 금속층들 및 콘택들은 도시되지 않았다.
- [0117] 금속(726)은 IGBT 부분(704)의 이미터를 표면 디바이스(708)를 포함하는 다른 전자 회로들에 연결한다. 대안적인 실시예에서, 멀티-레벨 금속 토폴로지가 사용될 수 있다. 멀티-레벨 금속 토폴로지는 모든 층들에 알루미늄(Al)을 사용할 수 있으며, 또는 디바이스(702)의 IGBT의 높은 전력 요건들을 감당할 수 있도록 최상부층이 충분히 두껍다면(약 2~5 마이크로미터 두께), 최하위 금속층들로서 알루미늄(Al)과 최상위 금속층들로서 구리(Cu)를 조합하여 사용할 수 있다. MV NMOS 영역(742)의 트랜지스터의 소스는 금속(726)에 의해 디바이스(702)의 IGBT의 이미터에 연결된다.
- [0118] 비아(728)는 텅스텐(W) 플러그로 제조되며, 콘택 하부 및 티타늄(Ti), 티타늄 나이트라이드(TiN) 또는 이들의 조합과 같은 배리어층으로 라이닝된 측벽을 갖는다.
- [0119] 층간 유전체(ILD)(730)는 에피택셜 실리콘(710)의 상부와 금속(726) 사이의 유전체층이다. 디바이스(702)의 IGBT와 같은 파워 디바이스들은 전형적으로 다수의 SiO₂(산화물)층들을 포함하는바, 표면에 가장 가까운 비대전(uncharged), 비도핑(undoped) 산화물층(non-plasma-enhanced deposition)이 있으며, 도핑된 산화물(예컨대, PSG) 및 플라즈마 증착된 산화물들(예컨대, PETEOS)이 후속된다.
- [0120] 게이트 산화물(734)은 웨이퍼의 에피택셜 실리콘(710)의 N형 에피택셜층(714)으로부터 게이트(738)를 분리한다.
- [0121] P-바디 도핑(736)은 IGBT 부분(704)의 에피택셜 실리콘(710)의 상부 표면을 향해 형성된다. N++ 층(731)이 P-바디(736) 내에 형성된다.
- [0122] 게이트(738)는 폴리실리콘을 포함하고 게이트(738)에 인가된 전압은 디바이스(702)의 IGBT의 이미터와 컬렉터 사이를 통과하는 전류의 양을 제어한다. 도면에서의 명료함을 위해, 게이트 콘택 및 콘트롤은 도시되지 않았다.
- [0123] P+ 층(739)은 N+ 층(316)과 P-N 접합을 형성하여 제 1 IGBT 부분(704)의 컬렉터를 형성한다.
- [0124] 도 8a는 제 1 다이오드 부분(804)과 표면 디바이스(808)를 포함하는 디바이스(802)의 단면도이다. 디바이스(802)는 도 5의 디바이스(502)의 일 실시예이며 도 6a의 디바이스(602)와는 다른데, 도 8a의 실시예는 수직형 파워 다이오드인 반면에, 도 6a의 실시예의 수직형 파워 디바이스는 수직형 파워 SJMOSFET 이라는 점에서 서로 다르다. 디바이스(802)는 핸들 웨이퍼 없이 도시된다.
- [0125] 표면 디바이스(808)는 도 6a의 표면 디바이스(608)와 형태 및 기능면에서 유사하며, MV NMOS 영역(842), MV PMOS 영역(844), LV NMOS 영역(868) 및 LV PMOS 영역(869)을 포함한다. MV NMOS 영역 MV 영역(842), MV PMOS 영역(844), LV NMOS 영역(868), 및 LV PMOS 영역(869) 각각은 절연체(886)로 둘러싸인다. MV NMOS 영역 MV 영역(842), MV PMOS 영역(844), LV NMOS 영역(868), 및 LV PMOS 영역(869) 각각은 에피택셜 실리콘(810)의 상부에 형성된 트랜지스터를 포함한다. 대안적인 실시예에서, 임의 개수의 전기 부품들을 각각 포함하는 임의 개수의 MOS 영역들이 조합되어, 하나 이상의 수직형 파워 디바이스를 제어하는데 사용될 수 있는 표면 디바이스(808)를 형성할 수 있다.

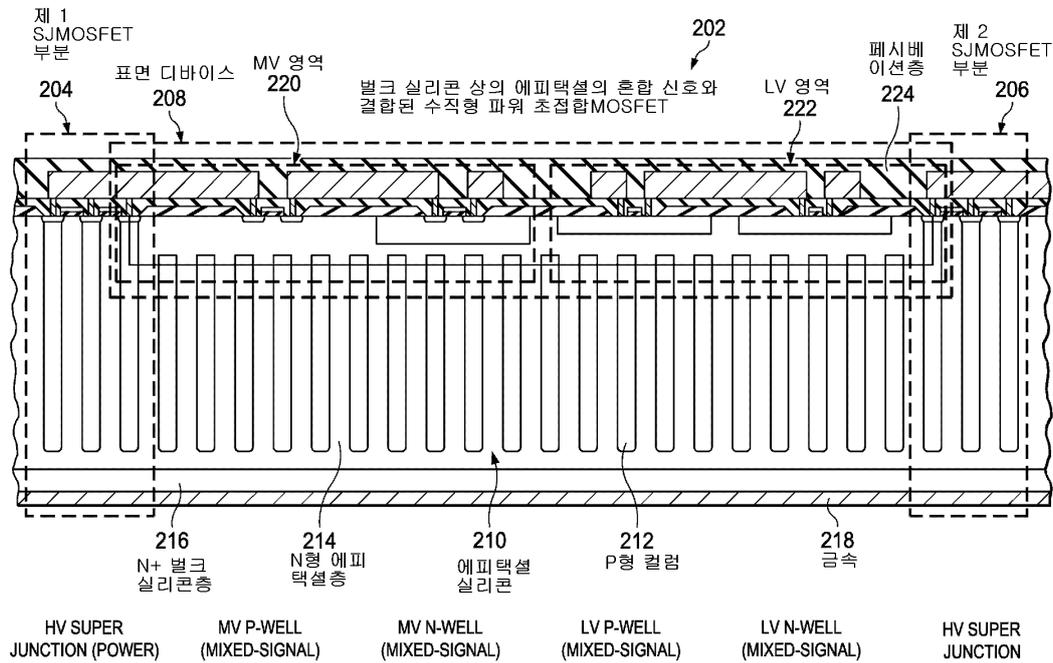
- [0126] 도 8b는 다이오드 부분(804)의 단면을 보다 상세하게 도시한다.
- [0127] 금속(826)은 다이오드 부분(804)의 애노드를 표면 디바이스(802)에 연결한다. 대안적인 실시예에서, 금속(826)은 다이오드 부분(804)의 애노드를 다른 다이오드 부분들의 애노드들에 연결한다. 다른 대안적인 실시예에서는, 멀티-레벨 금속 토폴로지가 사용될 수 있다. 멀티-레벨 금속 토폴로지는 모든 층들에 알루미늄(Al)을 사용할 수 있으며, 또는 디바이스(802)의 다이오드의 높은 전력 요건들을 감당할 수 있도록 최상부층이 충분히 두껍다면 (약 2~5 마이크로미터 두께), 최하위 금속층들로서 알루미늄(Al)과 최상위 금속층들로서 구리(Cu)를 조합하여 사용할 수 있다.
- [0128] 비아(828)는 텅스텐(W) 플러그로 제조되며, 콘택 하부 및 티타늄(Ti), 티타늄 나이트라이드(TiN) 또는 이들의 조합과 같은 배리어층으로 라이닝된 측벽을 갖는다.
- [0129] 층간 유전체(ILD)(830)는 디바이스(802)의 전기적으로 활성인 부분들로부터 금속(826)을 분리한다. 디바이스(802)의 다이오드와 같은 파워 디바이스들은 전형적으로 다수의 SiO₂(산화물)층들을 포함하는바, 표면에 가장 가까운 비대전(uncharged), 비도핑(undoped) 산화물층(non-plasma-enhanced deposition)이 있으며, 도핑된 산화물(예컨대, PSG) 및 플라즈마 증착된 산화물들(예컨대, PETEOS)이 후속된다.
- [0130] P+ 층(833)은 다이오드 부분(804)의 에피택셜 실리콘(810) 상부 표면을 향해 형성된다. 인터페이스(835)는 P+ 층(833)과 N형으로 도핑된 에피택셜층(814) 사이의 인터페이스이고, P-N 접합을 형성하여 실리콘 접합 다이오드를 생성한다. 인터페이스(837)는 비아(829)와 N- 도핑된 N형 에피택셜층(814) 사이의 인터페이스이고 금속-반도체 접합을 형성하여 쇼트키 다이오드용 쇼트키 장벽을 생성한다. 추가적인 실시예에서, 디바이스(802)의 다이오드는 오직 실리콘 접합 다이오드만을 포함하거나, 오직 쇼트키 다이오드만을 포함하거나, 또는 실리콘 접합 다이오드와 쇼트키 다이오드의 임의의 조합을 포함한다.
- [0131] 도 9는 혼합 신호 표면 디바이스와 함께 수직형 파워 디바이스를 포함하는 디바이스(902)의 3차원 도면이다. 디바이스(902)는 도 5의 디바이스(502)의 일 실시예이다.
- [0132] SJMOSFET(904)는 P형 컬럼들(912)을 구비한 에피택셜 실리콘(910)에 형성된다. SJMOSFET(904)의 형태 및 기능은 도 2A 및 도 2B에 설명된 SJMOSFET의 형태 및 기능과 유사하다. SJMOSFET(904)의 게이트는 병렬로 접속된 몇몇 게이트들을 포함하며, 이들 중 일부는 MV 영역(920)을 위한 공간을 만들기 위해 절단된다. SJMOSFET(904)의 드레인(916)은 N+ 층(916)에 의해 바닥 또는 후면에 형성되며, 이는 금속층(918)에 연결된다.
- [0133] 표면 디바이스(908)는 MV NMOS 트랜지스터(946) 및 MV PMOS 트랜지스터(948)로 형성된 CMOS 인버터를 포함하는 MV 영역(920)을 포함한다. 트랜지스터(946)의 게이트(952)와 트랜지스터(948)의 게이트(960)는 병렬로 연결되어 CMOS 인버터의 입력을 형성한다. 트랜지스터(946)의 드레인(954)과 트랜지스터(948)의 드레인(962)은 서로 연결되어, CMOS 인버터의 출력을 형성한다. 트랜지스터(946)의 소스(953)는 SJMOSFET(904)의 병렬로 연결된 소스들에 연결된다. 트랜지스터(948)의 소스(961)는 전압 V_{DD}에 연결된다.
- [0134] MV NMOS 트랜지스터(946)는 MV P-웰(940)의 내부에 형성된다. MV PMOS 트랜지스터(948)는 MV N-웰(950) 내부에 형성되며, MV N-웰(950)은 MV P-웰(940) 내부에 형성된다.
- [0135] 본 명세서에 개시된 실시예는 본 발명의 구현가능한 일례를 제공하기 위한 것으로서, 본 발명을 한정하려는 것이 아니다. 예를 들어, 실리콘 이외의 다른 물질들이 베이스 반도체 재료로서 사용될 수 있다. 당업자에 의해 인식되는 바와 같이, 상보적인 디바이스들을 형성하도록 P형 벌크 실리콘 또는 에피택셜층(N형이 아니라)을 사용하고 도펀트 유형을 반대로 하여 N형 및 P형 영역들에 대한 다양한 범위의 도핑 레벨들이 채용될 수 있다. 다양한 유형 및 다양한 두께의 산화물들이 사용될 수 있다. 평탄한 게이트 및 트렌치 게이트를 둘다 포함하는, 고전압 디바이스를 위한 다양한 유형들의 게이트 구조들이 사용될 수 있다. 임의의 실시예의 임의의 피쳐들, 요소들 또는 장점들이 다른 실시예들의 피쳐들, 요소들 및 장점들과 조합될 수 있다.

도면

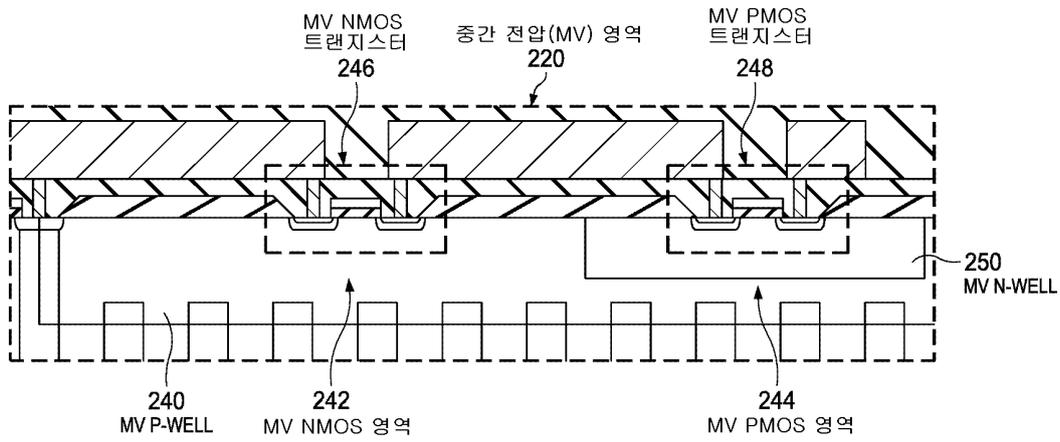
도면1



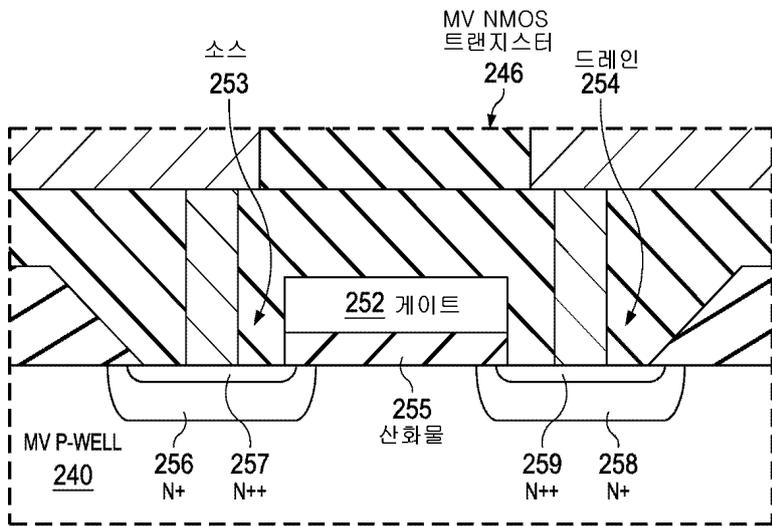
도면2a



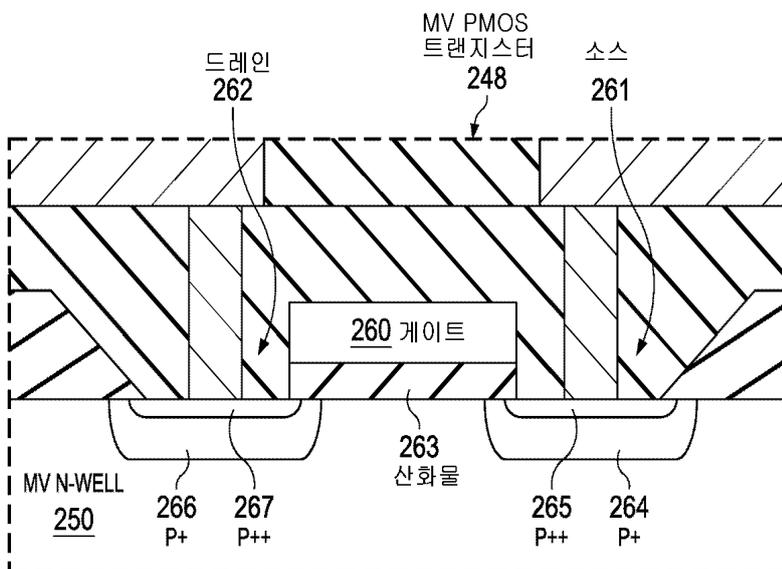
도면2d



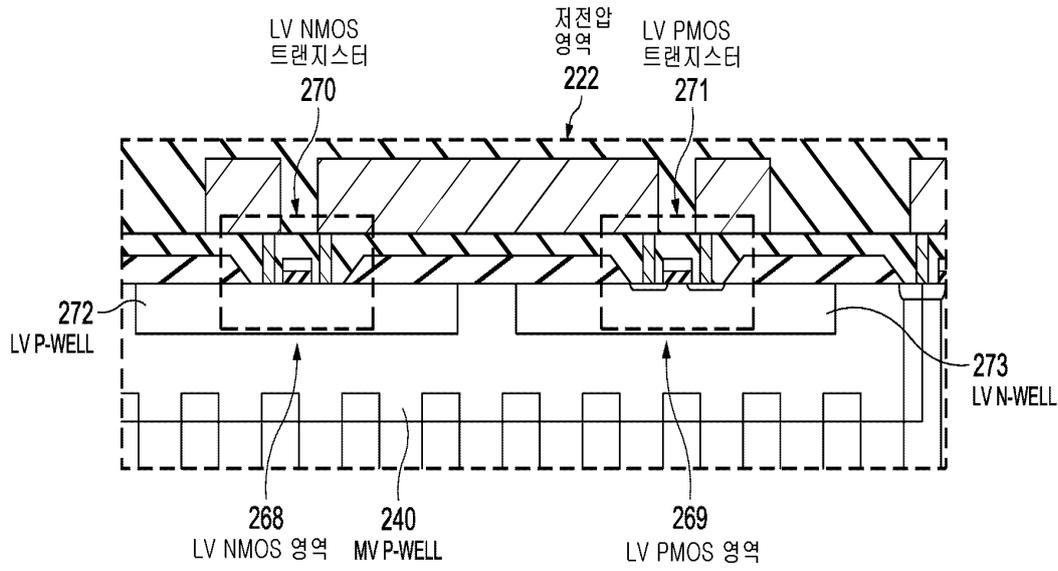
도면2e



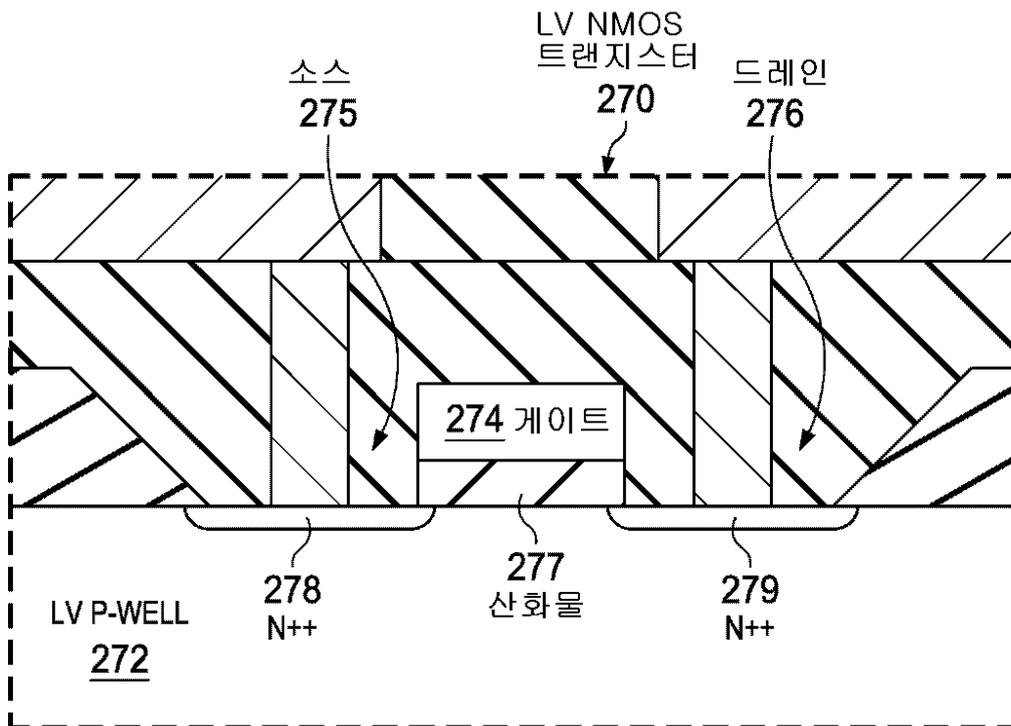
도면2f



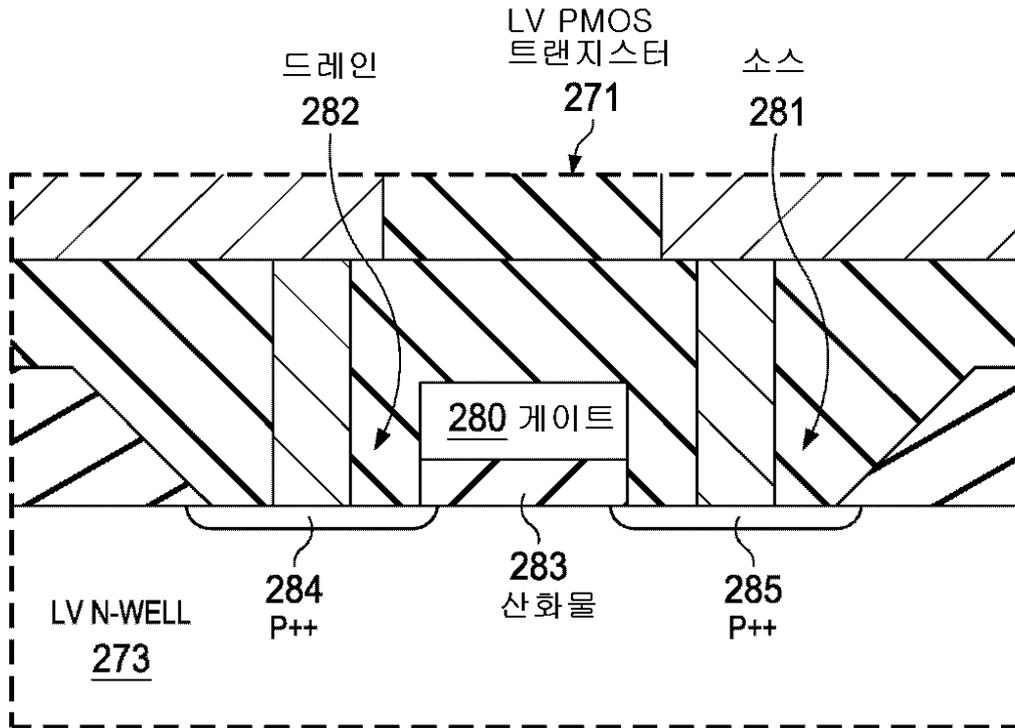
도면2g



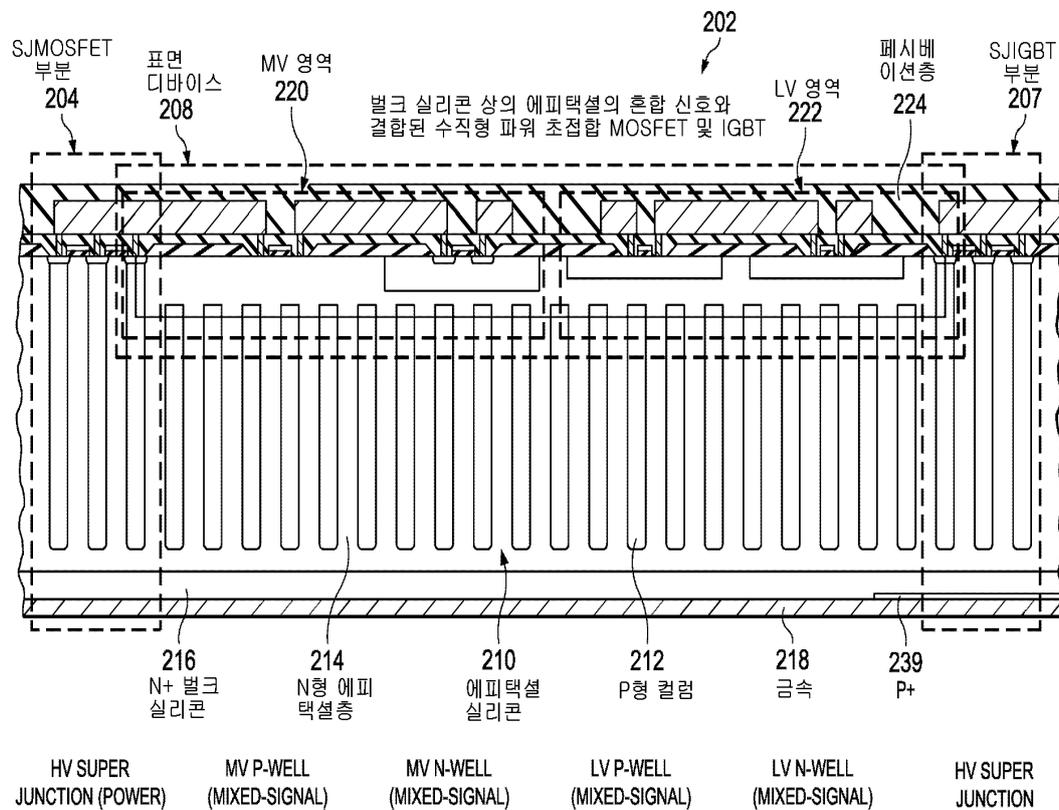
도면2h



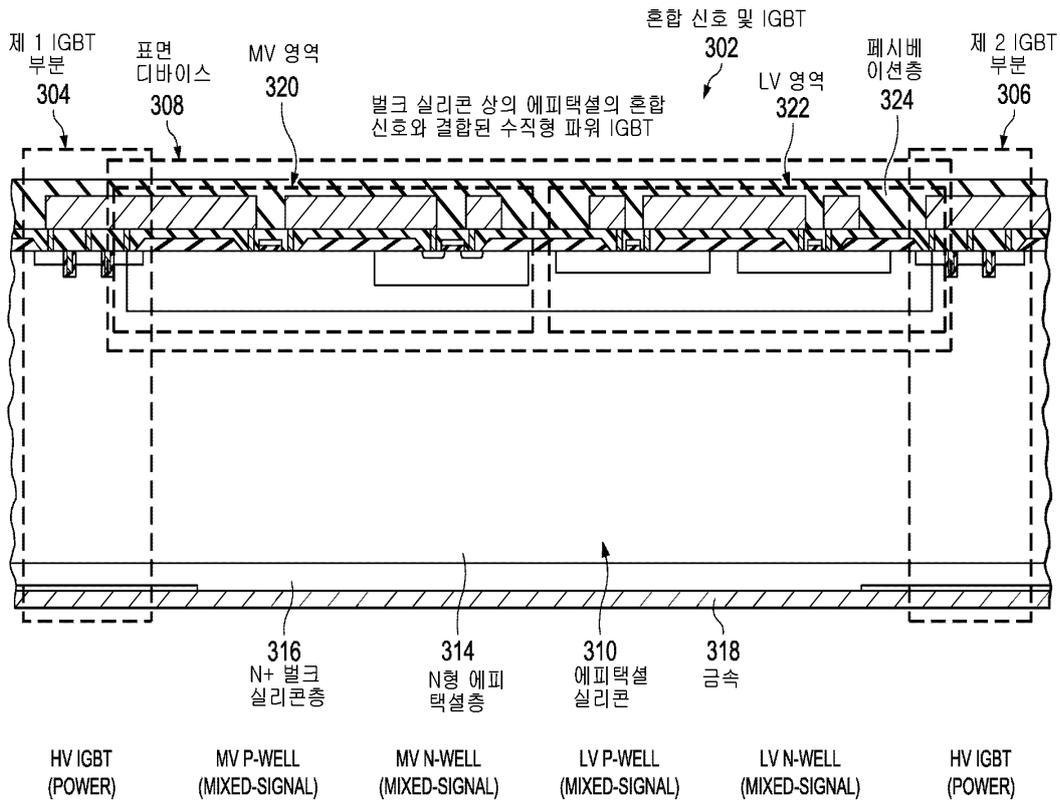
도면2i



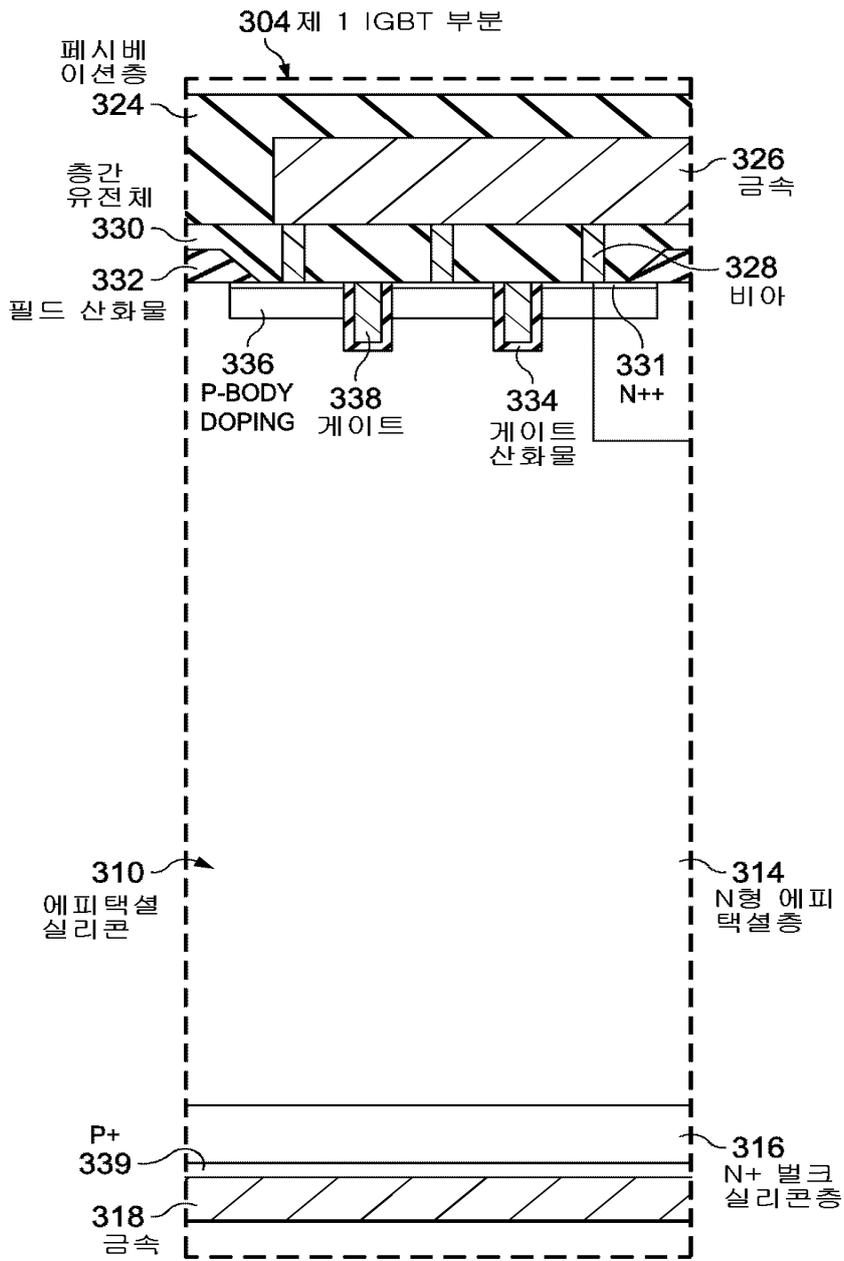
도면2j



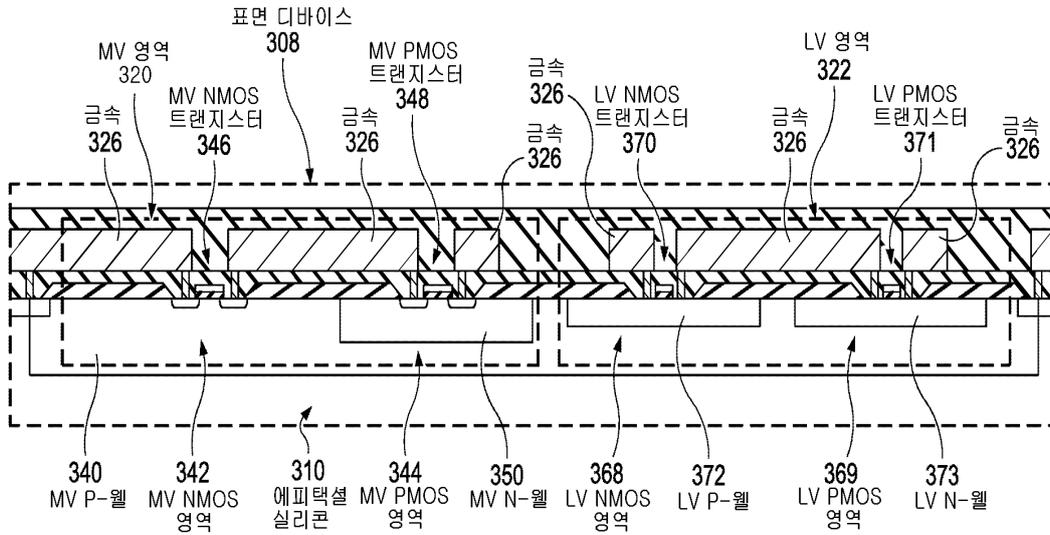
도면3a



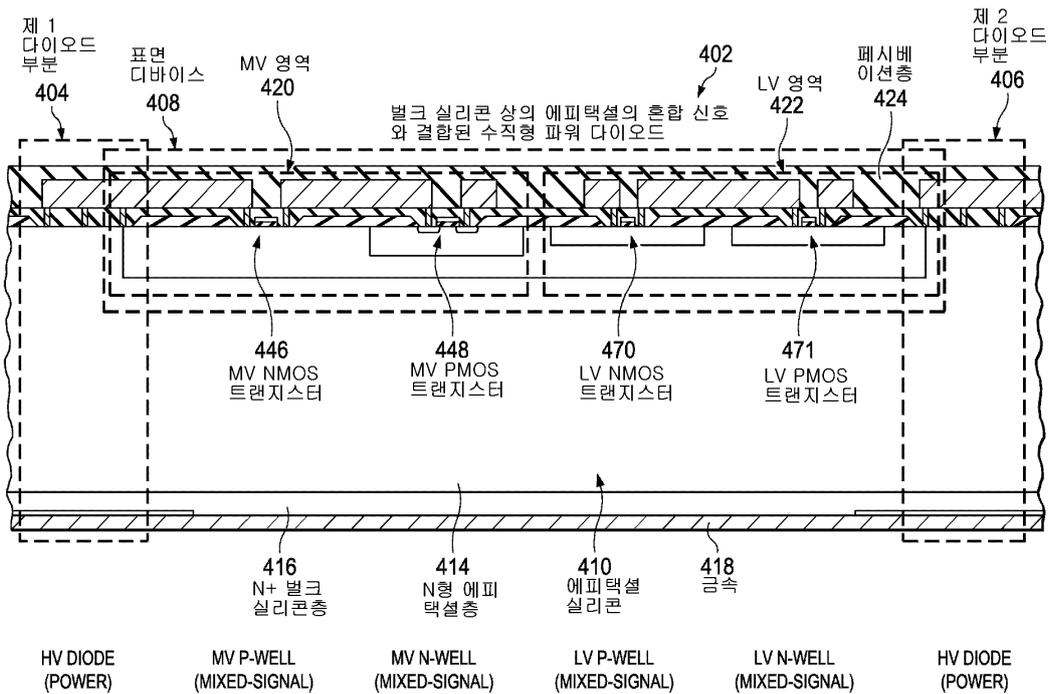
도면3b



도면3c

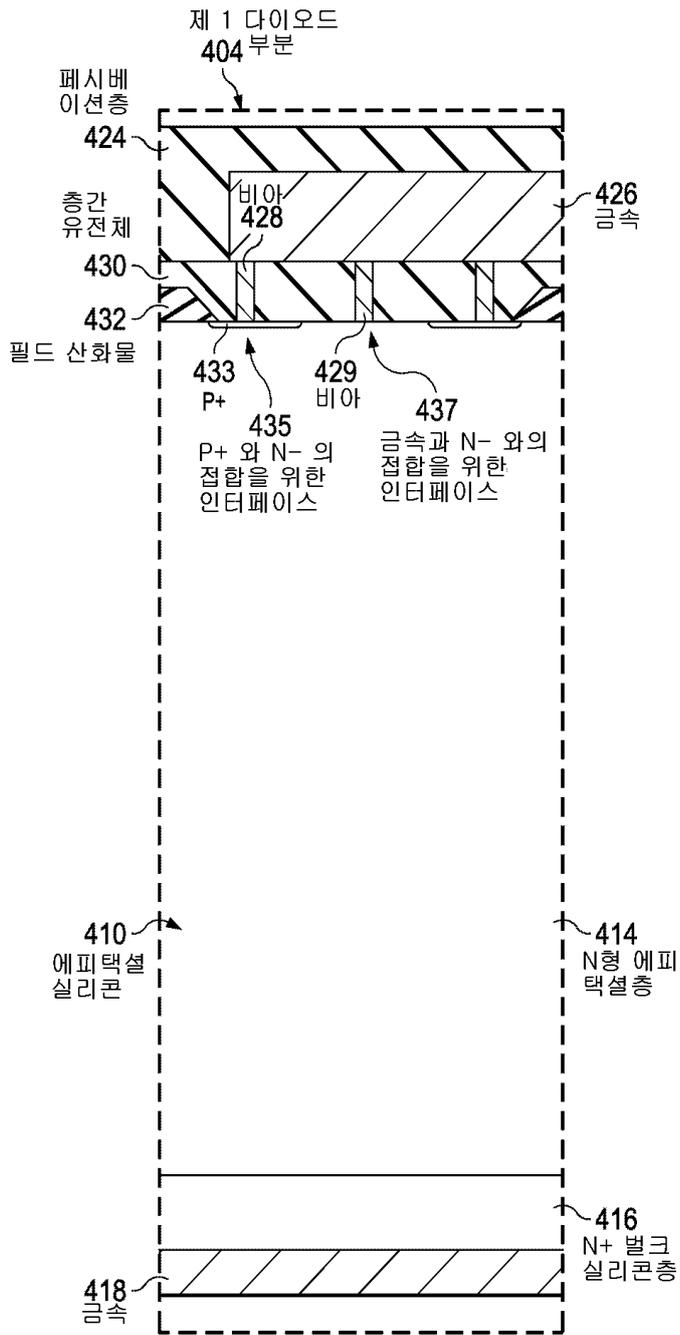


도면4a

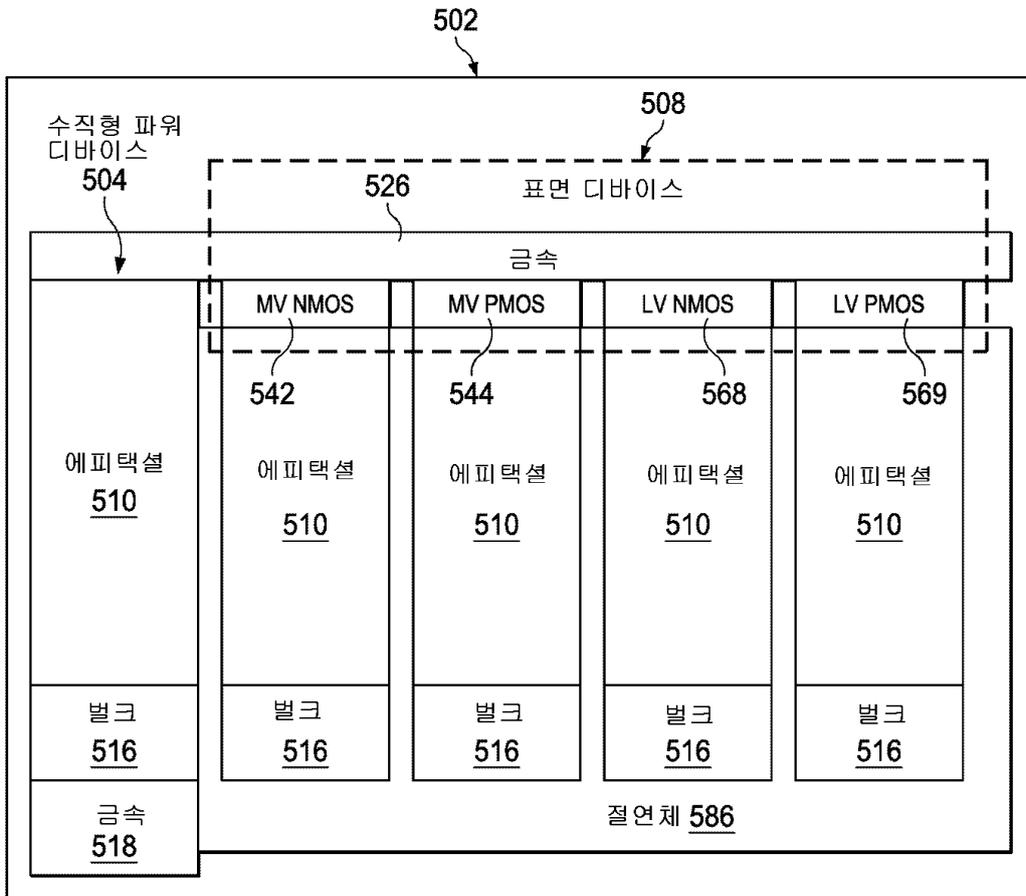


HV DIODE (POWER) MV P-WELL (MIXED-SIGNAL) MV N-WELL (MIXED-SIGNAL) LV P-WELL (MIXED-SIGNAL) LV N-WELL (MIXED-SIGNAL) HV DIODE (POWER)

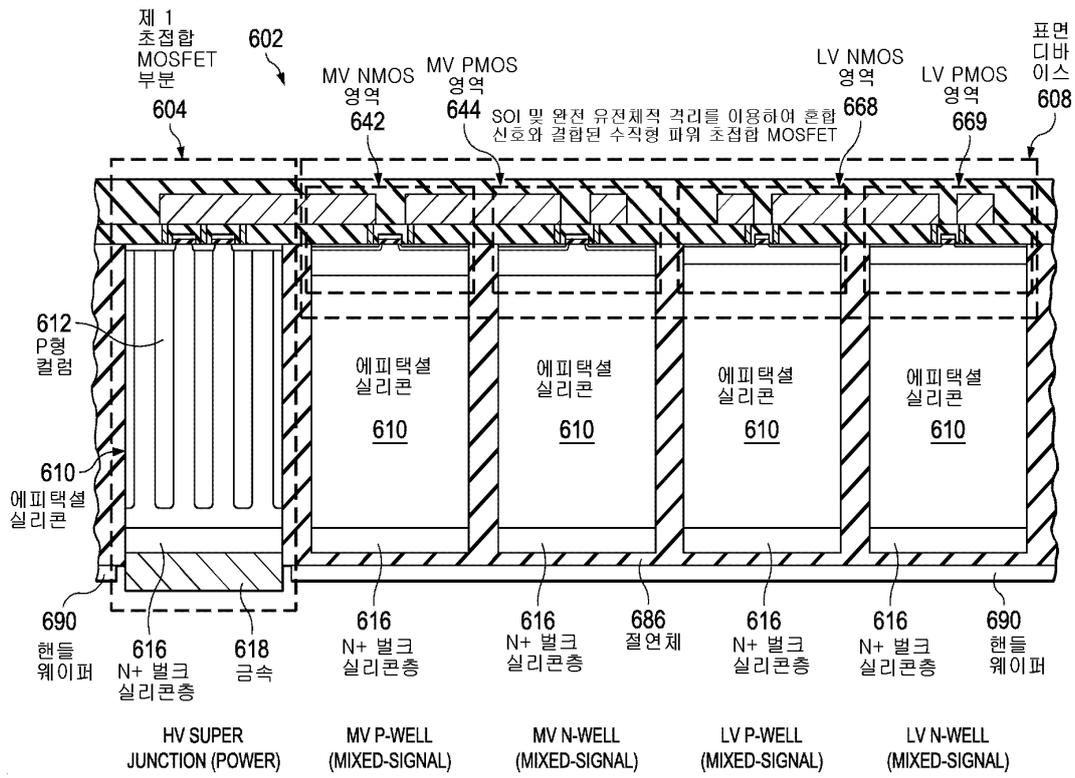
도면4b



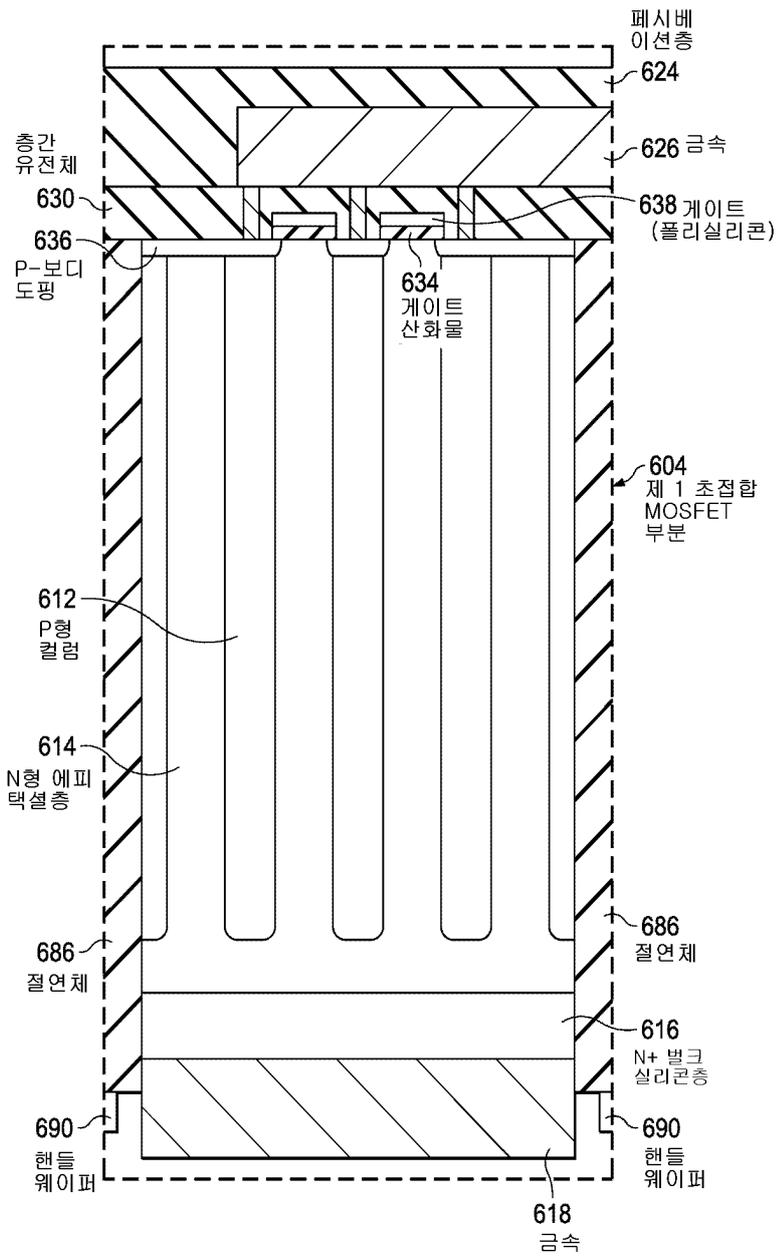
도면5



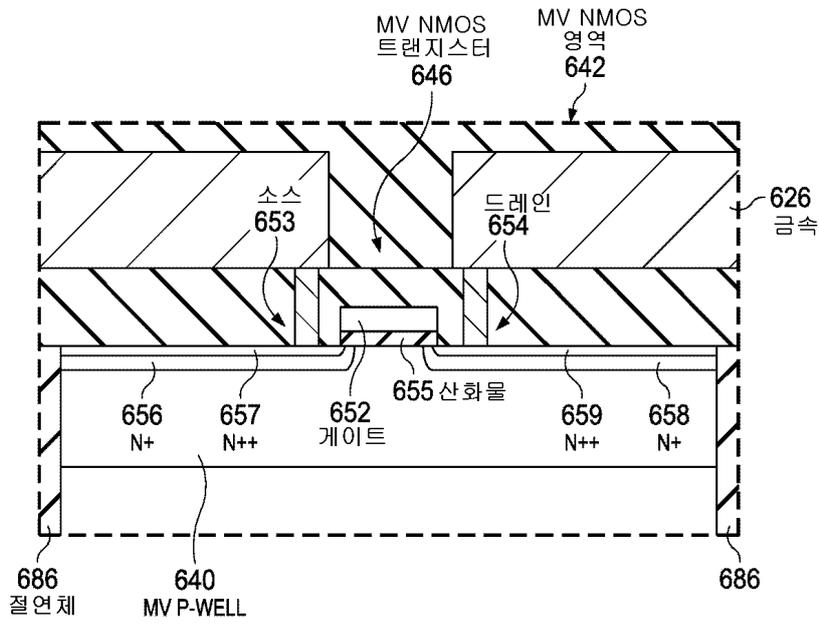
도면6a



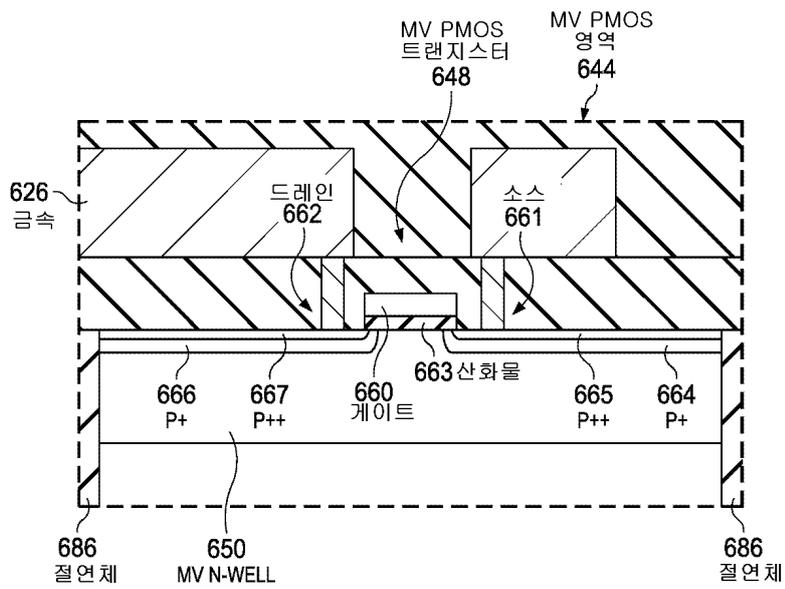
도면6b



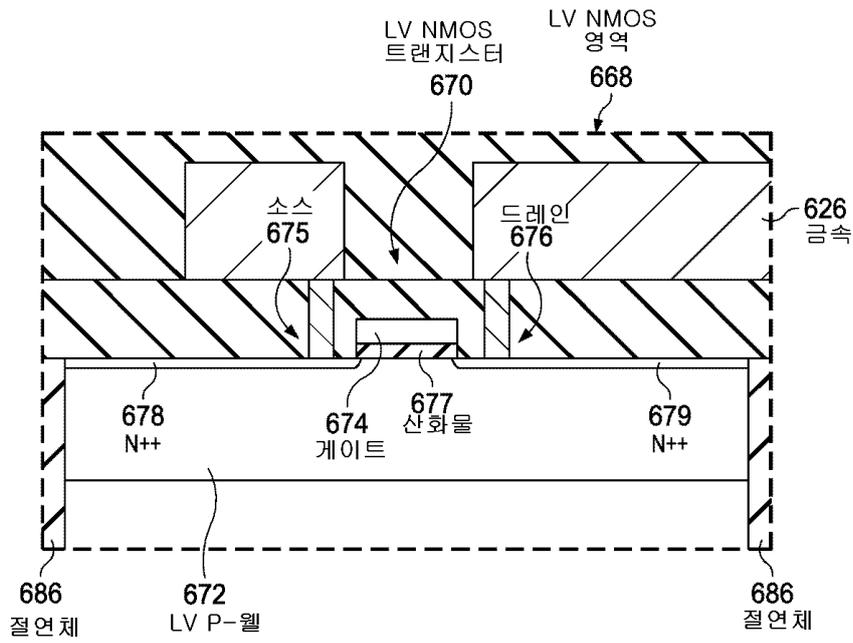
도면6c



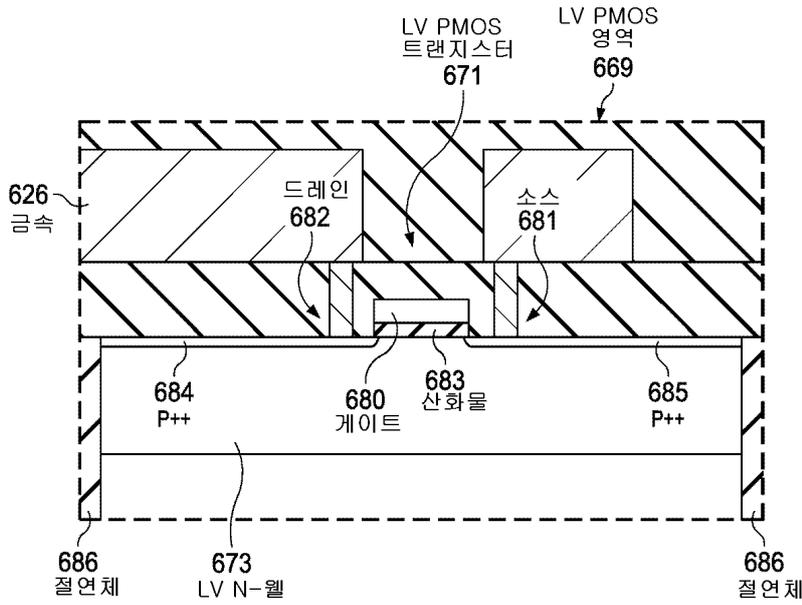
도면6d



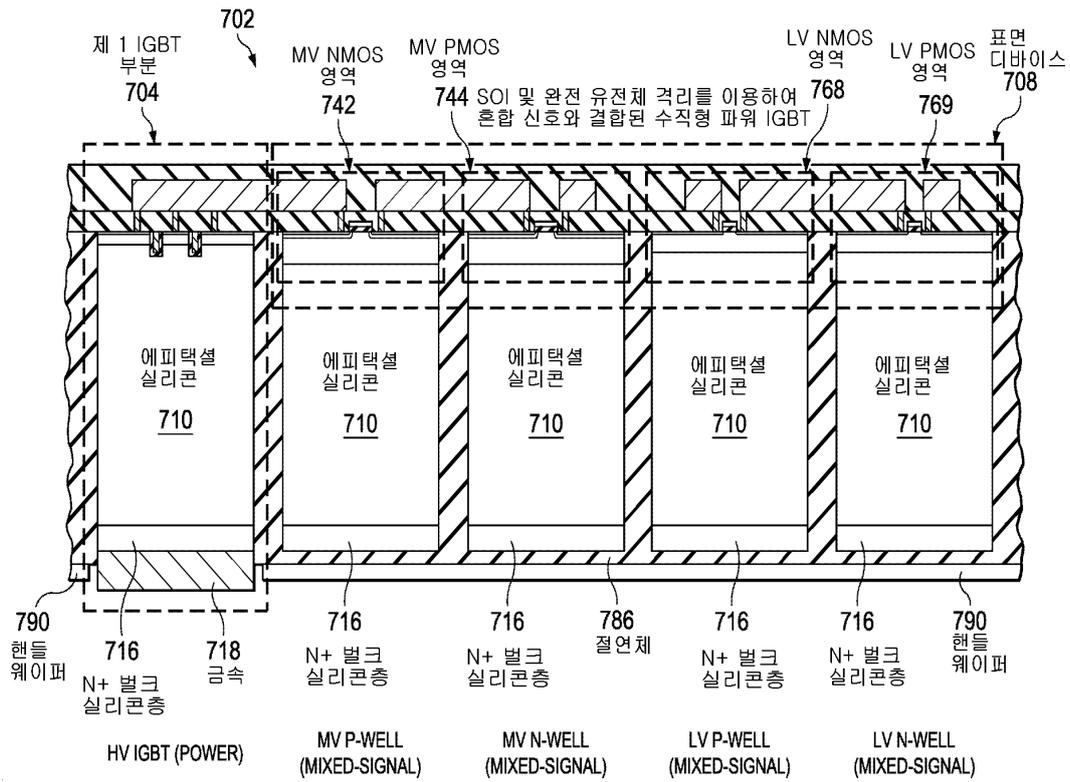
도면6e



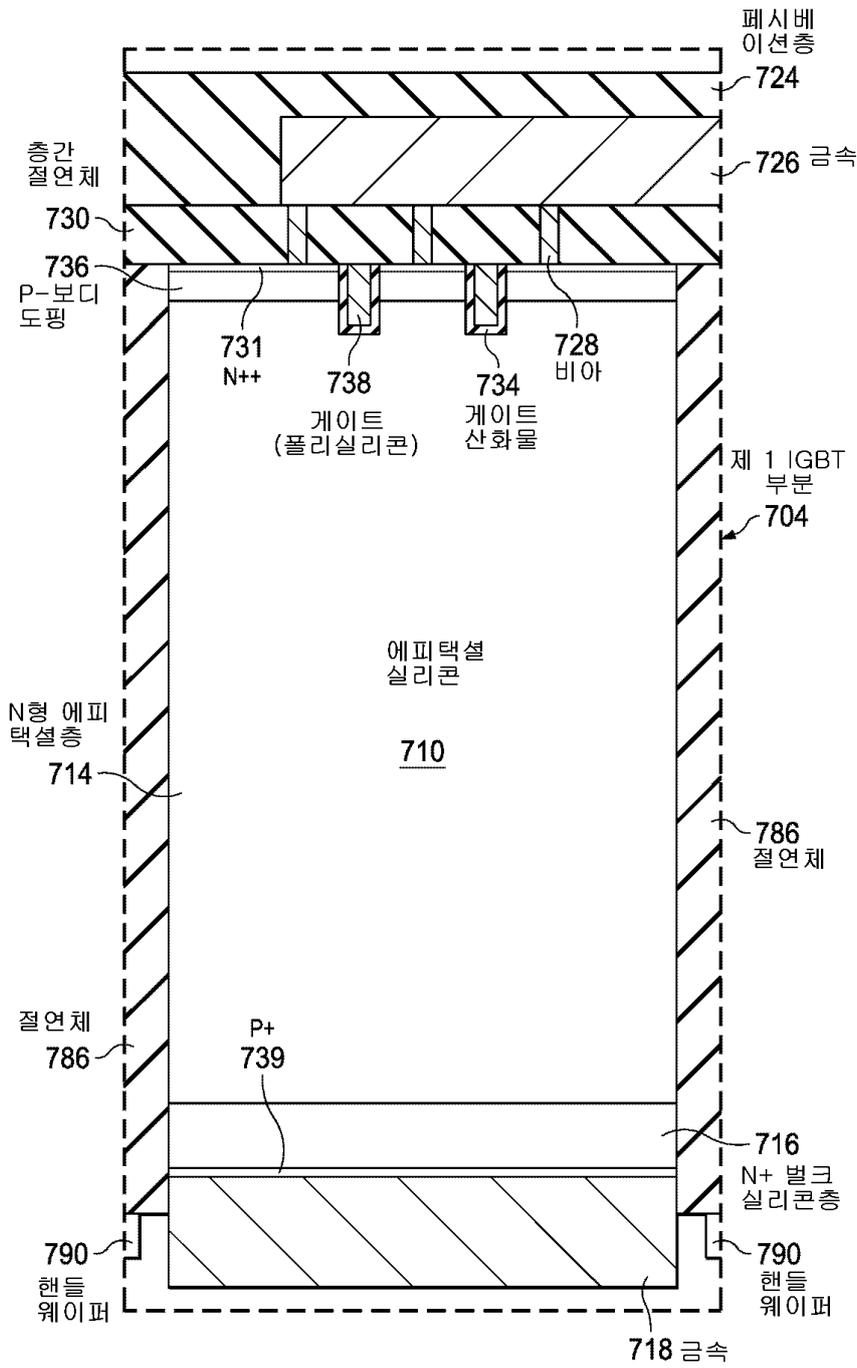
도면6f



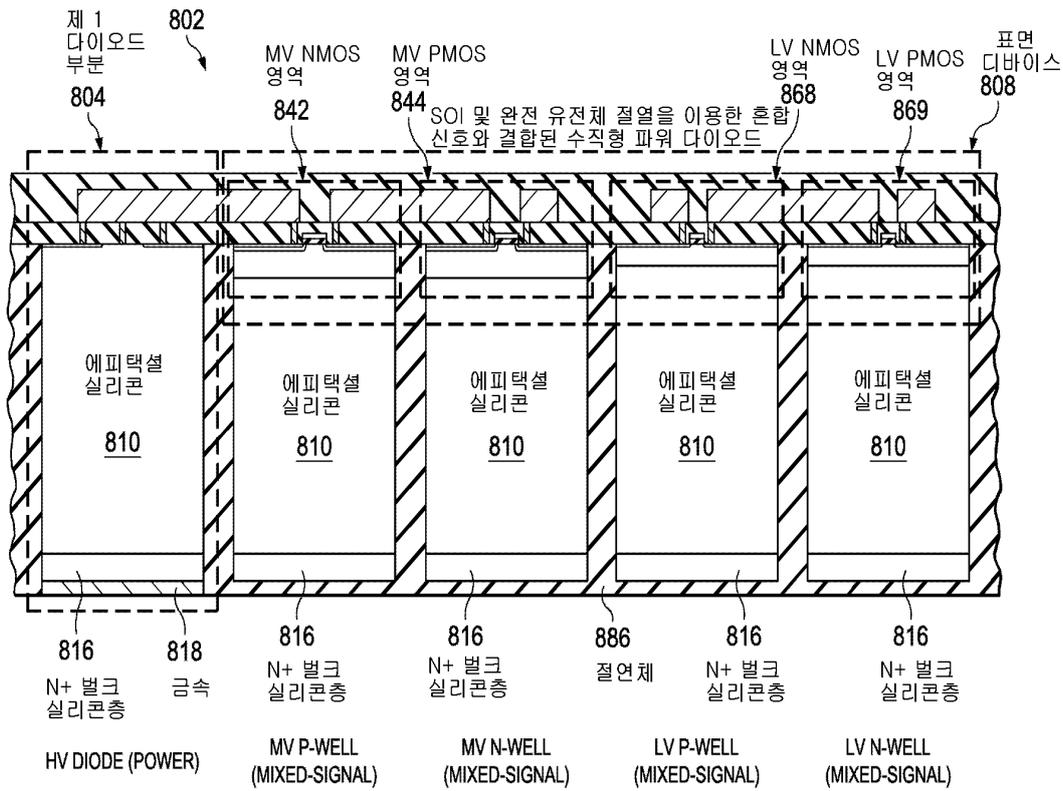
도면7a



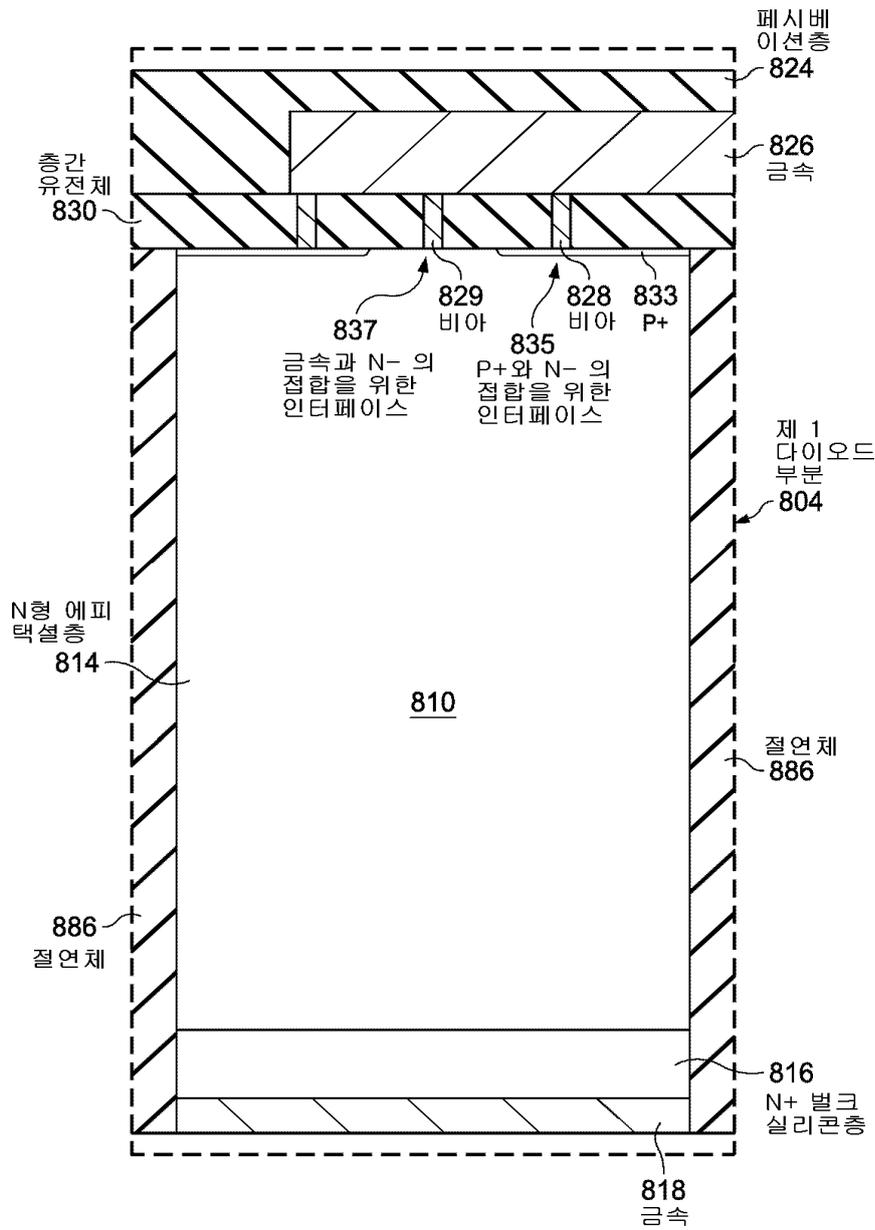
도면7b



도면8a



도면8b



도면9

