

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2025 年 2 月 20 日 (20.02.2025)



(10) 国际公布号
WO 2025/035260 A1

(51) 国际专利分类号:
G09G 3/20 (2006.01)

(21) 国际申请号: PCT/CN2023/112539

(22) 国际申请日: 2023 年 8 月 11 日 (11.08.2023)

(25) 申请语言: 中文

(26) 公布语言: 中文

(71) 申请人: 京东方科技集团股份有限公司(BOE TECHNOLOGY GROUP CO., LTD.) [CN/CN]; 中国北京市朝阳区酒仙桥路 10 号, Beijing 100015 (CN)。合肥鑫晟光电科技有限公司(HEFEI XINSHENG OPTOELECTRONICS TECHNOLOGY CO., LTD.) [CN/CN]; 中国安徽省合肥市新站区工业园内, Anhui 230012 (CN)。北京京东方技术开发有限公司(BEIJING BOE TECHNOLOGY DEVELOPMENT CO., LTD.) [CN/CN]; 中国北京市大兴区北

京经济技术开发区地泽路 9 号 1 幢 407 室, Beijing 100176 (CN)。

(72) 发明人: 邹志翔(ZOU, Zhixiang); 中国北京市大兴区北京经济技术开发区地泽路 9 号, Beijing 100176 (CN)。林亮(LIN, Liang); 中国北京市大兴区北京经济技术开发区地泽路 9 号, Beijing 100176 (CN)。王章涛(WANG, Zhangtao); 中国北京市大兴区北京经济技术开发区地泽路 9 号, Beijing 100176 (CN)。张然(ZHANG, Ran); 中国北京市大兴区北京经济技术开发区地泽路 9 号, Beijing 100176 (CN)。黄中浩(HUANG, Zhonghao); 中国北京市大兴区北京经济技术开发区地泽路 9 号, Beijing 100176 (CN)。徐中(XU, Zhong); 中国北京市大兴区北京经济技术开发区地泽路 9 号, Beijing 100176 (CN)。陈川(CHEN, Chuan); 中国北京市大兴区北京经济技术开发区地泽路 9 号, Beijing 100176 (CN)。袁帅(YUAN, Shuai); 中国北京市大兴区北京经济技术开发区地泽路 9 号, Beijing 100176 (CN)。

(54) Title: DISPLAY SUBSTRATE AND DISPLAY DEVICE

(54) 发明名称: 一种显示基板和显示装置

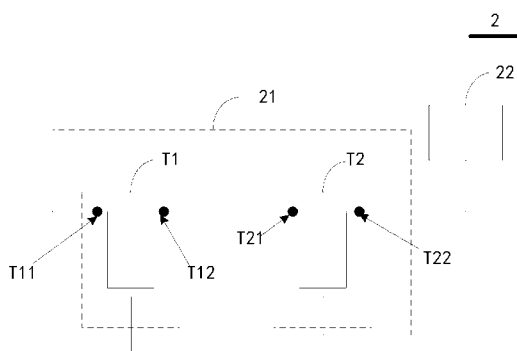


图 1a

(57) Abstract: The present invention relates to the technical field of display, and provides a display substrate and a display device. The display substrate comprises a base substrate, and gate lines and data lines located on the base substrate; the gate lines and the data lines intersect to define a plurality of pixel units; the gate lines extend in a first direction, the data lines extend in a second direction, and the first direction and the second direction intersect with each other; each pixel unit comprises a first transistor and a second transistor; an active layer of each first transistor comprises a first contact portion and a second contact portion; an active layer of each second transistor comprises a third contact portion and a fourth contact portion; the first contact portions are electrically connected to the data lines; the second contact portions are electrically connected to the third contact portions; the fourth contact portions are electrically connected to first electrodes of the pixel units; and in the second direction, the largest distance between each first contact portion and each gate line is not less than the largest distance between each fourth contact portion and the same gate line.

(74) 代理人: 北京天昊联合知识产权代理有限公司(TEE & HOWE INTELLECTUAL PROPERTY ATTORNEYS); 中国北京市东城区东长安街1号东方广场东方经贸城西一办公楼5层1, 6-12室, Beijing 100738 (CN)。

(81) 指定国(除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, MG, MK, MN, MU, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW。

(84) 指定国(除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

— 包括国际检索报告(条约第21条(3))。

(57) 摘要: 本公开提供一种显示基板和显示装置, 属于显示技术领域, 其中, 显示基板包括衬底基板、以及位于衬底基板上的栅线 and 数据线, 栅线 and 数据线交叉限定出多个像素单元; 栅线沿第一方向延伸, 数据线沿第二方向延伸, 第一方向和第二方向相交; 像素单元包括第一晶体管和第二晶体管; 第一晶体管的有源层包括第一接触部和第二接触部, 第二晶体管的有源层包括第三接触部和第四接触部, 第一接触部与数据线电连接, 第二接触部与第三接触部电连接, 第四接触部与像素单元的第一电极电连接; 沿着第二方向, 第一接触部与栅线的最大间距不小于第四接触部与同一栅线的最大间距。

一种显示基板和显示装置

技术领域

本公开属于显示技术领域，具体涉及一种显示基板和显示装置。

背景技术

5 晶体管作为开关控制元件或者周边驱动电路的集成元件，是显示技术中的核心器件。在半导体领域，迁移率指的是电子在半导体材料中的移动速度，对于半导体显示器件而言，迁移率就意味着同样器件大小下所能达成的显示画质及使用寿命能力。

10 然而，随着对器件半导体材料的优化设计，在提高迁移率的同时也带来了例如存在着阈值电压偏低，以及光照下的负向偏移等问题。

发明内容

本公开旨在至少解决现有技术中存在的技术问题之一，提供一种显示基板和显示装置。

15 第一方面，解决本公开技术问题所采用的技术方案是一种显示基板，其包括衬底基板、以及位于所述衬底基板上的栅线和数据线，所述栅线和所述数据线交叉限定出多个像素单元；所述栅线沿第一方向延伸，所述数据线沿第二方向延伸，所述第一方向和所述第二方向相交；所述像素单元包括第一晶体管和第二晶体管；所述第一晶体管的有源层包括第一接触部和第二接触部，所述第二晶体管的有源层包括第三接触部和第四接触部，所述第一接触部与
20 所述数据线电连接，所述第二接触部与所述第三接触部电连接，所述第四接触部与所述像素单元的第一电极电连接；沿着所述第二方向，所述第一接触部与所述栅线的最大间距不小于所述第四接触部与同一所述栅线的最大间距。

25 在一些实施例中，沿着所述第一方向，所述第一接触部的宽度小于所述第四接触部的宽度。

 在一些实施例中，所述第一接触部在所述衬底基板的正投影与所述数据线在所述衬底基板的正投影交叠，所述第一接触部包括彼此连接的第一部分

和第二部分，所述第一部分与所述数据线电连接，沿着所述第一方向，所述第一部分的宽度大于所述第二部分的宽度。

5 在一些实施例中，所述第四接触部在所述衬底基板的正投影与所述栅线在所述衬底基板的正投影部分交叠，所述第四接触部包括彼此连接的第三部分和第四部分，所述第四部分与所述第一电极电连接，沿着所述第二方向，所述第四部分的最小宽度大于所述第三部分的最小宽度。

10 在一些实施例中，所述第一接触部与所述数据线通过第一过孔电连接，所述第四接触部与所述第一电极通过第二过孔电连接；沿着所述第二方向，所述第一过孔与所述栅线的最小间距大于所述第二过孔与同一栅线的最小间距。

15 在一些实施例中，所述第一接触部与所述数据线通过第一过孔电连接，所述第四接触部与所述第一电极通过第二过孔和第三过孔电连接；沿着所述第二方向，所述第一过孔与所述栅线的最小间距大于所述第二过孔与同一栅线的最小间距；所述第三过孔与所述栅线的最小间距小于所述第二过孔与同一栅线的最小间距。

在一些实施例中，所述像素单元还包括辅助部件；所述辅助部件包括彼此连接的第五部分和第六部分，所述第五部分与所述第四接触部通过所述第二过孔电连接；所述第六部分与所述第一电极通过所述第三过孔电连接。

20 在一些实施例中，所述辅助部件与所述数据线同层设置，且在所述第一方向上，相邻两条所述数据线在与所述第一接触部连接位置之间设置有所述辅助部件。

在一些实施例中，所述第一接触部、所述第二接触部、所述第三接触部和所述第四接触部同层设置。

25 在一些实施例中，所述第一晶体管的有源层和/或所述第二晶体管的有源层包括金属氧化物半导体材料。

在一些实施例中，所述第一晶体管和所述第二晶体管的有源层包括层叠设置的多层子层，远离所述衬底基板的子层的迁移率小于靠近所述衬底基板的子

层的迁移率。

在一些实施例中，所述第一晶体管的栅极位于所述第一晶体管的有源层背离所述衬底基板的一侧；所述第二晶体管的栅极位于所述第二晶体管的有源层背离所述衬底基板的一侧；所述第一晶体管的有源层和所述第二晶体管的有源层同层设置；

所述数据线复用为所述第一晶体管的第一极；所述第二接触部复用为所述第一晶体管的第二极，所述第三接触部复用为所述第二晶体管的第一极，所述第二接触部与所述第三接触部连接为一体结构。

在一些实施例中，所述第一电极为像素电极；连接为一体的所述第二接触部与所述第三接触部在所述衬底基板上的正投影，与至少一个所述像素电极在所述衬底基板上的正投影部分重叠。

在一些实施例中，对于相邻的两所述像素单元，其中一个所述像素单元中连接为一体的所述第二接触部与所述第三接触部在所述衬底基板上的正投影，与另一个所述像素单元在所述衬底基板上的正投影部分重叠。

在一些实施例中，所述第一晶体管的有源层还包括设置在所述第一接触部和所述第二接触部之间的第一沟道部，所述第二晶体管的有源层还包括设置在所述第三接触部和所述第四接触部之间的第二沟道部；所述第一沟道部、连接为一体的所述第二接触部与所述第三接触部，以及所述第二沟道部所构成的图案在所述衬底基板上的正投影的轮廓形状为U型。

在一些实施例中，所述第一晶体管的栅极和所述第二晶体管的栅极同层设置；所述第一晶体管的有源层和所述第二晶体管的有源层同层设置；所述第一晶体管的第一极和第二极，与所述第二晶体管的第一极和第二极同层设置；

所述第一晶体管的栅极位于所述有源层背离所述衬底基板的一侧；所述第一晶体管的第一极和第二极位于所述栅极背离所述有源层的一侧；

所述数据线复用为所述第一晶体管的第一极；所述第一晶体管的第二极和所述第二晶体管的第一极连接为一体结构，且所述第一晶体管的第二极通

过第四过孔与所述第二接触部电连接,所述第二晶体管的第一极通过第五过孔与所述第三接触部电连接。

在一些实施例中,所述显示基板还包括设置在所述像素单元靠近所述衬底基板的遮光层;

- 5 所述第一晶体管的有源层还包括设置在所述第一接触部和所述第二接触部之间的第一沟道部,所述第二晶体管的有源层还包括设置在所述第三接触部和所述第四接触部之间的第二沟道部;

所述遮光层在所述衬底基板上的正投影至少覆盖,所述第一沟道部和所述第二沟道部在所述衬底基板上的正投影。

- 10 在一些实施例中,在第一方向上,所述遮光层在所述衬底基板上的正投影的轮廓边缘,和所述第一沟道部在所述衬底基板上的正投影的轮廓边缘之间具有第一间距;

在第一方向上,所述遮光层在所述衬底基板上的正投影的轮廓边缘和,所述第二沟道部在所述衬底基板上的正投影的轮廓边缘之间具有第二间距;

- 15 所述第一间距和/或所述第二间距的范围在 $4\mu\text{m}\sim 6\mu\text{m}$ 。

在一些实施例中,在第二方向上,所述遮光层在所述衬底基板上的正投影的轮廓边缘,和所述第一沟道部在所述衬底基板上的正投影的轮廓边缘之间具有第三间距;

- 20 在第二方向上,所述遮光层在所述衬底基板上的正投影的轮廓边缘和,所述第二沟道部在所述衬底基板上的正投影的轮廓边缘之间具有第四间距;

所述第三间距和/或所述第四间距的范围在 $0\sim 4\mu\text{m}$ 。

在一些实施例中,位于同一行的所述像素单元电连接同一条栅线;所述栅线用作所述第一晶体管的栅极和所述第二晶体管的栅极。

- 25 在一些实施例中,所述第一晶体管的栅极在靠近所述有源层的一侧设置有栅极绝缘层;所述栅极绝缘层的厚度在 $10\text{nm}\sim 30\text{nm}$ 之间。

在一些实施例中,所述第一晶体管的栅极和所述第二晶体管的栅极同层

设置；所述第一晶体管的有源层和所述第二晶体管的有源层同层设置；所述第一晶体管的第一极和第二极，与所述第二晶体管的第一极和第二极同层设置；

所述第一晶体管的栅极位于所述有源层靠近所述衬底基板的一侧；所述
5 第一晶体管的第一极和第二极位于所述有源层背离所述栅极的一侧；

所述数据线复用为所述第一晶体管的第一极；所述第一晶体管的第二极和所述第二晶体管的第一极连接为一体结构，且所述第一晶体管的第二极与所述第一晶体管的第二接触部电连接；所述第二晶体管的第一极与所述第二晶体管的第三接触部电连接。

10 在一些实施例中，位于同一行的所述像素单元电连接同一条栅线；所述栅线用作所述第一晶体管的栅极和所述第二晶体管的栅极；

所述栅线为复合膜层，包括依次设置在所述衬底基板上的缓冲层和主体导电层。

在一些实施例中，所述第一晶体管的栅极在靠近所述有源层的一侧设置
15 有栅极绝缘层；所述栅极绝缘层的厚度在 30nm~50nm 之间。

第二方面，本公开实施例还提供了一种显示装置，其中，包括如第一方面中任一项所述的显示基板。

附图说明

图 1a 为本公开实施例提供的像素电路的结构示意图；

20 图 1b 为本公开实施例提供的有源层的接触部与栅线之间的位置关系示意图；

图 2 为本公开实施例提供的第一接触部和第二接触部的具体分布示意图；

图 3a 为本公开实施例提供的晶体管与数据线电连接的平面图；

25 图 3b 为本公开实施例提供的晶体管与数据线和第一电极电连接的平面图；

图 4 为本公开实施例提供的采用复合膜层的有源层的示意图；

图 5a 为本公开实施例提供的一种顶栅型结构的晶体管的俯视平面图；

图 5b 为图 5a 所示结构 AA 方向的截面图；

图 6a 为图 5b 所示有源层所在平面的示意图；

5 图 6b 为图 5b 所示第一导电层所在平面的示意图；

图 6c 为图 5b 所示第一过孔和第二过孔所在平面的示意图；

图 6d 为图 5b 所示第二导电层所在平面的示意图；

图 7 为本公开实施例提供的像素单元中多个像素单元的俯视平面图；

图 8a 为第一子孔所在平面的示意图；

10 图 8b 为第二电极所在平面的示意图；

图 8c 为第二子孔所在平面的示意图；

图 8d 为第一电极所在平面的示意图；

图 9a 为本公开实施例提供的另一种顶栅型结构的晶体管的结构示意图；

图 9b 为图 9a 所示结构 BB 方向的截面图；

15 图 10 为遮光层所在平面的俯视图；

图 11 为本公开实施例提供的一种示例性的遮光层的平面俯视图；

图 12a 为图 9b 所示双 NMOS 正常工作状态 (-1.5V) 的晶体管器件性能测试结果；

20 图 12b 为图 9b 所示双 NMOS 负偏压状态 (-8V) 的晶体管器件性能测试结果；

图 13a 为本公开实施例提供的一种底栅型结构的晶体管的结构示意图；

图 13b 为图 13a 所示结构 CC 方向的截面图；

图 14a 为本公开实施例提供的另一种底栅型结构的晶体管的结构示意图；

25 图 14b 为图 14a 所示结构 DD 方向的截面图；

图 15a~图 15j 为本公开实施例提供的图 5b 所示显示基板的制备流程示意图；

图 16a~图 16j 为本公开实施例提供的图 9b 所示显示基板的制备流程示意图；

5 图 17a~图 17i 为本公开实施例提供的图 13b 所示显示基板的制备流程示意图；

图 18a~图 18i 为本公开实施例提供的图 10 所示显示基板的制备流程示意图。

其中附图标记为：1、衬底基板；2、像素单元；21、像素电路；22、第一电极；23、第二电极；T1、第一晶体管；T2、第二晶体管；T11、第一晶体管的第一极；T12、第一晶体的第二极；T13、第一晶体的有源层；13a、第一接触部；13b、第二接触部；13c、第一沟道部；T14、第一晶体的栅极；T21、第二晶体管的第一极；T22、第二晶体的第二极；T23、第二晶体的有源层；23a、第三接触部；23b、第四接触部；23c、第二沟道部；T24、第二晶体的栅极；Gate、栅线；Data、数据线；ACT、半导体层；ACT_1、子层；31、第一绝缘层；32、第二绝缘层；33、第三绝缘层；34、第四绝缘层；35、第五绝缘层；41、第一导电层；42、第二导电层；43、第三导电层；50、遮光层；X、第一方向；Y、第二方向；6、辅助部件；61、第五部分；62、第六部分；Via1、第一过孔；Via2、第二过孔；Via3、第三过孔；Via31、第一子孔；Via32、第二子孔。

具体实施方式

为使本公开实施例的目的、技术方案和优点更加清楚，下面将结合本公开实施例中附图，对本公开实施例中的技术方案进行清楚、完整地描述，显然，所描述的实施例仅仅是本公开一部分实施例，而不是全部的实施例。通常在此处附图中描述和示出的本公开实施例的组件可以以各种不同的配置来布置和设计。因此，以下对在附图中提供的本公开的实施例的详细描述并非旨在限制要求保护的本公开的范围，而是仅仅表示本公开的选定实施例。

基于本公开的实施例，本领域技术人员在没有做出创造性劳动的前提下所获得的所有其他实施例，都属于本公开保护的范围。

除非另外定义，本公开使用的技术术语或者科学术语应当为本公开所属领域内具有一般技能的人士所理解的通常意义。本公开中使用的“第一”、“第二”以及类似的词语并不表示任何顺序、数量或者重要性，而只是用来区分不同的组成部分。同样，“一个”、“一”或者“该”等类似词语也不表示数量限制，而是表示存在至少一个。“包括”或者“包含”等类似的词语意指出现该词前面的元件或者物件涵盖出现在该词后面列举的元件或者物件及其等同，而不排除其他元件或者物件。“连接”或者“相连”等类似的词语并非限定于物理的或者机械的连接，而是可以包括电性的连接，不管是直接的还是间接的。“上”、“下”、“左”、“右”等仅用于表示相对位置关系，当被描述对象的绝对位置改变后，则该相对位置关系也可能相应地改变。

在相关技术中，目前业内使用的非晶硅（a-Si），金属氧化物（IGZO），低温多晶硅（LTPS）而言，其有效迁移率实际约为 $1\text{cm}^2/(\text{V} \cdot \text{s})$ ， $10\text{cm}^2/(\text{V} \cdot \text{s})$ ， $80\text{cm}^2/(\text{V} \cdot \text{s})$ ，可以看出，材料性能上低温多晶硅（LTPS）遥遥领先。传统技术通过开发金属氧化物材料的不同系列，以保持高迁移率水平，例如包含铟（In）含量提升的元素比例调整方案、去除锌（Zn）成分或新加入锡（Sn）成分等元素变更方案，不一而足，从而可以实现约 $20\text{cm}^2/(\text{V} \cdot \text{s}) \sim 50\text{cm}^2/(\text{V} \cdot \text{s})$ 的较高迁移率。但是，在提高迁移率的同时也带来了如下的一系列问题：一方面、高迁移材料的光学带隙（ E_g ）较小，更容易产生载流子，从而使得高迁材料中的电子可以吸收部分可见光波段的光产生电子跃迁，进而导致器件能力上表现为见光薄膜晶体管（Thin Film Transistor, TFT）提前开启，且光照下新增缺陷增加，负偏压温度光照稳定性(Negative Bias Temperature Illumination Stability, NBTIS)劣化严重，导致使用寿命严重衰退。另一方面、高迁材料的开发受限于迁移率与 E_g 不能双赢的难点，目前迟迟未能突破 Mob 30 及以上高迁材料的量产。而相关技术从 TFT 器件设计方向，以及双栅结构设计方向入手，通过双栅 TFT 及超薄栅绝缘层（GI）厚度，能够实现近似 $20\text{cm}^2/(\text{V} \cdot \text{s})$ 及以上超高迁移率指标的器件性能。然而，

这种器件设计尽管实现了高迁移率，但同时也降低了低电压下的电流值，即关态电流 (I_{off})，因此会导致器件阈值电压 (V_{th}) 的显著降低。同时，GI 厚度的降低，也会造成器件的耐击穿电压下降，从而提高器件失效风险。因此，综合上述信息，对于超高迁移率器件的制备，存在着阈值电压偏低，以及光照下的负向偏移等问题。基于这些问题，传统技术方案往往无法突破

5 $50\text{cm}^2/(\text{V} \cdot \text{s})$ 及以上的超高迁移率，市面上无量产实绩。

鉴于此，本公开实施例提供了一种显示基板，通过将像素单元的第一电极电连接的双晶体管串联，改善现有器件阈值电压 (V_{th}) 负偏带来的漏电问题，提升显示基板的开关能力以及产品的使用寿命。

10 图 1a 为本公开实施例提供的像素电路的结构示意图，图 1b 为本公开实施例提供的有源层的接触部与栅线之间的位置关系示意图，如图 1a 和图 1b 所示，显示基板包括衬底基板 1 (图 1a 和图 1b 中未示出，具体参见图 4)、以及位于衬底基板 1 上的栅线 Gate 和数据线 Data，栅线 Gate 和数据线 Data 交叉限定出多个像素单元 2；栅线 Gate 沿第一方向 X 延伸，数据线 Data 沿

15 第二方向 Y 延伸，第一方向 X 和第二方向 Y 相交，例如，第一方向 X 和第二方向 Y 垂直设置。像素单元 2 包括像素电路 21 和第一电极 22；像素电路 21 至少包括第一晶体管 T1 和第二晶体管 T2；第一晶体管 T1 的有源层 T13 包括第一接触部 13a 和第二接触部 13b，第二晶体管 T2 的有源层 T23 包括第三接触部 23a 和第四接触部 23b，第一接触部 13a 与数据线 Data 电连接，

20 第二接触部 13b 与第三接触部 23a 电连接，第四接触部 23b 与像素单元 2 的第一电极 22 电连接；沿着第二方向 Y，第一接触部 13a 与栅线 Gate 的最大间距 d_1 不小于第四接触部 23b 与同一栅线的最大间距 d_2 。

如图 1a 所示，第一晶体管 T1 的第二极 T12 和第二晶体管 T2 的第一极 T21 电连接，第二晶体管 T2 的第二极 T22 与第一电极 22 电连接。第一晶体

25 管 T1 的有源层 T13 和第二晶体管 T2 的有源层 T23 的材料均为金属氧化物半导体材料。

示例性的，金属氧化物半导体材料可以采用铟镓锌氧化物 (IGZO)，铟镓锡氧化物 (IGTO) 以及铟锡锌氧化物 (ITZO)，铟镓氧化物 (IGO)，铟镓

铟锡氧化物 (IGZO), 稀土掺杂氧化物 (Ln-OS) 中的一种或多种材料制成。材料可为非晶、部分结晶、单晶或多晶状态, 制备的有源层可为单层或多层结构。根据金属氧化物半导体材料实际特性可知, 这种材料能够提高晶体管的迁移率。

5 需要说明的是, 本公开实施例中所采用的晶体管可以为场效应管 (MOS 管), 由于采用的 MOS 管的源极和漏极是对称的, 所以其源极、漏极是没有区别的。在本公开实施例及之后的描述中, 为区分晶体管的源极和漏极, 将其中一极称为第一极, 另一极称为第二极。此外按照晶体管的特性区分可以将晶体管分为 N 型和 P 型, 本公开实施例中第一晶体管 T1 的有源层 T13 和
10 第二晶体管 T2 的有源层 T23 的材料均为金属氧化物半导体材料。要知道, 金属氧化物半导体材料的晶体管只能制备 N 型晶体管, 因此, 本公开实施例的晶体管为 N 型晶体管。其中, 晶体管的第一极为 N 型晶体管的漏极, 晶体管的第二极为 N 型晶体管的源极, 栅极输入高电平信号时, 源漏极导通。

15 像素单元 2 在实际应用中, 不是像素单元 2 中的任意晶体管所采用上述结构均会达到类似效果。因此, 需要说明的是, 对于任意像素单元 2, 是与第一电极 22 电连接的第二晶体管 T2, 增加第一晶体管 T1 并与第二晶体管 T2 串联, 其中一个晶体管的电流值会被另一个晶体管所抑制, 在极限情况下, 当其中一个晶体管出现导体化性质的负偏时, 另外一个晶体管仍处于正
20 常工作状态, 从而显著降低关态电流, 并降低阈值电压负偏移的风险。

本公开实施例提供的显示基板, 与第一电极 22 电连接的双晶体管的有源层的材料均采用金属氧化物半导体材料, 因此能够提高晶体管的迁移率; 同时, 两个晶体管串联, 其中一个晶体管的电流值会被另一个晶体管所抑制, 在极限情况下, 当其中一个晶体管出现导体化性质的负偏时, 另外一个晶体
25 管仍处于正常工作状态, 能够显著提高器件整体的阈值电压, 从而有效改善器件整体的漏电问题, 以及漏电所造成的显示产品沙粒亮点 (Mura) 问题。

在一些实施例中, 如图 1b 所示, 沿着第一方向 X, 第一接触部 13a 的最小宽度小于第四接触部 23b 的最小宽度。

这里，“宽度”可以理解为沿指定方向，指定膜层的边界之间的最大间距或平均间距，可以为横向尺寸，也可以为纵向尺寸。

5 在一些实施例中，图 2 为本公开实施例提供的第一接触部和第二接触部的具体分布示意图，如图 2 所示，第一接触部 13a 在衬底基板 1 的正投影与数据线 Data 在衬底基板 1 的正投影交叠，第一接触部 13a 包括彼此连接的第一部分 13a1 和第二部分 13a2，第一部分 13a1 与数据线 Data 电连接，沿着第一方向 X，第一部分 13a1 的宽度 w_1 大于第二部分 13a2 的宽度 w_2 。

10 在一些实施例中，如图 2 所示，第四接触部 23b 在衬底基板 1 的正投影与栅线 Gate 在衬底基板 1 的正投影部分交叠，第四接触部 23b 包括彼此连接的第三部分 23b1 和第四部分 23b2，第四部分 23b2 与第一电极 22 电连接，沿着第二方向 Y，第四部分 23b2 的最小宽度 w_4 大于第三部分 23b1 的最小宽度 w_3 。

15 在一些实施例中，图 3a 为本公开实施例提供的晶体管与数据线电连接的平面图，如图 3a 所示，第一接触部 13a 与数据线 Data 通过第一过孔 Via1 电连接，第四接触部 23b 与第一电极 22 通过第二过孔 Via2 电连接。沿着第二方向 Y，第一过孔 Via1 与栅线 Gate 的最小间距 d_{11} 大于第二过孔与同一栅线 Gate 的最小间距 d_{21} 。

20 在一些实施例中，图 3b 为本公开实施例提供的晶体管与数据线和第一电极电连接的平面图，如图 3b 所示，第一接触部 13a 与数据线 Data 通过第一过孔 Via1 电连接，第四接触部 23b 与第一电极 22 通过第二过孔 Via2 和第三过孔 Via3 电连接。沿着第二方向 Y，第一过孔 Via1 与栅线 Gate 的最小间距 d_{11} 大于第二过孔与同一栅线 Gate 的最小间距 d_{21} 。第三过孔 Via3 与 Gate 的最小间距 d_{31} 小于第二过孔 Via2 与同一栅线 Gate 的最小间距 d_{21} 。

25 在一些实施例中，如图 3b 所示，像素单元 2 还包括辅助部件 6；辅助部件 6 包括彼此连接的第五部分 61 和第六部分 62，第五部分 61 与第四接触部 23b 通过第二过孔 Via2 电连接；第六部分 62 与第一电极 22 通过第三过孔 Via3 电连接。

本实施例中，第三过孔 Via3 和辅助部件 6 的位置设计，可缩小过孔占比从而提高开口率，以及增加第一电极 22（也即像素电极 ITO）与其他膜层的搭接面积和良率。

5 在一些实施例中，如图 6d 所示，辅助部件 6 与数据线 Data 同层设置，且在第一方向 X 上，相邻两条数据线 Data 在与第一接触部 13a 连接位置之间设置有辅助部件。

在一些实施例中，如图 6a 所示，第一接触部 13a、第二接触部 13b、第三接触部 23a 和第四接触部 23b 同层设置。

10 在一些实施例中，第一晶体管 T1 的有源层 T13 和/或第二晶体管 T2 的有源层 T23 包括层叠设置的多层子层，其中，远离衬底基板 1 的子层的迁移率小于靠近衬底基板 1 的子层的迁移率。

图 4 为本公开实施例提供的采用复合膜层的有源层的示意图，如图 4 所示，第一晶体管 T1 的有源层 T13 和/或第二晶体管 T2 的有源层 T23 包括多层层叠设置的子层 ACT_1、子层 ACT_2 和子层 ACT_3。其中，远离衬底基板 1 的子层 ACT_3 的迁移率小于靠近衬底基板 1 的子层 ACT_2 的迁移率；15 远离衬底基板 1 的子层 ACT_2 的迁移率小于靠近衬底基板 1 的子层 ACT_1 的迁移率。

需要说明的是，迁移率越高，对应器件的稳定性越低。因此，本实施例通过依次沉积迁移率较小的子层 ACT_1，在确保器件具有较高迁移率的同时，20 提升器件的稳定性。

在一些实施例中，当第一晶体管 T1 的有源层 T13 包括多层层叠设置的子层时，子层的材料包括 IGO、ITZO、IGZTO 中的一种；当第二晶体管 T2 的有源层 T23 包括多层层叠设置的子层时，子层的材料包括 IGO、ITZO、IGZTO 中的一种。

25 上述金属氧化物材料 IGO、ITZO、IGZTO 均为具备迁移率大于或等于 $20\text{cm}^2/(\text{V} \cdot \text{s})$ 的半导体材料。当然，本公开实施例提供的子层 ACT_1 的材料也不限于上述几种，还可以包括其他迁移率大于或等于 $20\text{cm}^2/(\text{V} \cdot \text{s})$ 的半导

体材料，对此，本公开实施例不再一一列举。

对于多层层叠设置的子层的制备工艺，包括但不限于 ESL, BCE, Top Gate 等氧化物半导体器件的制备方式。

5 在一些实施例中，第一晶体管 T1 和/或第二晶体管 T2 为 N 型金属氧化物半导体晶体管，以下简称 NMOS 管。

本公开实施例以第一晶体管 T1 和第二晶体管 T2 均为 NMOS 管为例，对第一晶体管 T1 和第二晶体管 T2 的具体结构进行说明。

10 在一些实施例中，图 5a 为本公开实施例提供的一种顶栅型结构的晶体管的俯视平面图，图 5b 为图 5a 所示结构 AA 方向的截面图；如图 5a 和图 5b 所示，第一晶体管 T1 和第二晶体管 T2 可以采用顶栅型结构的晶体管。第一晶体管 T1 的栅极 T14 位于第一晶体管 T1 的有源层 T13 背离衬底基板 1 的一侧；第二晶体管 T2 的栅极 T24 位于第二晶体管 T2 的有源层 T23 背离衬底基板 1 的一侧；第一晶体管 T1 的有源层 T13 包括第一接触部 13a 和第二接触部 13b，以及位于第一接触部 13a 和第二接触部 13b 之间的第一沟道部 13c；第二晶体管 T2 的有源层 T23 包括第三接触部 23a 和第四接触部 23b，以及位于第三接触部 23a 和第四接触部 23b 之间的第二沟道部 23c。

20 其中，第一接触部 13a、第二接触部 13b、第三接触部 23a 和第四接触部 23b 均是对有源层进行导体化后形成的导电部，该导电部的导电性能高于第一沟道部 13c 的导电性能（也高于第二沟道部 23c 的导电性能），导电部的导电性能低于金属电极。具体导体化工艺，例如可以选用 He、Ar、H₂、NH₃ 等气体（包含混合气体）的等离子体进行处理，进行导体化掺杂，形成第一接触部 13a、第二接触部 13b、第三接触部 23a 和第四接触部 23b。

25 示例性的，如图 5a 和图 5b 所示，第一晶体管 T1 的有源层 T13 和第二晶体管 T2 的有源层 T23 同层设置。第二接触部 13b 复用为第一晶体管 T1 的第二极 T12，第三接触部 23a 复用为第二晶体管 T2 的第一极 T21，第二接触部 13b 与第三接触部 23a 连接为一体结构。第一晶体管 T1 的第一极 T11 通过第一过孔 Via1，分别第一接触部 13a 和数据线 Data 电连接。第二晶体

管的第二极 T22，通过第二过孔 Via2 分别与第四接触部 23b 和辅助部件 6 的第五部分 61 电连接。

顶栅型结构的晶体管相比于底栅型结构的晶体管的制造工艺简单，所需光刻版数量少，成本低。

5 图 6a 为图 5b 所示有源层所在平面的示意图，图 6b 为图 5b 所示第一导电层所在平面的示意图，图 6c 为图 5b 所示第一过孔和第二过孔所在平面的示意图，图 6d 为图 5b 所示第二导电层所在平面的示意图。

10 示例性的，如图 5b 所示，显示基板还包括在衬底基板 1 上设置的第一绝缘层 31；设置在第一绝缘层 31 背离衬底基板 1 一侧的半导体层 ACT（如图 6a 所示）；设置在半导体层 ACT 背离第一绝缘层 31 一侧的第二绝缘层 32；设置在第二绝缘层 32 背离半导体层 ACT 一侧的第一导电层 41（如图 6b 所示）；设置在第一导电层 41 背离第二绝缘层 32 一侧的第三绝缘层 33；设置在第三绝缘层 33 背离第一导电层 41 一侧的第二导电层 42（如图 6c 和图 6d 所示）。第一晶体管 T1 的栅极 T14 和第二晶体管 T2 的栅极 T24 均位于第一导电层 41；第一晶体管 T1 的有源层 T13（包括复用为第一晶体管 T1 的第二极 T12 的第二接触部 13b）和第二晶体管 T2 的有源层 T23（包括复用为第二晶体管 T2 的第一极 T21 的第三接触部 23a）均位于半导体层 ACT；第一晶体管 T1 的第一极 T11 和第二晶体管 T2 的第二极 T22 均位于第二导电层 42。

20 在一些实施例中，如图 5a 所示，第一沟道部 13c、连接为一体的第二接触部 13b 与第三接触部 23a，以及第二沟道部 23c 所构成的图案在衬底基板 1 上的正投影的轮廓形状为 U 型。

25 在一些实施例中，图 7 为本公开实施例提供的多个像素单元的俯视平面图，如图 7 所示，第一电极 22 为像素电极 ITO；连接为一体的第二接触部 13b 与第三接触部 23a 在衬底基板 1 上的正投影，与至少一个像素电极 ITO 在衬底基板 1 上的正投影部分重叠。

示例性的，有源层的为透光层，像素电极 ITO 正投影对应区域为显示透

光区，因此有源层的接触部与像素电极 ITO 之间的正投影存在交叠，不影响显示发光。通过连接为一体的第二接触部 13b 与第三接触部 23a 在衬底基板 1 上的正投影，与至少一个像素电极 ITO 在衬底基板 1 上的正投影部分重叠，减小了单个像素单元 2 的布局空间，从而提高分辨率。

5 在一些实施例中，如图 7 所示，其示出了沿列方向相邻设置的两像素单元 2，其中一个像素单元 2 中连接为一体的第二接触部 13b 与第三接触部 23a 在衬底基板 1 上的正投影，与另一个像素电极 ITO 在衬底基板 1 上的正投影部分重叠。

当然，还可以沿行方向相邻设置的两像素单元 2，其中一个像素单元 2
10 中连接为一体的第二接触部 13b 与第三接触部 23a 在衬底基板 1 上的正投影，与另一个像素电极 ITO 在衬底基板 1 上的正投影部分重叠。

在一些实施例中，如图 7 所示，显示基板还包括数据线 Data。数据线 Data 与第一晶体管 T1 的第一极 T11 电连接。数据线 Data 在第一晶体管 T1 的有源层 T13 上的正投影，沿第一接触部 13a 指向第二接触部 13b 的方向(也
15 即与 Y 方向相反的方向)，贯穿第一晶体管 T1 的有源层 T13，且数据线 Data 在第一晶体管 T1 的有源层 T13 上的正投影的轮廓边缘与第一晶体管 T1 的有源层 T13 边缘在数据线 Data 的宽度方向 X 上存在一定距离。通过本实施例的结构设置，减小了单个像素单元 2 的布局空间，从而提高分辨率。

在此基础上，结合像素电极 ITO 的布局结构，像素电极 ITO 在连接为
20 一体的第二接触部 13b 与第三接触部 23a 上的正投影不落入数据线 Data 在有源层上的正投影，以进一步提高像素分辨率。

图 8a 为第一子孔所在平面的示意图，图 8b 为第二电极所在平面的示意图，图 8c 为第二子孔所在平面的示意图，图 8d 为第一电极所在平面的示意图。

25 在一些实施例中，如图 15j 和 8b 所示，像素单元 2 还包括第二电极 23，第二电极 23 位于像素电极 ITO 靠近衬底基板 1 的一侧。第二电极 23 为公共电极。

在一些实施例中，如图 8d 所示，像素电极 ITO 为狭缝电极；公共电极为板状电极。像素电极 ITO 通过第三过孔 via3 与辅助部件 6 电连接，辅助部件 6 通过第二过孔 via2 与第四接触部 23b 电连接。如图 8a 和图 8c 所示，第三过孔 via3 包括贯穿平坦化层 342 的第一子孔 via31，以及贯穿金属保护层 341 的第二子孔 via32。像素电极 ITO 依次通过第一子孔 via31 和第二子孔 via32 与辅助部件 6 电连接。

在一些实施例中，图 9a 为本公开实施例提供的另一种顶栅型结构的晶体管的结构示意图，图 9b 为图 9a 所示结构 BB 方向的截面图，如图 9a 和图 9b 所示，第一晶体管 T1 的栅极 T14 和第二晶体管 T2 的栅极 T24 同层设置；第一晶体管 T1 的有源层 T13 和第二晶体管 T2 的有源层 T23 同层设置；第一晶体管 T1 的第一极 T11 和第二极，与第二晶体管 T2 的第一极 T21 和第二极同层设置；第一晶体管 T1 的栅极 T14 位于有源层背离衬底基板 1 的一侧；第一晶体管 T1 的第一极 T11 和第二极位于栅极背离有源层的一侧；第一晶体管 T1 的有源层 T13 包括第一接触部 13a 和第二接触部 13b，以及位于第一接触部 13a 和第二接触部 13b 之间的第一沟道部 13c；第二晶体管 T2 的有源层 T23 包括第三接触部 23a 和第四接触部 23b，以及位于第三接触部 23a 和第四接触部 23b 之间的第二沟道部 23c。

其中，第一接触部 13a、第二接触部 13b、第三接触部 23a 和第四接触部 23b 均是对有源层进行导体化后形成的导电部，该导电部的导电性能高于第一沟道部 13c 的导电性能（也高于第二沟道部 23c 的导电性能），导电部的导电性能低于金属电极。具体导体化工艺，例如可以选用 He、Ar、H₂、NH₃ 等气体（包含混合气体）的等离子体进行处理，进行导体化掺杂，形成第一接触部 13a、第二接触部 13b、第三接触部 23a 和第四接触部 23b。

第一晶体管 T1 的第二极 T12 和第二晶体管 T2 的第一极 T21 连接为一体结构，且第一晶体管 T1 的第二极 T12 通过第四过孔 Via4 与第二接触部 13b 电连接，第二晶体管 T2 的第一极 T21 通过第五过孔 Via5 与第三接触部 23a 电连接。第一晶体管 T1 的第一极 T11 通过第一过孔 Via1，分别第一接触部 13a 和数据线 Data 电连接。第二晶体管的第二极 T22，通过第二过孔

Via2 分别与第四接触部 23b 和辅助部件 6 的第五部分 61 电连接。

图 9b 所示顶栅结构的晶体管与图 5b 所示顶栅结构的晶体管的串联方式不同，图 9b 所示顶栅结构的晶体管，相比图 5b 所示顶栅结构的晶体管，采用金属电极（连接为一体结构的第一晶体管 T1 的第二极 T12 和第二晶体管 T2 的第一极 T21）实现串联，由于金属电极的导电性能高于第二接触部 13b 和第三接触部 23a 导体化后的导电性能，因此采用图 9b 所示的顶栅结构，器件稳定性更高。

示例性的，如图 9b 所示，显示基板还包括在衬底基板 1 上设置的第一绝缘层 31；设置在第一绝缘层 31 背离衬底基板 1 一侧的半导体层 ACT；设置在半导体层 ACT 背离第一绝缘层 31 一侧的第二绝缘层 32；设置在第二绝缘层 32 背离半导体层 ACT 一侧的第一导电层 41；设置在第一导电层 41 背离第二绝缘层 32 一侧的第三绝缘层 33；设置在第三绝缘层 33 背离第一导电层 41 一侧的第二导电层 42。第一晶体管 T1 的栅极 T14 和第二晶体管 T2 的栅极 T24 均位于第一导电层 41；第一晶体管 T1 的有源层 T13 和第二晶体管 T2 的有源层 T23 均位于半导体层 ACT；第一晶体管 T1 的第一极 T11 和第二极 T12，以及第二晶体管 T2 的第一极 T21 和第二极 T22 均位于第二导电层 42。

示例性的，如图 9b 所示，第一绝缘层 31 可以是缓冲绝缘层，缓冲绝缘层可以设置单层结构，采用 SiO_x ($x>0$) 材料；又或者，缓冲绝缘层可以设置为复合膜层结构，采用复合膜层 SiN/SiO_x ($x>0$) 材料。

示例性的，如图 9b 所示，第一绝缘层 31 可以是设置在遮光层 50 和半导体层 ACT 之间的介质层，除去本身的遮光作用外，还会产生其他影响：一方面是电性影响；遮光层 50 是导电的，对于 Floating 遮光层 50 的器件会感生电荷使晶体管提前开启，阈值电压 V_{th} 减小，第一绝缘层 31 越薄影响越大，对于连接栅极的遮光层器件，需要减薄第一绝缘层 31 提供较高的 Ion 能力，综合来说电性需求适中的第一绝缘层 31 厚度。另一方面是制程覆盖性影响；第一绝缘层 31 需要一定的厚度确保隔绝性，防止有源层在遮光层 50 边缘发生断裂或短路，设定第一绝缘层 31 的厚度在 200nm~500nm 之间。

示例性的，如图 9b 所示，第二绝缘层 32 可以是栅极绝缘层，栅极绝缘层的材料一般可以采用 SiO_x ($x>0$) 材料。

示例性的，如图 9b 所示，与第一绝缘层 31 不同的是，第二绝缘层 32 存在于第一导电层 41 和半导体层 ACT 之间，对于电性来说第二绝缘层 32 越薄 I_{on} 越高；另外，由于顶栅型结构的制程上不需要第二绝缘层 32 做覆盖保护，且考虑工艺能力，防止膜层过薄发生电性击穿，设定第二绝缘层 32 的厚度在 100nm~300nm 之间。示例性的，如图 9b 所示，第一导电层 41 可以设置单层结构，采用 Al 或 Cu 等材料。又或者，第一导电层 41 可以设置为复合膜层结构，包括缓冲层和主体导电层，其中缓冲层的材料可以采用 Ti 系合金材料或 Mo 系合金材料，主体导电层的材料可以采用 Al 或 Cu 等材料。又或者，第一导电层 41 可以设置单层结构，采用 Al 或 Cu 中添加 Ti 系合金材料或 Mo 系合金材料等。

示例性的，如图 9b 所示，第三绝缘层 33 是中间介电层，中间介电层可以设置单层结构，采用 SiO_x ($x>0$) 材料；又或者，中间介电层也可以设置为复合膜层结构，采用复合膜层 SiN/SiO_x ($x>0$) 材料。

示例性的，如图 9b 所示，第三绝缘层 33 在器件纵向剖面上起隔断栅极和源/漏极的作用，二者之间需要一定的厚度来防止出现短路不良以及降低金属之间的电容大小，防止电信号之间的拉载；过厚的中间介质层厚度不利于工程接触的稳定性，因此设定第三绝缘层 33 的厚度在 300nm~600nm 之间。

示例性的，如图 9b 所示，第二导电层 42 的材料为金属。

示例性的，如图 16j 和 8a~8d 所示，图 9b 所示的顶栅型结构与像素电极 ITO 连接结构，如图 16j 和 8a~8d 所示。像素电极 ITO 通过第三过孔 via3 与辅助部件 6 电连接，辅助部件 6 通过和第二过孔 via2 与第四接触部 23b 电连接。如图 8a 和图 8c 所示，第三过孔 via3 包括贯穿平坦化层 342 的第一子孔 via31，以及贯穿金属保护层 341 的第二子孔 via32。像素电极 ITO 依次通过第一子孔 via31 和第二子孔 via32 与辅助部件 6 电连接。

图 10 为遮光层所在平面的俯视图。无论是图 5b 所示的顶栅型结构，还

是图 9b 所示的顶栅型结构，均包括遮光层 50。在一些实施例中，如图 5b、图 9b 和图 10 所示，显示基板还包括设置在像素单元 2 靠近衬底基板 1 的遮光层 50。

示例性的，遮光层 50 可以设置复合膜层结构，采用复合膜层 Mo 系合金/Cu 材料，或者复合膜层 Mo 系合金/Al 材料。

如图 5a 或 9a 所示，遮光层 50 在衬底基板 1 上的正投影至少覆盖，第一晶体管 T1 的有源层 T13 的第一沟道部 13c 和第二晶体管 T2 的有源层 T23 的第二沟道部 23c 在衬底基板 1 上的正投影。

本实施例通过设置遮光层 50 遮挡背光源射向第一沟道部 13c 和第二沟道部 23c 的光线，这样可以减少第一接触部 13a（或第三接触部 23a）因光照激发产生的电子空穴对数量，从而减少在保持阶段向第二接触部 13b（或第四接触部 23b）移动的电子数量，进而降低了光照漏电流，改善了因漏电流导致的闪烁问题。

在一些实施例中，图 11 为本公开实施例提供的一种示例性的遮光层的平面俯视图，如图 11 所示，遮光层 50 在衬底基板 1 上的正投影的轮廓边缘，和第一沟道部 13c 在衬底基板 1 上的正投影的轮廓边缘之间具有最大第一间距；遮光层 50 在衬底基板 1 上的正投影的轮廓边缘和，第二沟道部 23c 在衬底基板 1 上的正投影的轮廓边缘之间具有最大第二间距；最大第一间距和/或最大第二间距的范围在 $4\mu\text{m}\sim 6\mu\text{m}$ 。

示例性的，如图 11 所示，在第一方向 X 上，遮光层 50 在衬底基板 1 上的正投影的轮廓边缘，和第一沟道部 13c 在衬底基板 1 上的正投影的轮廓边缘之间具有第一间距 L1，第一间距 L1 的范围在 $4\mu\text{m}\sim 6\mu\text{m}$ 。由于第一接触部 13a 指向第二接触部 13b 的方向上为电流流动方向（也即与 Y 方向相反的方向），因此，为了避免在第一沟道部 13c 沿第一方向 X 相对的侧面部分形成电流通路此处遮光层 50 在第一方向 X 上的宽度设置稍大一些，确保在第一方向 X 上第一沟道部 13c 不被光照影响，从而确保第一晶体管 T1 的稳定性。同理，在第一方向 X 上，遮光层 50 在衬底基板 1 上的正投影的轮廓

边缘, 和第二沟道部 23c 在衬底基板 1 上的正投影的轮廓边缘之间具有第二间距 L2, 第二间距 L2 的范围在 $4\mu\text{m}\sim 6\mu\text{m}$ 。由于第三接触部 23a 指向第四接触部 23b 的方向上为电流流动方向, 也即第二方向 Y, 因此, 为了避免在第二沟道部 23c 沿第一方向 X 相对的侧面部分形成电流通路, 此处遮光层 50 在第一方向 X 上的宽度设置稍大一些, 确保在第一方向 X 上第二沟道部 23c 不被光照影响, 从而确保第二晶体管 T2 的稳定性。

示例性的, 如图 11 所示, 在第二方向上, 遮光层 50 在衬底基板 1 上的正投影的轮廓边缘, 和第一沟道部 13c 在衬底基板 1 上的正投影的轮廓边缘之间具有第三间距 L3, 第三间距 L3 的范围在 $0\sim 4\mu\text{m}$ 。在第二方向 Y 上, 遮光层 50 在衬底基板 1 上的正投影的轮廓边缘, 和第二沟道部 23c 在衬底基板 1 上的正投影的轮廓边缘之间具有第四间距 L4, 第四间距 L4 的范围在 $0\sim 4\mu\text{m}$ 。由于遮光层 50 不透光, 因此, 遮光层 50 覆盖面积越小越好; 然而, 为了确保器件的稳定性, 遮光层 50 覆盖面积越大越好。基于此, 充分考虑到像素规格和器件稳定性的影响, 此处遮光层 50 在第二方向 Y 上的宽度设置稍小一些, 以提高透光率。

在一些实施例中, 如图 5a 或图 9a 所示, 位于同一行的像素单元 2 电连接同一条栅线 Gate; 栅线 Gate 用作第一晶体管 T1 的栅极 T14 和第二晶体管 T2 的栅极 T24。

本实施例栅线 Gate 复用为晶体管栅极, 这种采用面内走线的设置方式, 用以实现窄边框。

图 12a 为图 9b 所示双 NMOS 正常工作状态 (-1.5V) 的晶体管器件性能测试结果, 图 12b 为图 9b 所示双 NMOS 负偏压状态 (-8V) 的晶体管器件性能测试结果, 其中横坐标 V_g 表示第一晶体管 T1 和第二晶体管 T2 的栅极 T24 (也即栅线 Gate) 电压, 纵坐标 I_{ds} 表示第一晶体管 T1 的第一极 T11 (也即漏极) 电流, V_{th} 表示阈值电压, 01 表示图 9b 所示双 NMOS 结构的曲线, 02 表示单 NMOS 结构的曲线, 如图 9a 和 9b 可知, 双 NMOS 相比单 NMOS 无论是在正常工作状态, 还是负偏压状态下, 关态电流都相对较小, 阈值电压相对较大, 因此, 本公开实施例相比现有技术能够有效改善器件整体的漏

电问题，以及漏电所造成的显示产品沙粒亮点（Mura）问题。

在一些实施例中，第一晶体管 T1 和第二晶体管 T2 可以采用底栅型结构的晶体管。图 13a 为本公开实施例提供的一种底栅型结构的晶体管的结构示意图，图 13b 为图 13a 所示结构 CC 方向的截面图，如图 13a 和图 13b 所示，
5 第一晶体管 T1 的栅极 T14 和第二晶体管 T2 的栅极 T24 同层设置；第一晶体管 T1 的有源层 T13 和第二晶体管 T2 的有源层 T23 同层设置；第一晶体管 T1 的第一极 T11，与第二晶体管 T2 的第二极 T22 同层设置；第一晶体管 T1 的栅极 T14 位于有源层靠近衬底基板 1 的一侧；第一晶体管 T1 的第一极 T11 位于有源层 T13 背离栅极 T14 的一侧；第一晶体管 T1 的有源层 T13 包
10 括第一接触部 13a 和第二接触部 13b，其中，第二接触部 13b 复用为第一晶体管 T1 的第一沟道部 13c；第二晶体管 T2 的有源层 T23 包括第三接触部 23a 和第四接触部 23b，其中，第三接触部 23a 复用为第二晶体管 T2 的第二沟道部 23c。

其中，第一接触部 13a 和第四接触部 23b 均是对有源层进行导体化后形成的导电部，该导电部的导电性能高于第一沟道部 13c 的导电性能（也高于第二沟道部 23c 的导电性能），导电部的导电性能低于金属电极。具体导体化工艺，例如可以选用 He、Ar、H₂、NH₃ 等气体（包含混合气体）的等离子体进行处理，进行导体化掺杂，形成第一接触部 13a 和第四接触部 23b。
15

如图 13a 所示，第二接触部 13b 与第三接触部 23a 连接为一体结构。

20 如图 13a 所示，数据线 Date 复用为第一晶体管 T1 的第一极 T11。第二晶体管 T2 的第二极 T22 通过第三过孔 Via3 与第一电极 22 电连接。

本公开实施例无论是底栅型结构的晶体管，还是顶栅型结构的晶体管，均可以采用连接为一体的第二接触部 13b 与第三接触部 23a，实现双晶体管串联。

25 底栅型结构的晶体管相比于顶栅型结构的晶体管，能够将有源层靠近衬底基板 1 一侧的栅极复用为有源层的光学保护膜，能够防止背光源发出的光照射到有源层所产生载流子破坏有源层的电学特性，因此底栅型结构的晶体

管相比顶栅型结构的晶体管的器件性能更稳定。另外，本实施例第二接触部 13b 与第三接触部 23a 连接为一体结构，也即第一沟道部 13c 和第二沟道部 23c 连接为一体结构，增加了晶体管的沟道长度，降低出现导体化情况发生。

示例性的，如图 13b 所示，显示基板还包括在衬底基板 1 上设置的第一
5 导电层 41；设置在第一导电层 41 背离衬底基板 1 一侧的第一绝缘层 31；设置在第一绝缘层 31 背离第一导电层 41 一侧的半导体层 ACT；设置在半导体层 ACT 背离第一绝缘层 31 一侧的第二导电层 42；设置在第二导电层 42 背离半导体层 ACT 一侧的第二绝缘层 32。第一晶体管 T1 的栅极 T14 和第二晶体管 T2 的栅极 T24 均位于第一导电层 41；第一晶体管 T1 的有源层 T13
10 （包括复用为第一晶体管 T1 的第二极 T12 的第二接触部 13b）和第二晶体管 T2 的有源层 T23（包括复用为第二晶体管 T2 的第一极 T21 的第三接触部 23a）均位于半导体层 ACT；第一晶体管 T1 的第一极 T11 和第二晶体管 T2 的第二极 T22 均位于第二导电层 42。

在一些实施例中，图 14a 为本公开实施例提供的另一种底栅型结构的晶
15 体管的结构示意图，图 14b 为图 14a 所示结构 DD 方向的截面图，如图 14a 和图 14b 所示，第一晶体管 T1 的栅极 T14 和第二晶体管 T2 的栅极 T24 同层设置；第一晶体管 T1 的有源层 T13 和第二晶体管 T2 的有源层 T23 同层设置；第一晶体管 T1 的第一极 T11 和第二极 T12，与第二晶体管 T2 的第一极 T21 和第二极 T22 同层设置；第一晶体管 T1 的栅极 T14 位于有源层靠近
20 衬底基板 1 的一侧；第一晶体管 T1 的第一极 T11 和第二极 T12 位于有源层背离栅极的一侧；第一晶体管 T1 的有源层 T13 包括第一接触部 13a 和第二接触部 13b，以及位于第一接触部 13a 和第二接触部 13b 之间的第一沟道部 13c；第二晶体管 T2 的有源层 T23 包括第三接触部 23a 和第四接触部 23b，以及位于第三接触部 23a 和第四接触部 23b 之间的第二沟道部 23c。

25 其中，第一接触部 13a、第二接触部 13b、第三接触部 23a 和第四接触部 23b 均是对有源层进行导体化后形成的导电部，该导电部的导电性能高于第一沟道部 13c 的导电性能（也高于第二沟道部 23c 的导电性能），导电部的导电性能低于金属电极。具体导体化工艺，例如可以选用 He、Ar、H₂、

NH₃ 等气体（包含混合气体）的等离子体进行处理，进行导体化掺杂，形成第一接触部 13a、第二接触部 13b、第三接触部 23a 和第四接触部 23b。

如图 14a 所示，第一晶体管 T1 的第二极 T12 和第二晶体管 T2 的第一极 T21 连接为一体结构，且第一晶体管 T1 的第二极 T12 与第一晶体管 T1 的第二接触部 13b 电连接；第二晶体管 T2 的第一极 T21 与第二晶体管 T2 的第三接触部 23a 电连接。

如图 14a 所示，数据线 Date 复用为第一晶体管 T1 的第一极 T11。第二晶体管 T2 的第二极 T22 通过第三过孔 Via3 与第一电极 22 电连接。

图 14b 所示底栅结构的晶体管与图 13b 所示底栅结构的晶体管的串联方式不同，图 14b 所示底栅结构的晶体管，相比图 13b 所示底栅结构的晶体管，采用金属电极（连接为一体结构的第一晶体管 T1 的第二极 T12 和第二晶体管 T2 的第一极 T21）实现串联，由于金属电极的导电性能高于第二接触部 13b 和第三接触部 23a 导体化后的导电性能，因此采用图 14b 所示的底栅结构，器件稳定性更高。另外，本实施例将两晶体管串联，若其中一个发生导体化关断异常，另一个还可以确保正常工作。

示例性的，如图 14b 所示，显示基板还包括在衬底上设置的第一导电层 41；设置在第一导电层 41 背离衬底基板 1 一侧的第一绝缘层 31；设置在第一绝缘层 31 背离第一导电层 41 一侧的半导体层 ACT；设置在半导体层 ACT 背离第一绝缘层 31 一侧的第二导电层 42；设置在第二导电层 42 背离半导体层 ACT 一侧的第二绝缘层 32。第一晶体管 T1 的栅极 T14 和第二晶体管 T2 的栅极 T24 均位于第一导电层 41；第一晶体管 T1 的有源层 T13 和第二晶体管 T2 的有源层 T23 均位于半导体层 ACT；第一晶体管 T1 的第一极 T11 和第二极，以及第二晶体管 T2 的第一极 T21 和第二极均位于第二导电层 42。

示例性的，第一导电层 41 可以设置单层结构，采用 Al 或 Cu 等材料。又或者，第一导电层 41 可以设置为复合膜层结构，包括缓冲层和主体导电层，其中缓冲层的材料可以采用 Ti 系合金材料或 Mo 系合金材料，主体导电层的材料可以采用 Al 或 Cu 等材料。又或者，第一导电层 41 可以设置单

层结构，采用 Al 或 Cu 中添加 Ti 系合金材料或 Mo 系合金材料等。

示例性的，如图 13b 或图 14b 所示，第一绝缘层 31 可以是栅极绝缘层，栅极绝缘层的材料一般可以采用 SiO_x ($x>0$) 材料。

示例性的，如图 13b 或图 14b 所示，在对栅极的覆盖性及电容减小这一需求上，由于底栅型结构的制程上需要作为栅极绝缘层的第一绝缘层 31 做覆盖保护，且作为栅极绝缘层的第一绝缘层 31 的厚度影响电容，因此相比顶栅型结构，作为栅极绝缘层的第一绝缘层 31 的厚度较大。另外，在对 I_{on} 这一需求上，作为栅极绝缘层的第一绝缘层 31 越薄 I_{on} 越高，结合上述两种需求，第一绝缘层 31 的厚度可以在 300nm~500nm。示例性的，如图 13b 或图 14b 所示，第二导电层 42 的材料为金属。

示例性的，如图 13b 或图 14b 所示，第二绝缘层 32 是沟道保护层，该沟道保护层的材料一般可以采用 SiO_x ($x>0$) 材料，第二绝缘层 32 的厚度不低于 100nm。

示例性的，如图 13b 或图 14b 所示，第二绝缘层 32 是沟道保护层，该沟道保护层的材料一般可以采用 SiN 和 SiO_x ($x>0$) 的复合膜层，第二绝缘层 32 的整体厚度在 200nm~400nm 之间。另外，对于第二绝缘层 32 的厚度的选择，非仅是对第二导电层 42 的厚度覆盖需求，还有对 TFT 特性的防护需求，例如 SiO_x ($x>0$) 膜层的厚度需求确保器件不发生导体化，以及采用 SiN 膜层阻隔有机膜层水汽的影响(SiN 膜层的水汽阻隔能力优于 SiO_x ($x>0$) 膜层) 等等。

在一些实施例中，如图 13b 或图 14b 所示，位于同一行的像素单元 2 电连接同一条栅线 Gate；栅线 Gate 用作第一晶体管 T1 的栅极 T14 和第二晶体管 T2 的栅极 T24；栅线 Gate 为复合膜层，包括依次设置在衬底基板 1 上的缓冲层和主体导电层。其中，缓冲层的材料可以采用 Ti 系合金材料或 Mo 系合金材料，主体导电层的材料可以采用 Al 或 Cu 等材料。

在一些实施例中，如图 17i、18i 和 8b 所示，像素单元 2 还包括第二电极 23，第二电极 23 位于像素电极 ITO 靠近衬底基板 1 的一侧。第二电极 23

为公共电极。

在一些实施例中，如图 8d 所示，像素电极 ITO 为狭缝电极；公共电极为板状电极。像素电极 ITO 通过第三过孔 via3 与第二晶体管 T2 的第二极 T22 电连接。如图 8a 和图 8c 所示，第三过孔 via3 包括贯穿平坦化层 342 的第一子孔 via31，以及贯穿金属保护层 341 的第二子孔 via32。像素电极 ITO 依次通过第一子孔 via31 和第二子孔 via32 与第二晶体管 T2 的第二极 T22 电连接。

另外，本公开实施例还提供了一种显示装置，其包括上述实施例中任一项的显示基板。该显示装置例如可以为手机、平板电脑、电视机、显示器、笔记本电脑、数码相框、车载设备等任何具有显示功能的产品。对于该显示装置的其它必不可少的组成部分均为本领域的普通技术人员应该理解具有的，在此不做赘述，也不应作为对本公开的限制。

另外，本公开实施例还提供了一种显示基板的制备方法，用于上述各实施例中任一项的显示基板的制备。

该方法具体包括：提供一衬底基板 1；在衬底基板 1 上形成呈阵列排布的多个像素单元 2。其中，形成像素单元 2 的步骤至少包括：依次在衬底基板 1 上形成像素电路 21 和第一电极 22。像素电路 21 至少包括第一晶体管 T1 和第二晶体管 T2；第一晶体管 T1 的第二极 T12 和第二晶体管 T2 的第一极 T21 电连接，第二晶体管 T2 的第二极 T22 与第一电极 22 电连接。第一晶体管 T1 的有源层 T13 和第二晶体管 T2 的有源层 T23 的材料均为金属氧化物半导体材料。

在一些实施例中，图 15a~图 15j 为本公开实施例提供的图 5b 所示显示基板的制备流程示意图，具体包括如下步骤 S11~S111，其中：

S11、提供一衬底基板 1。

本步骤中，衬底基板 1 为玻璃基板。

S12、如图 15a 所示，在衬底基板 1 上形成遮光层 50。

S13、如图 15b 所示，在遮光层 50 背离衬底基板 1 的一侧形成第一绝缘

层 31。

S14、如图 15c 所示，在第一绝缘层 31 背离遮光层 50 的一侧形成半导体层 ACT。

具体地，沉积半导体层 ACT 的材料，半导体层 ACT 的材料选自高迁移率氧化物材料如 IGZTO、IGO 等；然后进行常规退火及图形化工艺。

S15、如图 15d 所示，在半导体层 ACT 背离第一绝缘层 31 的一侧形成第二绝缘层 32 和第一导电层 41。

第二绝缘层 32 为栅极绝缘层，第一导电层 41 包括栅极，或者复用为栅极的栅线 Gate。

依次沉积栅极绝缘层的材料和第一导电层 41 的材料；之后，进行栅极光刻及刻蚀，并以栅极为掩膜对栅极绝缘层进行刻蚀，裸露出半导体层 ACT 后进行导体化，导体化工艺可选用 He、Ar、H₂、NH₃ 等气体（包含混合气体）的等离子体（Plasma）进行处理。

需要说明的是，这里导体化后的第二接触部 13b 与导体化后的第三接触部 23a 直接连接。

S16、如图 15e 所示，在步骤 S15 的基础上继续形成第三绝缘层 33。

沉积第二绝缘层 32 的材料，之后进行中间介电层光刻以及刻蚀，形成到有源层的第一接触部 13a 的第一过孔 Via1 和第四接触部 23b 的第二过孔 Via2。

S17、如图 15f 所示，在第三绝缘层 33 背离衬底基板 1 的一侧形成第二导电层 42。

第二导电层 42 的材料为金属材料，该第二导电层 42 通过贯穿第三绝缘层 33 的第一过孔 Via1 和第二过孔 Via2 分别与第一接触部 13a 和第四接触部 23b 电连接。第二接触部 13b 复用为第一晶体管 T1 的第二极 T12，第三接触部 23a 复用为第二晶体管 T2 的第一极 T21。

S18、如图 15g 所示，在第二导电层 42 背离第三绝缘层 33 的一侧形成

第四绝缘层 34。

第四绝缘层 34 可以是金属保护层 341 和平坦化层 342。

依次沉积金属保护层 341 和平坦化层 342 的材料；之后对平坦化层 342 进行有机材料光刻，形成第一子孔 Via31。

- 5 S19、如图 15h 所示，在第四绝缘层 34 背离第三绝缘层 33 的一侧形成第二电极 23。

第二电极 23 为公共电极。

S110、如图 15i 所示，在第二电极 23 背离第四绝缘层 34 的一侧形成第五绝缘层 35。

- 10 第五绝缘层 35 为钝化层。

沉积钝化层的材料，之后进行钝化层光刻以及刻蚀，形成到第二晶体管 T2 的第二极 T22 的第二子孔 Via32。

S111、如图 15j 所示，在第五绝缘层 35 背离第二电极 23 的一侧形成像素电极 ITO。

- 15 像素电极 ITO 为狭缝电极。像素电极 ITO 具有连接部，该连接部通过贯穿第三过孔 Via3 连接至辅助部件 6（也即第二晶体管 T2 的第二极 T22）；辅助部件 6 通过贯穿第二过孔 Via2 连接至第四接触部 23b。

在一些实施例中，图 16a~图 16j 为本公开实施例提供的图 9b 所示显示基板的制备流程示意图，具体包括如下步骤 S21~S211，其中：

- 20 S21、提供一衬底基板 1。

本步骤中，衬底基板 1 为玻璃基板。

S22、如图 16a 所示，在衬底基板 1 上形成遮光层 50。

S23、如图 16b 所示，在遮光层 50 背离衬底基板 1 的一侧形成第一绝缘层 31。

- 25 S24、如图 16c 所示，在第一绝缘层 31 背离遮光层 50 的一侧形成半导体层 ACT。

具体地，沉积半导体层 ACT 的材料，半导体层 ACT 的材料选自高迁移率氧化物材料如 IGZTO、IGO 等；然后进行常规退火及图形化工艺。

S25、如图 16d 所示，在半导体层 ACT 背离第一绝缘层 31 的一侧形成第二绝缘层 32 和第一导电层 41。

5 第二绝缘层 32 为栅极绝缘层，第一导电层 41 包括栅极，或者复用为栅极的栅线 Gate。

依次沉积栅极绝缘层的材料和第一导电层 41 的材料；之后，进行栅极光刻及刻蚀，并以栅极为掩膜对栅极绝缘层进行刻蚀，裸露出半导体层 ACT 后进行导体化，导体化工艺可选用 He、Ar、H₂、NH₃ 等气体（包含混合气
10 体）的等离子体（Plasma）进行处理。

S26、如图 16e 所示，在步骤 S25 的基础上继续形成第三绝缘层 33。

沉积第二绝缘层 32 的材料，之后进行中间介电层光刻以及刻蚀，形成到有源层的第一接触部 13a 的第一过孔 Via1、到第二接触部 13b 的第四过孔 Via4、到第三接触部 23a 的第五过孔 Via5 和到第四接触部 23b 的第二过 Via2。

15 S27、如图 16f 所示，在第三绝缘层 33 背离衬底基板 1 的一侧形成第二导电层 42。

第二导电层 42 的材料为源/漏金属，该源/漏金属中的第一晶体管 T1 的漏极与通过贯穿第三绝缘层 33 的第一过孔 Via1 与第一接触部 13a 电连接。第一晶体管 T1 的源极与第二晶体管 T2 的漏极电连接，且分别通过第四过孔
20 Via4 和第五过 Via5，各自与第二接触部 13b 和第三接触部 23a 电连接。第二晶体管 T2 的源极通过一个第二过孔 Via2 与第四接触部 23b 电连接。辅助部件 6 复用为第二晶体管 T2 的源极。辅助部件 6 通过第三过孔

S28、如图 16g 所示，在第二导电层 42 背离第三绝缘层 33 的一侧形成第四绝缘层 34。

25 第四绝缘层 34 是平坦化层。

沉积平坦化层的材料，之后进行有机材料光刻，形成第一子孔 Via31。

S29、如图 16h 所示，在第四绝缘层 34 背离第三绝缘层 33 的一侧形成第二电极 23。

第二电极 23 为公共电极。

5 S210、如图 16i 所示，在第二电极 23 背离第四绝缘层 34 的一侧形成第五绝缘层 35。

第五绝缘层 35 为钝化层。

沉积钝化层的材料，之后进行钝化层光刻以及刻蚀，形成到第二晶体管 T2 的第二极 T22 的第二子孔 Via32。

10 S211、如图 16j 所示，在第五绝缘层 35 背离第二电极 23 的一侧形成像素电极 ITO。

像素电极 ITO 为狭缝电极。像素电极 ITO 具有连接部，该连接部通过贯穿第三过孔 Via3 连接至辅助部件 6（也即第二晶体管 T2 的第二极 T22）；辅助部件 6 通过贯穿第二过孔 Via2 连接至第四接触部 23b。

15 在一些实施例中，图 17a~图 17i 为本公开实施例提供的图 13b 所示显示基板 1 的制备流程示意图，具体包括如下步骤 S31~S310，其中：

S31、提供一衬底基板 1。

本步骤中，衬底基板 1 为玻璃基板。

S32、如图 17a 所示，在衬底基板 1 上形成第一导电层 41。

20 第一导电层 41 为复合膜层，包括依次设置在衬底基板 1 上的缓冲层和主体导电层。其中，缓冲层的材料可以采用 Ti 系合金材料或 Mo 系合金材料，主体导电层的材料可以采用 Al 或 Cu 等材料。

第一导电层 41 包括复用为第一晶体管 T1 栅极和第二晶体管 T2 栅极的栅线 Gate。

25 S33、如图 17b 所示，在第一导电层 41 背离衬底基板 1 的一侧形成第一绝缘层 31。

S34、如图 17c 所示，在第一绝缘层 31 背离遮光层 50 的一侧形成半导

体层 ACT。

具体地，沉积半导体层 ACT 的材料，半导体层 ACT 的材料选自高迁移率氧化物材料如 IGZTO、IGO 等；然后进行常规退火及图形化工艺。

5 采用掩膜版对半导体层 ACT 进行导体化，导体化工艺可选用 He、Ar、H₂、NH₃ 等气体（包含混合气体）的等离子体（Plasma）进行处理，形成有源层的第一接触部 13a 和第四接触部 23b。

S35、如图 17d 所示，在半导体层 ACT 背离第一绝缘层 31 的一侧形成第二导电层 42。

10 第二导电层 42 包括第一晶体管 T1 的第一极 T11，以及第二晶体管 T2 的第二极 T22。第一晶体管 T1 的第一极 T11 与第一接触部 13a 直接连接，第二接触部 13b 复用为第一晶体管 T1 的第一沟道部 13c，第三接触部 23a 复用为第二晶体管 T2 的第二沟道部 23c。第二接触部 13b 与第三接触部 23a 为连接为一体结构，第二晶体管 T2 的第二极 T22 与第四接触部 23b 直接连接。

15 为防止有源层（IGZO）被刻蚀液过多损伤，优选可以采用 Cu 叠层及双氧水系刻蚀药液完成第二导电层 42 的制程。

S36、如图 17e 所示，在第二导电层 42 背离第一绝缘层 31 的一侧形成第二绝缘层 32。

该第二绝缘层 32 是沟道保护层。

20 S37、如图 17f 所示，在第二绝缘层 32 背离第二导电层 42 的一侧形成第三绝缘层 33。

第三绝缘层 33 为平坦化层。

沉积平坦化层的材料，之后进行有机材料光刻，形成第一子孔 Via31。

25 S38、如图 17g 所示，在第三绝缘层 33 背离第二绝缘层 32 的一侧形成第二电极 23。

第二电极 23 为公共电极。

S39、如图 17h 所示，在第二电极 23 背离第 san 绝缘层的一侧形成第四绝缘层 34。

第四绝缘层 34 为钝化层。

沉积钝化层的材料，之后进行钝化层光刻以及刻蚀，形成到第二晶体管 T2 的第二极 T22 的第二子孔 Via32。

S310、如图 17i 所示，在第四绝缘层 34 背离第二电极 23 的一侧形成像素电极 ITO。

像素电极 ITO 为狭缝电极。像素电极 ITO 具有连接部，该连接部通过贯穿第三过孔 Via3 连接至辅助部件 6（也即第二晶体管 T2 的第二极 T22）；辅助部件 6 直接连接至第四接触部 23b。

在一些实施例中，图 18a~图 18i 为本公开实施例提供的图 10 所示显示基板的制备流程示意图，具体包括如下步骤 S41~S410，其中：

S41、提供一衬底基板 1。

本步骤中，衬底基板 1 为玻璃基板。

S42、如图 18a 所示，在衬底基板 1 上形成第一导电层 41。

第一导电层 41 为复合膜层，包括依次设置在衬底基板 1 上的缓冲层和主体导电层。其中，缓冲层的材料可以采用 Ti 系合金材料或 Mo 系合金材料，主体导电层的材料可以采用 Al 或 Cu 等材料。

第一导电层 41 包括复用为第一晶体管 T1 栅极和第二晶体管 T2 栅极的栅线 Gate。

S43、如图 18b 所示，在第一导电层 41 背离衬底基板 1 的一侧形成第一绝缘层 31。

S44、如图 18c 所示，在第一绝缘层 31 背离遮光层 50 的一侧形成半导体层 ACT。

具体地，沉积半导体层 ACT 的材料，半导体层 ACT 的材料选自高迁移率氧化物材料如 IGZTO、IGO 等；然后进行常规退火及图形化工艺。

采用掩膜版对半导体层 ACT 进行导体化，导体化工艺可选用 He、Ar、H₂、NH₃ 等气体（包含混合气体）的等离子体（Plasma）进行处理，形成有源层的第一接触部 13a、第二接触部 13b、第三接触部 23a 和第四接触部 23b。

5 S45、如图 18d 所示，在半导体层 ACT 背离第一绝缘层 31 的一侧形成第二导电层 42。

第二导电层 42 包括第一晶体管 T1 的第一极 T11 和第二极，以及第二晶体管 T2 的第一极 T21 和第二极。第一晶体管 T1 的第二极 T12 和第二晶体管 T2 的第一极 T21 为一体结构。第一晶体管 T1 的第一极 T11 与第一接触部 13a 直接连接，第一晶体管 T1 的第二极 T12 与第二接触部 13b 直接连接，
10 第二晶体管 T2 的第一极 T21 与第三接触部 23a 直接连接，第二晶体管 T2 的第二极 T22 与第四接触部 23b 直接连接。

为防止有源层（IGZO）被刻蚀液过多损伤，优选可以采用 Cu 叠层及双氧水系刻蚀药液完成第二导电层 42 的制程。

15 S46、如图 18e 所示，在第二导电层 42 背离第一绝缘层 31 的一侧形成第二绝缘层 32。

该第二绝缘层 32 是沟道保护层。

S47、如图 18f 所示，在第二绝缘层 32 背离第二导电层 42 的一侧形成第三绝缘层 33。

20 第三绝缘层 33 为平坦化层。

沉积平坦化层的材料，之后进行有机材料光刻，形成第一子孔 Via31。

S48、如图 18g 所示，在第三绝缘层 33 背离第二绝缘层 32 的一侧形成第二电极 23。

第二电极 23 为公共电极。

25 S49、如图 18h 所示，在第二电极 23 背离第 san 绝缘层的一侧形成第四绝缘层 34。

第四绝缘层 34 为钝化层。

沉积钝化层的材料，之后进行钝化层光刻以及刻蚀，形成到第二晶体管 T2 的第二极 T22 的第二子孔 Via32。

5 S410、如图 18i 所示，在第四绝缘层 34 背离第二电极 23 的一侧形成像素电极 ITO。

像素电极 ITO 为狭缝电极。像素电极 ITO 具有连接部，该连接部通过贯穿第三过孔 Via3 连接至辅助部件 6（也即第二晶体管 T2 的第二极 T22）；辅助部件 6 直接连接至第四接触部 23b。

10 可以理解的是，以上实施方式仅仅是为了说明本公开的原理而采用的示例性实施方式，然而本公开并不局限于此。对于本领域内的普通技术人员而言，在不脱离本公开的精神和实质的情况下，可以做出各种变型和改进，这些变型和改进也视为本公开的保护范围。

权 利 要 求 书

1. 一种显示基板，其包括衬底基板、以及位于所述衬底基板上的栅线和数据线，所述栅线和所述数据线交叉限定出多个像素单元；所述栅线沿第一方向延伸，所述数据线沿第二方向延伸，所述第一方向和所述第二方向相交；所述像素单元包括第一晶体管和第二晶体管；所述第一晶体管的有源层包括第一接触部和第二接触部，所述第二晶体管的有源层包括第三接触部和第四接触部，所述第一接触部与所述数据线电连接，所述第二接触部与所述第三接触部电连接，所述第四接触部与所述像素单元的第一电极电连接；沿着所述第二方向，所述第一接触部与所述栅线的最大间距不小于所述第四接触部与同一所述栅线的最大间距。

2. 根据权利要求 1 所述的显示基板，其中，沿着所述第一方向，所述第一接触部的宽度小于所述第四接触部的宽度。

3. 根据权利要求 1 所述的显示基板，其中，所述第一接触部在所述衬底基板的正投影与所述数据线在所述衬底基板的正投影交叠，所述第一接触部包括彼此连接的第一部分和第二部分，所述第一部分与所述数据线电连接，沿着所述第一方向，所述第一部分的宽度大于所述第二部分的宽度。

4. 根据权利要求 3 所述的显示基板，其中，所述第四接触部在所述衬底基板的正投影与所述栅线在所述衬底基板的正投影部分交叠，所述第四接触部包括彼此连接的第三部分和第四部分，所述第四部分与所述第一电极电连接，沿着所述第二方向，所述第四部分的最小宽度大于所述第三部分的最小宽度。

5. 根据权利要求 1 所述的显示基板，其中，所述第一接触部与所述数据线通过第一过孔电连接，所述第四接触部与所述第一电极通过第二过孔电连接；沿着所述第二方向，所述第一过孔与所述栅线的最小间距大于所述第二过孔与同一栅线的最小间距。

6. 根据权利要求 1 所述的显示基板，其中，所述第一接触部与所述数据线通过第一过孔电连接，所述第四接触部与所述第一电极通过第二过孔和

第三过孔电连接；沿着所述第二方向，所述第一过孔与所述栅线的最小间距大于所述第二过孔与同一栅线的最小间距；所述第三过孔与所述栅线的最小间距小于所述第二过孔与同一栅线的最小间距。

7. 根据权利要求 6 所述的显示基板，其中，所述像素单元还包括辅助部件；所述辅助部件包括彼此连接的第五部分和第六部分，所述第五部分与所述第四接触部通过所述第二过孔电连接；所述第六部分与所述第一电极通过所述第三过孔电连接。

8. 根据权利要求 7 所述的显示基板，其中，所述辅助部件与所述数据线同层设置，且在所述第一方向上，相邻两条所述数据线在与所述第一接触部连接位置之间设置有所述辅助部件。

9. 根据权利要求 1 所述的显示基板，其中，所述第一接触部、所述第二接触部、所述第三接触部和所述第四接触部同层设置。

10. 根据权利要求 1 所述的显示基板，其中，所述第一晶体管的有源层和/或所述第二晶体管的有源层包括金属氧化物半导体材料。

11. 根据权利要求 10 所述的显示基板，其中，所述第一晶体管和第二晶体管的有源层包括层叠设置的多层子层，远离所述衬底基板的子层的迁移率小于靠近所述衬底基板的子层的迁移率。

12. 根据权利要求 1 所述的显示基板，其中，所述第一晶体管的栅极位于所述第一晶体管的有源层背离所述衬底基板的一侧；所述第二晶体管的栅极位于所述第二晶体管的有源层背离所述衬底基板的一侧；所述第一晶体管的有源层和所述第二晶体管的有源层同层设置；

所述数据线复用为所述第一晶体管的第一极；所述第二接触部复用为所述第一晶体管的第二极，所述第三接触部复用为所述第二晶体管的第一极，所述第二接触部与所述第三接触部连接为一体结构。

13. 根据权利要求 12 所述的显示基板，其中，所述第一电极为像素电极；连接为一体的所述第二接触部与所述第三接触部在所述衬底基板上的正投影，与至少一个所述像素电极在所述衬底基板上的正投影部分重叠。

14. 根据权利要求 13 所述的显示基板，其中，对于相邻的两所述像素单元，其中一个所述像素单元中连接为一体的所述第二接触部与所述第三接触部在所述衬底基板上的正投影，与另一个所述像素单元在所述衬底基板上的正投影部分重叠。

5 15. 根据权利要求 12 所述的显示基板，其中，所述第一晶体管的有源层还包括设置在所述第一接触部和所述第二接触部之间的第一沟道部，所述第二晶体管的有源层还包括设置在所述第三接触部和所述第四接触部之间的第二沟道部；所述第一沟道部、连接为一体的所述第二接触部与所述第三接触部，以及所述第二沟道部所构成的图案在所述衬底基板上的正投影的轮廓形状为 U 型。

16. 根据权利要求 1 所述的显示基板，其中，所述第一晶体管的栅极和所述第二晶体管的栅极同层设置；所述第一晶体管的有源层和所述第二晶体管的有源层同层设置；所述第一晶体管的栅极和所述第二极，与所述第二晶体管的栅极和所述第二极同层设置；

15 所述所述第一晶体管的栅极位于所述有源层背离所述衬底基板的一侧；所述第一晶体管的栅极和所述第二极位于所述栅极背离所述有源层的一侧；

所述数据线复用为所述第一晶体管的栅极；所述第一晶体管的第二极和所述第二晶体管的栅极连接为一体结构，且所述第一晶体管的第二极通过第四过孔与所述第二接触部电连接，所述第二晶体管的栅极通过第五过孔与

20 所述第三接触部电连接。

17. 根据权利要求 12~16 中任一项所述的显示基板，其中，所述显示基板还包括设置在所述像素单元靠近所述衬底基板的遮光层；

所述所述第一晶体管的有源层还包括设置在所述第一接触部和所述第二接触部之间的第一沟道部，所述第二晶体管的有源层还包括设置在所述第三接触部和所述第四接触部之间的第二沟道部；

25

所述遮光层在所述衬底基板上的正投影至少覆盖，所述第一沟道部和所述第二沟道部在所述衬底基板上的正投影。

18. 根据权利要求 17 所述的显示基板，其中，在第一方向上，所述遮光层在所述衬底基板上的正投影的轮廓边缘，和所述第一沟道部在所述衬底基板上的正投影的轮廓边缘之间具有第一间距；

5 在第一方向上，所述遮光层在所述衬底基板上的正投影的轮廓边缘和，
所述第二沟道部在所述衬底基板上的正投影的轮廓边缘之间具有第二间距；
所述第一间距和/或所述第二间距的范围在 $4\mu\text{m}$ ~ $6\mu\text{m}$ 。

19. 根据权利要求 17 所述的显示基板，其中，在第二方向上，所述遮光层在所述衬底基板上的正投影的轮廓边缘，和所述第一沟道部在所述衬底基板上的正投影的轮廓边缘之间具有第三间距；

10 在第二方向上，所述遮光层在所述衬底基板上的正投影的轮廓边缘和，
所述第二沟道部在所述衬底基板上的正投影的轮廓边缘之间具有第四间距；
所述第三间距和/或所述第四间距的范围在 $0\sim 4\mu\text{m}$ 。

20. 根据权利要求 1~16 中任一项所述的显示基板，其中，位于同一行的所述像素单元电连接同一条栅线；所述栅线用作所述第一晶体管的栅极和
15 所述第二晶体管的栅极。

21. 根据权利要求 1~16 中任一项所述的显示基板，其中，所述第一晶体管的栅极在靠近所述有源层的一侧设置有栅极绝缘层；所述栅极绝缘层的厚度在 10nm ~ 30nm 之间。

22. 根据权利要求 1 所述的显示基板，其中，所述第一晶体管的栅极和
20 所述第二晶体管的栅极同层设置；所述第一晶体管的有源层和所述第二晶体管的有源层同层设置；所述第一晶体管的栅极和所述第二极，与所述第二晶体管的栅极和所述第二极同层设置；

所述第一晶体管的栅极位于所述有源层靠近所述衬底基板的一侧；所述第一晶体管的栅极和所述第二极位于所述有源层背离所述栅极的一侧；

25 所述数据线复用为所述第一晶体管的栅极；所述第一晶体管的栅极和所述第二极和所述第二晶体管的栅极连接为一体结构，且所述第一晶体管的栅极与
所述第一晶体管的第二接触部电连接；所述第二晶体管的栅极与所述第二

晶体管的第三接触部电连接。

23. 根据权利要求 22 所述的显示基板，其中，位于同一行的所述像素单元电连接同一条栅线；所述栅线用作所述第一晶体管的栅极和所述第二晶体管的栅极；

5 所述栅线为复合膜层，包括依次设置在所述衬底基板上的缓冲层和主体导电层。

24. 根据权利要求 22 所述的显示基板，其中，所述第一晶体管的栅极在靠近所述有源层的一侧设置有栅极绝缘层；所述栅极绝缘层的厚度在 30nm~50nm 之间。

10 25. 一种显示装置，其中，包括如权利要求 1~24 中任一项所述的显示基板。

15

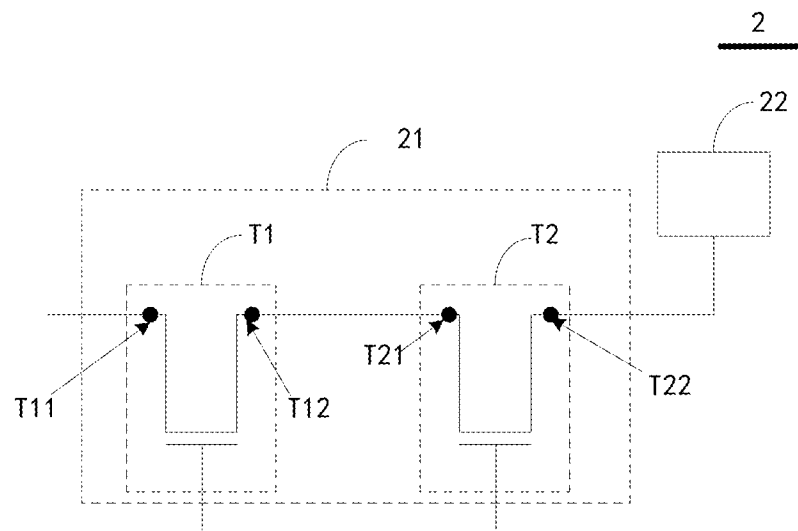


图 1a

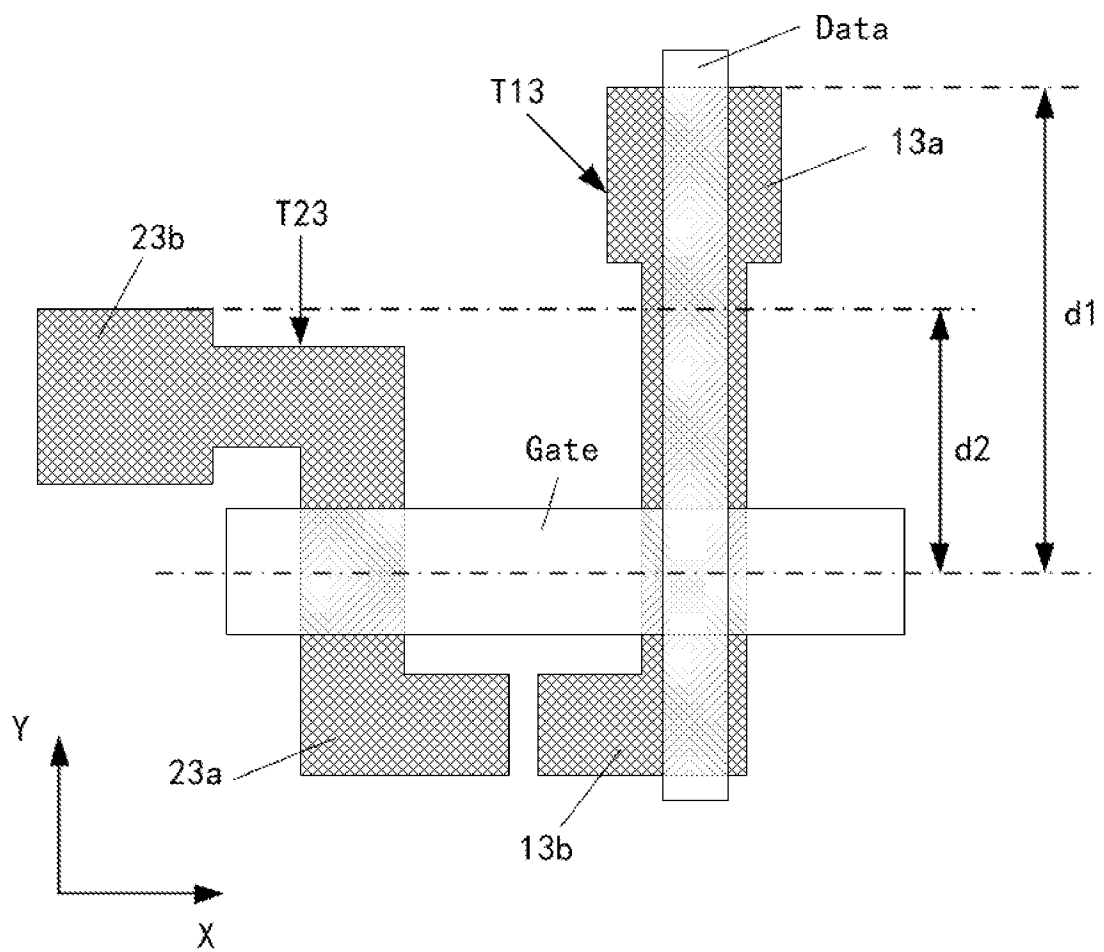


图 1b

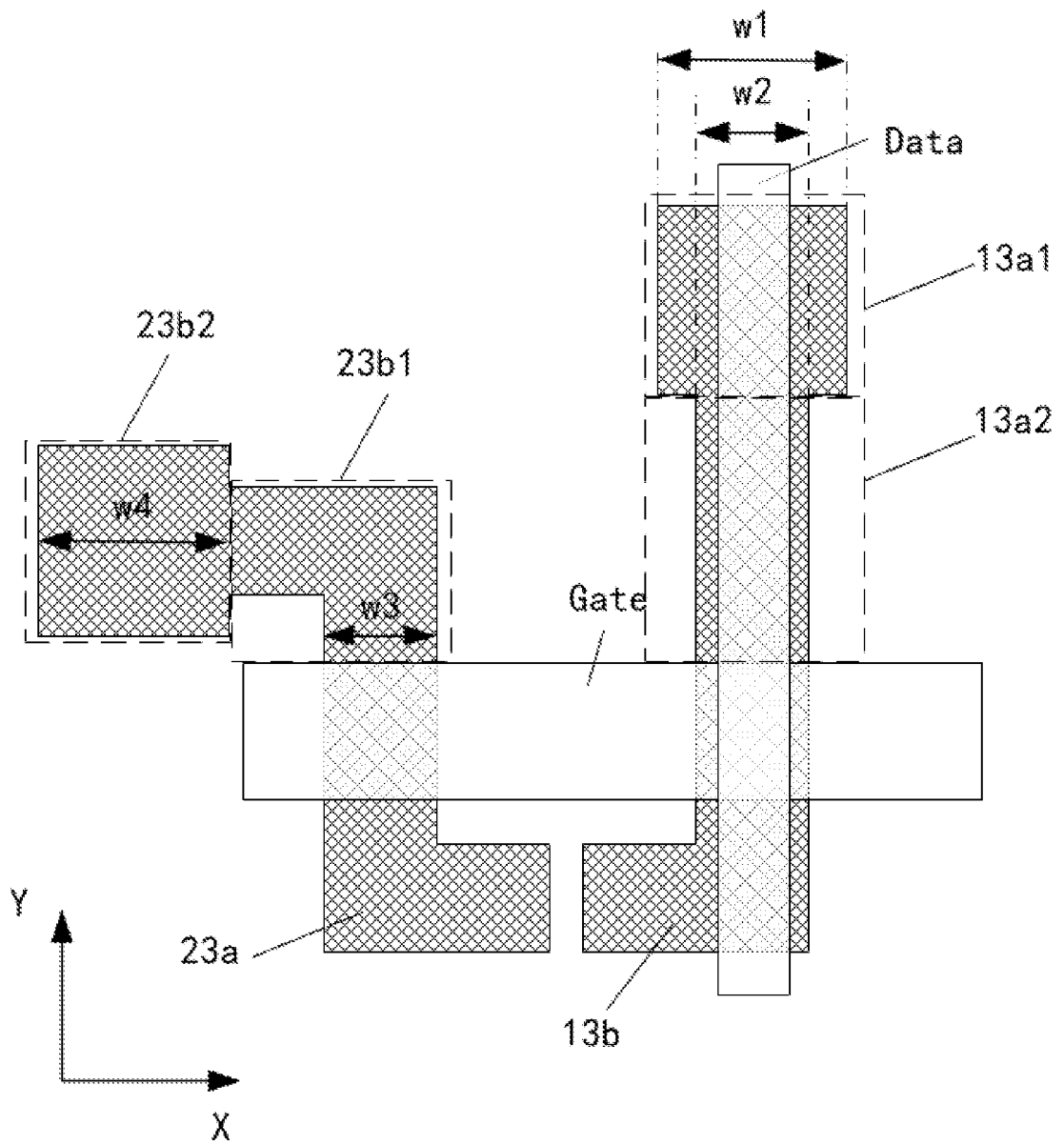


图 2

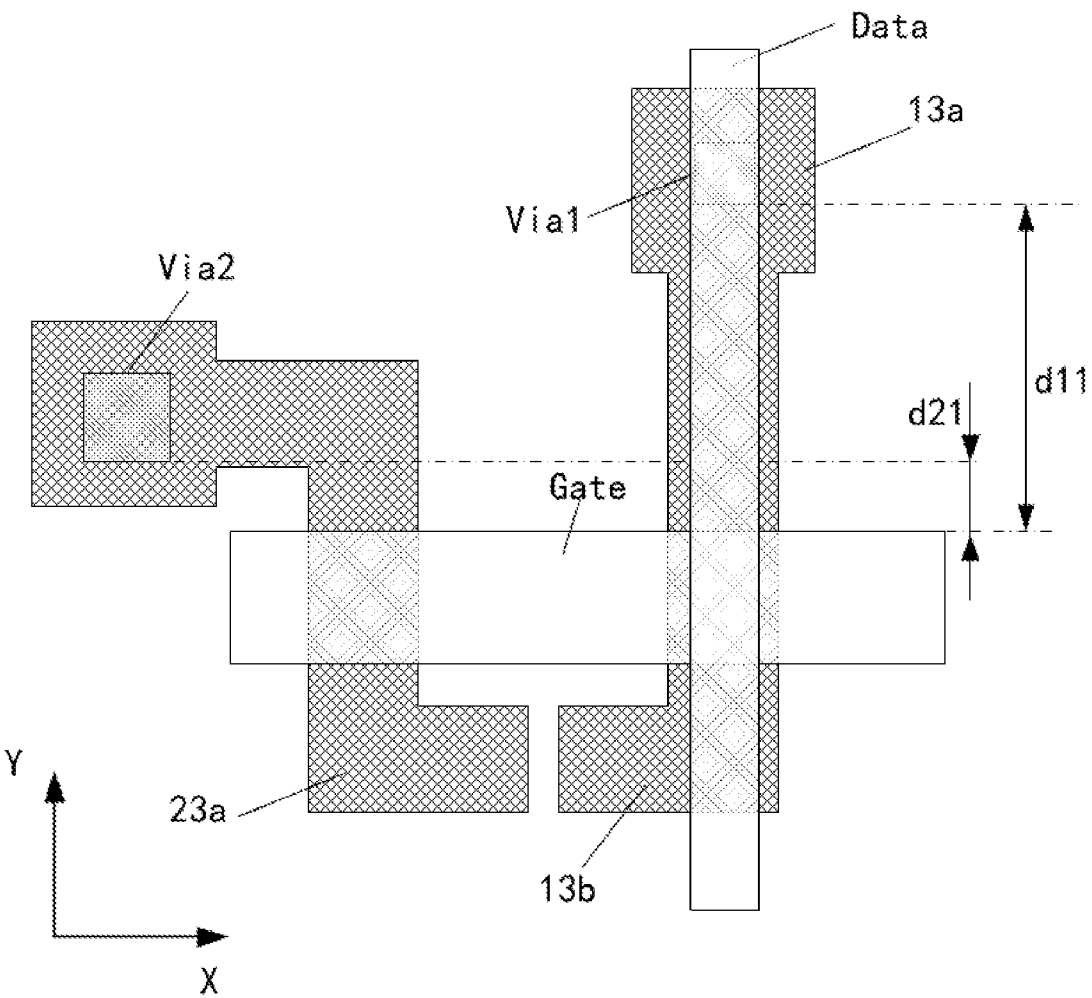


图 3a

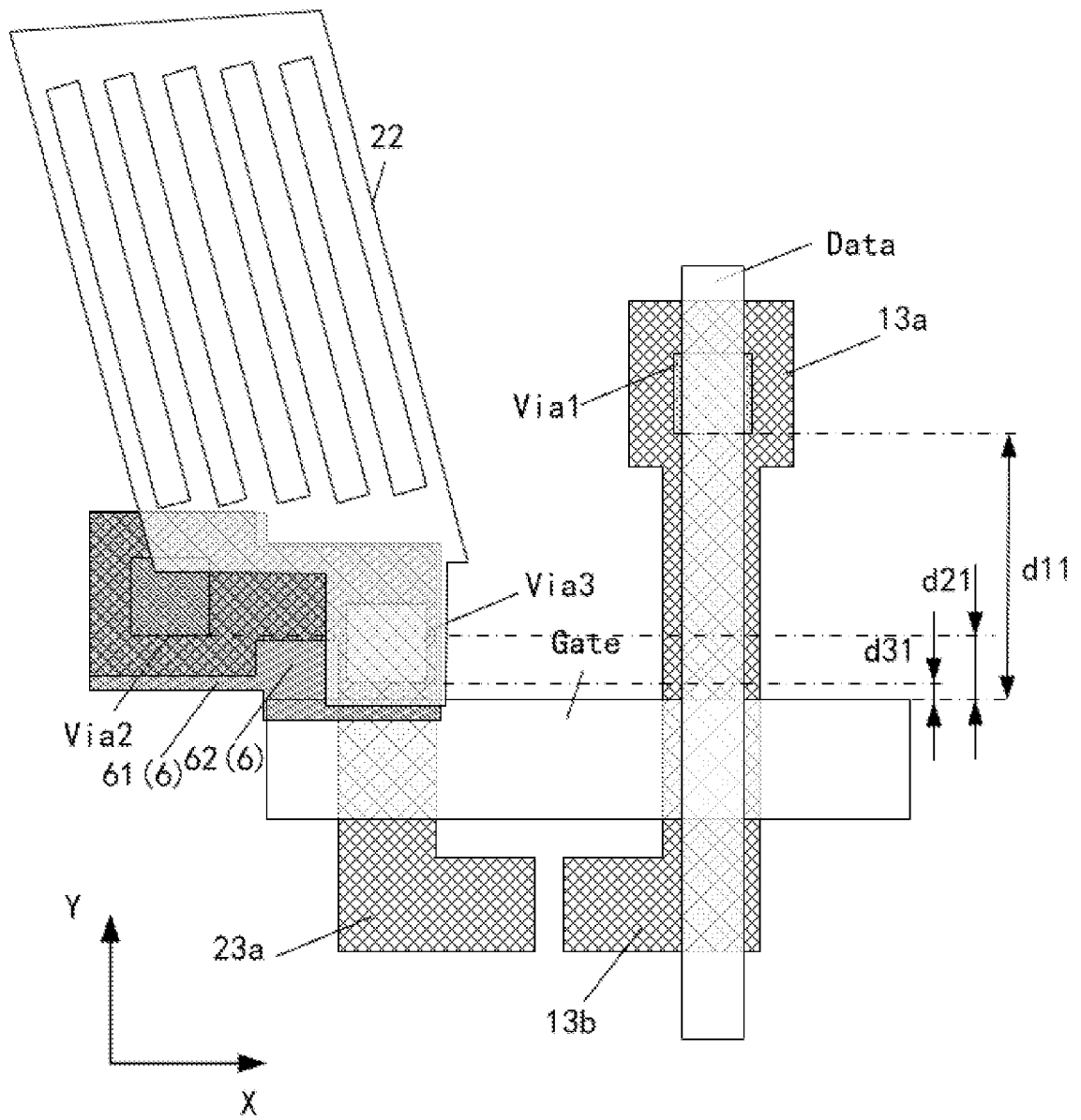


图 3b

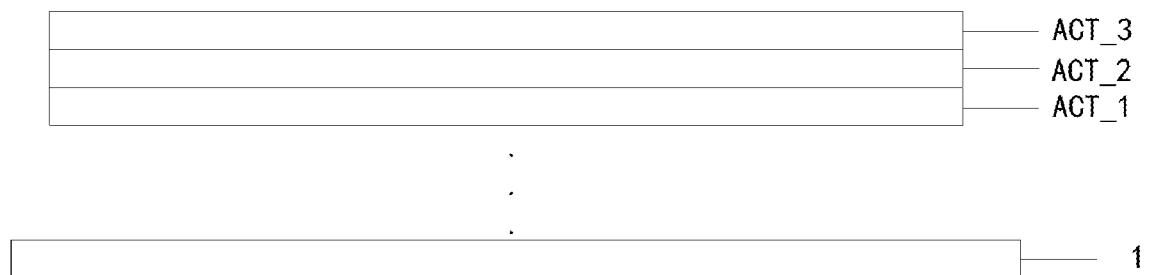


图 4

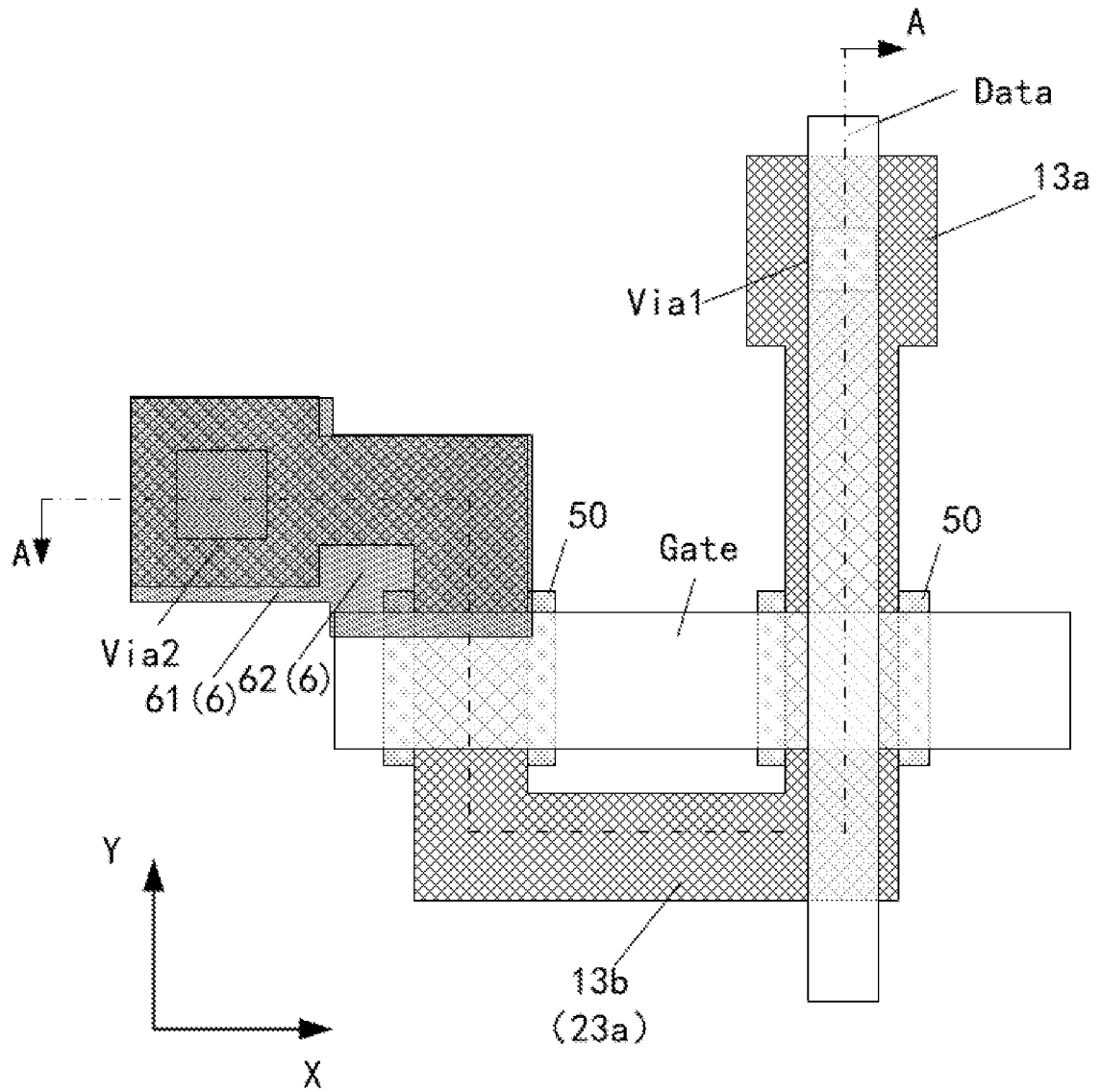


图 5a

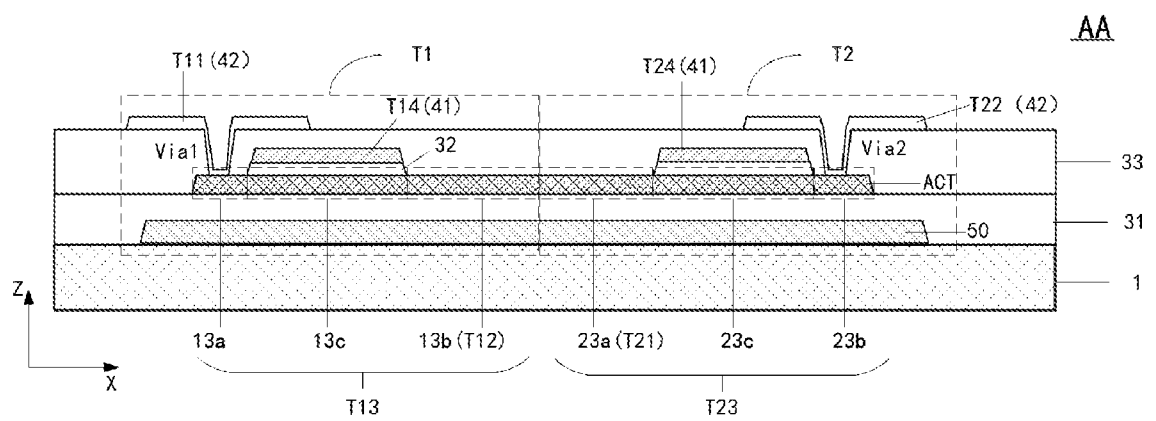


图 5b

ACT

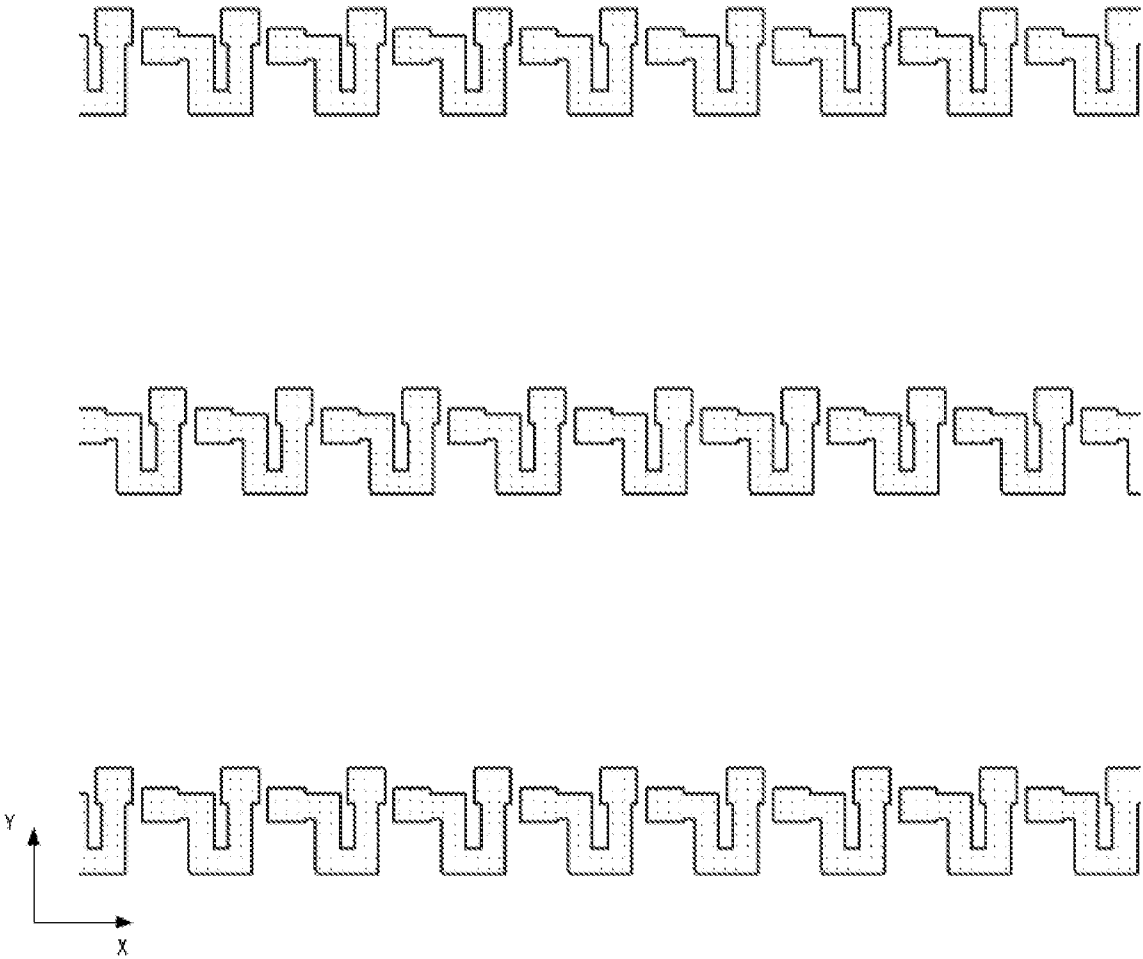


图 6a



图 6b

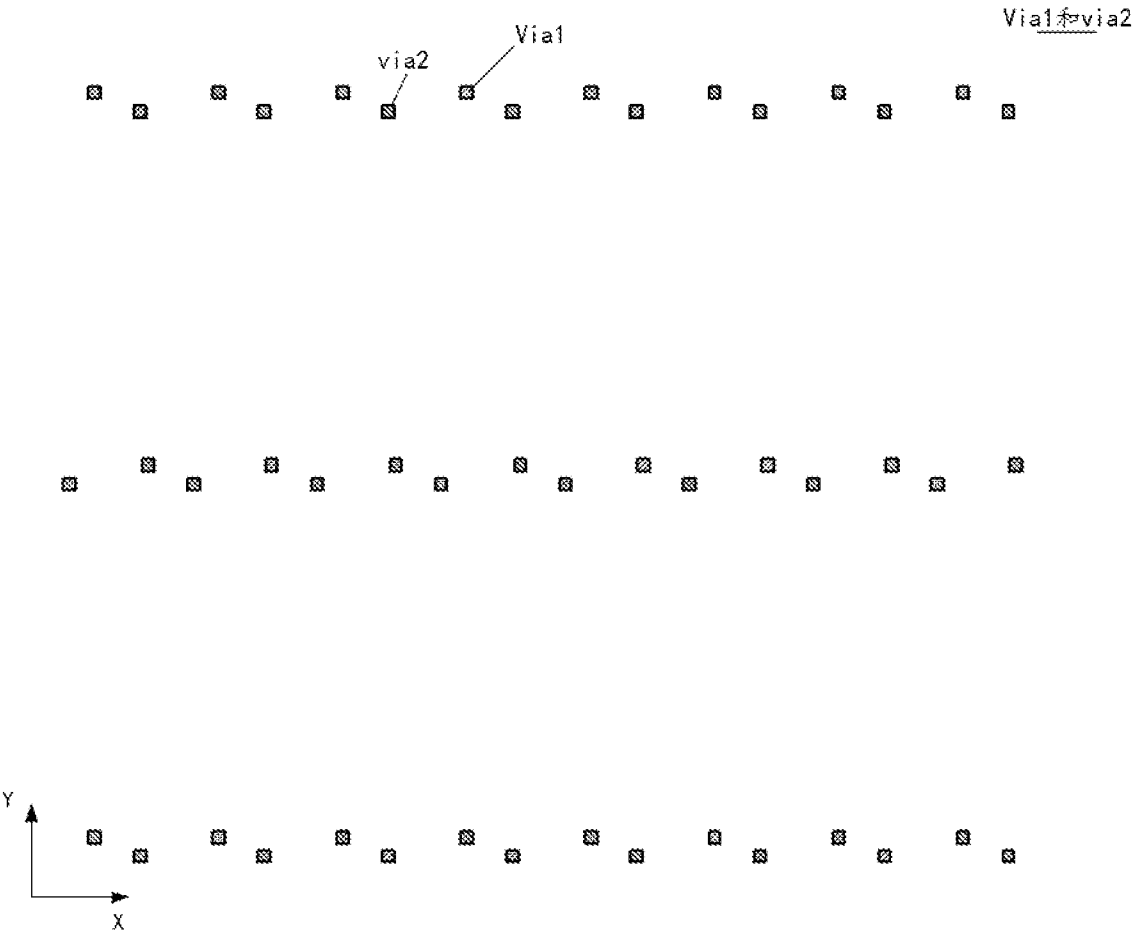


图 6c

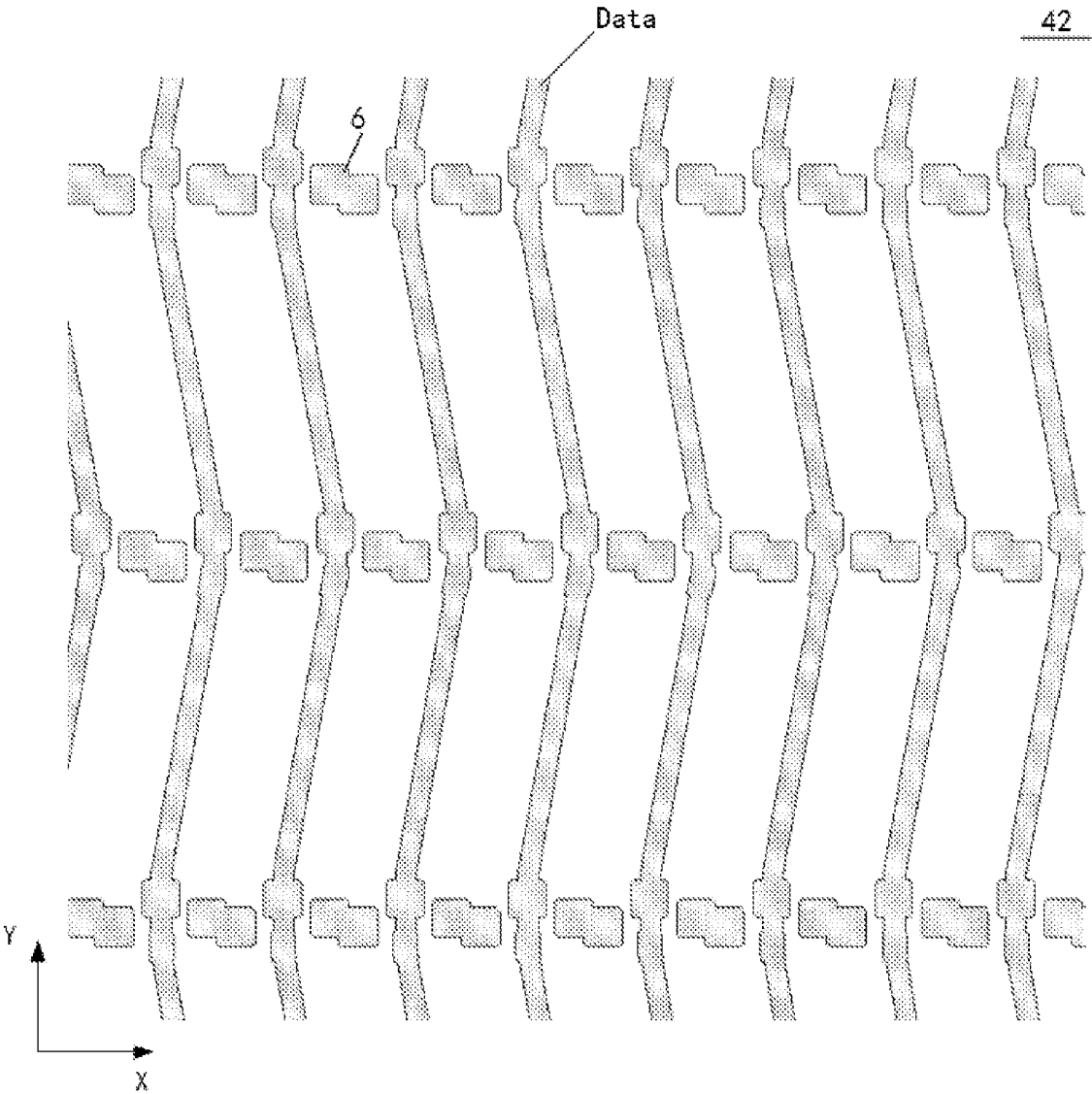


图 6d

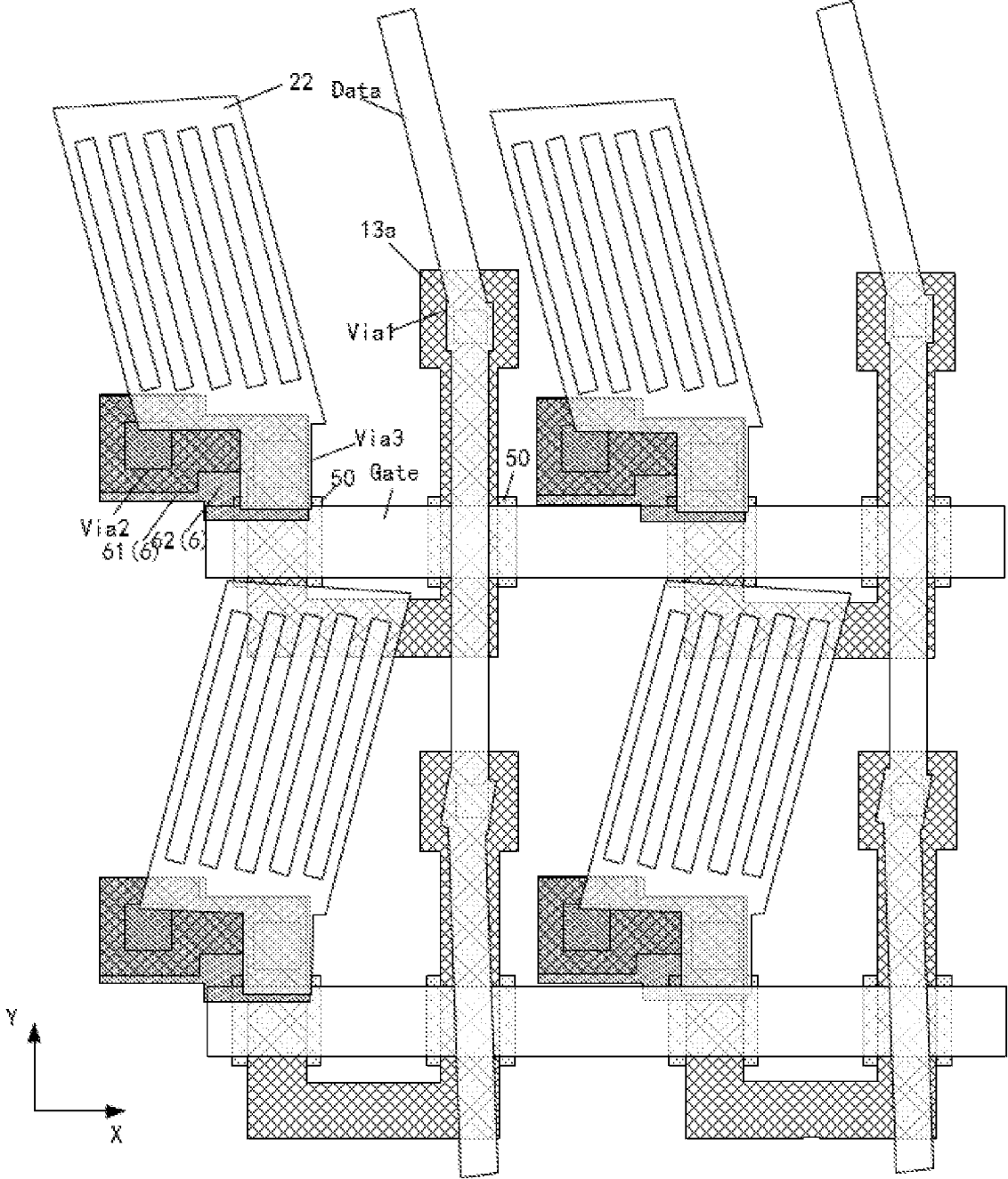


图 7

via31

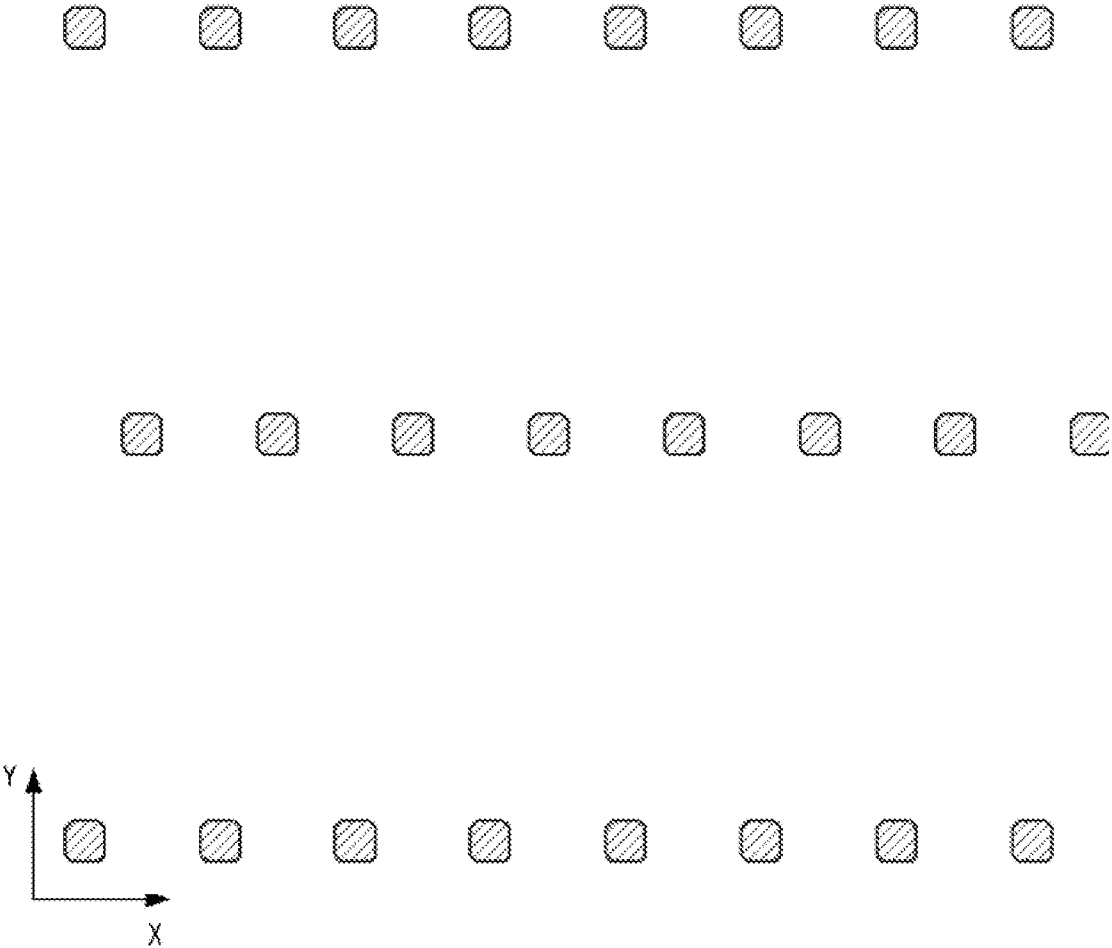


图 8a

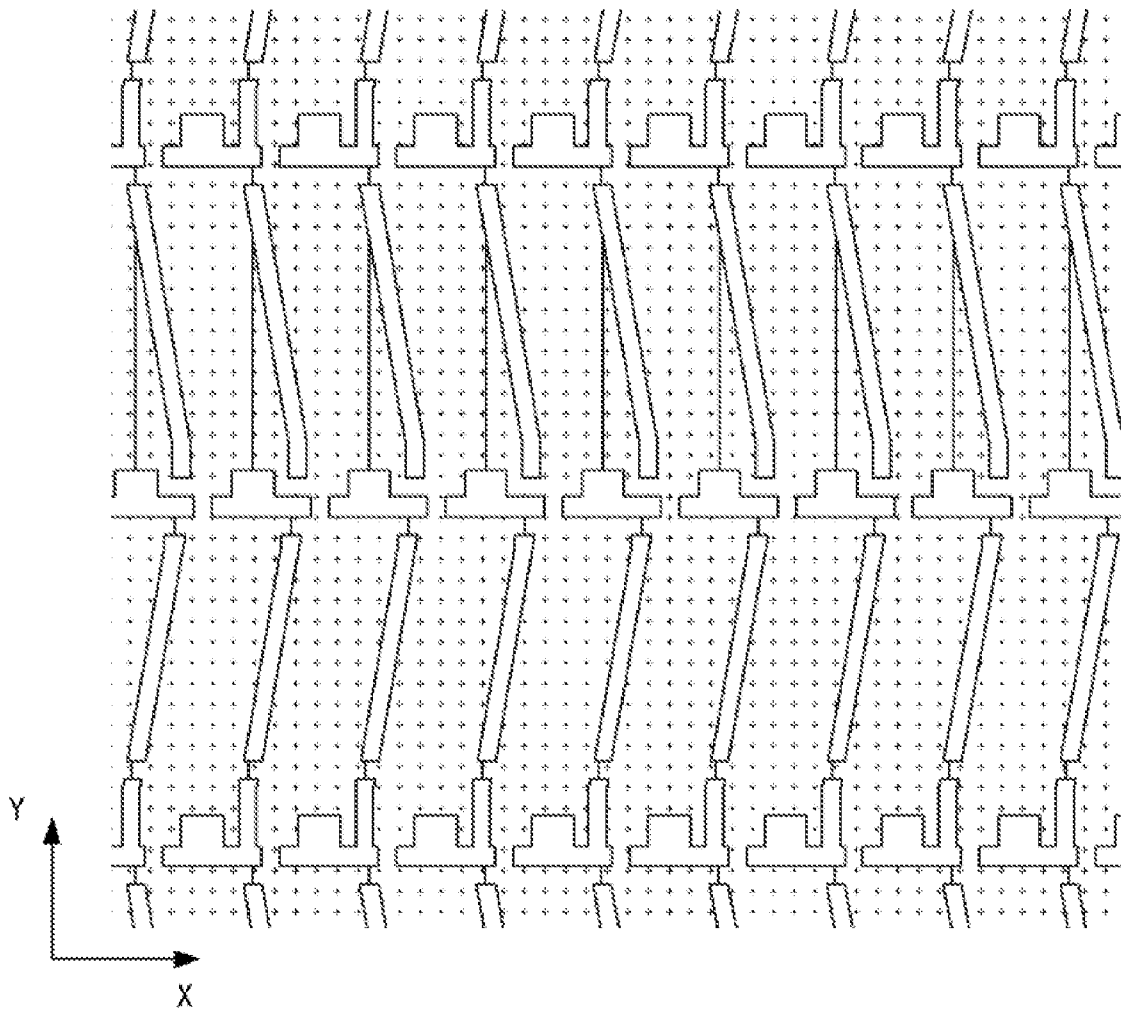


图 8b

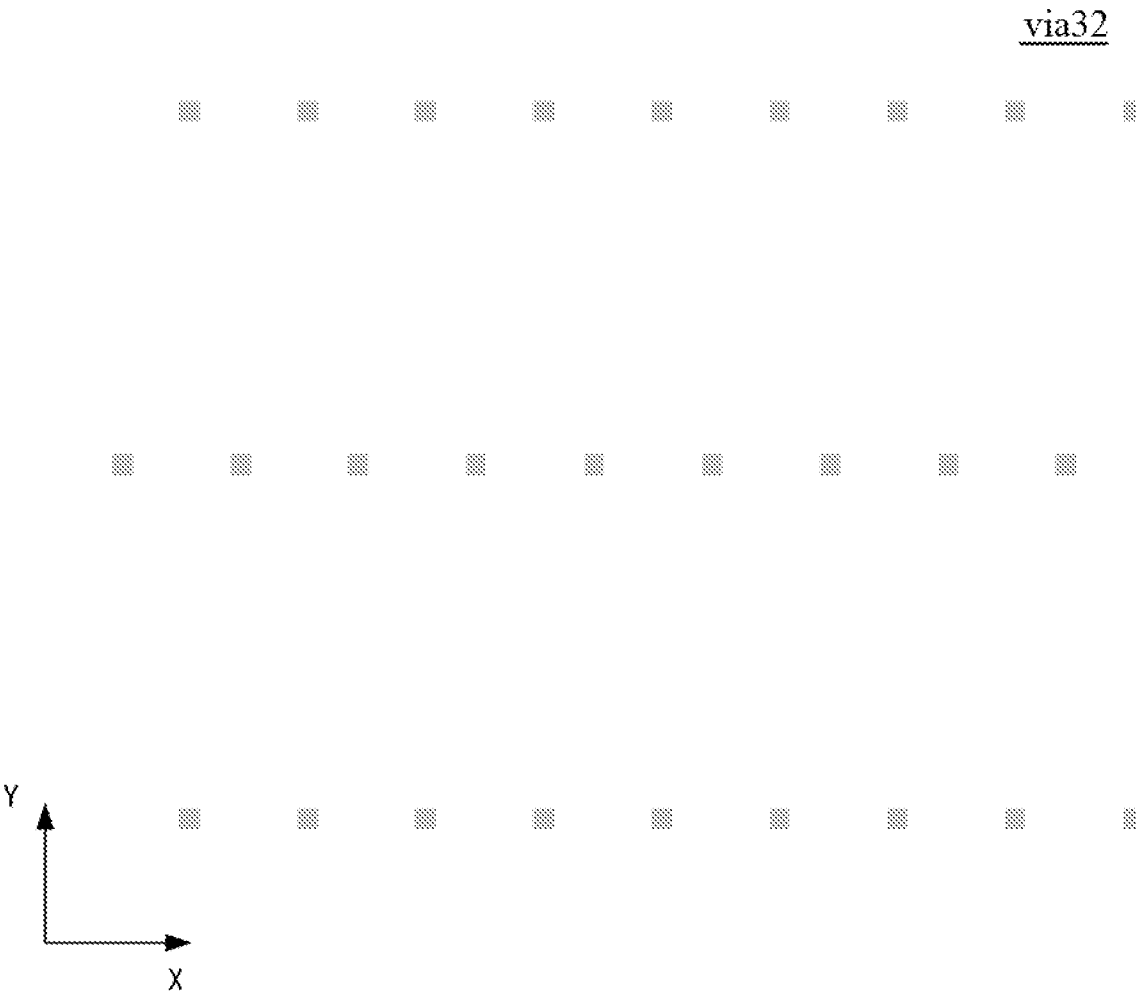


图 8c

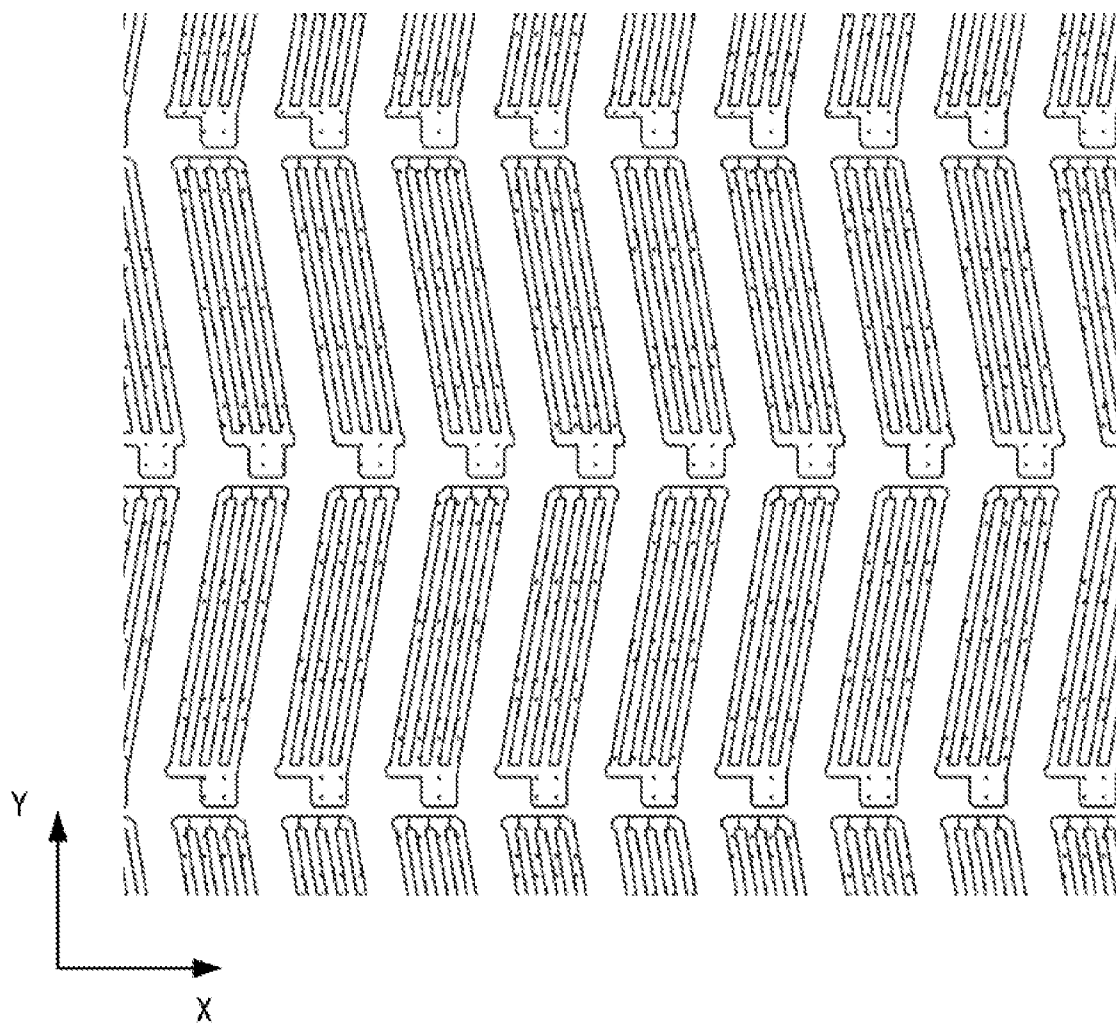


图 8d

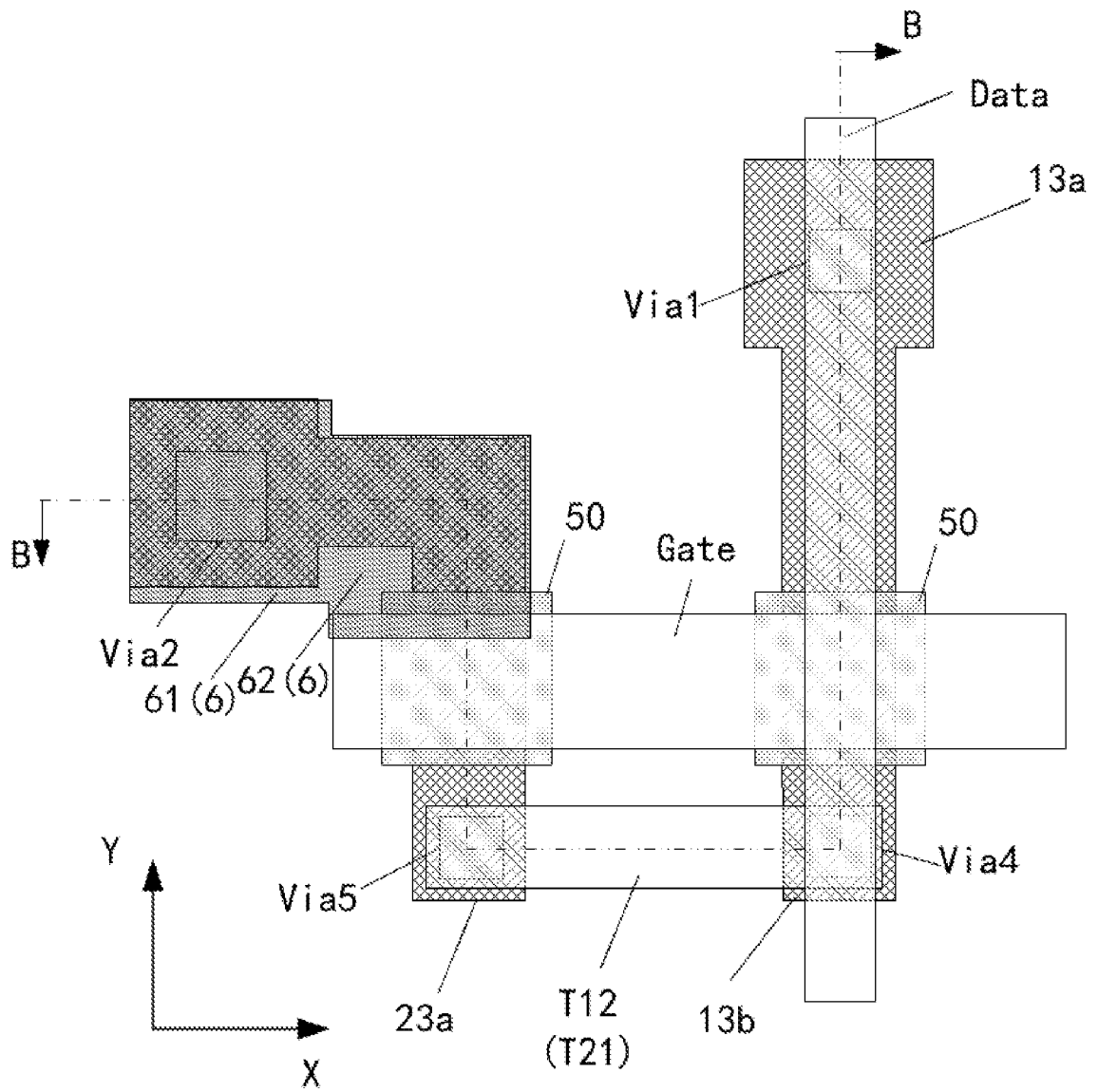


图 9a

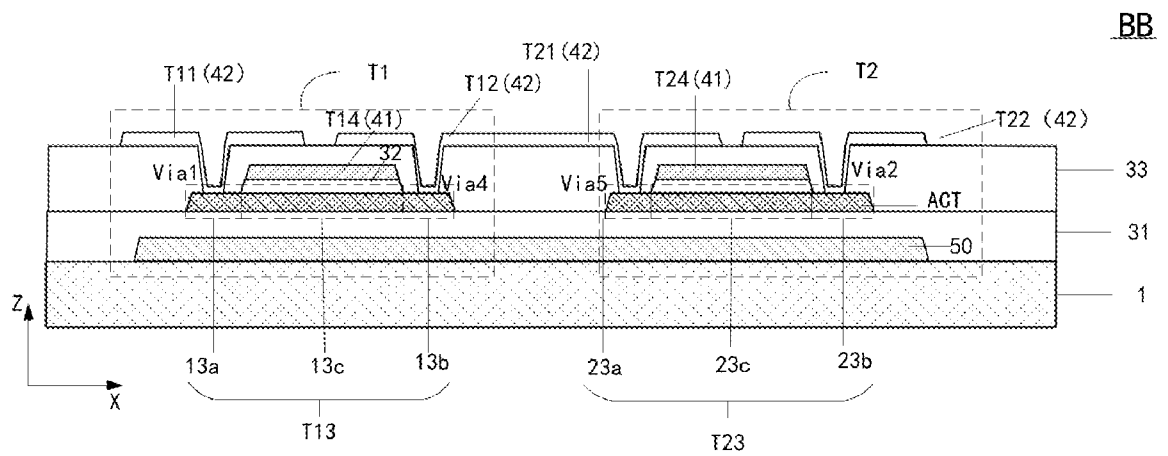


图 9b

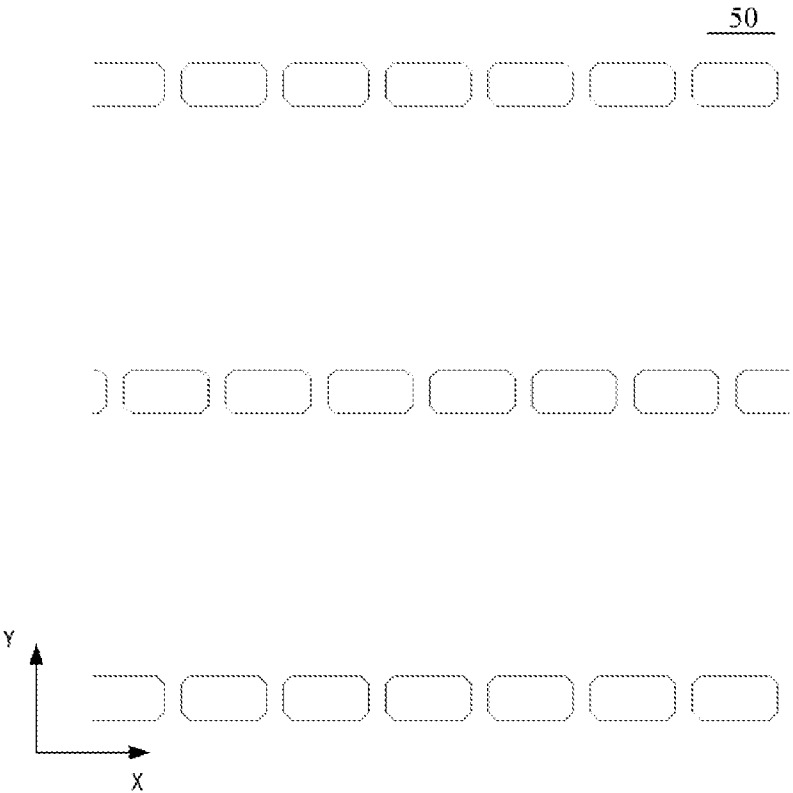


图 10

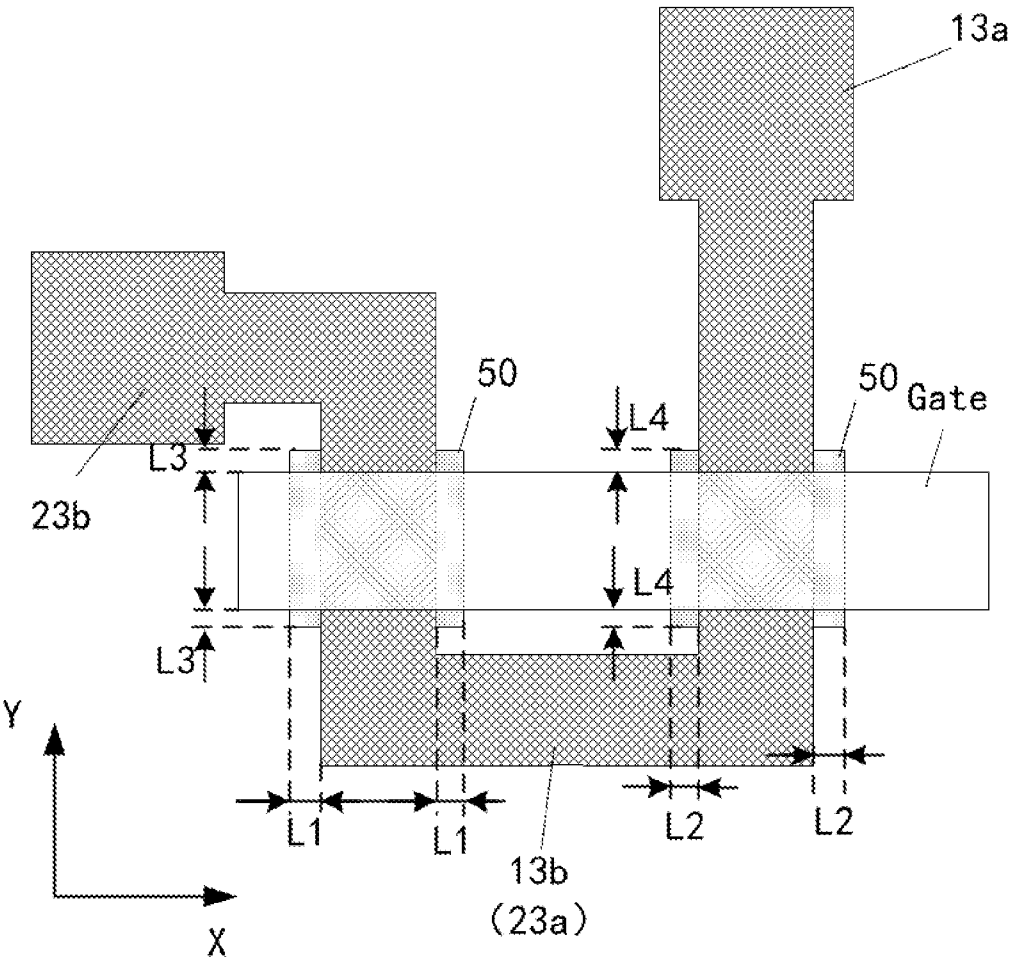


图 11

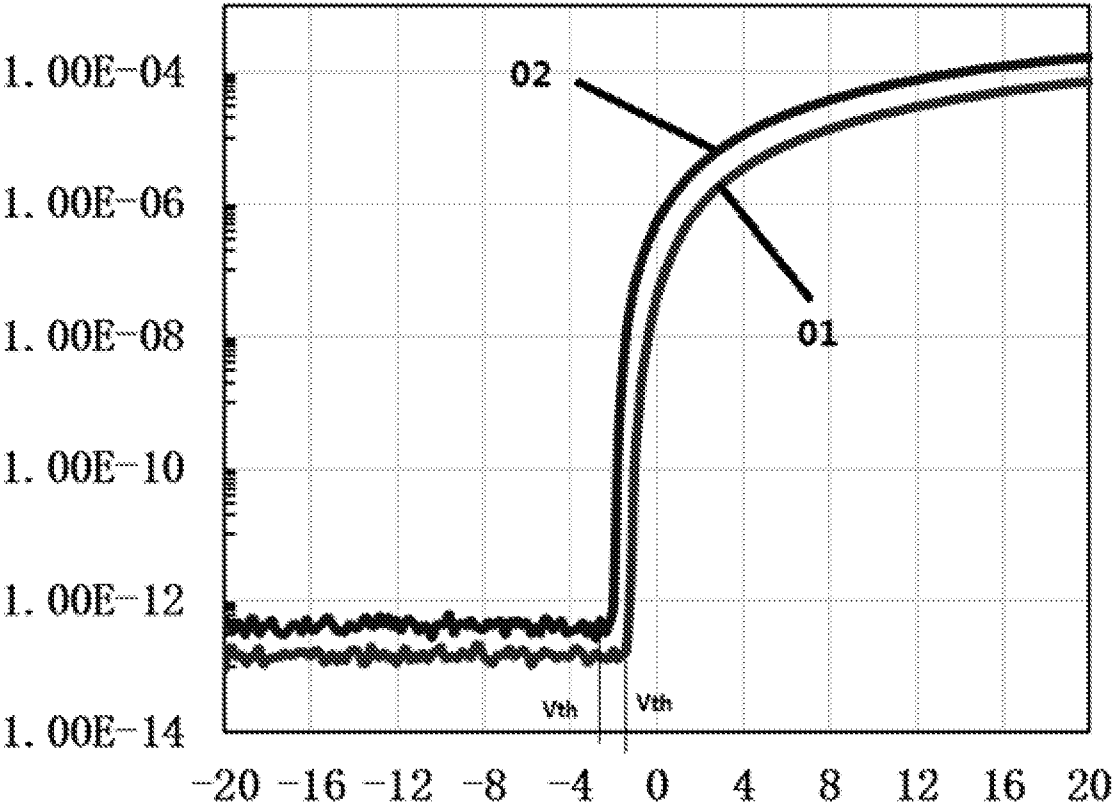


图 12a

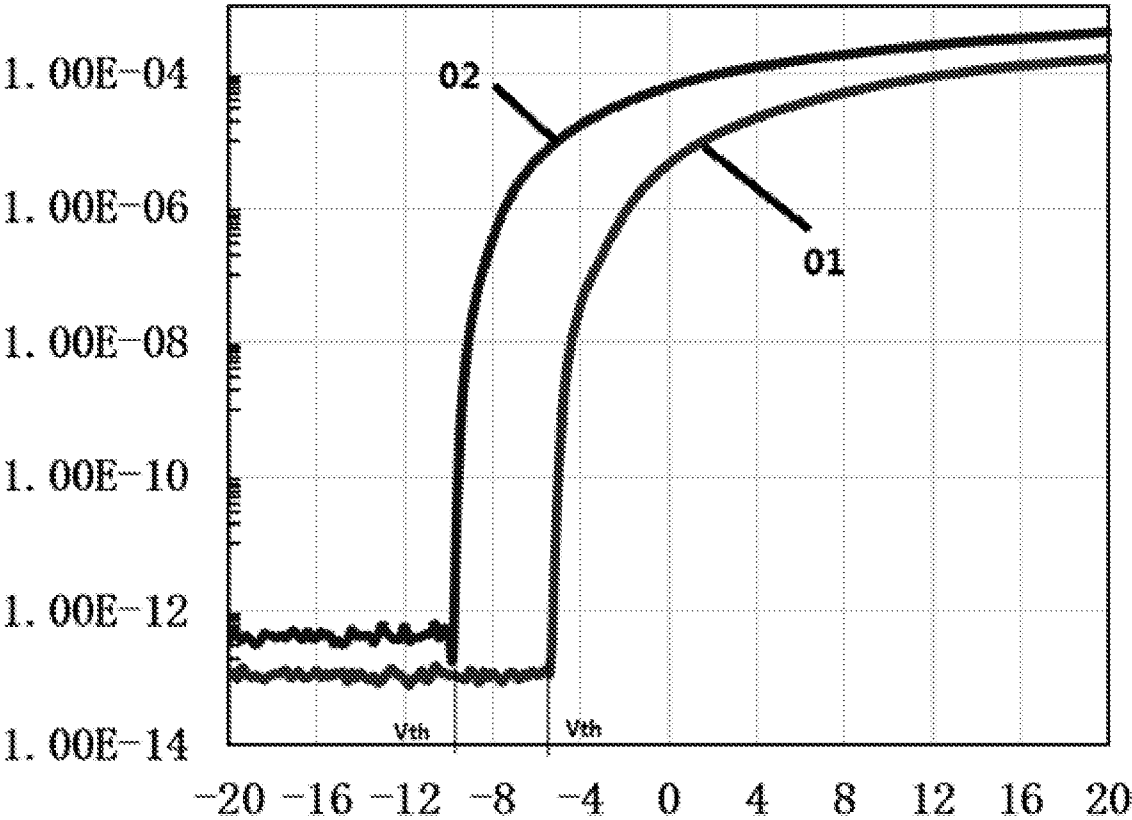


图 12b

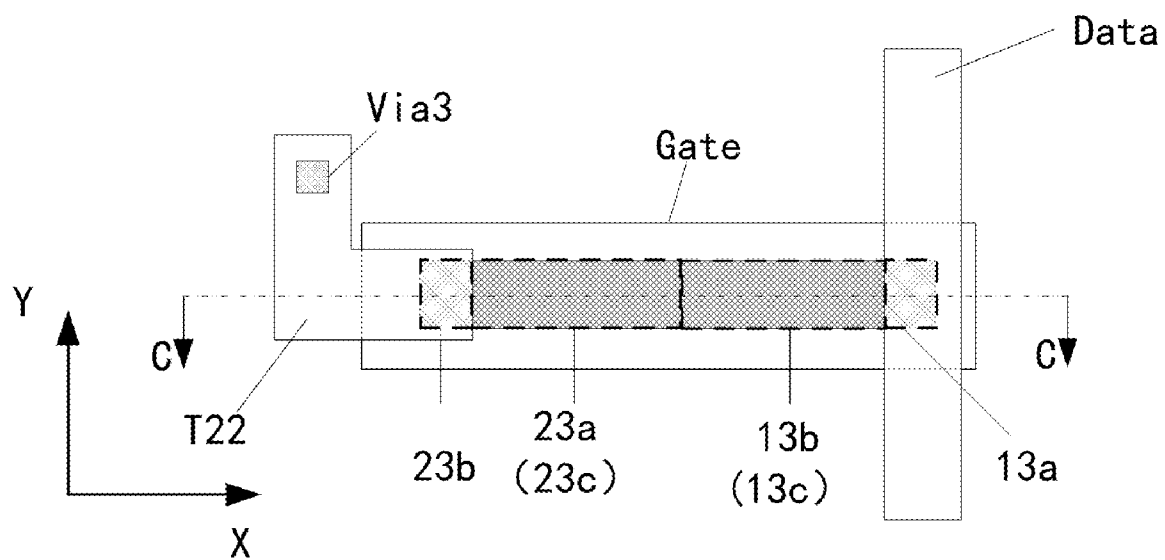


图 13a

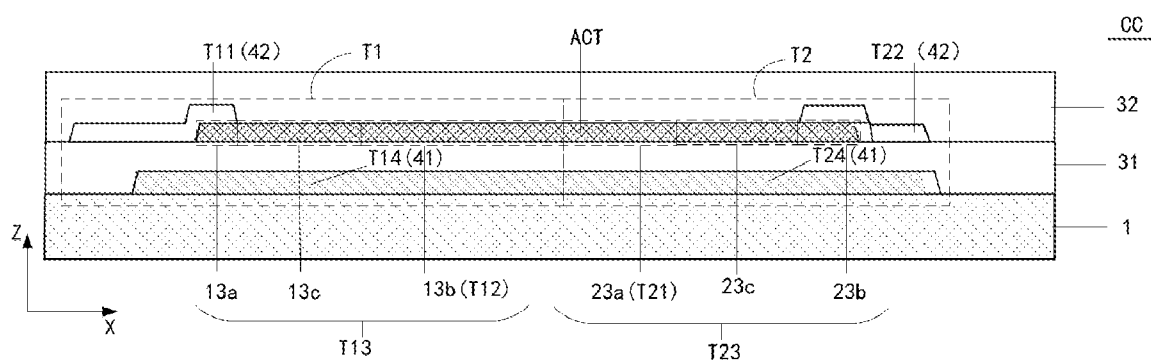


图 13b

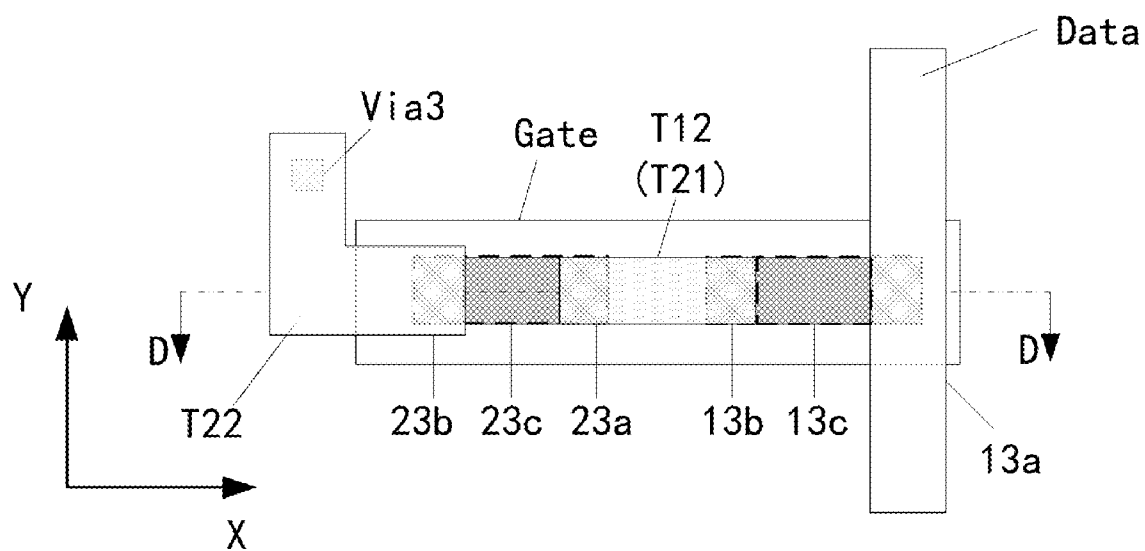


图 14a

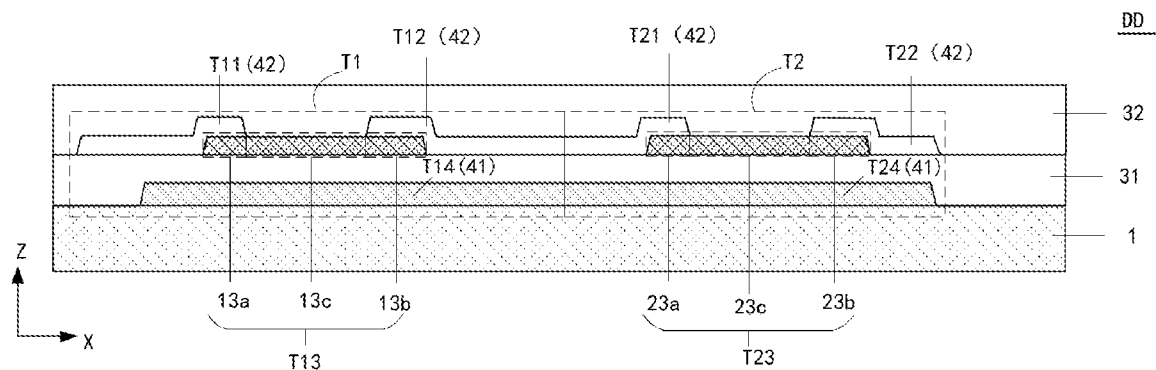


图 14b

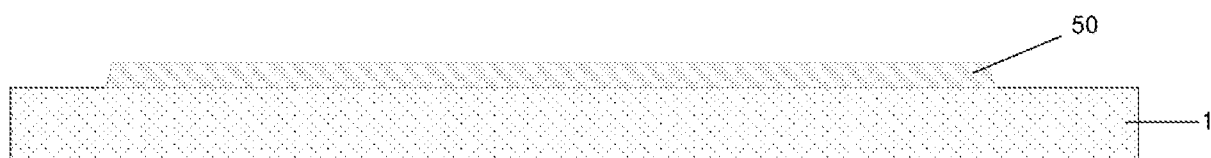


图 15a

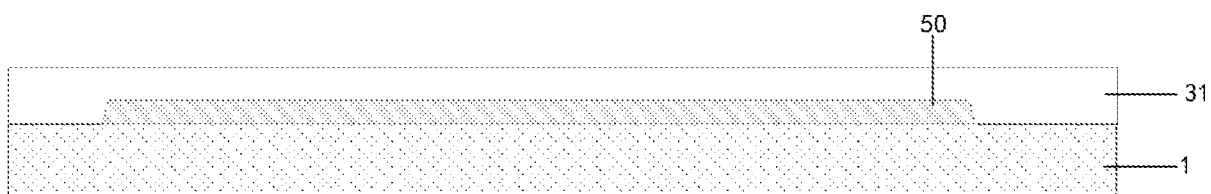


图 15b

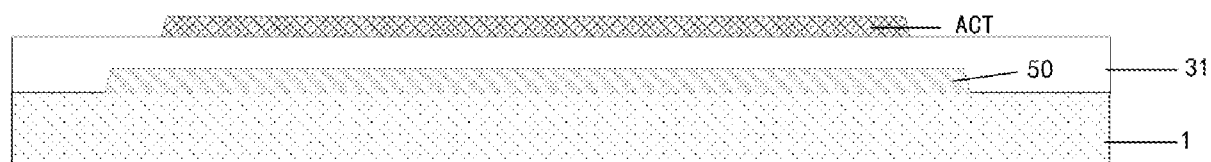


图 15c

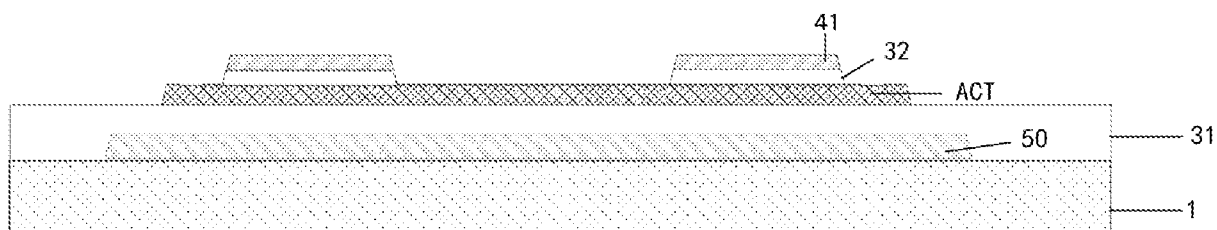


图 15d

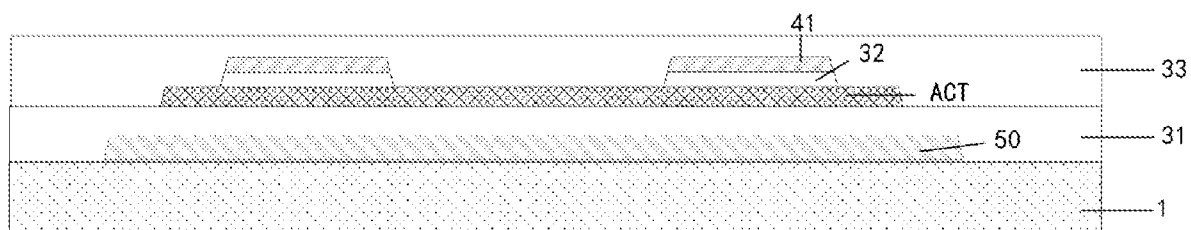


图 15e

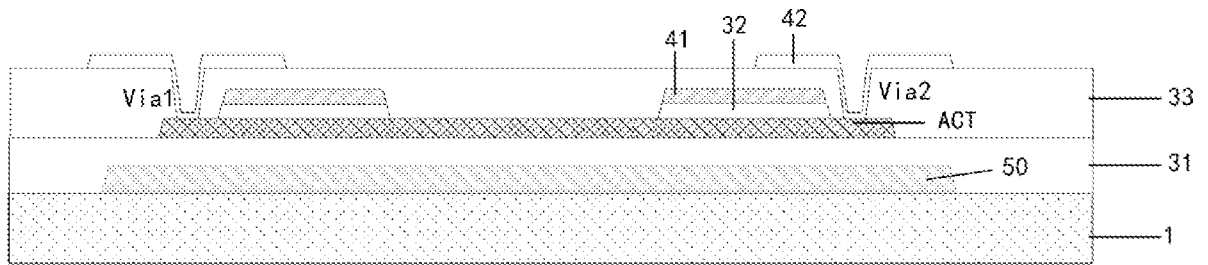


图 15f

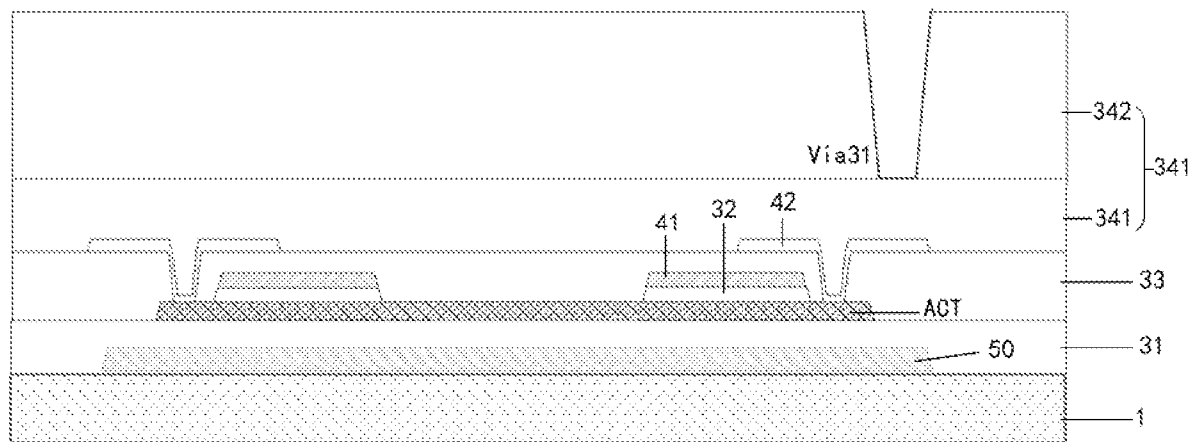


图 15g

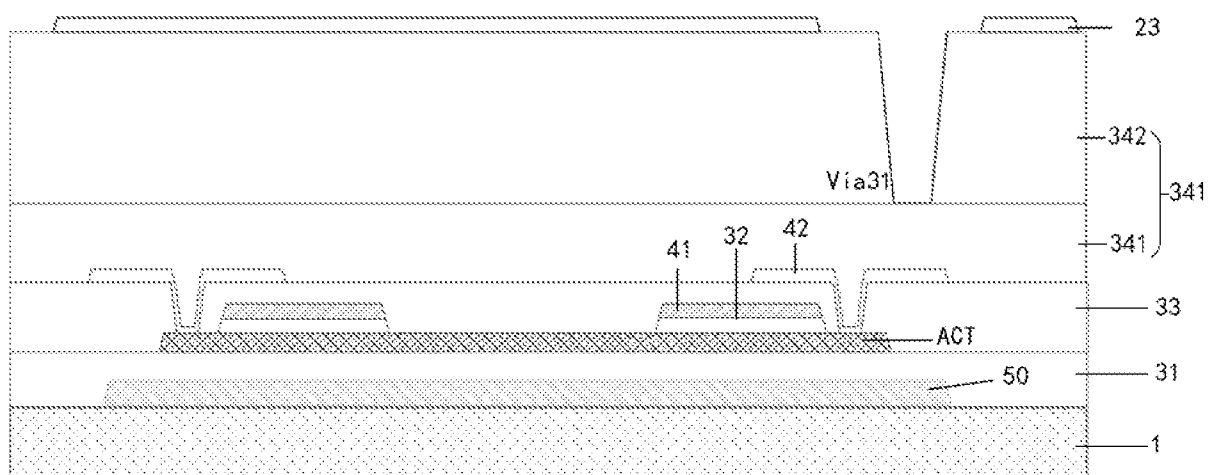


图 15h

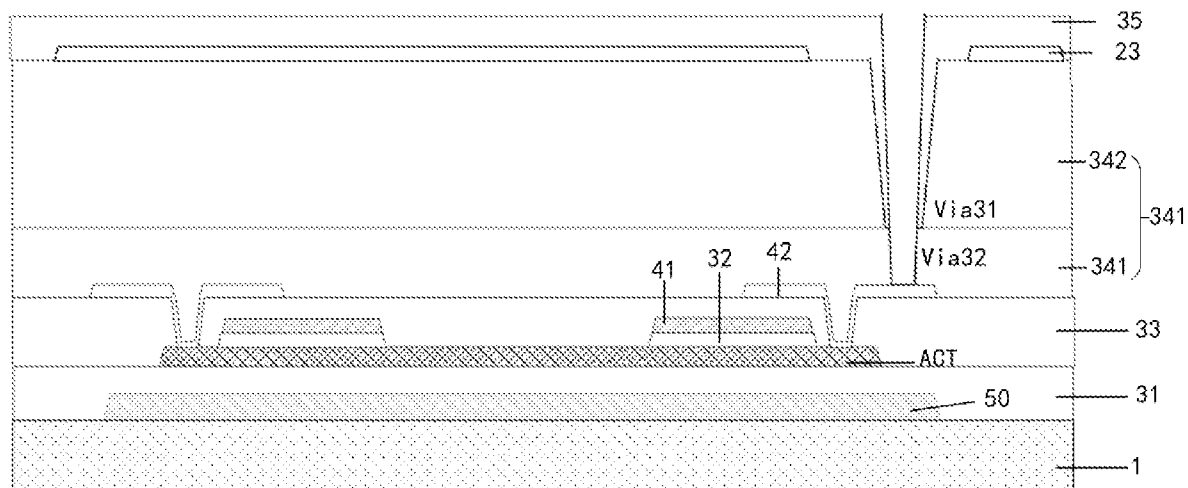


图 15i

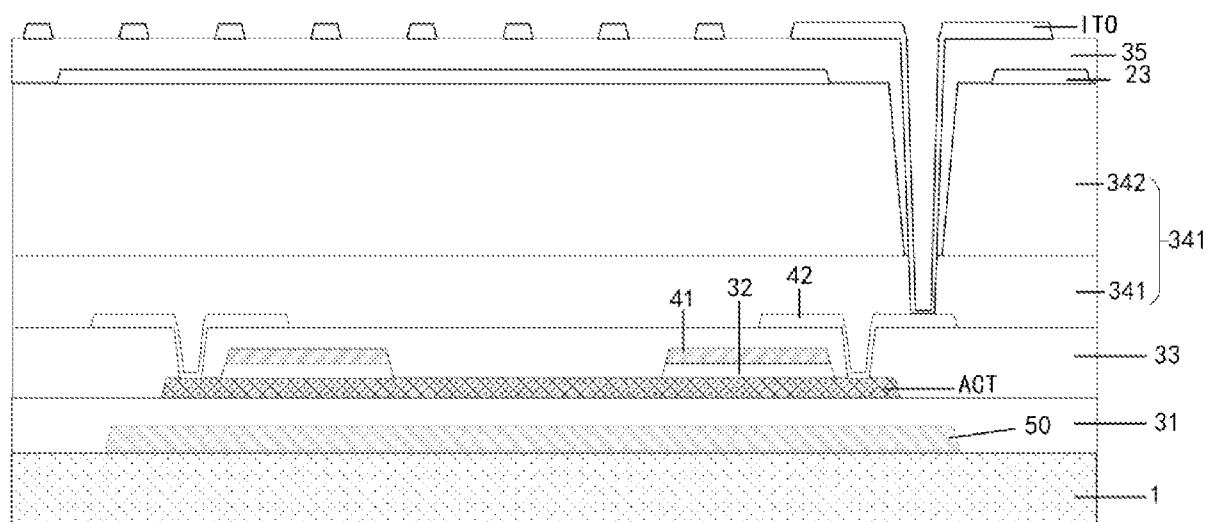


图 15j

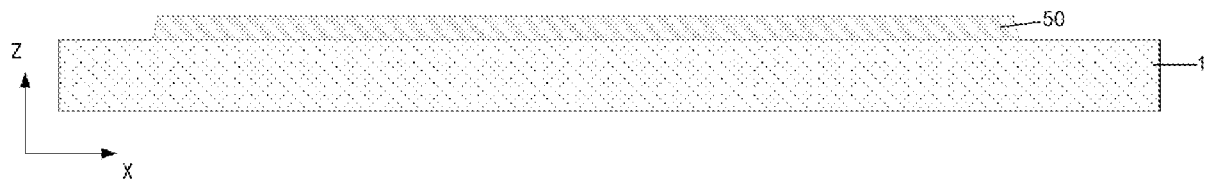


图 16a

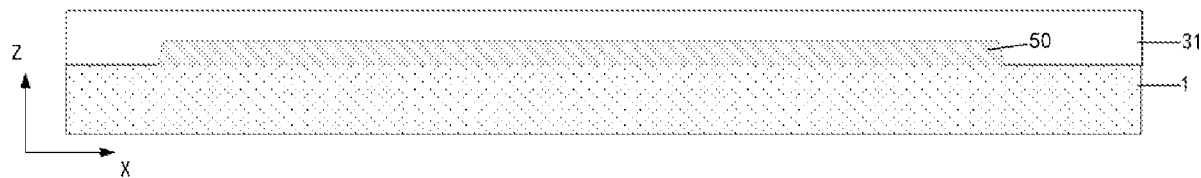


图 16b

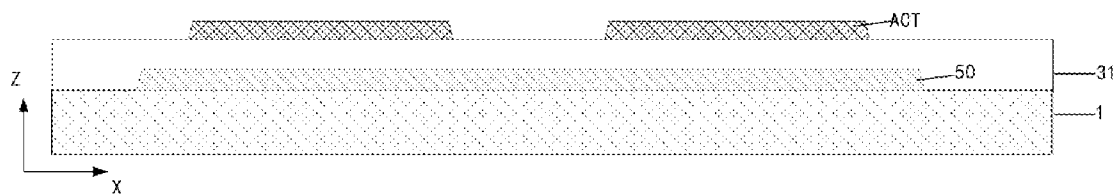


图 16c

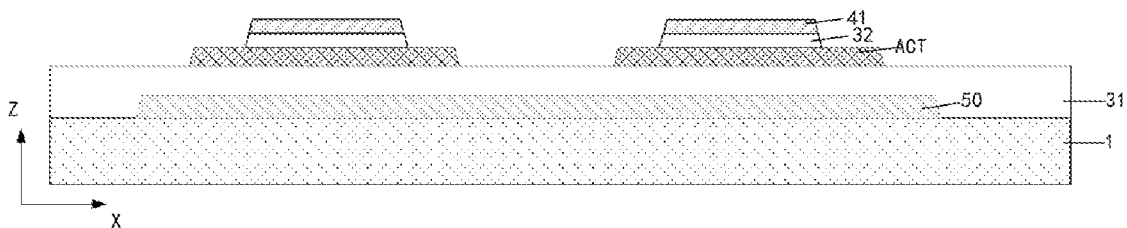


图 16d

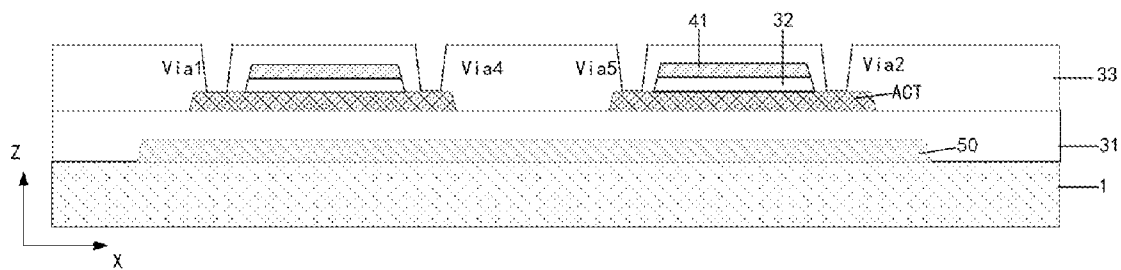


图 16e

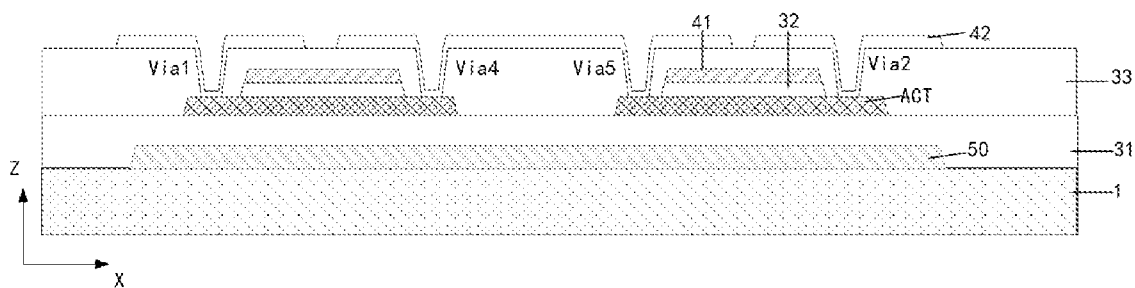


图 16f

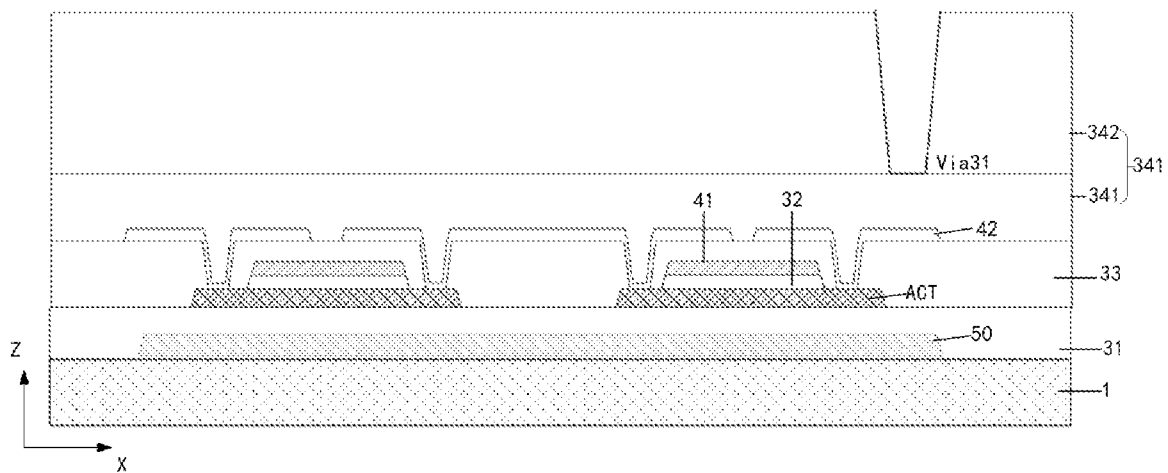


图 16g

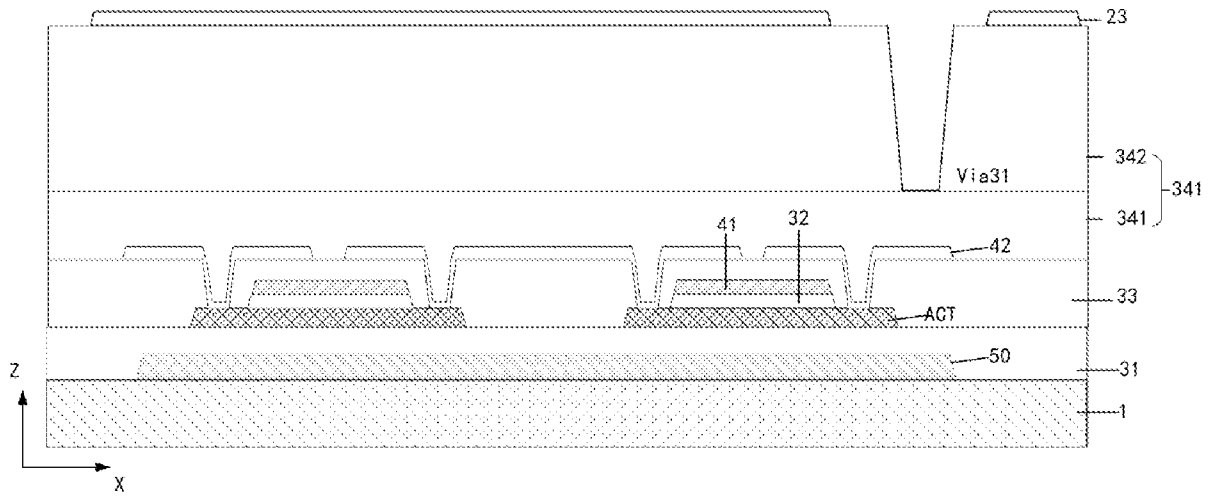


图 16h

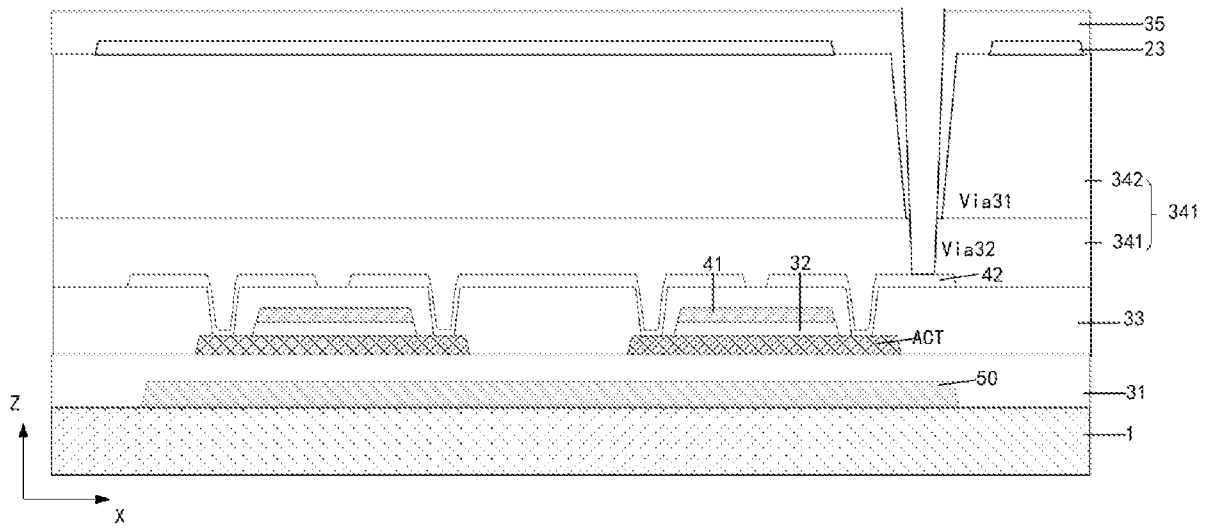


图 16i

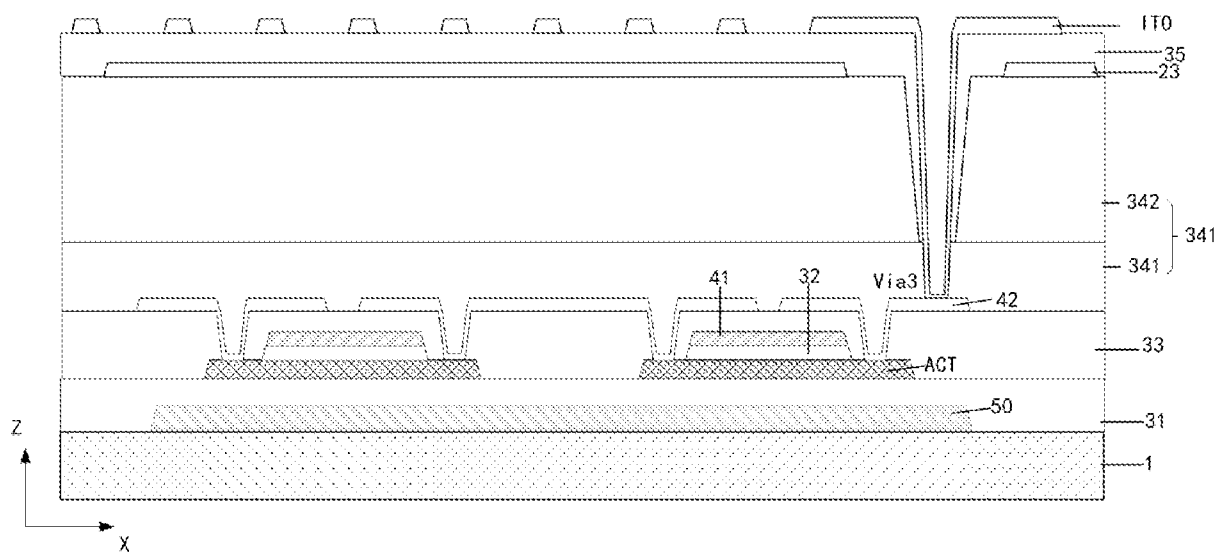


图 16j

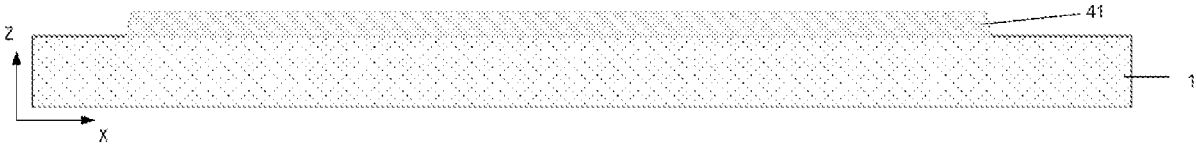


图 17a

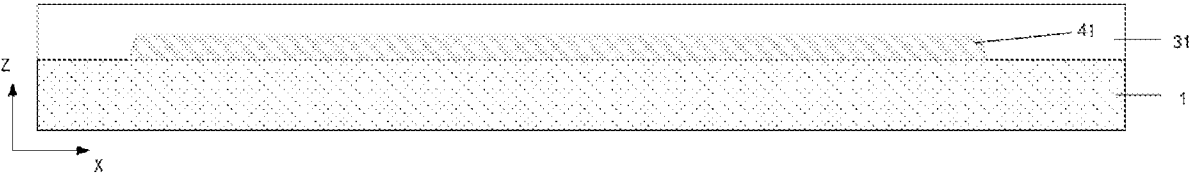


图 17b

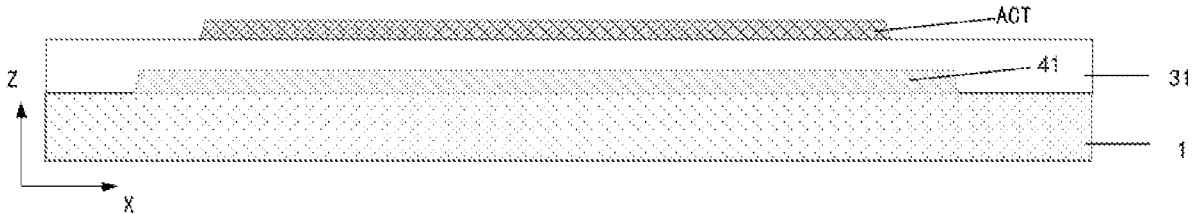


图 17c

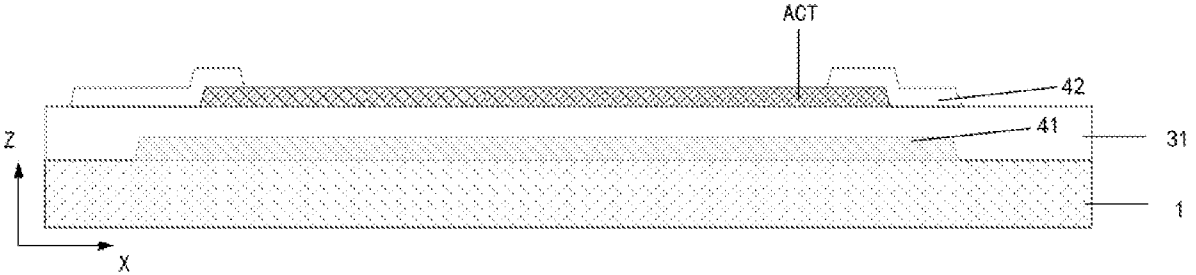


图 17d

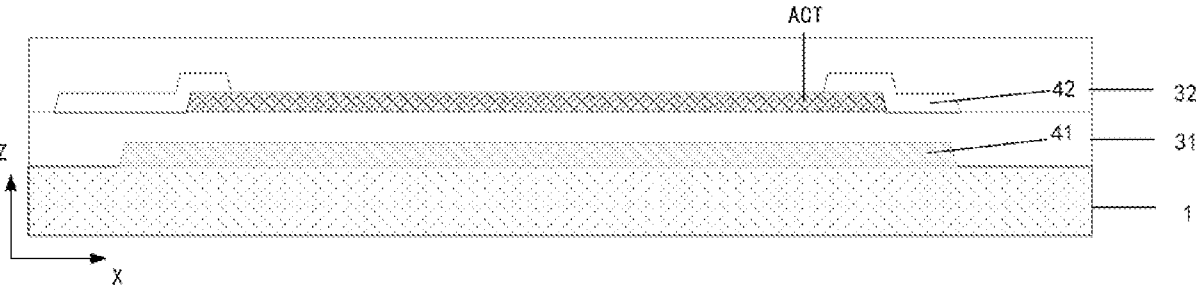


图 17e

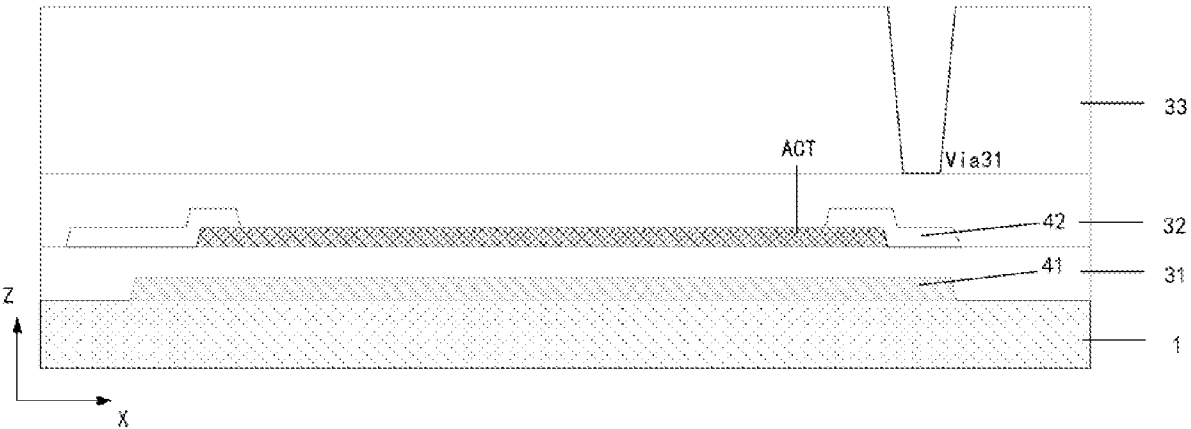


图 17f

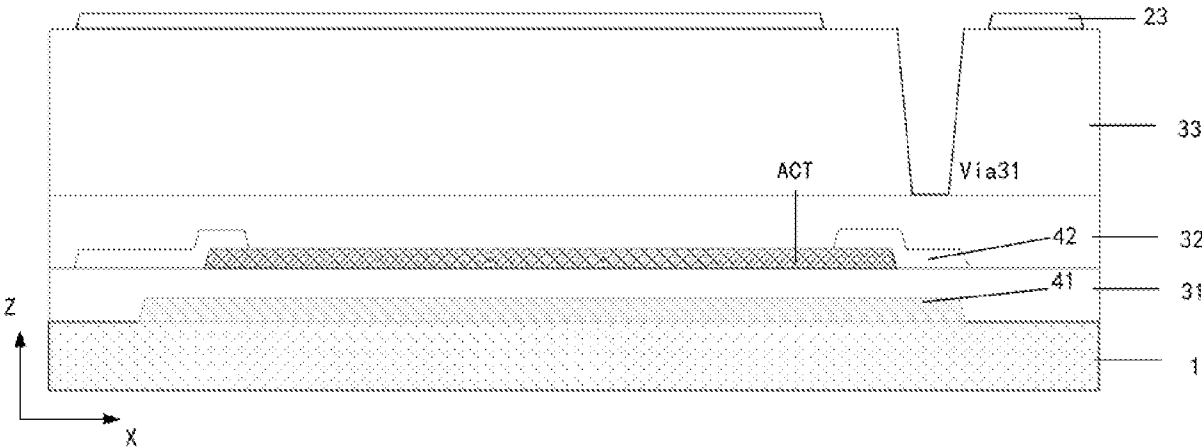


图 17g

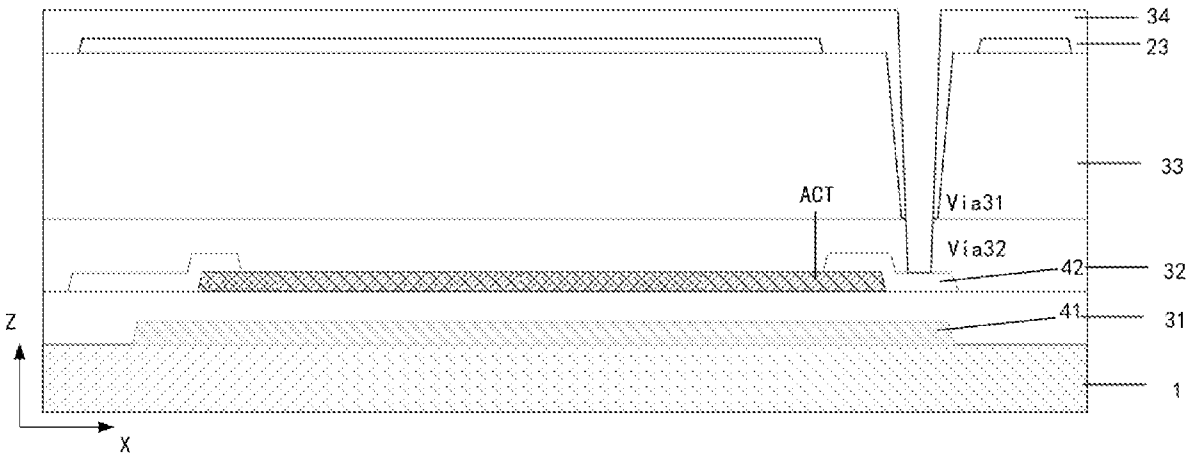


图 17h

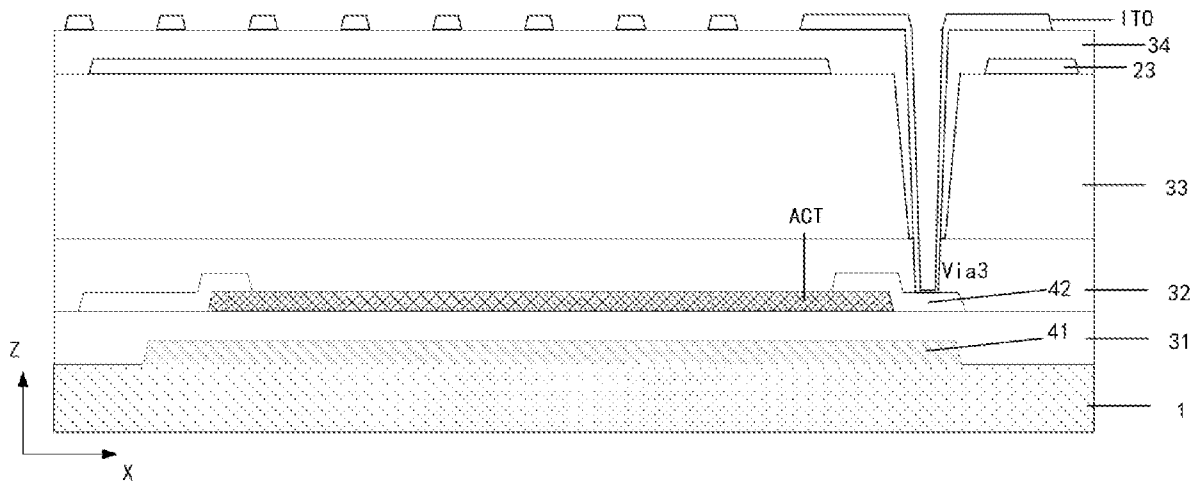


图 17i

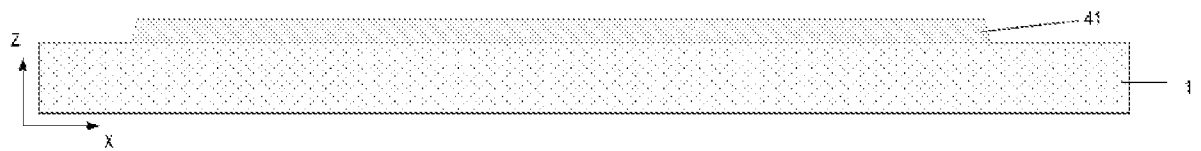


图 18a

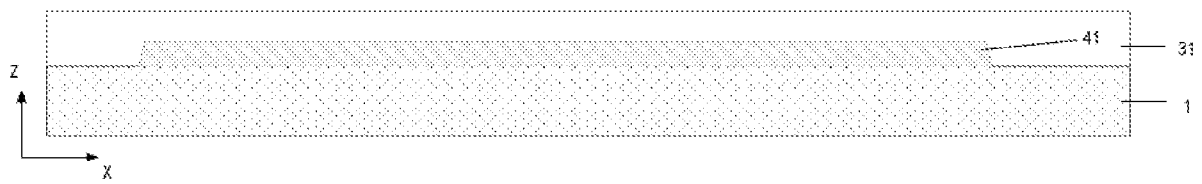


图 18b

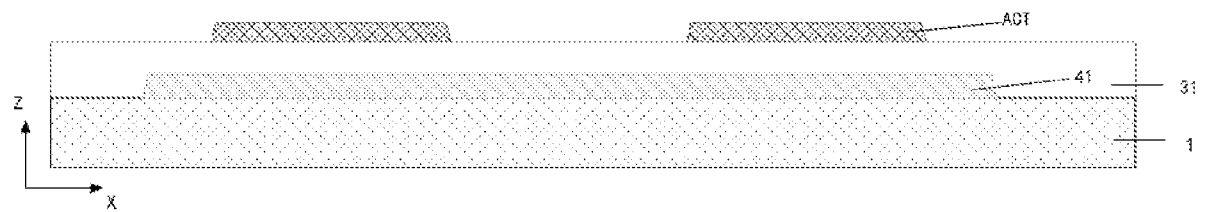


图 18c

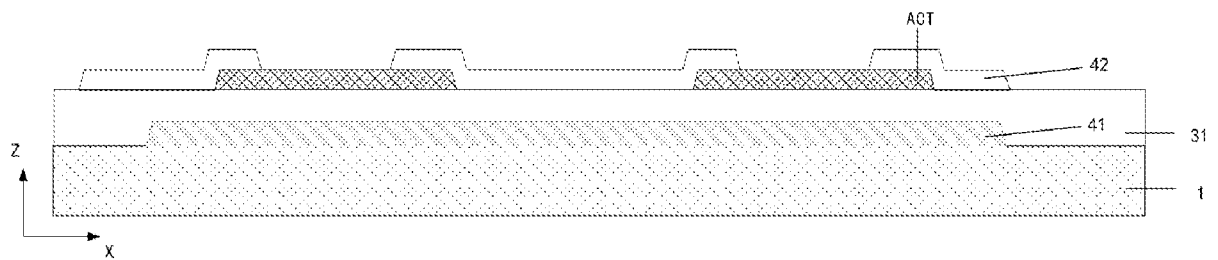


图 18d

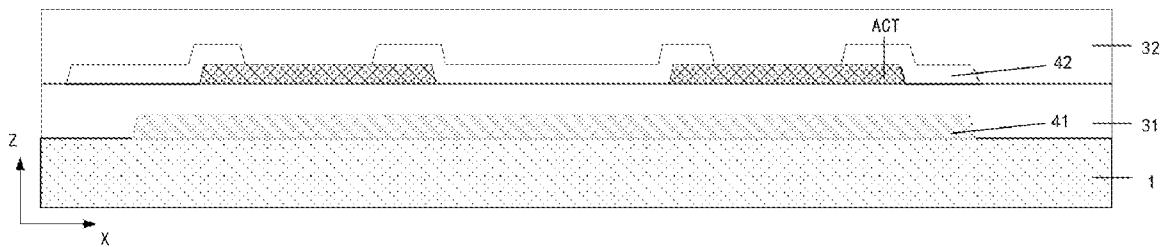


图 18e

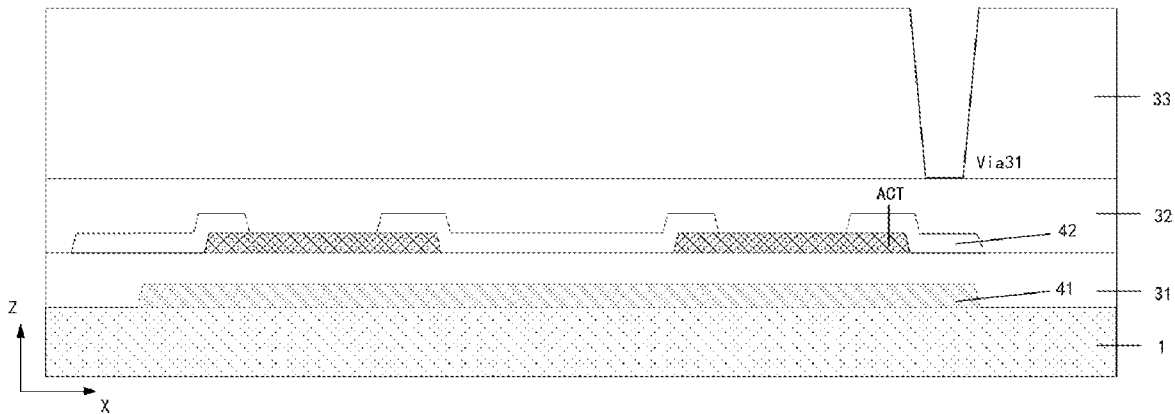


图 18f

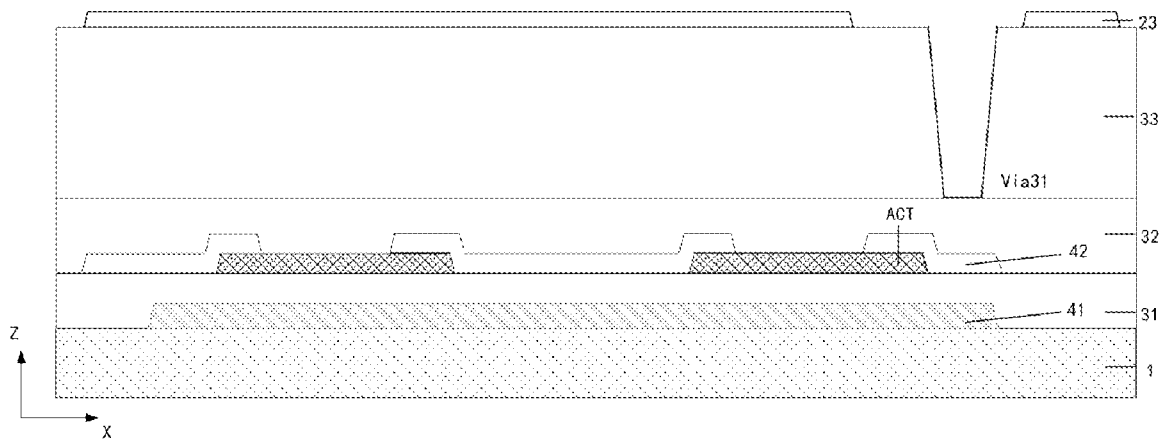


图 18g

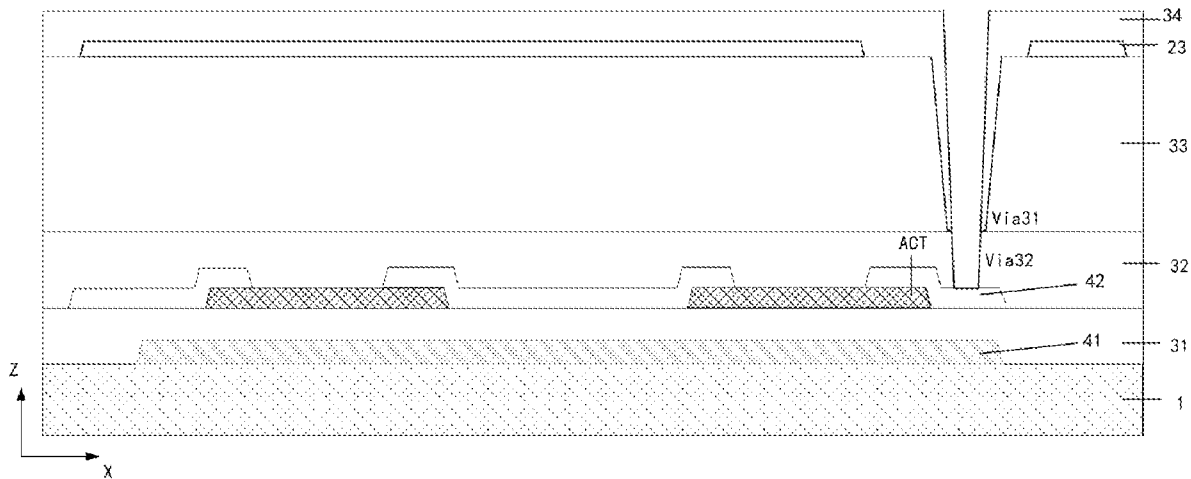


图 18h

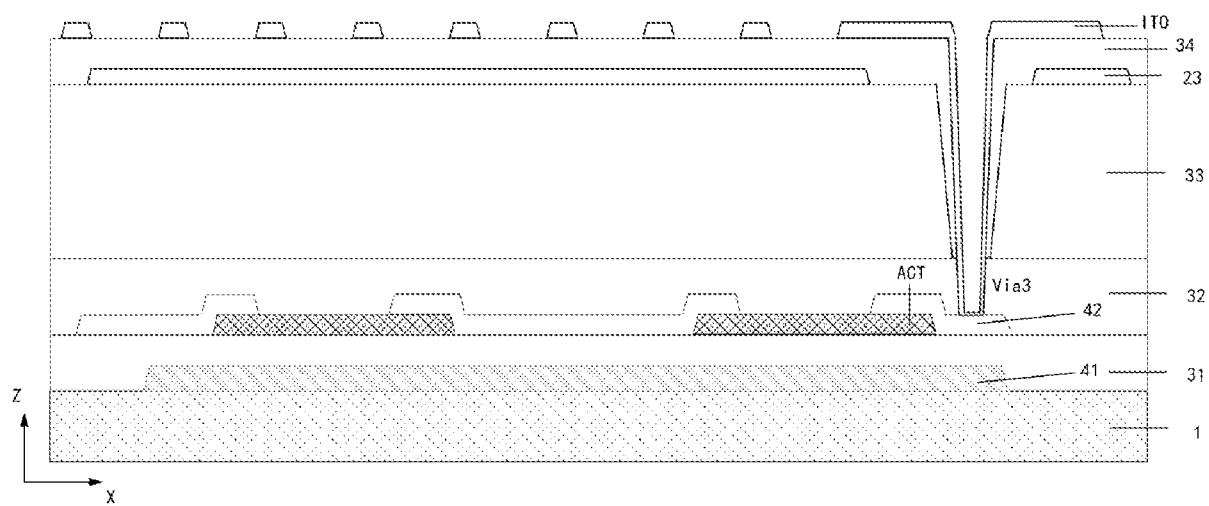


图 18i

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2023/112539

A. CLASSIFICATION OF SUBJECT MATTER

G09G3/20(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

IPC:G09G H01L G02F

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNABS, CNTXT, CNKI: 有源层, 接触, 数据线, 信号线, 电极, 栅线, 栅极线, 扫描线, 间距, 距离, 晶体管, MOS, TFT, 串联, 像素电极, ITO, 漏电, 负偏; VEN, USTXT, EPTXT, WOTXT, ISI: active, contact, data line, signal line, electrode, gate line, scan line, interval, distance, transistor, MOS, TFT, series, pixel electrode, ITO, leak, current, negative bias

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	CN 114203738 A (WUHAN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD.) 18 March 2022 (2022-03-18) description, paragraphs 36-69, and figures 2-4	1-25
X	CN 106252363 A (SHANGHAI AVIC OPTOELECTRONICS CO., LTD. et al.) 21 December 2016 (2016-12-21) description, paragraphs 31-38 and 49-55, and figures 2-4 and 7-11	1-25
X	CN 1652167 A (CASIO COMPUTER CO., LTD.) 10 August 2005 (2005-08-10) description, page 3, third-to-last paragraph-page 6, paragraph 1, page 8, paragraph 2-page 10, paragraph 4, and figures 1-3C and 9-12B	1-25
A	CN 115951527 A (SUZHOU QINGYUE OPTOELECTRONICS TECHNOLOGY CO., LTD. et al.) 11 April 2023 (2023-04-11) entire document	1-25
A	JP 2007094147 A (SANYO EPSON IMAGING DEVICES CORP.) 12 April 2007 (2007-04-12) entire document	1-25



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance
 “D” document cited by the applicant in the international application
 “E” earlier application or patent but published on or after the international filing date
 “L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
 “O” document referring to an oral disclosure, use, exhibition or other means
 “P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

24 April 2024

Date of mailing of the international search report

26 April 2024

Name and mailing address of the ISA/CN

China National Intellectual Property Administration (ISA/
CN)
China No. 6, Xitucheng Road, Jimenqiao, Haidian District,
Beijing 100088

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2023/112539

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
CN	114203738	A	18 March 2022	WO	2023108647	A1	22 June 2023
				US	2024038780	A1	01 February 2024
CN	106252363	A	21 December 2016	CN	106252363	B	03 November 2020
CN	1652167	A	10 August 2005	JP	2005223047	A	18 August 2005
				US	2005167662	A1	04 August 2005
				US	7253460	B2	07 August 2007
				KR	20060041617	A	12 May 2006
				KR	100637318	B1	23 October 2006
				TW	200536126	A	01 November 2005
				TWI	285959	B	21 August 2007
				CN	100433079	C	12 November 2008
				JP	2009049421	A	05 March 2009
				JP	4367566	B2	18 November 2009
CN	115951527	A	11 April 2023	None			
JP	2007094147	A	12 April 2007	None			

A. 主题的分类

G09G3/20(2006.01)i

按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

IPC:G09G H01L G02F

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))

CNABS,CNXTXT,CNKI:有源层, 接触, 数据线, 信号线, 电极, 栅线, 栅极线, 扫描线, 间距, 距离, 晶体管, MOS, TFT, 串联, 像素电极, ITO, 漏电, 负偏; VEN,USTXT,EPTXT,WOTXT,ISI:active, contact, data line, signal line, electrode, gate line, scan line, interval, distance, transistor, MOS, TFT, series, pixel electrode, ITO, leak, current, negative bias

C. 相关文件

类型*	引用文件, 必要时, 指明相关段落	相关的权利要求
X	CN 114203738 A (武汉华星光电技术有限公司) 2022年3月18日 (2022 - 03 - 18) 说明书第36-69段, 图2-4	1-25
X	CN 106252363 A (上海中航光电子有限公司 等) 2016年12月21日 (2016 - 12 - 21) 说明书第31-38、49-55段, 图2-4、7-11	1-25
X	CN 1652167 A (卡西欧计算机株式会社) 2005年8月10日 (2005 - 08 - 10) 说明书第3页倒数第3段-第6页第1段、第8页第2段-第10页第4段, 图1-3C、9-12B	1-25
A	CN 115951527 A (苏州清越光电科技股份有限公司 等) 2023年4月11日 (2023 - 04 - 11) 全文	1-25
A	JP 2007094147 A (SANYO EPSON IMAGING DEVICES CO) 2007年4月12日 (2007 - 04 - 12) 全文	1-25

☐ 其余文件在C栏的续页中列出。

☒ 见同族专利附件。

★ 引用文件的具体类型:

“A” 认为不特别相关的表示了现有技术一般状态的文件

“D” 申请人在国际申请中引证的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的)

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“p” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期

2024年4月24日

国际检索报告邮寄日期

2024年4月26日

ISA/CN的名称和邮寄地址

中国国家知识产权局
中国北京市海淀区蓟门桥西土城路6号 100088

授权官员

杨欢欢

电话号码 (+86) 020-28950546

PCT/ISA/210 表(第2页) (2022年7月)

国际检索报告
关于同族专利的信息

国际申请号
PCT/CN2023/112539

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	114203738	A	2022年3月18日	WO	2023108647	A1	2023年6月22日
				US	2024038780	A1	2024年2月1日
CN	106252363	A	2016年12月21日	CN	106252363	B	2020年11月3日
CN	1652167	A	2005年8月10日	JP	2005223047	A	2005年8月18日
				US	2005167662	A1	2005年8月4日
				US	7253460	B2	2007年8月7日
				KR	20060041617	A	2006年5月12日
				KR	100637318	B1	2006年10月23日
				TW	200536126	A	2005年11月1日
				TWI	285959	B	2007年8月21日
				CN	100433079	C	2008年11月12日
				JP	2009049421	A	2009年3月5日
				JP	4367566	B2	2009年11月18日
CN	115951527	A	2023年4月11日	无			
JP	2007094147	A	2007年4月12日	无			