

發明專利說明書

I224812

公告本

(本申請書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號：92125660

※申請日期：92年09月17日

※IPC分類：H01L21/027

壹、發明名稱：

(中) 半導體裝置之製造方法

(外) Manufacturing method of semiconductor device

貳、申請人：(共 1 人)

1. 姓名：(中) 佳能股份有限公司

(英) キヤノン株式会社

代表人：(中) 1. 御手洗富士夫

(英)

地址：(中) 日本國東京都大田區下丸子三丁目三〇番二號

(英)

國籍：(中英) 日本 JAPAN

參、發明人：(共 1 人)

1. 姓名：(中) 山崎康生

(英) 山崎康生

地址：(中) 日本國東京都大田區下丸子三丁目三〇番二號佳能股份有限公司內

(英) 日本国東京都大田区下丸子3丁目30番2号キヤノン株式会社内

肆、聲明事項：

◎本案申請前已向下列國家(地區)申請專利 ☐ 主張國際優先權：

【格式請依：受理國家(地區)；申請日；申請案號數 順序註記】

1. 日本 ; 2002/09/20 ; 2002-275948 ☒ 有主張優先權

(1)

玖、發明說明

【發明所屬之技術領域】

本發明關係於一半導體裝置之製造方法，更明確地說，關係於由多數層構成之半導體裝置的製造方法。

【先前技術】

傳統上，於具有大晶片尺寸及細微圖案之半導體裝置的製造方法中，每一層之圖案（以下稱為“原始圖案”）被細分為多數圖案（以下稱“分割圖案”），及在一層上之原始圖案係藉由結合予以曝光（以下稱分離曝光）之分割圖案加以形成。這些製程被重覆幾次，以製造由多層構成之半導體裝置（見美國專利第 5,561,317 及 5,731,131 號案）。

第 6 圖顯示為傳統製造方法所完成之半導體裝置一部份的結構平面圖。參考第 6 圖，半導體裝置 90 包含一主動區 91、多晶矽層 92、接觸孔 93 及金屬層 94 及 95。於此，予以用以影像拾取裝置，例如數位相機等之一像素的結構。

主動區 91 變成一光電轉換部份。

多晶矽層 92 變成一金氧半場效電晶體（MOSFET）之閘極電極。接觸孔 93 變成電極連接層。金屬層 94 及 95 變成配線。

於實際半導體裝置 90 中，多數圖案（其中之一被顯示於第 6 圖）被連續形成於上及下方向及右及左方向中。

(2)

第 7 圖之部份 (a) 及 (b) 為用以例如示第 6 圖之半導體裝置的製造方法。第 7 圖之部份 (a) 顯示半導體裝置的平面圖。第 7 圖之部份 (b) 為該平面圖沿著線 A-A' 所取之剖面圖。

參考第 7 圖之部份 (a)，在上及下方向及右及左方向中，重覆一圖案的多數圖案被形成在半導體裝置 90 上。每一層之重覆圖案被設定為一原始圖案並被分成多數之分割圖案。然後，被分割之圖案係彼此結合，以形成每一層之圖案。第 7 圖之部份 (a) 及 (b) 中之線 X-X' 表示於分割圖案間之接點。

於第 6 圖所示之半導體裝置 90 及第 7 圖之部份 (a) 及 (b) 之製造方法中，一熱氧化膜及 SiN 膜首先被形成在矽基材（未示出）上，及薄膜藉由以具有預定圖案之遮罩之乾蝕刻加以處理，以留下主動區域 91 之圖案。在主動區 91 形成後，隨後，一矽膜（未示出）之區域氧化（LOCOS）藉由熱氧化製程加以形成。

再者，離子佈植以具有預定圖案之遮罩加以執行，以形成預定之擴散層。

再者，形成一多晶矽層，及具有預定圖案之多晶矽膜之遮罩的乾蝕刻被執行，以形成為 MOSFET 之閘電極之多晶矽層 92。在多晶矽層 92 形成後，形成一層間絕緣膜（未示出）。

再者，接觸孔 93 被以具有預定圖案之遮罩，形成於層間絕緣膜中。

(3)

再者，一 Al-Cu 膜被形成，及 Al-Cu 膜之乾蝕刻被以具有預定圖案之遮罩加以執行，以形成第一層金屬層 94。在金屬層 94 形成後，形成一層間絕緣膜（未示出），及導孔係形成在層間絕緣膜中。

再者，形成一 Al-Cu 膜，及 Al-Cu 膜之乾蝕刻係以具有預定圖案之遮罩加以執行，以形成第二層層金屬層 95。

包含多晶矽層 92 之這些個別層的圖案係使用 X-X' 線為接點，藉由分割曝光加以形成。分離曝光係藉由重覆地形成分割圖案及矽基材採用分區曝光（step and repeat）方法加以執行。於分割曝光中，使用形成在地上之對準標示作為地標，以對準地板（以下稱“對準機”）係在形成每一分割圖案前加以執行。於分割曝光中，對焦可以針對每一分割圖案加以執行（見例如日本特開平 4-326507 號案之摘要）。再者，於此顯示分割曝光例子，其中所有個別層之圖案均使用相同 X-X' 線成為接點加以曝光，每一層之接點可以位移（見例如美國專利第 6,204,912 號案）。

藉由上述之製造方法，可以容易地製造出有大晶片尺寸及細微圖案之半導體裝置。

於分離曝光中，每一分割圖案為對準機所對準。然而，對準機包含若干程度之誤差（以下稱“對準誤差”）。因此，在第 7 圖之部份（a）中之 X-X' 線處，在個別層之分割圖案間，產生了差異。

(4)

在 A-A'線處之多晶矽層剖面的形狀係顯示於第 7 圖之部份 (b) 中。

當於分割圖案間有差異時，在接合 X-X'線之兩分割圖案中之多晶矽作成的閘極電極 81 及 82 間之距離 "a'" 並不等於一距離 "a"。甚至， $a' < a$ 之例子被顯示於第 7 圖之部份 (b) 中，但本質上可能為 $a' > a$ 。另一方面，在閘極電極 83 及 84 間之分割圖案沒有接點。因此，在閘極電極 83 及 84 間，並未產生差異。

再者，寄生電容產生於閉合電極或配線之間，並且，即使其形狀相同，但電容之值仍依據其間之距離而有所不同。因此，形成在一接點上之電容與形成在其間沒有接點之電容有不同之電容值。於影像拾取裝置等之中，電容差呈現為在像素間之輸出差，以在部份例子中，在螢幕上產生一帶狀。更明確地說，當歸因於接點造成之差異被產生於諸層（以下即多晶矽層）中之鄰接電極間（配線）時，其係被使用作為 MOSFET 之控制電極（配線）時，其放大及傳送信號，藉以寄生電容不同，該差異經常地造成一大問題。

【發明內容】

本發明之一目的為提供一半導體裝置的製造方法，其中，對準誤差的影響可以降低。本發明解決以上之至少一問題。

為了解決上述問題，本發明之製造方法為一由多數層

(5)

構成之半導體設備之製造方法，該方法包含步驟：將至少一層之一圖案分割成多數次圖案；及將分割之次圖案接合。以藉由分割曝光執行圖案化，其中，包含有關於影響半導體裝置操作的配線的一層取決於對其他配線之部份位置關係，該圖案化係使用單一遮罩以單次曝光加以執行。

因此，至少敏感於對其他配線之位置關係之配線係藉由單次曝光，形成在一固定位置關係中。

再者，至於包含對其他配線位置關係所產生之寄生電容值實質影響半導體裝置操作之配線的一層，圖案化可以藉由使用單一遮罩，以單次曝光加以形成。

因此，至少敏感於對其他配線之位置關係所產生之寄生電容值之配線係藉由單次曝光，形成在一固定位置關係中。

再者，半導體裝置可以包含多數元件，每一元件具有由多數層所構成之相同結構，多數層分別包含多數相同圖案，至於包含造成每一元件特徵分散之配線的一層，該分散實質影響半導體裝置的操作者，當元件間存在有不同之寄生電容值時，可以執行使用單一遮罩之單次曝光。

因此，敏感於每一元件中之寄生電容值之配線係藉由單次曝光形成在一固定位置關係中，藉以每一元件之特徵可以變得均一。

再者，半導體裝置也可以為一影像拾取設備，用以執行光電轉換，至於當像素間存在有寄生電容值差時，包含使得影像中光電轉換輸出差異程度為可見時之配線的一層

(6)

，則可以使用一遮罩來執行單次曝光。

因此，對每一元件中之寄生電容之值敏感的配線係藉由單次曝光形成在一固定位置關係中，藉以每一元件之光電轉換特性為均一。因此，在一影像上，影像拾取裝置到可見程度並未被大量影響。

依據本發明之一態樣，該半導體設備為一 CMOS 面感應器，一元件為在 CMOS 面感應器中之每一 CMOS 感應器，再者，一包含配線之一層為在 CMOS 感應器中之場效電晶體的閘電極，及產生寄生電容之配線係藉由使用單一遮罩，藉以單次曝光加以形成。

依據本發明另一態樣，取決於對其他配線之位置關係，而影響半導體設備操作之配線係為直接連接至半導體層的配線。再者，依據另一具體態樣，配線係由多晶矽完成。

再者，只有在包含配線大量影響半導體裝置操作之一層上，圖案可以為單次曝光所形成，在所有其他層上之圖案，可以藉由分割曝光加以形成。

如上所述，因為只有敏感於對其他配線之位置關係的配線係以單次曝光形成在固定位置關係中，半導體裝置的操作不會被大量影響，以及，細微圖案可以包含於其他層中。

再者，在形成取決於對其他配線之位置關係，而實質影響半導體裝置操作之配線的層上之圖案前，在該等層上所形成之圖案上，該等圖案可以藉由單次曝光加以形成，

(7)

而在該單次曝光後所形成圖案的所有其他層上，圖案則可以藉由分割曝光加以形成。

因此，因為圖案以單次曝光被形成在對其他配線之位準關係敏感之配線的層上，所以，單次曝光之對準可以藉由將予以對準之層定位至由單次曝光所形成在地板之圖案加以執行，因此，對準很容易。再者，於對其他配線之位置關係敏感之配線與地板上之圖案間之位置關係可以均一。

本發明之其他特性及優點將由以下說明配合附圖加以了解，其中，相同參考符號表示相同或類似元件。

【實施方式】

本發明之實施例係以參考附圖方式加以詳細說明。

本發明之半導體裝置係用於影像拾取設備，例如數位相機等者。半導體裝置具有大晶片尺寸及細微圖案。

第 1 圖為依據本發明實施例之半導體裝置的一像素的電路平面圖。參考第 1 圖，半導體裝置 10 包含一主動區 11、多晶矽層 12、接觸孔 13 及金屬層 14 及 15。

主動區 11 變成為光電轉換部份。一包含像素部份及週邊電路並以互補金屬氧化物半導體（CMOS）製程形成之感應器大致被稱為 CMOS 感應器。於感應器的像素中，包含有光二極體（未示出）。一包含呈矩陣排列之多數像素的固態影像拾取設備被稱為 CMOS 面感應器。

構成 CMOS 感應器之每一 MOS FET 之閘電極由多晶

(8)

矽層 12 所形成。一 MOSFET 包含一選擇電晶體，用以在多數像素間形成任意像素，及一傳送電晶體，用以傳送所選之像素的光電轉換輸出。

接觸孔 13 變成電極連接層。配線係由金屬層 14 及 15 所形成。

於實質半導體裝置中，示於第 1 圖之圖案係連續形成呈矩陣。半導體設備 10 作為一 CMOS 面感應器，其中，包含呈矩陣排列之像素，矩陣包含預定量之列及預定量之行。然後，CMOS 面感應器選擇每一像素並採每一像素之光電轉換輸出，以取得影像資料。

第 2A 及 2B 至第 4 圖為視圖，用以例示第 1 圖半導體裝置的製造方法的每一製程。

參考第 2A 圖，一熱氧化膜及 SiN 膜首先被形成在矽基材（未示出）上，及這些膜係藉由以具有預定圖案之遮罩，以乾蝕刻加以處理，以留下主動區 11 之圖案。因為主動區 11 並未包含一細微圖案，所以有可能以一遮罩（以下稱“單次曝光”）曝光整個層。因此，於形成主動區 11 之圖案的製程中，整個層之圖案係藉由該單次曝光加以形成。在形成主動區 11 之後，隨後，一 LOCOS 膜（未示出）係藉由熱氧化處理加以形成。

再者，參考第 2B 圖，形成一多晶矽膜，及以具有預定圖案之多晶矽膜的遮罩，進行乾蝕刻，以形成為 MOSFET 閘電極之多晶矽層 12。多晶矽層 12 並未包含任何細微圖案，因此，容易為寄生電容所影響。寄生電容例

(9)

如產生於由多晶矽層 12 作成之兩閘極電極配線之間，該寄生電容之值依據配線間之位置關係而有所不同。當寄生電容之值改變時，對半導體裝置 10 之操作給予相當之影響。例如，於影像上，光電轉換之輸出差異，在一影像上造成一可見之程度。因此，在形成多晶矽層 12 圖案之處理中，所有層 12 之一圖案係藉由一單次曝光加以形成。在形成多晶矽層 12 後，形成一層間絕緣膜（未示出）。

再者，參考第 3A 圖，接觸孔 13 以具有預定圖案之遮罩被形成於層間絕緣膜。接觸孔 13 需要細微設計。因此，整個層之圖案（此後稱“原始圖案”）被分成多數圖案（此後稱“分離圖案”），及原始圖案藉由分區曝光法，結合予以曝光之分離圖案（以下稱“分離曝光”）加以形成。

於分離曝光中，使用形成於地板上之對準遮罩作為地標，以對準至地板（以下稱“對準”係在形成每一分離圖案前加以執行。然而，於對準機中，包含有某些程度之誤差（以下稱“對準誤差”）。

於第 3A 圖中，接觸孔 13 之圖案的接點存在於線 Y-Y' 上。此圖放大顯示在 Y-Y' 線兩側上之接觸孔位置的差異。此等差異係為對準誤差所產生。然而，接觸孔 13 之此程度之差異（約 0.1 微米或更少之對準誤差），在像素間並不會出現為輸出差異。

再者，參考第 3B 圖，形成一 Al-Cu 膜，Al-Cu 膜之乾蝕刻係以具有預定圖案之遮罩加以執行，以形成金屬層 14。當需要金屬層 14 之細微設計時，原始圖案係被分成

(10)

若干分割次圖案，及分離曝光藉由分區曝光法加以執行。於第 3B 圖中，金屬層 14 之圖案的接點存在於線 Z-Z' 上。此圖顯示金屬層 14 之配線位置差異出現在 Z-Z' 線之兩側上。然而，金屬層 14 之配線之此程度的差異並不會在像素間成為輸出差。最後，如第 3B 圖所示，Z-Z' 線係位在如第 3A 圖之 Y-Y' 線的同一位置，但兩條線可以位在不同位置處。

在形成金屬層 14 後，一層間絕緣膜（未示出）然後形成，及導孔（未示出）被形成於層間絕緣膜中。

再者，參考第 4 圖，形成一 Al-Cu 膜，及 Al-Cu 膜之乾蝕刻係以具有預定圖案之遮罩加以執行，以形成金屬層 15。當需要金屬層 15 之細微設計時，執行分割曝光。於第 4 圖中，金屬層 15 之圖案的接點存在於一線 W-W' 上。此圖放大顯示在 W-W' 線兩側上之金屬層 15 的位置的略微差異。

然而，金屬層 15 之配線的此程度之差異在像素間並不會出現為任一輸出差。另外，如第 4 圖所示，W-W' 線係位在與第 3A 圖所示之 Y-Y' 線相同位置處，但兩條線也可以位在不同位置。

第 5 圖部份 (a) 及 (b) 分別為一平面及剖面圖，顯示本實施例之半導體裝置的分割圖案之部份的結構，這些部份在一接點處接合。第 5 圖之部份 (a) 顯示本實施例之半導體裝置的平面圖，及第 5 圖之部份 (b) 顯示在平面圖中之線 B-B' 的剖面圖。

(11)

參考第 5 圖之部份 (a) 之平面圖，由多晶矽層 12 作成之閘電極的位置在線 Y-Y' 之兩側並未彼此位移。

於第 5 圖部份 (b) 中，在線 B-B' 之剖面處，顯示出多晶矽層 12 之形狀。

閘極電極 21 及 22 在 Y-Y' 線處彼此接合的間距係等於想要距離 "b"。然而，於閘極電極 23 及 24 間之間距，其間沒有 Y-Y' 線也等於距離 "a"。

如上所述，因為容易為寄生電容所影響之多晶矽層 12 係由單次曝光所形成，及不容易為寄生電容所影響及需要細微設計之接觸孔 13 及金屬層 14 及 15 係由分割曝光所形成，則可以製造出半導體裝置 10，其在像素間，並不會產生由多晶矽層 12 所作成之閘極電極之寄生電容的分散，並且，可以照相同時在像素間不會產生輸出差。

另外，於本實施例中，容易為寄生電容所影響之多晶矽 12 以及有多晶矽層 12 前形成圖案之主動區 11 係由單次曝光所形成，及其他層（接觸孔 13 及金屬層 14 及 15）係由分區曝光所形成。因此，在多晶矽層 12 之每一閘電極之寄生電容不會產生分散。再者，於多晶矽層 12 及位在多晶矽層 12 之地板上之主動區 11 間之位置關係變成均一。因此，多晶矽層 12 之對準容易，及像素的輸出變成均一。然而，本發明並不限定於本實施例。例如，其可以採用藉由單次曝光，只形成多晶矽層 12 之圖案，及藉由分離曝光，來形成其他所有層之圖案。

另外，於本實施例中，顯示一固態影像拾取設備之

(12)

CMOS 面感應器。然而，本發明並不限定於此實施例。本發明可以廣泛地應用至由多數層構成之半導體設備的製造中。

再者，於本實施例中，單次曝光可以執行至多晶矽層多晶矽層 12。然而，本發明並不限定於本實施例。較佳地，執行單次曝光以用於圖案層，其中，於分區曝光中之對準誤差所造成之寄生電容值差可能影響影像，成為在 CMOS 面感應器中之像素間之輸出差。由於分區曝光產生之對準曝光係依據製造設備之效能加以決定。再者，由誤差所造成之於像素間之寄生電容值差係依據材料品質及圖案配置加以決定。再者，由寄生電容差所造成之像素間之輸出差係為寄生電容產生之地方所影響。

依據本發明，因為對於其他配線位置關係敏感之至少配線係以單次曝光形成在一固定位置關係處，所以，可以製造出一半導體裝置，其操作不會為實質對準誤差所影響，以在良好狀態下操作。

再者，因為對其他配線之位置關係造成之寄生電容值敏感之至少配線係以單次曝光形成在一固定位置關係處，所以，可以製造出一半導體裝置，其操作未實質影響，以在良好狀況下操作。更明確地說，於 CMOS 面感應器中，形成有 MOSFET 之閘電極（配線）之層（於本發明中為多晶矽層）相當於在操作時，未受到實質影響之層。

再者，因為對每一元件之寄生電容值敏感之配線係以單次曝光，形成在一固定位置關係處，所以，每一元件之

(13)

特徵為均一。因此，可以製造出一半導體裝置，其對操作不會產生實質影響，以在良好狀況下操作。

再者，因為對每一元件之寄生電容值敏感之配線係以單次曝光形成在一固定位置關係，所以，每一元件之光電轉換特性均一。因此，可以製造一影像拾取設備，其影像並未被影響，以照出一良好影像。

再者，因為只有對其他配線位置關係敏感之配線以單次曝光形成在一固定位置關係中，一半導體設備之操作未實質影響。再者，其他層也可以包含細微圖案。

再者，因為圖案以單次曝光形成在包含對其他配線位置關係敏感之配線的層上，所以，由單次曝光所形成之圖案的對準係足以成為單次曝光之對準，然後，容易對準。再者，對其他配線位置關係敏感之配線的對地板圖案的位置關係可以作成均一。

另外，本發明完成至少一優點。再者，本發明可以藉由適當地組合上述實施例加以架構。

【圖式簡單說明】

第 1 圖為依據本實施例之半導體裝置像素之電路平面圖；

第 2A 及 2B 圖為示於第 1 圖之半導體裝置的製造方法的每一製程的視圖；

第 3A 及 3B 圖為示於第 1 圖之半導體裝置的製造方法的每一製程的視圖；

(14)

第 4 圖 爲 示 於 第 1 圖 之 半 導 體 裝 置 的 製 造 方 法 的 每 一 製 程 的 視 圖 ；

第 5 圖 之 部 份 (a) 及 (b) 分 別 爲 一 平 面 及 剖 面 圖 ， 顯 示 本 實 施 例 之 半 導 體 裝 置 的 分 離 圖 案 之 部 份 結 構 ， 該 部 份 結 合 於 一 接 點 ；

第 6 圖 爲 一 平 面 圖 ， 顯 示 傳 統 製 造 方 法 所 製 造 之 半 導 體 裝 置 一 部 份 之 結 構 ； 及

第 7 圖 之 部 份 (a) 及 (b) 爲 視 圖 ， 顯 示 於 第 6 圖 之 半 導 體 裝 置 之 製 造 方 法 。

元 件 對 照 表

10：半 導 體 裝 置

11：主 動 區

12：多 晶 矽 層

13：接 觸 孔

14：金 屬 層

15：金 屬 層

81：閘 電 極

82：閘 電 極

83：閘 電 極

84：閘 電 極

90：半 導 體 裝 置

91：主 動 區

92：多 晶 矽 層

(15)

93：接觸孔

94：金屬層

95：金屬層

伍、中文發明摘要

發明之名稱：半導體裝置之製造方法

本案提供一半導體裝置之製造方法，其中對準誤差之影響被降低。一半導體裝置包含多數元件，每一元件具有相同結構，該等結構分別有含相同多數圖案之多數層所構成。在多層上執行單次曝光，以在其上形成圖案，當元件間配線與配線之位置關係所產生之寄生電容值不同時，在該層上形成一圖案之前，諸圖案形成在諸層上，該一圖案之形成包含配線，其會大大地影響該半導體裝置的操作。在單次曝光後所形成有圖案之所有其他層上，執行分次曝光，以形成在其上形成圖案。

陸、英文發明摘要

發明之名稱：MANUFACTURING METHOD OF SEMICONDUCTOR DEVICE

A manufacturing method of a semiconductor device in which the influence of alignment errors is decreased is provided. A semiconductor device includes a plurality of elements each having the same structure composed of a plurality of layers including the same plural patterns respectively. One-shot exposure is performed for forming patterns on layers on which the patterns are formed before the formation of a pattern on the layer including wiring substantially affecting the operation of the semiconductor device when the value of the parasitic capacitance generated according to a positional relationship between the wiring and other wiring is different between elements. Division exposure is performed for forming patterns on all of the other layers on which the patterns are formed after the one-shot exposure.

柒、指定代表圖：

(一)、本案指定代表圖為：第 5 圖

(二)、本代表圖之元件代表符號簡單說明：

10：半導體裝置

11：主動區

12：多晶矽層

13：接觸孔

14：金屬層

15：金屬層

21，22，23，24：閘極電極

捌、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

(1)

拾、申請專利範圍

1.一種製造半導體設備裝置的方法，該裝置包含多數層在一半導體基材上，該方法包含步驟：

將至少一層之圖案分割多數次圖案；及

結合分割之次圖案，以執行圖案化，

其中，針對包含有取決於對其他配線位置關係以實質影響半導體裝置之操作的配線之一層，該圖案化係使用單一遮罩，以單次曝光法加以執行。

2.如申請專利範圍第 1 項所述之方法，其中，針對包含有取決於對其他配線位置關係所產生之寄生電容值，以實質影響半導體裝置之操作的配線之一層，該圖案化係使用單一遮罩，以單次曝光法加以執行。

3.如申請專利範圍第 2 項所述之方法，其中，該半導體裝置具有多數元件，每一元件具有由多數層構成之一相同結構，多數層分別包含多數相同圖案，及

針對包含使得每一元件之特徵分散之配線的一層，該分散實質影響半導體裝置的操作，當在元件間之寄生電容值有差異時，使用單一遮罩，來執行單次曝光。

4.如申請專利範圍第 3 項所述之方法，其中，該半導體裝置更具有多數像素，每一像素包含一光電轉換部份，及

針對包含使得一影像中之光電轉換之輸出差可見程度之配線的一層，當在像素間有寄生電容值差時，使用單一遮罩，來執行單次曝光。

(2)

5.如申請專利範圍第 4 項所述之方法，其中該方法更包含藉由一 CMOS 製程，來形成每一像素及/或週邊電路之步驟，

其中，在該像素中之場效電晶體的控制配線係使用單一遮罩，以單次曝光加以形成。

6.如申請專利範圍第 1 項所述之方法，其中，直接連接至半導體基材之配線係由單次曝光，使用單一遮罩加以形成。

7.如申請專利範圍第 6 項所述之方法，其中，該配線係由多晶矽作成。

8.如申請專利範圍第 1 項所述之方法，其中，只有針對取決於對其他配線位置關係，而實質影響半導體裝置操作之配線的一層，該圖案化係藉由單次曝光執行，至於所有之其他層，則圖案化係藉由分區曝光執行。

9.如申請專利範圍第 1 項所述之方法，其中，針對包含在取決於對其他配線之位置關係，而實質影響半導體裝置操作之配線的一層作圖案化前，所予以圖案化之諸層，該圖案化係由單次曝光所執行，至於其他予以於單次曝光後圖案化的所有層，圖案化係以分區曝光加以形成。

10.一種製造半導體設備裝置的方法，該方法包含將至少一層之圖案分割成多數次圖案，及結合該等分割次圖案，以執行圖案化，該方法包含步驟：

在一半導體基材上，形成一 MOS 電晶體之源極及汲極區；

(3)

形成一閘極緣膜及 MOS 電晶體的閘極電極：

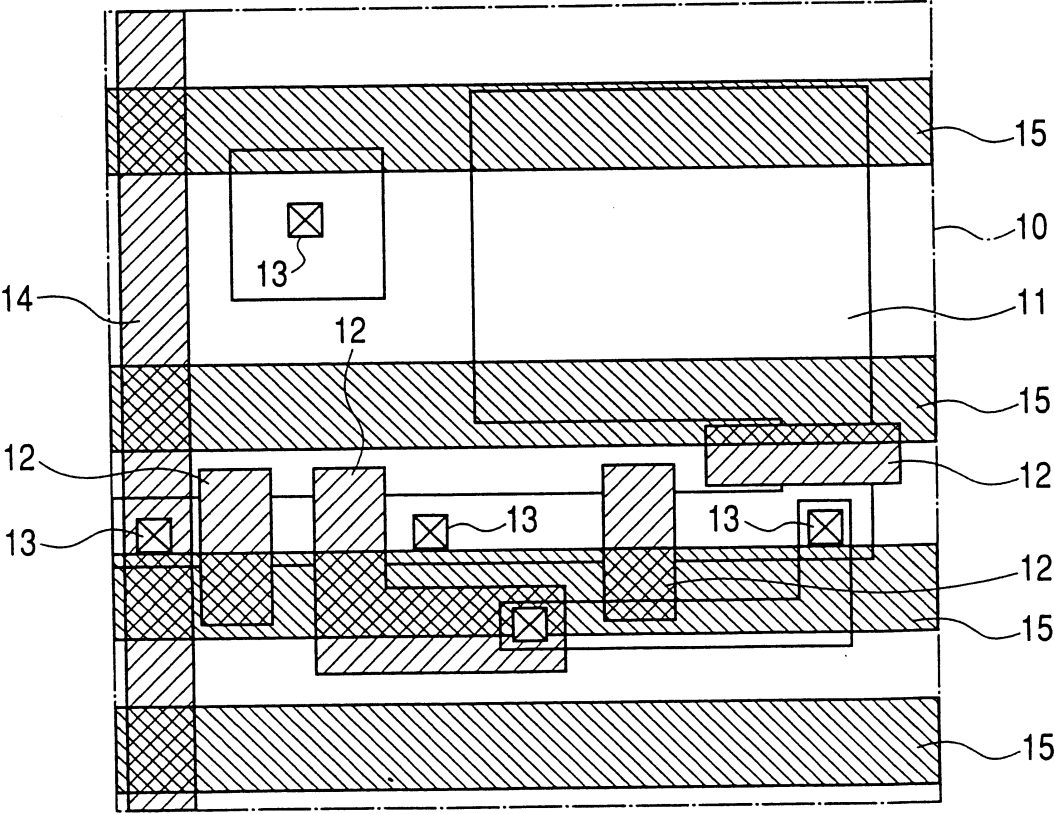
形成一配線層，其包含連接至閘極電極之閘極配線：

及

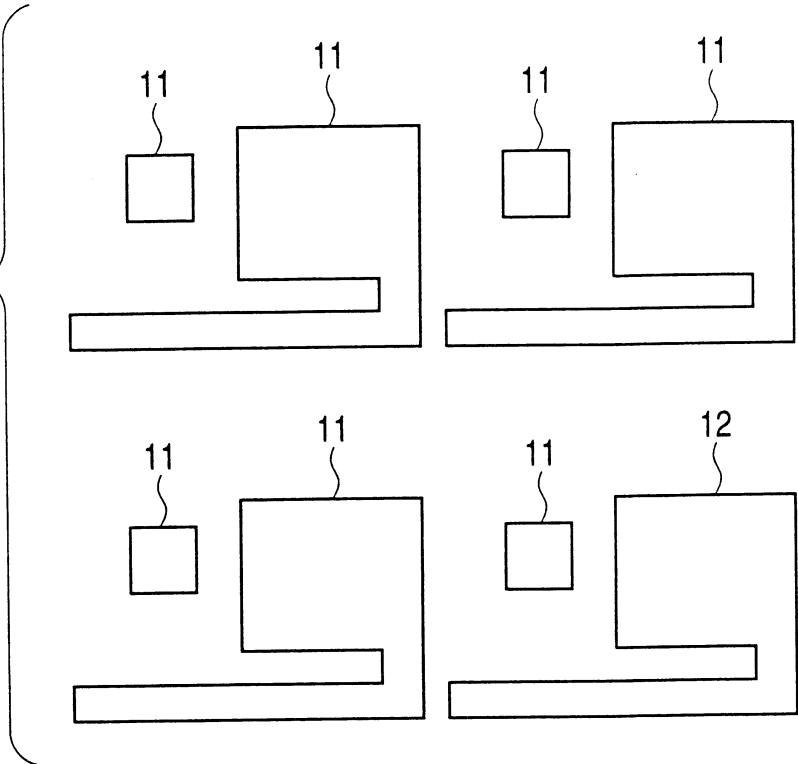
藉由對配線層，以單次曝光，執行圖案化，以形成閘極配線。

11.如申請專利範圍第10項所述之方法，其中該方法更包含形成一光電轉換部份之步驟。

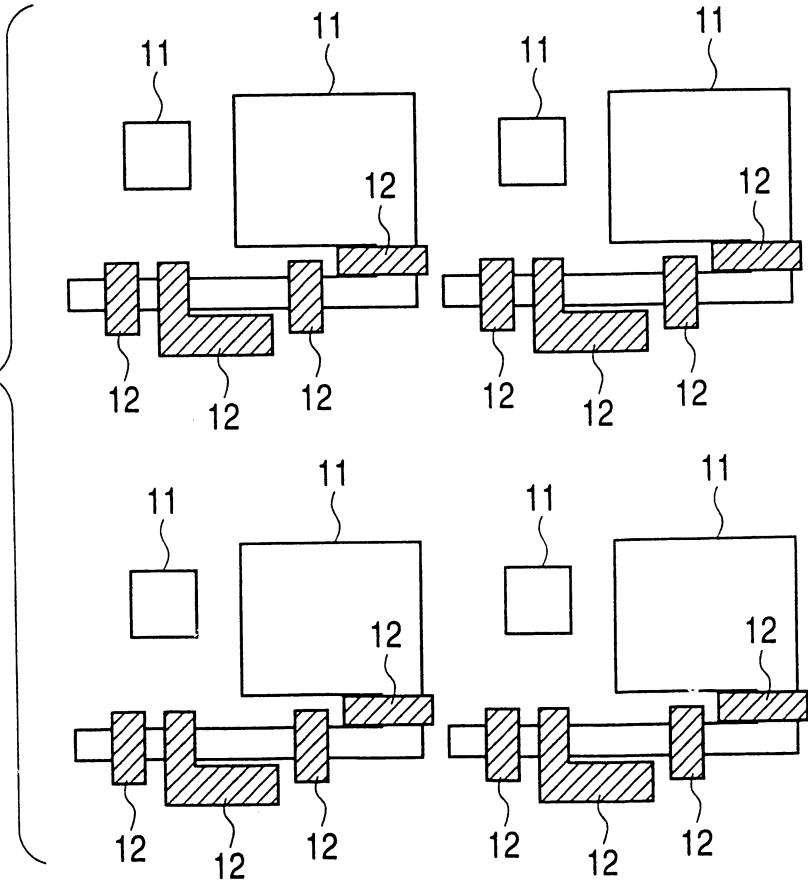
第1圖



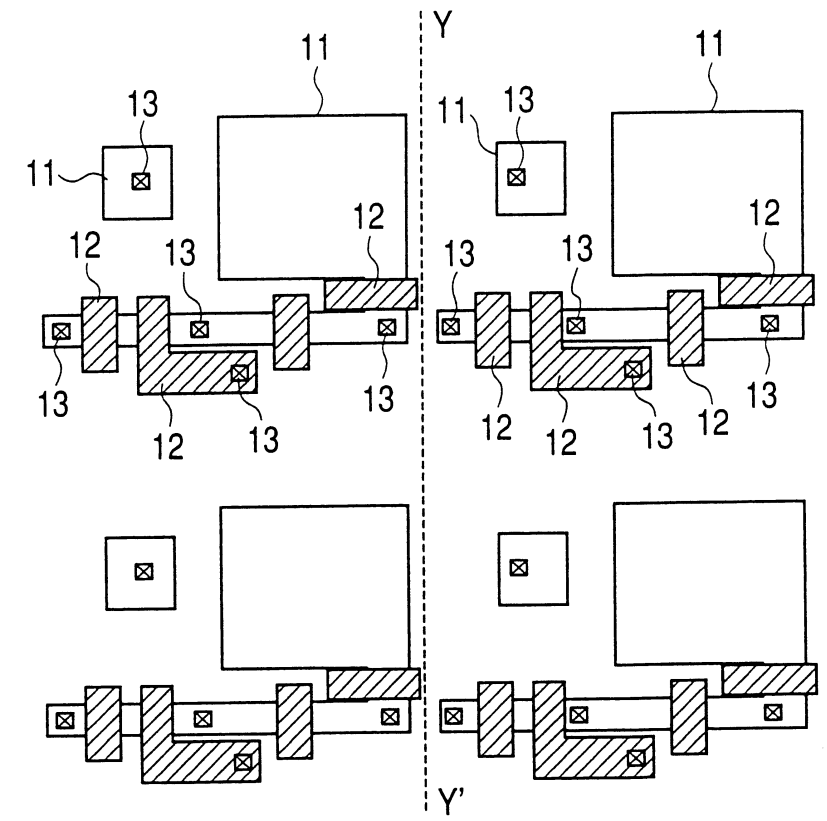
第2A圖



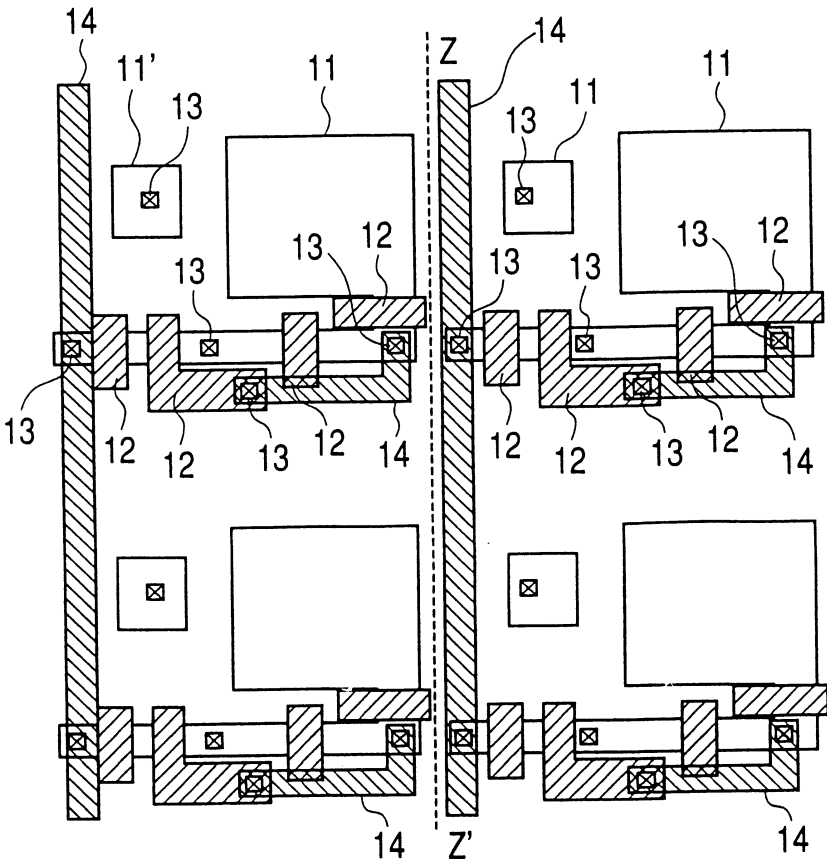
第2B圖



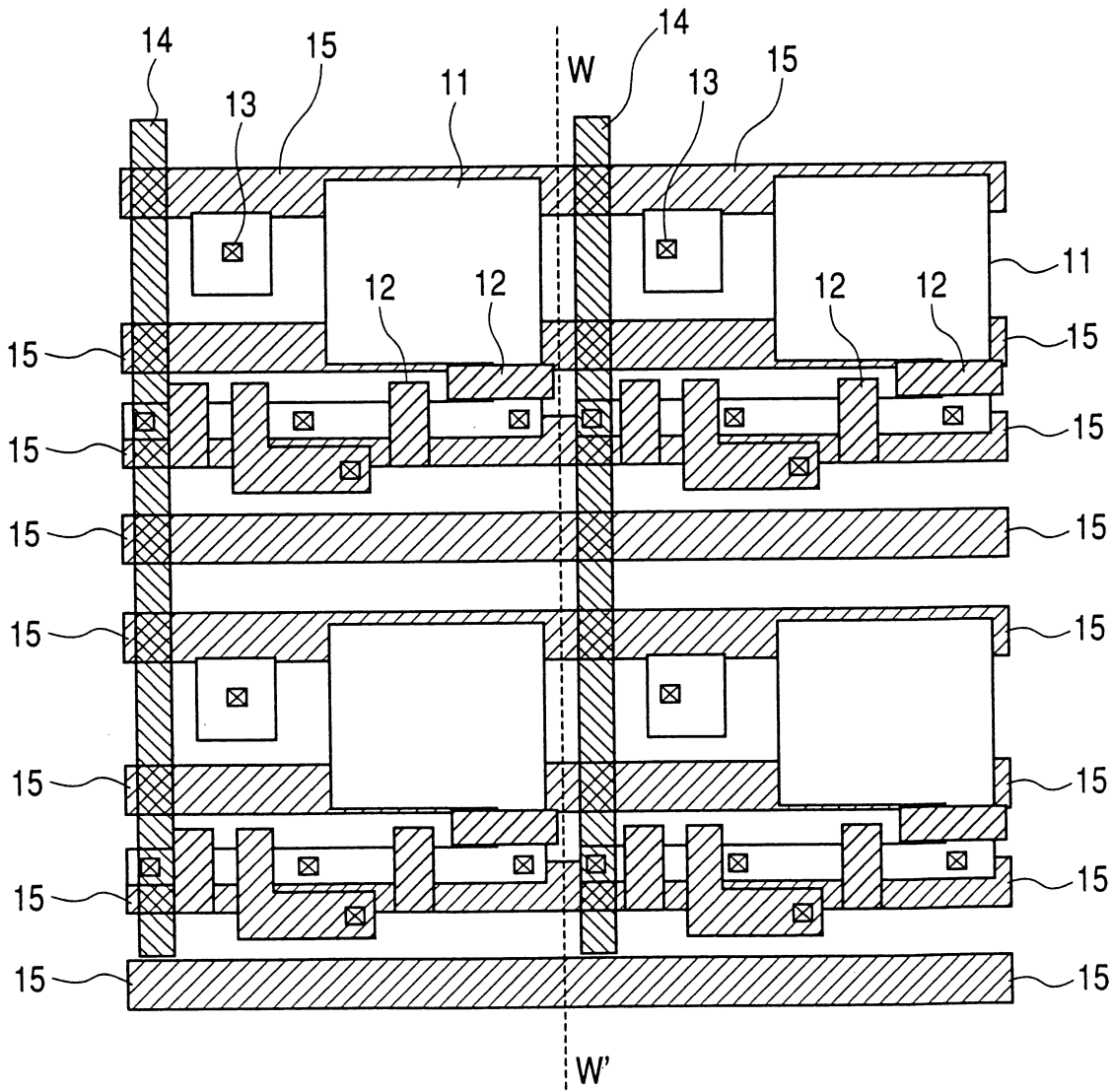
第3A圖



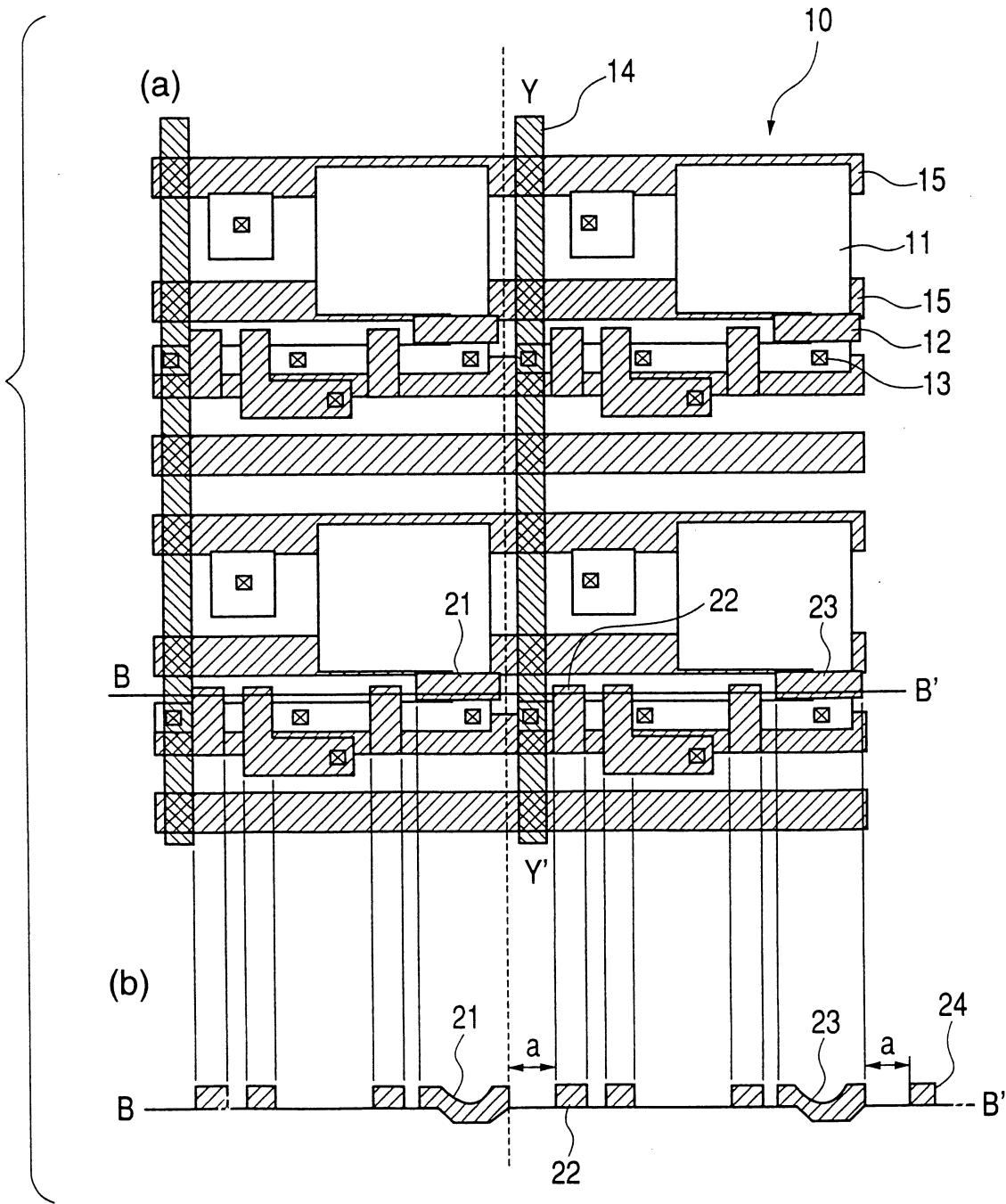
第3B圖



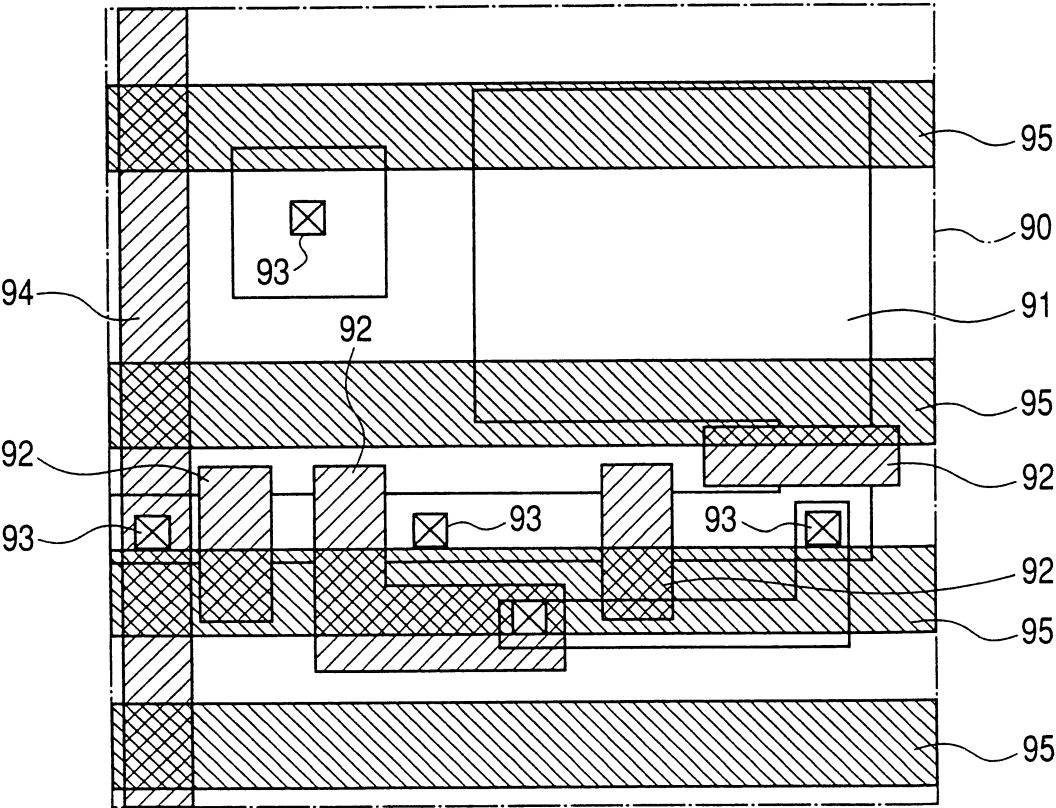
第4圖



第5圖



第6圖



第7圖

