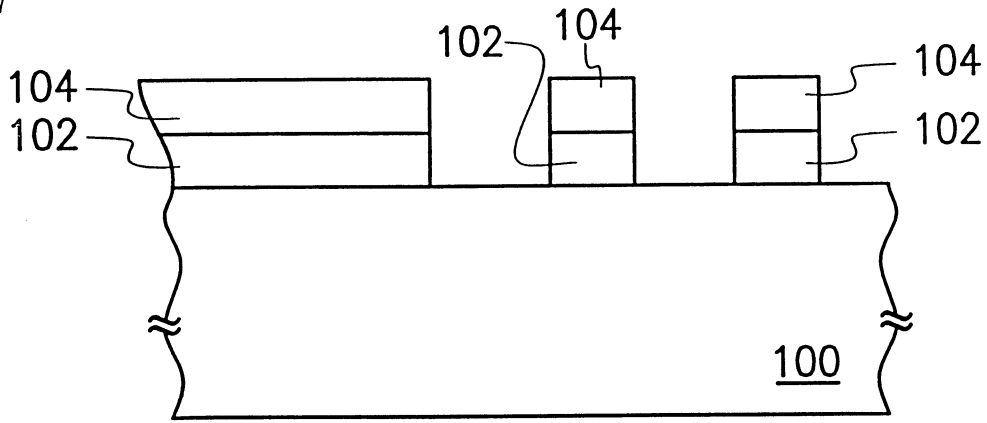
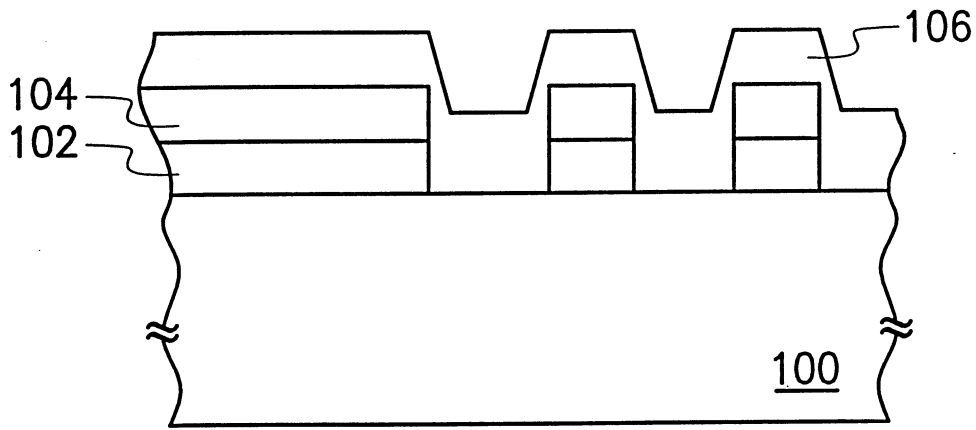


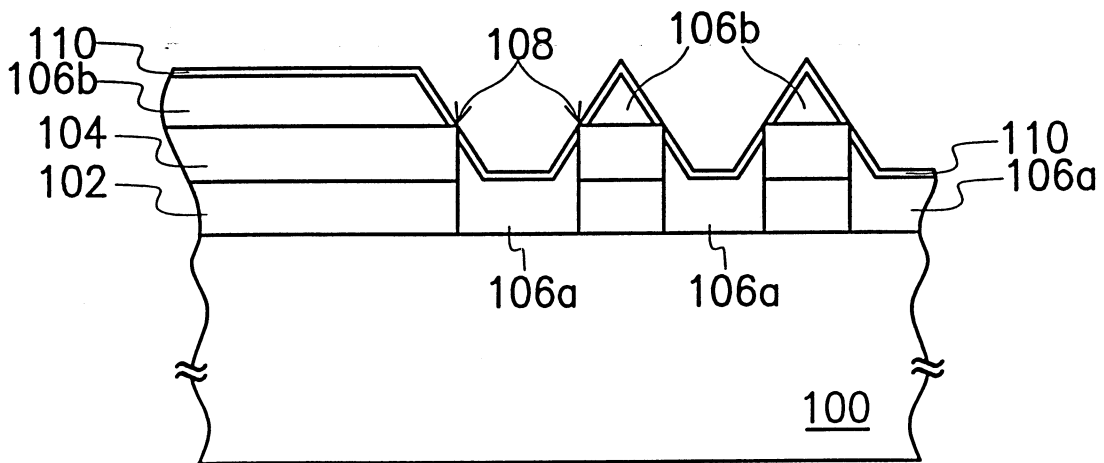
7119TW



第 1A 圖

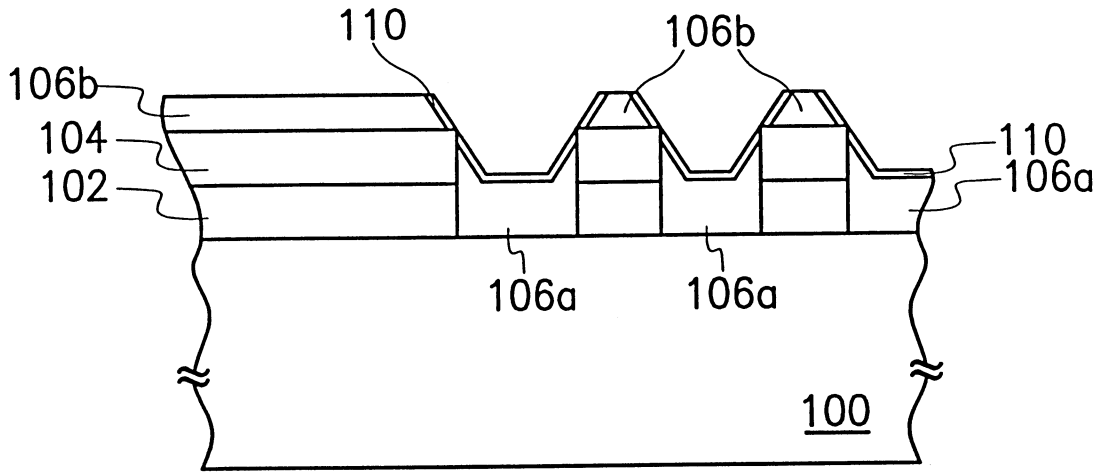


第 1B 圖

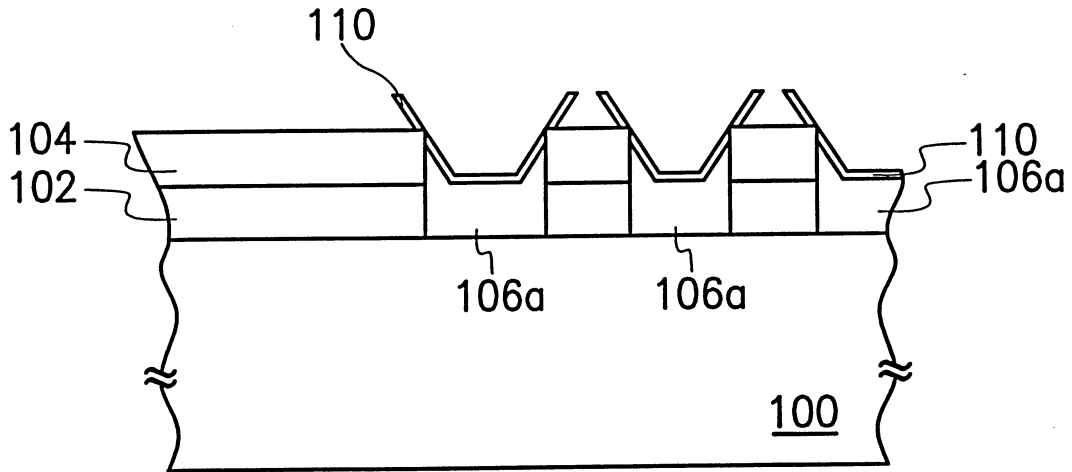


第 1C 圖

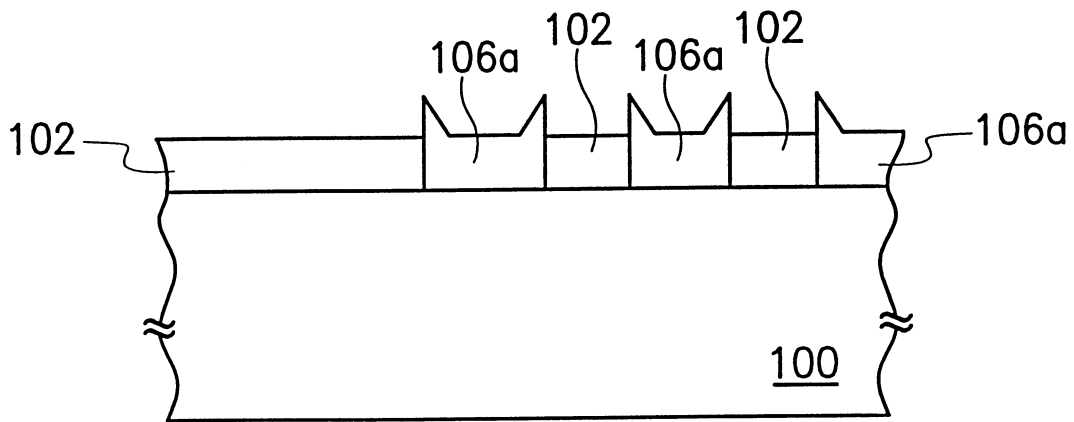
7119TW



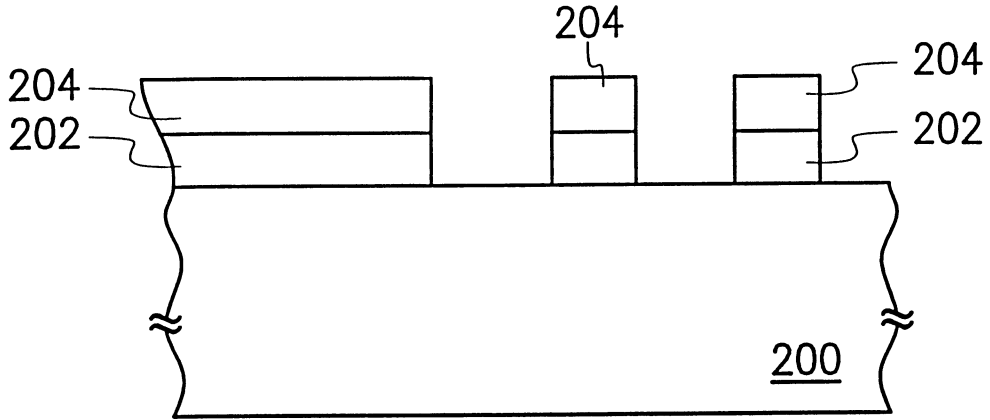
第1D圖



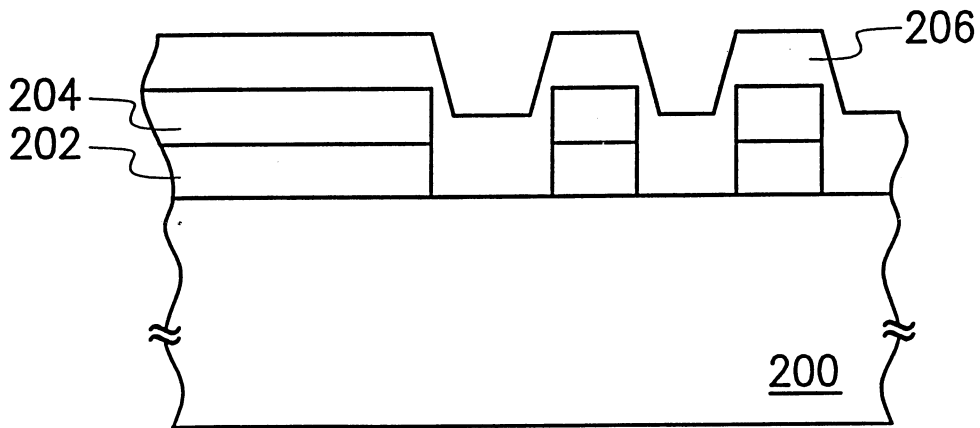
第1E圖



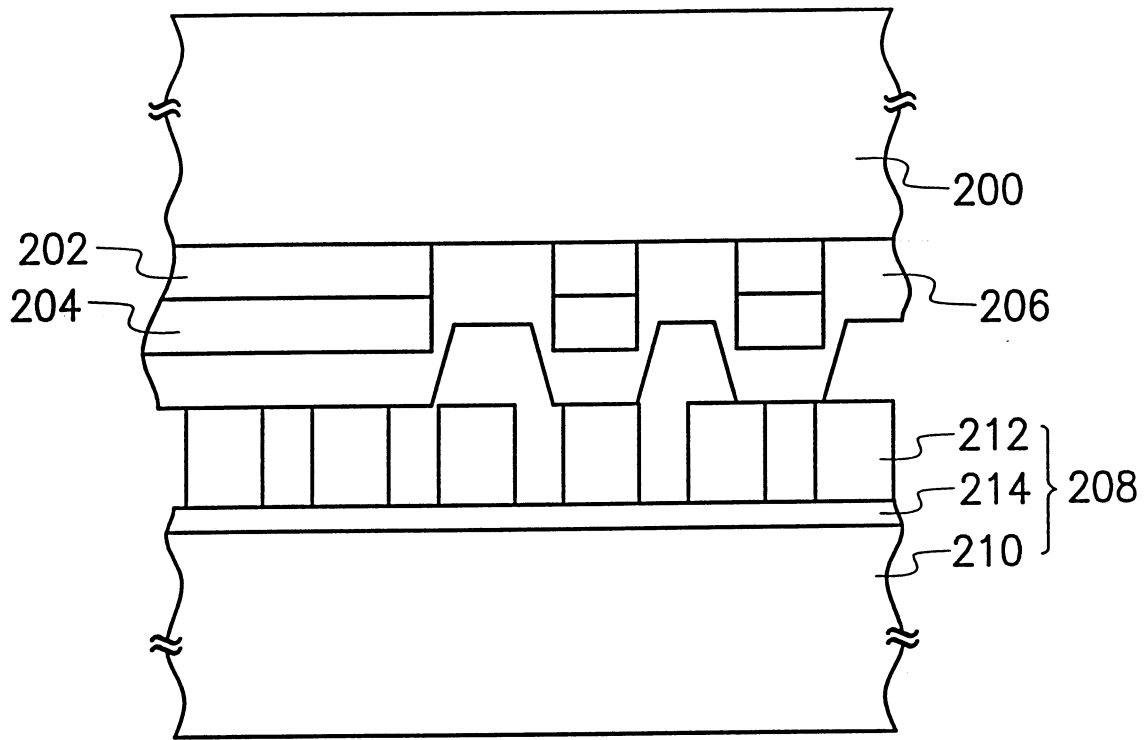
第1F圖



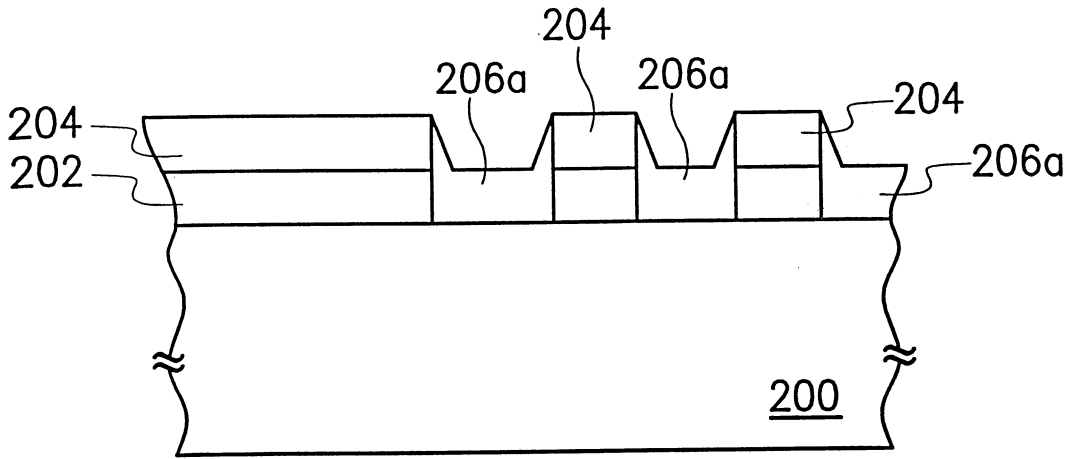
第 2A 圖



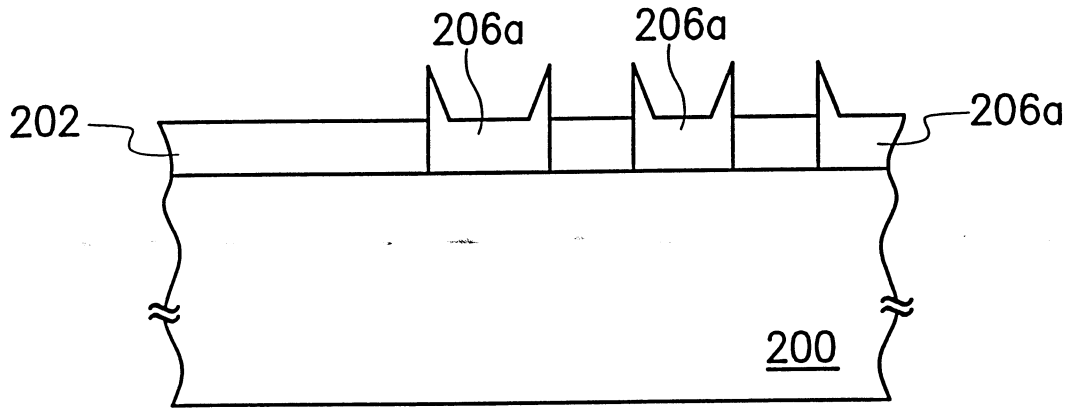
第 2B 圖



第 2C 圖



第2D圖



第2E圖

97年1月9日修正/更正/補充



發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號：91101472

※ 申請日期：91.4.12

※IPC 分類：H01L 21/304

一、發明名稱：(中文/英文)

介電層平坦化的方法

METHOD FOR PLANARIZING A DIELECTRIC LAYER

二、申請人：(共 1 人)

姓名或名稱：(中文/英文)

旺宏電子股份有限公司/MACRONIX INTERNATIONAL CO., LTD.

代表人：(中文/英文) 吳敏求/MIIN-CHYOU WU

住居所或營業所地址：(中文/英文)

新竹科學工業園區力行路 16 號/NO. 16, LI-HSIN RD.,

SCIENCE-BASED INDUSTRIAL PARK, HSINCHU, TAIWAN, R. O. C.

國 籍：(中文/英文) 中華民國/TW

三、發明人：(共 1 人)

姓 名：(中文/英文)

黃啟東/Chi-Tung Huang

國 籍：(中文/英文) 中華民國/TW

四、聲明事項：

主張專利法第二十二條第二項 第一款或 第二款規定之事實，其事實發生日期為： 年 月 日。

申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

有主張專利法第二十七條第一項國際優先權：

無主張專利法第二十七條第一項國際優先權：

主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

主張專利法第三十條生物材料：

須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

九、發明說明：

【發明所屬之技術領域】

本發明是有關於一種半導體元件平坦化的方法，且特別是有關於一種介電層平坦化的方法。

【先前技術】

化學機械研磨法（Chemical-Mechanical Polishing, CMP）是現在能提供超大型積體電路製程全面平坦化的技術之一。這個技術是利用類似「磨刀」這種機械式研磨的原理，配合適當的化學助劑（Reagent），來把晶片表面高低起伏不一樣的輪廓，一併加以「磨平」的平坦化技術。

在化學機械研磨製程上，通常以研磨液（slurry）來稱呼所使用的化學助劑。化學機械研磨法所使用的研磨液，主要是由呈膠體狀（colloidal）的氧化矽（silica），或呈分散狀（dispersed）的氧化鋁（alumina），和鹼性的的氫氧化鉀（KOH）或氫氧化氨（NH₄OH）等溶液混合而成。基本上，對晶片上被研磨材料，乃是藉由研磨台上之基墊，與化學助劑的研磨微粒所形成的結構，來加以研磨去除。就是利用這些硬度極高的研磨粒，來進行晶片表面的研磨。

第 1A 圖至第 1F 圖是習知一種介電層平坦化流程剖面示意圖。

請參照第 1A 圖，在基底 100 上已形成有多晶矽閘極結構 102 與閘極結構 102 上的氮化矽層 104。

然後，請參照第 1B 圖，於基底 100 上形成一層介電層 106，以填滿閘極結構 102 間的空隙，且覆蓋氮化矽層 104。

然後，請參照第 1C 圖，先進行一對準鍵氧化層溼式蝕刻（Alignment Key Oxide Dipping, AOD）製程，此製程是以黃光製程的原理去除較大區域閘極結構上的介電層。隨後利用 Oxide dip 去除部分介電層 106，以裸露出氮化矽層 104 的角落 108，使介電層 106 分為填滿閘極結構 102 之間空隙的介電層 106a，與覆蓋氮化矽層 104 的介電層 106b。然後於基底 100 上沉積一層氮化矽層 110。

然後，請參照第 1D 圖，進行一化學機械研磨製程以平坦化氮化矽層 110 與介電層 106b。接著，利用 Oxide dip 去除因化學機械研磨製程使用例如 KOH 的溶液中所帶來的金屬離子，以增進元件的可靠度。被施以 Oxide dip 去除的介電層 106b 厚度例如為 100 埃。

接著，請參照第 1E 圖，去除介電層 106b。

最後，請參照第 1F 圖，去除氮化矽層 110，104。

上述習知之技術內容在平坦化製程之前先進行一 AOD 製程，然後利用 Oxide dip 去除部分介電層，以裸露出氮化矽層的角落。然後於氮化矽層上再沉積一層氮化矽層，之後才進行 CMP 製程，因此整個製程顯得複雜且耗時。

【發明內容】

因此，本發明提出一種介電層平坦化的方法，以縮短製程步驟，使製程單純化，並且避免習知方法因為研磨液中所含的金屬離子滲透至基底，而造成元件可靠度降低的損害。

本發明提出一種介電層平坦化的方法。此方法係在一

已形成數個閘極結構，且於這些閘極結構上已形成有保護層的基底上先形成一層介電層，以填滿閘極結構間的空隙，並覆蓋保護層，隨後以保護層為研磨終止層，利用固定研磨砂墊，且通入不含金屬離子的研磨液對介電層進行化學機械研磨製程，以平坦化該介電層，其中固定研磨砂墊係包括一基墊，以及固定於此基墊上且分布均勻的研磨砂。

本發明之優點在於利用固定研磨砂技術進行平坦化製程時，可以省略習知方法中的多項步驟，使製程單純化，以節省製造成本，而且避免使用含金屬離子的溶液作為研磨液，以增加元件的可靠度。

為讓本發明之上述和其他目的、特徵和優點能更明顯易懂，下文特舉一較佳實施例，並配合所附圖式，作詳細說明如下。

【實施方式】

第 2A 圖至第 2E 圖是依照本發明一較佳實施例一種介電層平坦化流程剖面示意圖。此外，本發明亦可應用於記憶體如單幕式記憶體 (Mask ROM) 或電性可抹除可程式唯讀記憶體 (E²PROM) 的平坦化製程中。

請參照第 2A 圖，在基底 200 上已形成有閘極結構 202，且於此閘極結構 202 上形成有氮化矽的保護層 204。Flash Memory 的閘極結構 202 之材質例如是多晶矽。

然後，請參照第 2B 圖，於基底 200 上形成一層具有較佳之階梯覆蓋性 (Step Coverage) 與溝填能力 (Gap Filling)

的介電層 206，以填滿閘極結構 202 間的空隙，且覆蓋保護層 204。介電層 206 例如是高密度電漿氧化層 (High Density Plasma Oxide, HDP Oxide) 或電漿氧化層 (Plasma Enhanced Oxide, PE Oxide) 或以分解正矽酸乙酯 (Tetraethylorthosilicate, TEOS) 形成的 TEOS 氧化層 (TEOS Oxide) 或氮氧化矽層 (SiON)。

然後，請參照第 2C 圖，以保護層 204 為研磨終止層，對介電層 206 進行一化學機械研磨製程，此化學機械研磨製程所使用的基墊為固定研磨砂墊 (Fixed Abrasive Pad) 208，此固定研磨砂墊 208 係包括一基墊 210，以及固定於此基墊 210 上且分布均勻的研磨砂 212，且於基墊 210 上利用例如樹脂 (Resin) 的接合劑 (Adhesive) 214 來固定研磨砂 212。研磨砂 212 的形狀例如是圓柱狀，其高度例如在 40~45 μm 之間，直徑例如 150~250 μm 之間。使用固定研磨砂墊 208 進行研磨時，只需使用不含金屬離子的研磨液 (Slurry)，例如去離子純水 (DI Water)，所以不會有習知方法因為利用 KOH 作為研磨液，所以在研磨液中的金屬離子滲透至基底 200，而損害元件的問題發生。而且使用固定研磨砂墊 208 進行化學機械研磨製程時，在基底 200 上的介電層 206 的凸出部分會先與基墊 210 上的研磨砂 212 接觸，所以凸出部分會先被研磨掉。因此使用固定研磨砂墊 208 作平坦化製程時，對於高低起伏差距大的被研磨層具有高選擇性，故於研磨後可得到如第 2D 圖研磨後的介電層 206a。

最後，請參照第 2E 圖，去除閘極結構 202 上的氮化矽的保護層 204。

本發明之特徵為：

1. 本發明利用固定研磨砂墊對介電層進行一化學機械研磨技術，因此可以省略習知技術中之 Oxide dip、AOD 以及沉積氮化矽層等步驟，而使製程步驟簡單化，並易於控制、降低成本。

2. 本發明利用固定研磨砂墊對介電層進行研磨時，只需用沒有含金屬離子的研磨液，例如去離子純水，所以不會有習知方法因例如 KOH 的研磨液中之金屬離子滲透至基底，而損害元件的問題發生，故可增加元件的可靠度。

雖然本發明已以一較佳實施例揭露如上，然其並非用以限定本發明，任何熟習此技藝者，在不脫離本發明之精神和範圍內，當可作些許之更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。

【圖式簡單說明】

第 1A 圖至第 1F 圖是習知一種介電層平坦化流程剖面示意圖；以及

第 2A 圖至第 2E 圖是依照本發明一較佳實施例一種介電層平坦化流程剖面示意圖。

【主要元件符號】

100，200：基底

102，202：閘極結構

104，110：氮化矽層

106 , 106a , 106b , 206 , 206a : 介電層

108 : 角落處

204 : 保護層

208 : 固定研磨砂墊

210 : 基墊

212 : 研磨砂

214 : 接合劑

五、中文發明摘要：

一種介電層平坦化的方法。此方法係在一已形成數個閘極結構，且於這些閘極結構上已形成有保護層的快閃記憶體基底上先形成一層介電層，以填滿閘極結構間的空隙，並覆蓋保護層，隨後以保護層為研磨終止層，利用固定研磨砂墊，且通入不含金屬離子的研磨液對介電層進行化學機械研磨製程，以平坦化該介電層，其中固定研磨砂墊係包括一基墊，以及固定於此基墊上且分布均勻的研磨砂。

六、英文發明摘要：

A method for planarizing the dielectric layer, wherein the method is applied on substrate of a flash memory device having a plurality of gate structures formed thereon and a protective layer is formed on the gate structures. A dielectric layer is formed on the substrate, filling the space between the gate structures and covering the protective layer. Using the protective layer as a polishing endpoint layer, a fixed polishing pad and a polishing slurry that does not contain metal ions are used to chemical mechanically polish and to planarize the dielectric layer. The fixed polishing pad includes a polishing pad and evenly distributed polishing abrasives fixed onto the polishing pad.

十、申請專利範圍：

1. 一種介電層平坦化的方法，該方法包括：

提供一基底，該基底的正面上已形成具有一保護層之複數個閘極結構，且該基底上已形成一介電層，該介電層填滿該些閘極結構間的空隙，且覆蓋該保護層；以及

以該保護層為研磨終止層，對該介電層進行一化學機械研磨製程，其特徵在於：

該化學機械研磨製程，係將該基底的正面壓在一鋪有一固定研磨砂墊的研磨台上以研除部分該介電層，其中，該固定研磨砂墊至少具有一基墊與固定於該基墊上的複數個研磨砂；以及

該化學機械研磨製程係通入一不含金屬離子的研磨液。

2. 如申請專利範圍第 1 項所述之介電層平坦化的方法，其中該不含金屬離子的研磨液包括去離子純水。

3. 如申請專利範圍第 1 項所述之介電層平坦化的方法，其中該些研磨砂的形狀包括圓柱狀。

4. 如申請專利範圍第 3 項所述之介電層平坦化的方法，其中該些研磨砂的高度在 40~45 μm 之間。

5. 如申請專利範圍第 3 項所述之介電層平坦化的方法，其中該些研磨砂的直徑在 150~250 μm 之間。

6. 如申請專利範圍第 1 項所述之介電層平坦化的方法，該方法適於平坦化記憶體之介電層。

7. 如申請專利範圍第 6 項所述之介電層平坦化的方法，

該方法適於平坦化罩幕式記憶體之介電層。

8. 如申請專利範圍第 6 項所述之介電層平坦化的方法，該方法適於平坦化電性可抹除可程式唯讀記憶體之介電層。

9. 如申請專利範圍第 1 項所述之介電層平坦化的方法，其中該些研磨砂藉由樹脂固定於該基墊上。

10. 如申請專利範圍第 1 項所述之介電層平坦化的方法，其中該介電層包括高密度電漿氧化層、電漿氧化層、TEOS 氧化層與氮氧化矽層其中之一。

11. 如申請專利範圍第 1 項所述之介電層平坦化的方法，其中該保護層的材質包括氮化矽。

七、指定代表圖：

(一) 本案之指定代表圖：第 2C 圖

(二) 本代表圖之元件符號簡單說明：

200：基底

202：閘極結構

204：保護層

206：介電層

208：固定研磨砂墊

210：基墊

212：研磨砂

214：接合劑

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

無。