

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2004年8月5日 (05.08.2004)

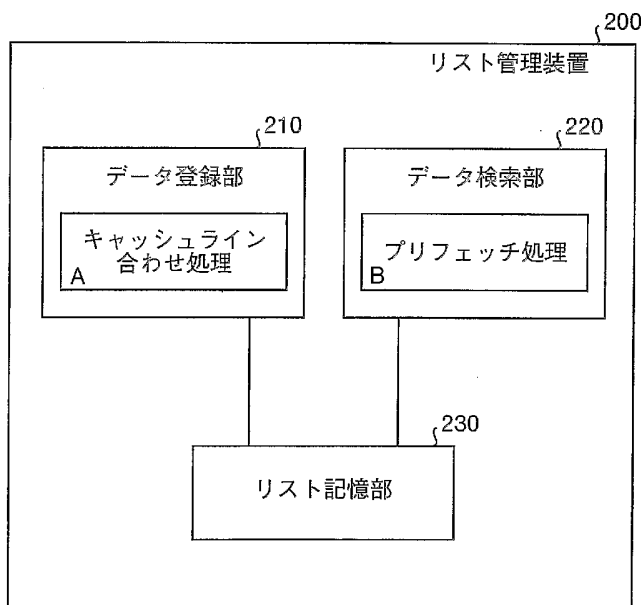
PCT

(10) 国際公開番号
WO 2004/066146 A1

- (51) 国際特許分類: G06F 9/45, 12/08, 17/30
- (21) 国際出願番号: PCT/JP2003/000417
- (22) 国際出願日: 2003年1月20日 (20.01.2003)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (71) 出願人 (米国を除く全ての指定国について): 富士通株式会社 (FUJITSU LIMITED) [JP/JP]; 〒211-8588 神奈川県川崎市中原区上小田中4丁目1番1号 Kanagawa (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 守屋勝由 (MORIYA, Katsuyoshi) [JP/JP]; 〒422-8572 静岡県静岡市南町18番1号 株式会社富士通インフォソフトテクノロジ内 Shizuoka (JP). 金子正教 (KANEKO, Masanori) [JP/JP]; 〒211-8588 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内 Kanagawa (JP).
- (74) 代理人: 酒井宏明 (SAKAI, Hiroaki); 〒100-0013 東京都千代田区霞が関三丁目2番6号 東京倶楽部ビルディング Tokyo (JP).
- (81) 指定国 (国内): JP, US.
- 添付公開書類:
— 国際調査報告書
- 2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

(54) Title: LIST MANAGEMENT PROGRAM AND LIST MANAGEMENT DEVICE

(54) 発明の名称: リスト管理プログラムおよびリスト管理装置



(57) Abstract: A list management program for managing data of a list structure used by a computer having a cache memory, realizing a data registering section for creating a node in such a way that the first address is a multiple of the cache line size and adding the node to a variable address list and a data retrieving section for carrying out control using a prefetch instruction so that the data on the nodes is present in the cache memory when a node is retrieved.

(57) 要約: キャッシュメモリを有するコンピュータで使用されるリスト構造のデータを管理するリスト管理プログラムであって、変数アドレスリストに追加するノードを新たに作成する場合に、先頭アドレスがキャッシュラインサイズの倍数となるようにノードを作成して変数アドレスリストに追加するデータ登録部と、各ノードを検索する時点で常にノードのデータがキャッシュメモリに載っている状態とするようにプリフェッチ命令を用いて制御するデータ検索部とを備える。

- 200... LIST MANAGEMENT DEVICE
- 210... DATA REGISTERING SECTION
- A... CACHE LINE MATCHING
- 220... DATA RETRIEVING SECTION
- B... PREFETCHING
- 230... LIST STORAGE SECTION

WO 2004/066146 A1

明 細 書

リスト管理プログラムおよびリスト管理装置

5 技術分野

この発明は、キャッシュメモリを有するコンピュータで使用されるリスト構造のデータを管理するリスト管理プログラムおよびリスト管理装置に関し、特に、キャッシュミスに起因するデータ検索速度の低下を防ぐことができるリスト管理プログラムおよびリスト管理装置に関するものである。

10

背景技術

従来から、データの検索と挿入を高速におこなうための手法として2分探索木がある。すなわち、検索するデータの数を n とすると、2分探索木では、データの検索と挿入の両方の平均の計算量が $\log n$ のオーダーとなる。これに対して、線形探索では、検索の計算量は n のオーダーであり、挿入の場合にも、同じデータが無いことを確認する必要がある場合には計算量は n のオーダーとなる。また、検索に2分探索木と同様に大小比較を用いる2分探索では、検索の計算量は $\log n$ であるが挿入の計算量は n のオーダーとなる。このような、従来からの検索技術については、たとえば、石畑 清著「アルゴリズムとデータ構造」岩波講座ソフトウェア科学3、1989年3月30日、p. 57-87に紹介されている。

20

しかしながら、キャッシュメモリを有するコンピュータで2分探索木などのリスト構造を使用する場合には、ポインタを辿るごとにキャッシュミスが発生し、データの検索および挿入に多くの時間を必要とするという問題がある。

25

すなわち、キャッシュミスのレイテンシ（キャッシュラインの取り込みを含めたデータ読み出し遅延）がキャッシュヒットのレイテンシ（キャッシュメモリからのデータ読み出し遅延）と比較して非常に大きい場合には、検索に要する計算量よりも検索するデータがキャッシュメモリにヒットするか否かが実際の検索速

度に大きく影響する。

この発明は、上述した従来技術による問題点を解消するためになされたものであり、キャッシュミスに起因するデータ検索速度の低下を防ぐことができるリスト管理プログラムおよびリスト管理装置を提供することを目的としている。

5

発明の開示

上述した課題を解決し、目的を達成するため、本発明は、キャッシュメモリを有するコンピュータで使用されるリスト構造のデータを管理するリスト管理プログラムであって、1回のメモリアクセスにより前記キャッシュメモリに読み込めるデータの個数に基づいて前記リスト構造を構成する各ノードに格納するデータの個数が定められたリストにデータを登録するデータ登録手順と、前記データ登録手順によりリストに登録されたデータを該リストを構成するノードを順番に辿って検索する際に、各ノードの検索開始時には該各ノードがキャッシュメモリに読み込まれている状態とする制御をおこないつつ検索するデータ検索手順と、を
10 実行することを特徴とする。

また、本発明は、キャッシュメモリを有する情報処理装置で使用されるリスト構造のデータを管理するリスト管理装置であって、1回のメモリアクセスにより前記キャッシュメモリに読み込めるデータの個数に基づいて前記リスト構造を構成する各ノードに格納するデータの個数が定められたリストにデータを登録するデータ登録手段と、前記データ登録手段によりリストに登録されたデータを該リストを構成するノードを順番に辿って検索する際に、各ノードの検索開始時には該各ノードがキャッシュメモリに読み込まれている状態とする制御をおこないつつ検索するデータ検索手段と、を備えたことを特徴とする。

かかる発明によれば、1回のメモリアクセスによりキャッシュメモリに読み込めるデータの個数に基づいてリスト構造を構成する各ノードに格納するデータの個数が定められたリストにデータを登録し、登録したデータをリストを構成するノードを順番に辿って検索する際に、各ノードの検索開始時には各ノードがキャ
25

ッシュメモリに読み込まれている状態とする制御をおこないつつ検索することとしたので、キャッシュミスに起因するデータ検索速度の低下を防ぐことができる。

。

5 図面の簡単な説明

第1図は、本実施の形態に係るリスト管理装置によるスレッドローカル変数管理の概念を説明するための説明図であり、第2図は、本実施の形態に係るリスト管理装置の構成を示す機能ブロック図であり、第3図は、第2図に示したデータ検索部の処理手順を示すフローチャートであり、第4図は、データ登録処理の処理手順を示すフローチャートであり、第5図は、本実施の形態に係るリスト管理プログラムを実行するコンピュータシステムを示す図である。

発明を実施するための最良の形態

以下、添付図面を参照して、この発明に係るリスト管理プログラムおよびリスト管理装置の好適な実施の形態を詳細に説明する。なお、ここでは、この発明に係るリスト管理装置を用いてスレッドローカル変数のアドレス管理をおこなう場合について説明する。

ここで、スレッドローカル変数とは、メインスレッドに同一名の変数があつて子スレッドにローカルな変数である。そして、リスト管理装置は、メインスレッドでの同一名の変数のアドレス（以下「メインスレッド変数アドレス」という。）とスレッドローカル変数のアドレス（以下「スレッドローカル変数アドレス」という。）とを対応付けて管理し、メインスレッド変数アドレスを与えられて対応するスレッドローカル変数アドレスを返す。

まず、本実施の形態に係るリスト管理装置によるスレッドローカル変数アドレス管理の概念について説明する。第1図は、本実施の形態に係るリスト管理装置によるスレッドローカル変数アドレス管理の概念を説明するための説明図である。同図（a）は、従来のスレッドローカル変数アドレス管理を示す図であり、同

図（b）は、本実施の形態に係るスレッドローカル変数アドレス管理を示す図である。

同図（a）に示すように、従来のスレッドローカル変数アドレス管理では、メインスレッドでの変数のアドレスをキーとする2分探索木を用いて、メインスレッド変数アドレスとスレッドローカル変数アドレスを対応させて管理していた。
5 具体的には、ソースプログラム上で

```
int va, vb, vc, vd, ve, vf, vg;
```

と宣言された変数 va , vb , vc , vd , ve , vf および vg は、変数 vd をルートとし、 va , vc , ve および vg をリーフとする2分探索木で管理される。そして、各ノードは、メインスレッド変数アドレスとスレッドローカル変数アドレスを有し、たとえば、変数 vd に対応するノードは、16進で”00AC”のメインスレッド変数アドレスと16進で”01BC”のスレッドローカル変数アドレスを有する。
10

このような2分探索木を検索する場合に、まず与えられたメインスレッド変数アドレスと vd のメインスレッド変数アドレスが比較され、与えられたメインスレッド変数アドレスが vd のメインスレッド変数アドレスより小さい場合には、左側のノードすなわち vb のノードがアクセスされ、この時キャッシュミスが発生する。同様に、与えられたメインスレッド変数アドレスと vb のメインスレッド変数アドレスが比較され、与えられたメインスレッド変数アドレスが vb のメインスレッド変数アドレスより小さい場合には、 va のノードがアクセスされ、この時もキャッシュミスが発生する。すなわち、従来のスレッドローカル変数アドレス管理では、各ノードを辿るごとにキャッシュミスが発生し、検索に多くの時間がかかることとなる。
15

一方、同図（b）に示すように、本実施の形態に係るスレッドローカル変数管理では、変数アドレスリスト100を用いて、一つのノードに $(n-1)$ 個のメインスレッド変数アドレス、次のノードへのポインタ、 $(n-1)$ 個のメインスレッド変数アドレスにそれぞれ対応する $(n-1)$ 個のスレッドローカル変数ア
25

ドレスを順に並べて管理する。ここで、 n は、キャッシュラインのサイズ÷アドレスサイズであり、したがって、各ノードのサイズは、キャッシュラインのサイズの2倍となる。たとえば、キャッシュラインのサイズが64バイトでアドレスのサイズが4バイトである場合には、 $n = 64 \div 4 = 16$ となり、各ノードのサイズは128バイトとなる。

また、各ノードの先頭アドレスは、キャッシュラインサイズの倍数となるように、各ノードを作成する。このように、各ノードの先頭アドレスをキャッシュラインサイズの倍数とし、各ノードのサイズをキャッシュラインの2倍とすることによって、ノードの先頭をアクセスした場合に、 $(n - 1)$ 個のメインスレッド変数アドレスと次のノードへのポインタをキャッシュメモリに読み込み、ノードの先頭アドレス+キャッシュラインサイズのアドレスをアクセスした場合に、 $(n - 1)$ 個のスレッドローカル変数アドレスをキャッシュメモリに読み込むことができる。

そして、スレッドローカル変数アドレスの検索をおこなう場合には、検索の初期化処理中に第一ノードの先頭アドレスおよび第一ノードの先頭アドレス+キャッシュラインサイズのアドレスにプリフェッチ命令を出し、第一ノードを検索する時点で第一ノードがキャッシュメモリに載っているように準備する。また、第一ノードを検索する前に、第一ノードに格納された次のノードへのアドレスを用いて第二ノードの先頭アドレスおよび第二ノードの先頭アドレス+キャッシュラインサイズのアドレスにプリフェッチ命令を出すことによって、第一ノードの検索中に第二ノードをキャッシュメモリに載せる。

このように、本実施の形態に係るスレッドローカル変数アドレス管理では、変数アドレスリスト100の各ノードのデータを検索する時点でノードのデータが全てキャッシュメモリに載っているように制御することによって、キャッシュミスのレイテンシに起因する検索効率の低下を防ぐことができる。

たとえば、検索するデータの数を64、キャッシュミスのレイテンシを82クロック、キャッシュヒットのレイテンシを3クロックとすると、従来のスレッド

ローカル変数アドレス管理では、平均検索回数は、約 $\log_2 64 - 1 = 5$ 、すなわち約5回であり、検索の度にキャッシュミスが発生するため、検索に必要なクロック数は、 $82 \text{クロック} \times 5 = 410 \text{クロック}$ となる。一方、本実施の形態に係るスレッドローカル変数アドレス管理では、平均検索回数は、 $64 \div 2 = 32$ 回と増えるが、キャッシュミスは発生しないため、検索に必要なクロック数は、 $3 \text{クロック} \times 32 = 96 \text{クロック}$ となり、検索時間を大幅に短縮することができる。

次に、本実施の形態に係るリスト管理装置の構成について説明する。第2図は、本実施の形態に係るリスト管理装置の構成を示す機能ブロック図である。同図
10 に示すように、このリスト管理装置200は、データ登録部210と、データ検索部220と、リスト記憶部230とを有する。

データ登録部210は、スレッドローカル変数アドレスが変数アドレスリスト100に登録されていない場合に、新たなエントリを作成し、変数アドレスリスト100に追加する処理部である。また、このデータ登録部210は、新たなエ
15 ントリを追加したノードが一杯になると、新たなノードを作成し、作成するノードの先頭アドレスがキャッシュラインのサイズの倍数になるようにする。

データ検索部220は、メインスレッド変数アドレスを受け取り、対応するスレッドローカル変数アドレスを検索して返す処理部である。このデータ検索部220は、検索にあたって、検索するノードのデータが常にキャッシュメモリに載
20 っている状態にあるようにプリフェッチ命令を用いて制御する。

リスト記憶部230は、メインスレッド変数アドレスとスレッドローカル変数アドレスを対応させて記憶した記憶部であり、具体的には、第1図(b)に示した変数アドレスリスト100を記憶する。

このように、このリスト管理装置200は、データ登録部210が、先頭アド
25 レスがキャッシュラインのサイズの倍数になるようにノードを作成し、データ検索部220が、検索するノードのデータが常にキャッシュメモリに載っている状態にあるようにプリフェッチ命令を用いて制御することによって、キャッシュミ

スに起因する検索効率の低下を防ぐことができる。

次に、第2図に示したデータ検索部220の処理手順について説明する。第3図は、第2図に示したデータ検索部220の処理手順を示すフローチャートである。

5 同図に示すように、このデータ検索部220は、検索の初期化处理中に、キャッシュミスのレイテンシを考慮してリスト記憶部230に記憶した変数アドレスリスト100の先頭ノードをプリフェッチする（ステップS301）。また、先頭ノードの検索を開始する前に、次のノードをプリフェッチし（ステップS302）、次のノードの検索開始前に次のノードがキャッシュメモリに載るように準備する。

10 そして、ノード内のデータ検索用インデックス*i*を「1」に初期化し（ステップS303）、ノードから*i*番目のデータを取り出し（ステップS304）、登録したデータの終端であるか否かを調べる（ステップS305）。ここで、登録したデータの終端であるか否かは、データの値が「0」であるか否かによって調べる。

15 その結果、登録したデータの終端でない場合には、与えられたメインスレッド変数アドレスとデータが一致するか否かを調べ（ステップS306）、一致しなかった場合には、*i*を「1」増やし（ステップS307）、*i*が「16」より小さいか否か、すなわち、このノード内に次のデータがあるか否かを調べる（ステップS308）。

20 そして、*i*が「16」より小さい場合には、ステップS304に戻って、次のデータを調べ、*i*が「16」になった場合には、ステップS302に戻って次のノードを検索する。この時、次のノードは前回のステップS302のプリフェッチによってキャッシュメモリに載っている状態にある。また、次のノードの検索を開始する前に、次々ノードをプリフェッチする。

25 一方、与えられたメインスレッド変数アドレスとデータが一致した場合には、対応するスレッドローカル変数アドレスを返し（ステップS309）、処理を終

了する。また、i番目のデータがデータの終端である場合には、データ登録処理によってメインスレッド変数アドレスと対応するスレッドローカル変数アドレスとを新たなエントリとしてノードに追加し（ステップS310）、登録したスレッドローカル変数アドレスを返す（ステップS311）。

- 5 このように、このデータ検索部220が、変数アドレスリスト100の各ノードの検索を開始する前に次のノードをプリフェッチすることによって、各ノード検索時にノード内の全てのデータがキャッシュメモリに載っている状態とすることができ。

次に、データ登録処理（ステップS310）の処理手順について説明する。第
10 4図は、データ登録処理の処理手順を示すフローチャートである。なお、このデータ登録処理は、第2図に示したデータ登録部210の処理に対応する。

同図に示すように、このデータ登録処理は、新たなローカル変数のアドレスを取得し（ステップS401）、取得したアドレスをスレッドローカル変数アドレスとし、与えられたメインスレッド変数アドレスとともに変数アドレスリスト1
15 00に新たなエントリとして登録する（ステップS402）。そして、新たなエントリを追加したノードに次のエントリを登録する空きがあるか否かを調べ（ステップS403）、空きがある場合には、そのまま処理を終了する。

一方、空きがない場合には、キャッシュラインサイズの倍数を開始アドレスとする新たなノードを作成する（ステップS404）。この時、作成したノード内
20 の全データをゼロクリアしておく。そして、作成したノードを変数アドレスリスト100につなげる（ステップS405）。

上述したように、本実施の形態では、データ登録部210が、変数アドレスリスト100に追加するノードを新たに作成する場合に、先頭アドレスがキャッシュラインサイズの倍数となるように作成し、データ検索部220が、各ノードを
25 検索する時点で常にノードのデータがキャッシュメモリに載っている状態とするようにプリフェッチ命令を用いて制御することとしたので、キャッシュミスのレイテンシに起因する検索効率の低下を防ぎ、スレッドローカル変数アドレスを高速

に検索することができる。

なお、本実施の形態では、リスト管理装置について説明したが、このリスト管理装置が有する構成をソフトウェアによって実現することで、同様の機能を有するリスト管理プログラムを得ることができる。そこで、このリスト管理プログラム
5 を実行するコンピュータシステムについて説明する。

第5図は、本実施の形態に係るリスト管理プログラムを実行するコンピュータシステムを示す図である。同図に示すように、このコンピュータシステム500
10 は、本体部510と、本体部510からの指示によって表示画面を表示する表示装置520と、コンピュータシステム500に種々の情報を入力するためのキーボード530と、表示画面上の位置を指定するマウス540とを有する。

また、本体部510は、キャッシュを有するCPU511と、RAM512と、ROM513と、ハードディスクドライブ（HDD）514と、CD-ROM/DVDドライブ515と、FDドライブ516と、I/Oインタフェース517と、LANインタフェース518と、モデム519とを有する。

そして、このコンピュータシステム500は、LANインタフェース518に
15 接続されたLAN550を介してほかのコンピュータシステム（PC）551、サーバ552、プリンタ553などに接続することができ、モデム519を介して公衆回線560に接続することができる。

また、このコンピュータシステム500において実行されるリスト管理プログラム
20 ラムは、フロッピーディスク（FD）、CD-ROM、DVDディスク、光磁気ディスクおよびICカードなどの可搬型記憶媒体に記憶され、これらの記憶媒体から読み出されてコンピュータシステム500にインストールされる。

あるいは、このリスト管理プログラムは、LANインタフェース518を介して
25 接続されたサーバ552のデータベース、他のコンピュータシステム（PC）551のデータベースおよび公衆回線560を介して接続される他のコンピュータシステムのデータベースなどに記憶され、これらのデータベースから読み出されてコンピュータシステム500にインストールされる。

そして、インストールされたリスト管理プログラムは、HDD 5 1 4 に記憶され、RAM 5 1 2、ROM 5 1 3 などを利用して CPU 5 1 1 により実行される。

以上説明したように、本発明によれば、1回のメモリアクセスによりキャッシュメモリに読み込めるデータの個数に基づいてリスト構造を構成する各ノードに格納するデータの個数が定められたリストにデータを登録し、登録したデータをリストを構成するノードを順番に辿って検索する際に、各ノードの検索開始時には各ノードがキャッシュメモリに読み込まれている状態とする制御をおこないつつ検索するよう構成したので、キャッシュミスに起因するデータ検索速度の低下を防ぐことができるという効果を奏する。

産業上の利用可能性

以上のように、本発明に係るリスト管理プログラムおよびリスト管理装置は、キャッシュミスのレイテンシが大きい情報処理装置でリスト構造を用いてデータを管理する場合に適している。

請求の範囲

1. キャッシュメモリを有するコンピュータで使用されるリスト構造のデータを管理するリスト管理プログラムであって、
 - 5 1回のメモリアクセスにより前記キャッシュメモリに読み込めるデータの個数に基づいて前記リスト構造を構成する各ノードに格納するデータの個数が定められたリストにデータを登録するデータ登録手順と、

前記データ登録手順によりリストに登録されたデータを該リストを構成するノードを順番に辿って検索する際に、各ノードの検索開始時には該各ノードがキャッシュメモリに読み込まれている状態とする制御をおこないつつ検索するデータ

 - 10 検索手順と、

を実行することを特徴とするリスト管理プログラム。
2. 前記データ検索手順は、検索するノードに対して事前にプリフェッチ命令
15 を出すことによって、該ノードの検索開始時には該ノードがキャッシュメモリに読み込まれている状態とする制御をおこなうことを特徴とする請求の範囲第1項に記載のリスト管理プログラム。
3. 前記データ検索手順は、各ノードの検索を開始する前に次のノードに対して
20 プリフェッチ命令を出すことによって、該次のノードの検索開始時には該次のノードがキャッシュメモリに読み込まれている状態とする制御をおこなうことを特徴とする請求の範囲第2項に記載のリスト管理プログラム。
4. 前記データ登録手順は、前記データの登録に利用する新たなノードが必要
25 になった場合に、2回のメモリアクセスによりキャッシュメモリに載るノードを作成してデータを登録することを特徴とする請求の範囲第1項、第2項または第3項に記載のリスト管理プログラム。

5. 前記データ登録手順は、前記データの登録に利用する新たなノードが必要になった場合に、キャッシュラインサイズの倍数を先頭アドレスとしてキャッシュラインサイズの2倍の大きさのノードを作成することにより、該作成されたノードが2回のメモリアクセスでキャッシュメモリに載ることを特徴とする請求の範囲第4項に記載のリスト管理プログラム。

6. キャッシュメモリを有する情報処理装置で使用されるリスト構造のデータを管理するリスト管理装置であって、
10 1回のメモリアクセスにより前記キャッシュメモリに読み込めるデータの個数に基づいて前記リスト構造を構成する各ノードに格納するデータの個数が定められたリストにデータを登録するデータ登録手段と、

前記データ登録手段によりリストに登録されたデータを該リストを構成するノードを順番に辿って検索する際に、各ノードの検索開始時には該各ノードがキャッシュメモリに読み込まれている状態とする制御をおこないつつ検索するデータ
15 検索手段と、

を備えたことを特徴とするリスト管理装置。

7. 前記データ検索手段は、検索するノードに対して事前にプリフェッチ命令
20 を出すことによって、該ノードの検索開始時には該ノードがキャッシュメモリに読み込まれている状態とする制御をおこなうことを特徴とする請求の範囲第6項に記載のリスト管理装置。

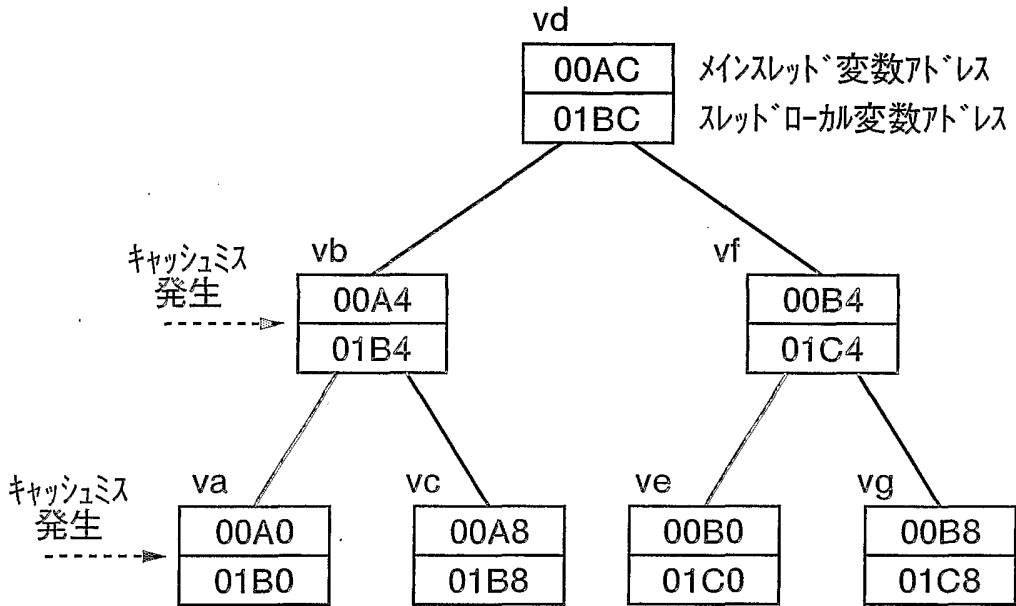
8. 前記データ検索手段は、各ノードの検索を開始する前に次のノードに対し
25 てプリフェッチ命令を出すことによって、該次のノードの検索開始時には該次のノードがキャッシュメモリに読み込まれている状態とする制御をおこなうことを特徴とする請求の範囲第7項に記載のリスト管理装置。

9. 前記データ登録手段は、前記データの登録に利用する新たなノードが必要になった場合に、2回のメモリアクセスによりキャッシュメモリに載るノードを作成してデータを登録することを特徴とする請求の範囲第6項、第7項または第5
8項に記載のリスト管理装置。

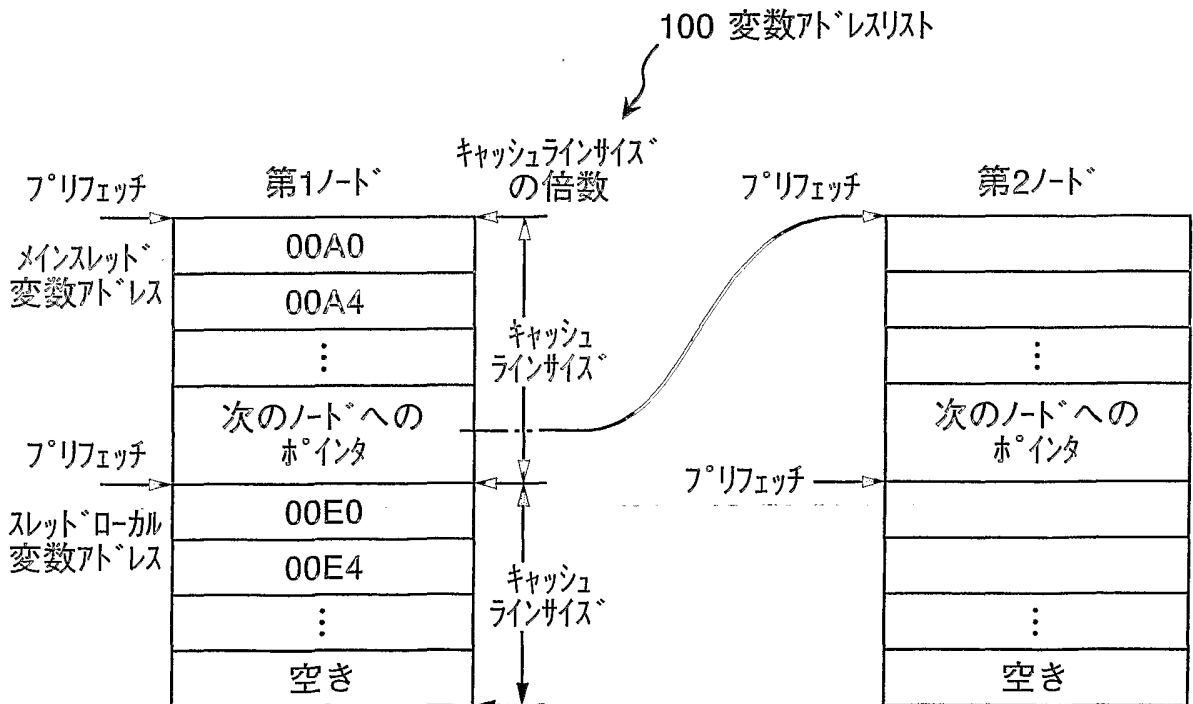
10. 前記データ登録手段は、前記データの登録に利用する新たなノードが必要になった場合に、キャッシュラインサイズの倍数を先頭アドレスとしてキャッシュラインサイズの2倍の大きさのノードを作成することにより、該作成された
10 ノードが2回のメモリアクセスでキャッシュメモリに載ることを特徴とする請求の範囲第9項に記載のリスト管理装置。

第1図

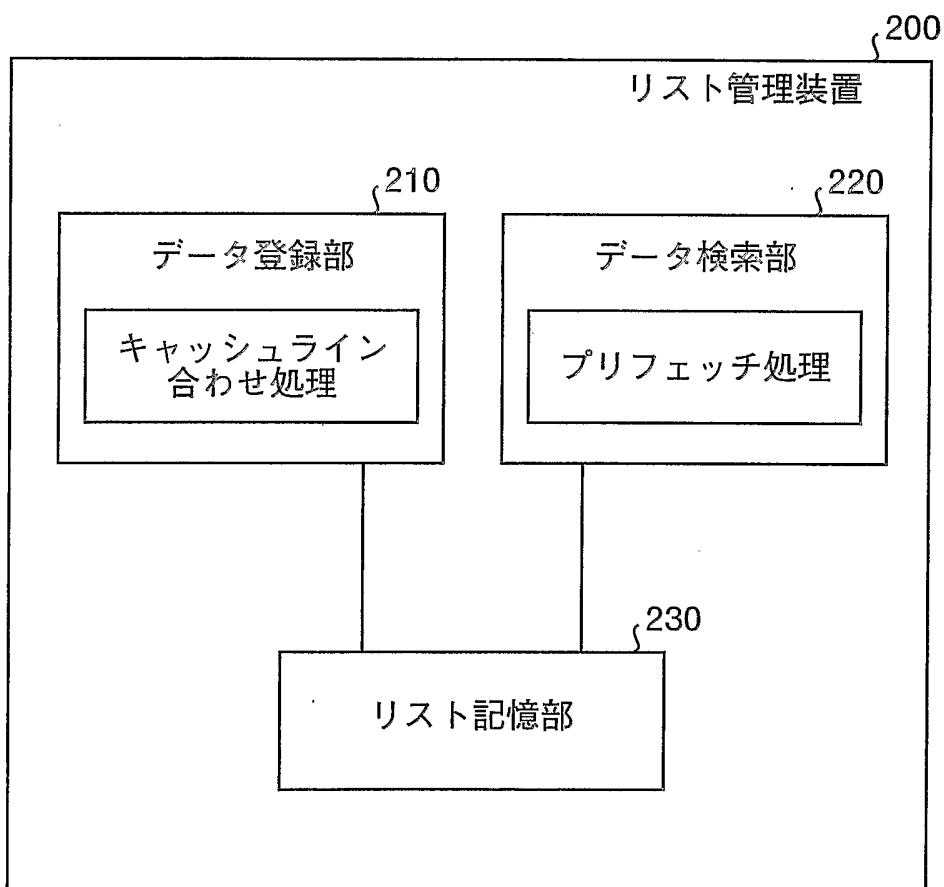
(a) 従来のスレッドローカル変数アドレス管理



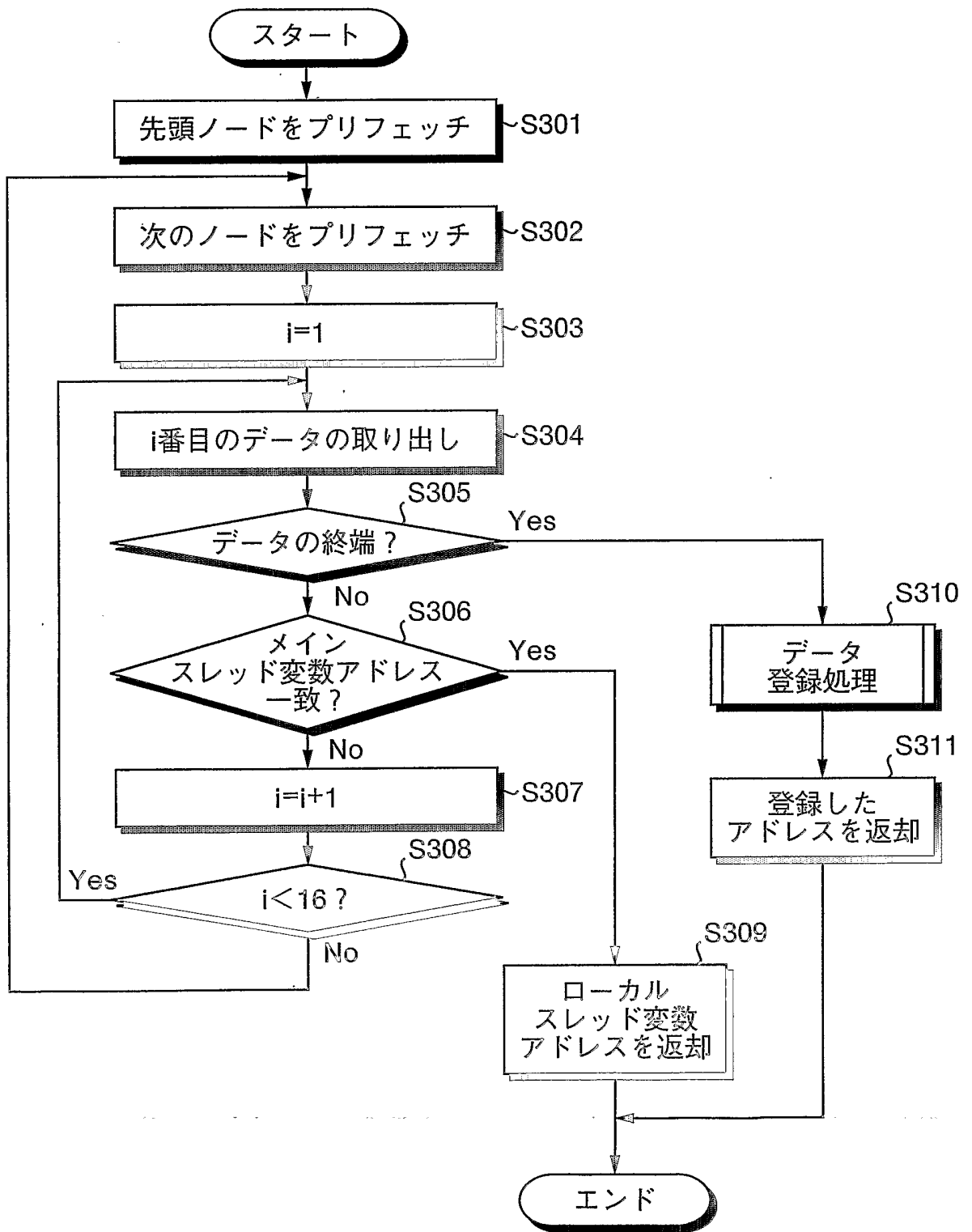
(b) 本実施の形態に係るスレッドローカル変数アドレス管理



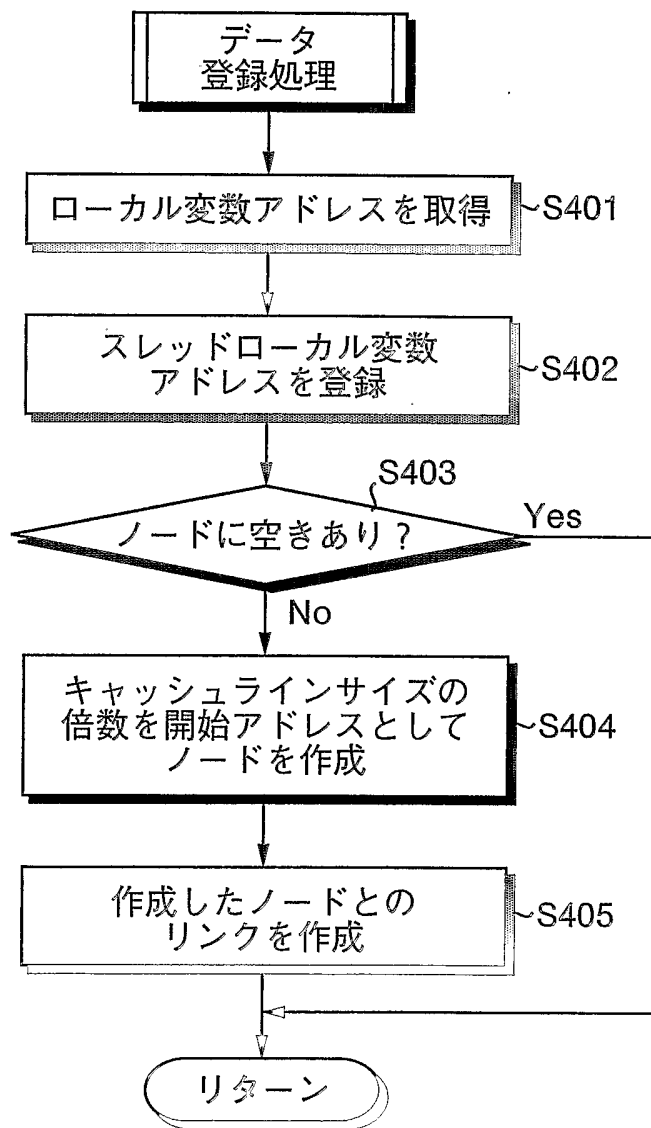
第2図



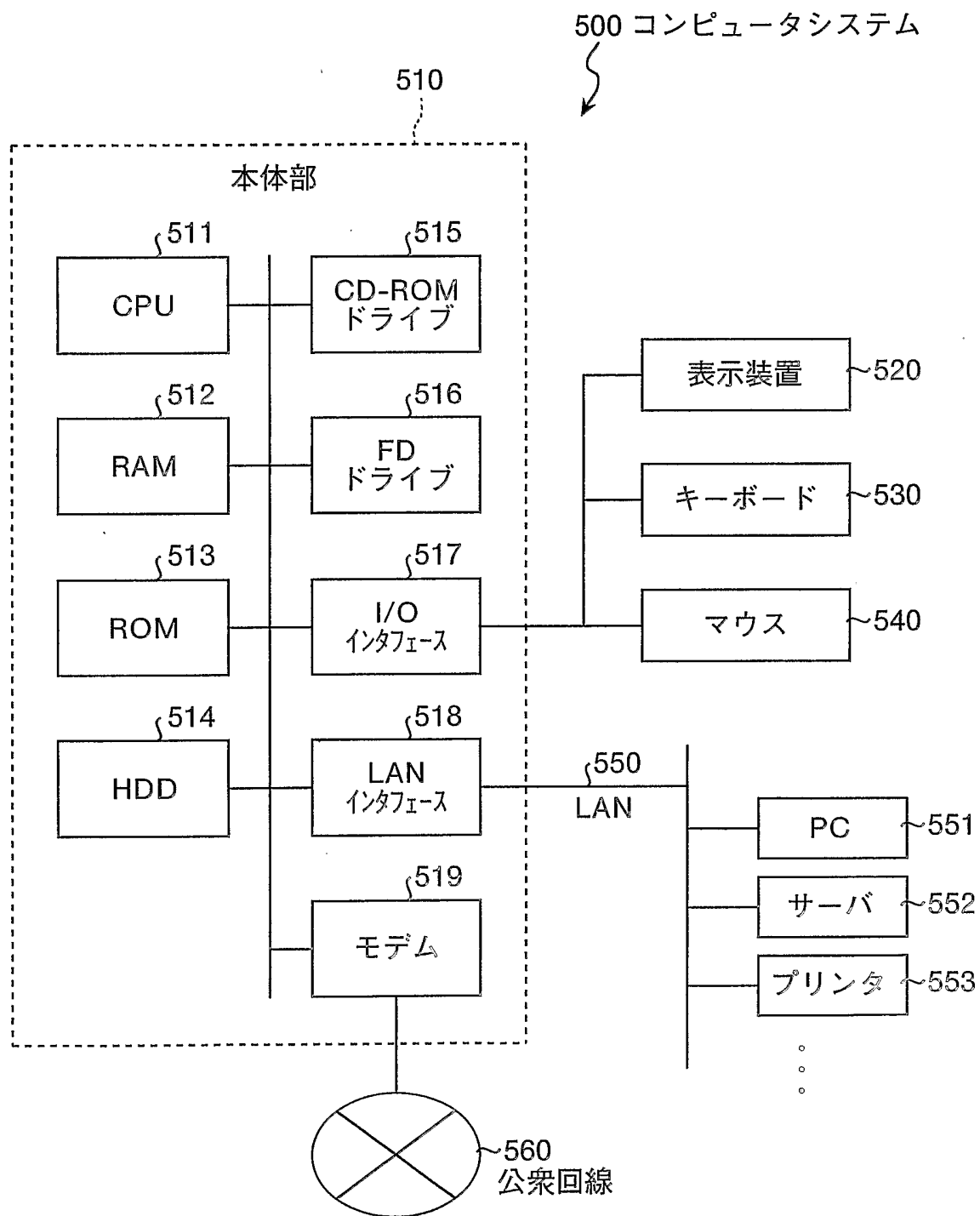
第3図



第4図



第5図



INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP03/00417

<p>A. CLASSIFICATION OF SUBJECT MATTER Int.Cl⁷ G06F9/45, 12/08, 17/30</p> <p>According to International Patent Classification (IPC) or to both national classification and IPC</p>											
<p>B. FIELDS SEARCHED</p> <p>Minimum documentation searched (classification system followed by classification symbols) Int.Cl⁷ G06F9/45, 12/08, 17/30</p> <p>Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched</p> <table border="0"> <tr> <td>Jitsuyo Shinan Koho</td> <td>1922-1996</td> <td>Toroku Jitsuyo Shinan Koho</td> <td>1994-2003</td> </tr> <tr> <td>Kokai Jitsuyo Shinan Koho</td> <td>1971-2003</td> <td>Jitsuyo Shinan Toroku Koho</td> <td>1996-2003</td> </tr> </table> <p>Electronic data base consulted during the international search (name of data base and, where practicable, search terms used) JSTPLUS (JOIS), JST7580 (JOIS)</p>			Jitsuyo Shinan Koho	1922-1996	Toroku Jitsuyo Shinan Koho	1994-2003	Kokai Jitsuyo Shinan Koho	1971-2003	Jitsuyo Shinan Toroku Koho	1996-2003	
Jitsuyo Shinan Koho	1922-1996	Toroku Jitsuyo Shinan Koho	1994-2003								
Kokai Jitsuyo Shinan Koho	1971-2003	Jitsuyo Shinan Toroku Koho	1996-2003								
<p>C. DOCUMENTS CONSIDERED TO BE RELEVANT</p> <table border="1"> <thead> <tr> <th>Category*</th> <th>Citation of document, with indication, where appropriate, of the relevant passages</th> <th>Relevant to claim No.</th> </tr> </thead> <tbody> <tr> <td>A</td> <td>Shuji YAMAMURA et al., "Senkei List o Taisho to shita Data Preload Hoshiki no Hyoka", Information Processing Society of Japan Kenkyu Hokoku, (2000-ARC-139), 05 August, 2000 (05.08.00), Vol.2000, No.74, pages 67 to 72</td> <td>1-10</td> </tr> <tr> <td>A</td> <td>Shuji YAMAMURA et al., "Senkei List o Taisho to shita Data Prefetch Kiko", 2000 Nen Kinen Heiretsu Shori Symposium, Information Processing Society of Japan, 01 June, 2000 (01.06.00), Vol.2000, No.6, pages 115 to 122</td> <td>1-10</td> </tr> </tbody> </table>			Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.	A	Shuji YAMAMURA et al., "Senkei List o Taisho to shita Data Preload Hoshiki no Hyoka", Information Processing Society of Japan Kenkyu Hokoku, (2000-ARC-139), 05 August, 2000 (05.08.00), Vol.2000, No.74, pages 67 to 72	1-10	A	Shuji YAMAMURA et al., "Senkei List o Taisho to shita Data Prefetch Kiko", 2000 Nen Kinen Heiretsu Shori Symposium, Information Processing Society of Japan, 01 June, 2000 (01.06.00), Vol.2000, No.6, pages 115 to 122	1-10
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.									
A	Shuji YAMAMURA et al., "Senkei List o Taisho to shita Data Preload Hoshiki no Hyoka", Information Processing Society of Japan Kenkyu Hokoku, (2000-ARC-139), 05 August, 2000 (05.08.00), Vol.2000, No.74, pages 67 to 72	1-10									
A	Shuji YAMAMURA et al., "Senkei List o Taisho to shita Data Prefetch Kiko", 2000 Nen Kinen Heiretsu Shori Symposium, Information Processing Society of Japan, 01 June, 2000 (01.06.00), Vol.2000, No.6, pages 115 to 122	1-10									
<p><input checked="" type="checkbox"/> Further documents are listed in the continuation of Box C. <input type="checkbox"/> See patent family annex.</p>											
<p>* Special categories of cited documents:</p> <p>"A" document defining the general state of the art which is not considered to be of particular relevance</p> <p>"E" earlier document but published on or after the international filing date</p> <p>"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)</p> <p>"O" document referring to an oral disclosure, use, exhibition or other means</p> <p>"P" document published prior to the international filing date but later than the priority date claimed</p>		<p>"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention</p> <p>"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone</p> <p>"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art</p> <p>"&" document member of the same patent family</p>									
<p>Date of the actual completion of the international search 19 May, 2003 (19.05.03)</p>		<p>Date of mailing of the international search report 03 June, 2003 (03.06.03)</p>									
<p>Name and mailing address of the ISA/ Japanese Patent Office</p>		<p>Authorized officer</p>									
<p>Facsimile No.</p>		<p>Telephone No.</p>									


INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP03/00417

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	Hidehisa TAKAMIZAWA et al., " Hairetsu o Mochiita Cash Conscious na Sakuinki no Teian", The Institute of Electronics, Information and Communication Engineers Gijutsu Kenkyu Hokoku, The Institute of Electronics, Information and Communication Engineers, 10 July, 2002 (10.07.02), Vol.102, No.207, pages 43 to 48	1-10
A	Yoshihisa HONDA et al., "CSS-tree no Sonyu Shori no Kosokuka", The Institute of Electronics, Information and Communication Engineers Gijutsu Kenkyu Hokoku, The Institute of Electronics, Information and Communication Engineers, 10 July, 2002 (10.07.02), Vol.102, No.207, pages 49 to 54	1-10
A	Teruhisa MIURA and Toru ISHIDA, Stochastic Node Caching for Memory-bounded Search, Proceedings., National Conference on Artificial Intelligence, 26 July, 1998 (26.07.98), 15th, pages 450 to 456	1-10
A	US 4583165 A (International Business Machines Corp., Armonk, N.Y.), 15 April, 1986 (15.04.86), Full text; all drawings & DE 3380501 D & EP 97790 A2 & JP 59-8185 A (International Business Machines Corp.), 17 January, 1984 (17.01.84), Full text; all drawings	1-10
A	JP 4-111131 A (NEC Corp.), 13 April, 1992 (13.04.92), Full text; all drawings (Family: none)	1-10
A	JP 8-212081 A (Hitachi, Ltd.), 20 August, 1996 (20.08.96), Full text; all drawings (Family: none)	1-10
A	JP 7-28702 A (Hitachi, Ltd.), 31 January, 1995 (31.01.95), Full text; all drawings (Family: none)	1-10

<p>A. 発明の属する分野の分類 (国際特許分類 (IPC)) Int.Cl.⁷ G06F9/45, 12/08, 17/30</p>		
<p>B. 調査を行った分野 調査を行った最小限資料 (国際特許分類 (IPC)) Int.Cl.⁷ G06F9/45, 12/08, 17/30</p>		
<p>最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2003年 日本国登録実用新案公報 1994-2003年 日本国実用新案登録公報 1996-2003年</p>		
<p>国際調査で使用した電子データベース (データベースの名称、調査に使用した用語) JSTPLUS (JOIS) JST7580 (JOIS)</p>		
<p>C. 関連すると認められる文献</p>		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	山村 周史ほか3名, 線形リストを対象としたデータプリロード方式の評価, 情報処理学会研究報告 (2000-ARC-139), 2000.08.05, Vol.2000 No.74, p.67-72	1-10
A	山村 周史ほか3名, 線形リストを対象としたデータプリフェッチ機構, 2000年記念並列処理シンポジウム, 社団法人情報処理学会, 2000.06.01, Vol.2000 No.6, p.115-122	1-10
<p><input checked="" type="checkbox"/> C欄の続きにも文献が列挙されている。 <input type="checkbox"/> パテントファミリーに関する別紙を参照。</p>		
<p>* 引用文献のカテゴリー 「A」 特に関連のある文献ではなく、一般的技術水準を示すもの 「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す) 「O」 口頭による開示、使用、展示等に言及する文献 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願 の日の後に公表された文献 「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」 同一パテントファミリー文献</p>		
国際調査を完了した日	19.05.03	国際調査報告の発送日 03.08.03
国際調査機関の名称及びあて先 日本国特許庁 (ISA/JP) 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号	特許庁審査官 (権限のある職員) 中野 裕二	5B 9462 
		電話番号 03-3581-1101 内線 3545

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	高見澤 秀久ほか1名, 配列を用いたキャッシュコンシヤスな索引木の提案, 電子情報通信学会技術研究報告, 社団法人電子情報通信学会, 2002.07.10, Vol.102 No.207, p.43-48	1-10
A	本田 喜久ほか3名, CSS-treeの挿入処理の高速化, 電子情報通信学会技術研究報告, 社団法人電子情報通信学会, 2002.07.10, Vol.102 No.207, p.49-54	1-10
A	Teruhisa Miura and Toru Ishida, Stochastic Node Caching for Memory-bounded Search, Proceedings.National Conference on Artificial Intelligence, 1998.07.26, 15th, p.450-456	1-10
A	US 4583165 A(International Business Machines Corporation, Armonk, N. Y.) 1986.04.15, 全文, 全図 & DE 3380501 D & EP 97790 A2 & JP 59-8185 A(インターナショナル・ビジネス・マシーンス・コーポレーション), 1984.01.17, 全文, 全図	1-10
A	JP 4-111131 A(日本電気株式会社) 1992.04.13, 全文, 全図(ファミリーなし)	1-10
A	JP 8-212081 A(株式会社日立製作所) 1996.08.20, 全文, 全図(ファミリーなし)	1-10
A	JP 7-28702 A(株式会社日立製作所) 1995.01.31, 全文, 全図(ファミリーなし)	1-10