[19] 中华人民共和国国家知识产权局

[12] 发明专利说明书

专利号 ZL 200410058939.X

[51] Int. Cl.
G02F 1/136 (2006.01)
G02F 1/133 (2006.01)
H01L 29/786 (2006.01)
G03F 7/20 (2006.01)

[45] 授权公告日 2007 年 7 月 18 日

[11] 授权公告号 CN 1327285C

[22] 申请日 2004.7.22
[21] 申请号 200410058939.X
[30] 优先权
[32] 2003.7.22 [33] JP [31] 2003-277779
[73] 专利权人 东芝松下显示技术有限公司
地址 日本东京
[72] 发明人 石田有亲 渊正芳 松浦由纪
多田典生
[56] 参考文献
CN1198596 1998.11.11
US4665424A 1987.5.12
WO9300709A 1993.1.7
审查员 焦丽宁

[74] 专利代理机构 上海专利商标事务所有限公司
代理人 张 鑫

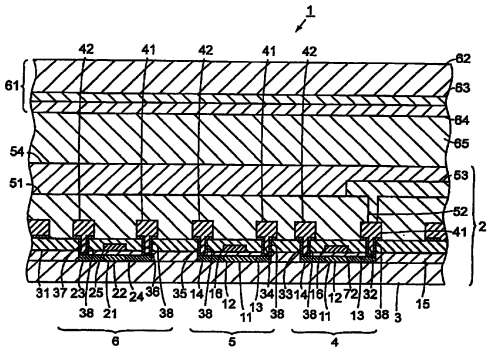
权利要求书 2 页 说明书 11 页 附图 12 页

[54] 发明名称

电路阵列基板及其制造方法

[57] 摘要

一种电路阵列基板具有绝缘基板(3)上形成的薄膜晶体管(4)和(5)以及PIN二极管(6)。活性层(11)和光电传感器部分(21)由多晶硅膜制成。如必要，在同一处理腔中将杂质掺杂入活性层(11)和光电传感器部分(21)中，以便使得它们的杂质浓度彼此不同。可以采用较少数量的处理同时且方便地在绝缘基板(3)上制造具有预定特征的薄膜晶体管(4)和(5)以及具有改进的光感度的PIN二极管(6)。



1.一种电路阵列基板，其特征在于，包括：

绝缘基板；以及

多个开关元件，它们具有形成于所述绝缘基板上的多晶半导体活性层，

其中在处理腔中以一定的杂质浓度将杂质掺杂入所述多晶半导体的所述活性层中；以及

还在与所述多晶半导体的所述活性层相同的处理腔中，以与所述多晶半导体的所述活性层的杂质浓度不同的杂质浓度将所述杂质掺杂入所述多晶半导体的所述光电传感器部分中。

2.如权利要求1所述的电路阵列基板，其特征在于，所述开关元件是具有不同沟道长度的薄膜晶体管，以及

根据所述薄膜晶体管的所述不同沟道长度，所述薄膜晶体管的所述活性层的所述不同杂质浓度彼此不同。

3.如权利要求1所述的电路阵列基板，其特征在于，所述电路阵列基板还包括：

光电半导体装置，它具有形成于所述绝缘基板上的多晶半导体的光电传感器部分。

4.如权利要求3所述的电路阵列基板，其特征在于，所述开关元件是薄膜晶体管，以及

所述光电半导体装置是PIN二极管。

5.一种电路阵列基板的制造方法，其特征在于，包括：

在绝缘基板上形成多晶半导体膜；

在所述多晶半导体膜上形成光致抗蚀剂；

通过具有不同光学透明度区的掩模曝光所述光致抗蚀剂，从而在所述多晶半导体膜上形成具有薄区和厚区的抗蚀图案；

通过如同掩模的所述抗蚀图案将所述多晶半导体光刻；

从所述抗蚀图案上除去所述薄区，以便形成剩余的抗蚀图案；

通过所述剩余的抗蚀图案将杂质掺杂入所述多晶半导体膜；以及

在所述多晶半导体膜上除去所述剩余的抗蚀图案，由此在所述绝缘基板上用不同杂质浓度掺杂的膜形成开关元件和光电半导体装置。

6.如权利要求5所述的电路阵列基板的制造方法，其特征在于，顺序地在预定处理腔中进行通过所述抗蚀图案的所述多晶半导体膜的所述光刻的操作以及在所

述抗蚀图案上除去所述薄区的操作。

电路阵列基板及其制造方法

发明领域

本发明涉及用于显示装置的电路阵列基板及其制造方法，尤其涉及具有用于显示装置的开关元件的电路阵列基板及其制造方法。

本申请基于并要求2003年7月22日提交的在先日本特许公开No.2003-277779的优先权，在此全文并入以供参考。

发明背景

液晶显示装置基本具有电路阵列基板、反向基板以及保持在电路阵列基板和反向基板之间的液晶层。电路阵列基板包含开关元件以便操作像素。虽然非晶硅薄膜晶体管仍可应用于现有技术的开关元件，但最近已开发了多晶硅薄膜晶体管来取代非晶硅薄膜晶体管并投入实际使用。

为了在电路阵列基板上形成多晶硅薄膜晶体管，在诸如玻璃基板的绝缘基板上形成非晶硅膜，随后将该非晶硅膜退火以便重新结晶成多晶硅膜，并且随后进行形成图案的过程以便将多晶硅膜形成用于多晶硅薄膜晶体管的活性层。

接着，低密度的P型或N型杂质被掺杂入该活性层(“轻度掺杂活性层”)以便控制多晶硅薄膜晶体管的阈值电压并在包含轻度掺杂活性层的绝缘基板上形成栅极绝缘层。

此外，导电膜被涂覆在栅极绝缘层上并对导电膜和栅极绝缘层执行图案形成过程以便在活性层上形成栅电极。高密度P型或N型杂质被掺杂入活性层以形成多晶硅薄膜晶体管的源极区和漏极区。

随后，在将夹层绝缘膜涂覆到栅极绝缘层和栅电极上后，形成通过夹层绝缘膜的接触孔从而分别达到源极区和漏极区。夹层膜和接触孔由导电膜覆盖，对该导电膜施加图案形成处理以便形成源电极和漏电极以及信号线。

接着，将保护膜涂覆到源电极和漏电极以及夹层膜上，接触孔被形成为分别穿过保护膜从而达到漏电极。接触孔由导电膜填充以便将漏电极连接到外部装置。这样，完成了用于液晶显示装置的电路基板。

此外，诸如光电传感器元件的数据输入装置被设置在玻璃基板上。该光电传感器元件可以由PIN光电二极管构成，当接收到入射光时在该光电二极管中I(本征)层产生光子。

如上所述，必须将杂质掺杂入薄膜晶体管的活性层中以便获得预定的性能特征。但是，为了增加 PIN 二极管的光电灵敏度，希望没有杂质被掺杂入 PIN 二极管的 I 层。

在与光电传感器元件相同的处理腔中在玻璃基板上形成薄膜晶体管的情况下，不能改变杂质浓度。因此，很难同时形成具有预定性能特性的薄膜晶体管以及灵敏度增强的光电传感器元件。这些薄膜晶体管和光电传感器元件可以在分开的过程中形成，在这些过程中可以将不同密度的杂质分别掺杂入薄膜晶体管的活性层和光电传感器元件的 I 层。但是，这种制造方法导致制造过程的数量增加并不能方便和廉价地进行。

另一方面，由于多晶硅活性层具有高导通(turned-on)阻抗，这种像素开关电路和驱动电路都可以由阵列基板上形成的多晶硅活性层制成。但是，在这种情况中，驱动电路中多晶硅薄膜晶体管的沟道长度应较短，因为当液晶显示器装置的图像分辨率更加精细时驱动电路的工作频率通常需要是较高的。

通常，当沟道长度被设定成较短时，漏电极处的耐压变得较低。换句话说，当沟道长度变短时，载流子更加集中在漏电极处，此处电场加强且在较低电压处引起漏极雪崩(drain avalanches)。事实上，超大规模集成(VLSI)电路具有与其类似的情况。即，为高频工作将其沟道长度缩短，但顺从于降低的耐压 VLSI 电路在低电源电压处使用。这种现有技术揭示于日本特许公开 No.2959682(参见其第 2 到 4 页以及图 1 的描述)。

需要液晶显示装置或电发光显示装置在预定电压处驱动液晶元件或电发光元件。因此，不能降低其整个电源电压，例如液晶元件必须以低于 10V 的电压驱动。

为了满足这种相反的要求，即显示装置以较高频率用较高耐压工作，则在玻璃基板上形成具有不同沟道长度的薄膜晶体管。那些具有较短或较长沟道长度的被分别用于高频工作和用于高耐压应用。

图 27 和 28 示出将多晶硅薄膜用于有源层的情况下根据沟道长度的漏极电流 Id-栅电压 Vg(“Id-Vg 特征”)的特性。根据该 Id-Vg 特性，随着沟道长度变短，栅极电压 Vg＝0V 处阈值电压降低且断开电流增加。简言之，这些都是由以下事实造成的，即活性层是非晶硅薄膜并保持中等的带隙水平。这里，断开电流增加致使电路中消耗的电流增加或者导致错误电流操作。因此，仅改变沟道长度不必要地使得薄膜晶体管以高频率或者以高耐压工作。

发明概述

因此，本发明提供了一种电路阵列基板，它具有不同的开关元件和光电传感器，

以及在较少或更少数量的过程中制造这种电路阵列基板的方法。

本发明的第一方面针对一种电路阵列基板，它具有绝缘基板；以及多个开关元件，它们具有形成于所述绝缘基板上的多晶半导体活性层，其中在处理腔中以一定的杂质浓度将杂质掺杂入所述多晶半导体的所述活性层中；以及还在与所述多晶半导体的所述活性层相同的处理腔中，以与所述多晶半导体的所述活性层的杂质浓度不同的杂质浓度将所述杂质掺杂入所述多晶半导体的所述光电传感器部分中。

因此，可以以相对较少数量的过程在绝缘基板上方便地制造包含具有预定特性的开关元件和具有改进的灵敏度的光电半导体装置的电路阵列基板。

本发明的第二方面针对一种电路阵列基板的制造方法，它具有在绝缘基板上形成多晶半导体膜；在所述多晶半导体膜上形成光致抗蚀剂；通过具有不同光学透明度区的掩模曝光所述光致抗蚀剂，从而在所述多晶半导体膜上形成具有薄区和厚区的抗蚀图案；通过如同掩模的所述抗蚀图案将所述多晶半导体光刻；从所述抗蚀图案上除去所述薄区，以便形成剩余的抗蚀图案；通过所述剩余的抗蚀图案将杂质掺杂入所述多晶半导体膜；以及在所述多晶半导体膜上除去所述剩余的抗蚀图案，由此在所述绝缘基板上用不同杂质浓度掺杂的膜形成开关元件和光电半导体装置。因此，可以以相对较少数量的过程在绝缘基板上方便地制造包含具有不同特性的开关元件的电路阵列基板。

附图概述

当结合附图考虑时，通过参考以下的详细描述，本发明的更完整的了解及其附带优点将易于获得，其中：

图 1 是根据本发明第一实施例提供的包含电路阵列基板的液晶显示装置的剖视图；

图 2 是说明图 1 所示的电路阵列基板中绝缘基板上多晶硅膜形成的剖视图；

图 3 是说明图 2 所示的多晶硅膜上光致抗蚀剂的涂覆以及光致抗蚀剂上掩模图案的制备的剖视图；

图 4 是说明通过多晶硅膜上通过图 3 所示的光致抗蚀剂上提供的掩模图案的光致抗蚀剂的光学曝光和洗印形成的配置的剖视图；

图 5 是说明通过蚀刻图 4 所示的绝缘基板上形成的多晶硅膜形成的配置的剖视图；

图 6 是说明通过图 5 所示的多晶硅膜上涂覆的薄光致抗蚀剂的光灰化形成的配置的剖视图；

图 7 是说明将 P 型杂质掺杂入图 6 所示的多晶硅膜的剖视图；

图 8 是说明将 N 型杂质掺杂入图 7 所示的多晶硅膜的剖视图；

图 9 是说明图 8 所示的多晶硅膜和绝缘基板上栅极绝缘膜的涂覆的剖视图；

图 10 是说明通过如同掩模图案的栅极绝缘膜上形成的栅电极将杂质掺杂入图 9 所示的多晶硅膜的剖视图；

图 11 是说明通过栅极绝缘膜和夹层绝缘膜形成的接触孔以便覆盖图 10 所示的多晶硅膜和绝缘基板上形成的栅电极和栅极绝缘膜的剖视图；

图 12 是说明图 11 所示的接触孔处提供的源电极和漏电极的剖视图；

图 13 是说明图 12 所示的源电极和漏电极以及夹层膜上保护层的涂覆的剖视图；

图 14 是根据本发明第二实施例包含电路阵列基板的液晶显示装置的剖视图；

图 15 是说明图 14 所示的电路阵列基板中绝缘基板上多晶硅膜的形成的剖视图；

图 16 是说明图 15 所示的多晶硅膜上涂覆的光致抗蚀剂的涂覆以及光致抗蚀剂上掩模图案的制备的剖视图；

图 17 是说明通过在图 16 所示的光致抗蚀剂上提供的掩模图案在非晶硅膜上光致抗蚀剂的光学曝光和洗印形成的配置的剖视图；

图 18 是说明通过蚀刻在图 17 所示的绝缘基板上形成的多晶硅膜形成的配置的剖视图；

图 19 是说明通过图 18 所示的多晶硅膜上涂覆的薄光致抗蚀剂的光灰化形成的配置的剖视图；

图 20 是说明将 P 型或 N 型杂质掺杂入图 19 所示的多晶硅膜的剖视图；

图 21 是说明从图 20 所示的多晶硅膜上除去薄光致抗蚀剂的剖视图；

图 22 是说明图 21 所示的多晶硅膜和绝缘基板上栅极绝缘膜的涂覆的剖视图；

图 23 是说明通过如同掩模图案的栅极绝缘膜上形成的栅电极将杂质掺杂入图 22 所示的多晶硅膜的剖视图；

图 24 是说明通过栅极绝缘膜和夹层绝缘膜形成的接触孔以覆盖图 23 的多晶硅膜和绝缘基板上形成的栅电极和栅极绝缘膜的剖视图；

图 25 是说明图 24 所示的接触孔处提供的源电极和漏电极的剖视图；

图 26 是说明图 25 所示的源电极和漏电极以及夹层上保护膜的涂覆的剖视图；

图 27 是示出具有 1.5μm 沟道长度的多晶半导体薄膜晶体管的漏极电流-栅极电压特征的图表；以及

图 28 是示出具有 4.5μm 沟道长度的多晶半导体薄膜晶体管的漏极电流-栅极电压特征的图表。

具体实施方式

以下将参考附图说明本发明的实施例。应注意，本发明不限于这些实施例但覆盖它们的等效物。在整个附图中，类似或相同的标号示出类似、等效或相同的部件。

第一实施例

将参考图 1 到 13 描述根据本发明的第一实施例的电路阵列基板。

图 1 是液晶显示装置 1 的剖视图。液晶显示装置 1 具有矩形电路阵列基板 2、反向基板 61 和液晶层 65。电路阵列基板 2 包括透明绝缘板，诸如玻璃基板 3。玻璃基板 3 的上表面由底涂层的层覆盖，该层没有示出但由氮化硅和氧化硅构成。

N 沟道型薄膜晶体管 4、P 沟道型薄膜晶体管 5 以及诸如 PIN 二极管的光电半导体器件 6 形成于底涂层的层上的矩阵中。N 沟道和 P 沟道型薄膜晶体管 4 和 5 用于液晶显示器的开关元件而 PIN 二极管 6 用于光电传感器元件。

这里，薄膜晶体管 4 和 5 具有底涂层上形成的活性层 11。每个活性层 11 都包括诸如多晶硅膜的多晶半导体膜，它通过将底涂层上形成的诸如非晶硅膜的非晶态半导体膜退火制成。活性层 11 具有中央部分处的沟道区 12 以及分别在沟道区 12 的两侧上的 N^+或 P^+源极和漏极区 13 及 14。

底涂层和该底涂层上形成的活性层 11 被氧化硅制成的栅极绝缘膜 15 覆盖。栅电极 16 形成在与沟道区 12 相对的栅极绝缘膜 15 上。每个栅电极 16 的宽度约等于沟道区 12 的宽度。

此外，PIN 二极管 6 形成于底涂层上。PIN 二极管 6 由诸如多晶硅膜的多晶半导体膜构成，该多晶半导体膜通过将底涂层上形成的诸如非晶硅膜的非晶态半导体膜退火而制成。

PIN 二极管 6 与玻璃基板 3 上形成的薄膜晶体管 4 和 5 排列在同一平面上。每个 PIN 二极管 6 具有光电传感器部分 21，它形成在底涂层上并通过与薄膜晶体管 4 和 5 活性层 11 相同的过程将 P 型或 N 型杂质(掺杂物)掺杂入其中。光电传感器部分 21 的杂质浓度与薄膜晶体管 4 和 5 的活性层 1 的杂质浓度不同。

光电传感器部分 21 具有设置在 PIN 二极管 6 的中间区处的本征(I)层 22 以及分别设置在 I 层 22 的两侧上的 P^+多晶硅区 23 和 N^+多晶硅区 24。

光电传感器部分 21 和底涂层由栅极绝缘层 15 覆盖。通过将与薄膜晶体管 4 和 5 的栅电极 16 相同的过程应用到同样绝缘层 15 上来形成栅电极 25。此外，栅电极

25 具有与光电传感器部分 21 的 I 层 22 基本相同的宽度。

PIN 二极管 6 的栅电极 25、薄膜晶体管 4 和 5 的栅电极 16 以及栅极绝缘膜 15 由氧化硅制成的夹层绝缘膜 31 覆盖。

接触孔 32 和 33 形成为穿过夹层绝缘膜 31 和栅极绝缘层 15，分别达到 N 沟道型薄膜晶体管 4 的源极和漏极区 13 和 14。

同样，接触孔 34 和 35 也形成为穿过夹层绝缘膜 31 和栅极绝缘膜 15，分别达到 P 沟道型薄膜晶体管 5 的源极和漏极区 13 和 14。

接触孔 36 和 37 进一步形成为穿过夹层绝缘膜 31 和栅极绝缘膜 15，分别达到 PIN 二极管 6 的 I 层 22 的两端上设置的 P^+和 N^+区 23 和 24。

接触孔 32 和 34 由欧姆接触膜 38 填充，随后由源电极 41 的导电材料填充。因此，源电极 41 通过欧姆接触膜 38 电连接于信号线(未示出)与薄膜晶体管 4 和 5 的源极区 13 之间。

同样，接触孔 33 和 35 也由欧姆接触膜 38 填充，随后由漏电极 42 的导电材料填充。因此，漏电极 42 通过欧姆接触膜 38 分别电连接到薄膜晶体管 4 和 5 的漏极区 14。

接触孔 36 进一步地由欧姆接触膜 38 填充，随后由源电极 41 的导电材料填充。因此源电极 41 通过欧姆接触膜 38 电连接到 PIN 二极管 6 的 N^+区 24。接触孔 37 由欧姆接触膜 38 填充，随后由漏电极 42 的导电材料填充。因此，漏电极 42 通过欧姆接触膜 38 电连接到 PIN 二极管 6 的 P^+区 23。

保护膜 51 形成于薄膜晶体管 4 和 5 以及 PIN 二极管 6 的源电极和漏电极 41 和 42 上，并形成在夹层绝缘膜 31 上。接触孔 52 被构成为穿过保护膜 51，达到 N 沟道型薄膜晶体管 4 的源电极 41。

像素电极 53 的导电材料被沉积在保护膜 51 上和接触孔 52 中，从而像素电极 53 与源电极 41 电连接。因此，像素电极 53 由 N 沟道型薄膜晶体管 4 控制。此外，配向(alignment)膜 54 形成于像素电极 53 和保护膜 51 上。

矩形反向基板 6 设置成与电路阵列基板 2 相对。反向基板 6 包括矩形玻璃基板 62、反向电极 63 和配向膜 64。液晶层 65 保持在电路阵列基板 2 和反向基板 61 之间并且被封在液晶显示装置的周围部分中。

以下将参考附图描述本发明第一实施例的制造电路阵列基板的方法。

首先，如图 2 所示，在玻璃基板 3 上形成底涂层后，应用等离子体化学气相沉积(等离子体 CVD)法以便在底涂层上沉积 50nm 厚的非晶硅薄膜 71。

随后，受激准分子激光器被照射到非晶硅薄膜 71 上，从而非晶硅薄膜 71 被熔

化并重新结晶成多晶硅膜 72。

接着，如图 3 所示，通过旋转涂料机将正型(positive type)光致抗蚀剂涂覆在多晶硅膜 72 的表面上，以便形成 2.0μm 厚的光致抗蚀剂 73。

随后，制备掩模图案 76 以便与光致抗蚀剂 73 相对。掩模图案 76 具有遮光部分 74 和半透明部分 75，它们分别与 PIN 二极管 6 以及薄膜晶体管 4 和 5 相对应。通过曝光机(未示出)将光致抗蚀剂 73 曝光，同时保持掩模部分 76 相对于光致抗蚀剂 73。

掩模图案 76 的半透明部分 75 由线和间隔图案组成，即多个等间距的缝隙 77。

作为曝光的结果，光致抗蚀剂 73 上就有完全被曝光的部分、未被曝光的部分以及由中等曝光能量曝光的中间部分。

此外，在显影溶液中将被曝光的光致抗蚀剂 73 显影。由于完全被曝光的部分、未被曝光的部分和中间部分的溶解度彼此不同，所以光致抗蚀剂 73 变成具有图 4 所示的不同厚度的抗蚀图案 78。

进行图案形成以便通过施加干蚀刻形成岛状图案，该干蚀刻用 CF_4 的蚀刻气体通过抗蚀图案 78 蚀刻玻璃基片 3 上的多晶硅膜 72，使其成为图 5 所示的掩模图案。

随后，在与干蚀刻相同的处理腔内对多晶硅膜 72 的岛状抗蚀图案 78 进行 O_2 等离子体光灰化(plasma light ashing)。

如图 6 所示，灰化处理从用于薄膜晶体管 4 和 5 的活性层 11 的岛状多晶硅膜 72 上消除了用掩模图案 76 的半透明部分 75 曝光的薄抗蚀图案 78。

灰化使得用掩模图案 76 的遮光部分 74 曝光的厚抗蚀图案 78 相对较薄，但不是完全从 PIN 二极管 6 的光电传感器部分 21 上除去图案 76，从而保留了抗蚀图案 79。

接着，如图 7 所示，通过应用植入法穿过如同掩模图案的剩余抗蚀图案 79，P 型杂质(掺杂物)被轻微地掺杂入岛状多晶硅膜 72。

随后，应用 O_2 等离子体灰化以便从岛状多晶硅膜 72 上除去剩余的抗蚀图案 79。

接着，在分别对应于 PIN 二极管 6 的 I 层 22 和 P^+ 区 23，P 沟道型薄膜晶体管 5 的沟道、源极和栅极区 12、13 和 14，以及 N 沟道型薄膜晶体管 4 的沟道区 12 的部分上形成光致抗蚀剂 81。

保持如图 8 所示的这种状态，通过应用植入法通过如同掩模图案的抗蚀图案 81 将高浓度的 N 型杂质(掺杂物)掺杂入与 PIN 二极管 6 的 N^+ 区 24 以及 N 沟道型薄膜晶体管 4 的源极和漏极区 13、14 相对应的部分岛状多晶硅膜 72 中。

随后，从岛状多晶硅膜 72 上除去光致抗蚀剂 81 并将栅极绝缘膜 15 沉积在底

涂层和岛状多晶硅膜 72 上，如图 9 所示。随后，将导电膜 82 沉积在栅极绝缘膜 15 上。随后，将图案形成处理应用于导电膜 82 上，从而形成栅电极 16 和 25。

栅电极 16 形成于 P 沟道型薄膜晶体管 5 的沟道区 12，以及 N 沟道型薄膜晶体管 4 的沟道区 12 与源极和漏极区 13 和 14 上，同时栅电极 25 形成于 PIN 二极管 6 的沟道区 12 和 N^+区 24 上。

如图 10 所示，通过施加植入法通过如同掩模图案的栅电极 16 和 25 将高浓度的 P 型杂质(掺杂物)掺杂入与 PIN 二极管 6 的 P^+区 23 以及 P 沟道型薄膜晶体管 5 的源极和漏极区 13 和 14 相对应的部分岛状多晶硅膜 72 中。

如图 11 所示，将图案形成处理应用于导电膜 82 上，从而形成栅电极 16 和 25，将夹层绝缘膜 31 沉积在栅电极 16 和 25 以及栅极绝缘膜 15 上，接触孔 32 到 37 被形成为穿过夹层绝缘膜 31。

随后，如图 12 所示，导电膜 83 被填充入接触孔 32 到 37，并形成于夹层绝缘膜 31 上，将图案形成方法应用于导电膜 83 以形成薄膜晶体管 4 和 5 以及 PIN 二极管 6 的源电极和漏电极 41 和 42。

接着，如图 13 所示，保护膜 51 形成于源电极和漏电极 41 和 42 上，且随后形成穿过保护膜 51 的接触孔 52。

随后，像素电极 53 的连接部分被填充入接触孔 52，像素电极 53 形成于保护膜 51 上，随后将配向膜 54 形成于像素电极 53 和保护膜 51 上，从而完成了如图 1 所示的电路阵列基板 2。

如上所述，根据第一实施例，玻璃基板 4 上形成的薄膜晶体管 4 和 5 以及 PIN 二极管 6 之间的被掺杂的杂质浓度是不同的。即，第一实施例包括这样一种处理，即通过具有遮光部分 74 和半透明部分 75 的不同透明度部分的掩模图案 76 将光致抗蚀剂 73 曝光，以使得被掺杂的杂质浓度在薄膜晶体管 4 和 5 以及 PIN 二极管 6 之间不同。

生产具有玻璃基板 3 上形成的多晶硅膜 72 上的不同厚度的膜的抗蚀图案 78。此外，通过抗蚀图案 78 蚀刻多晶硅膜 72，随后将掩模图案和抗蚀图案 78 灰化以便除去抗蚀图案 78 的较薄部分。在通过如同掩模图案的厚抗蚀图案 79 将杂质掺杂入多晶硅膜 72 后，从多晶硅膜 72 上除去抗蚀图案 79。

因此，采用较少或更少数量的制造过程在同一玻璃基片 3 上方便地形成具有所需性能特性的薄膜晶体管 4 和 5 以及具有改进的光感度的 PIN 二极管 6。由于在同一反应腔内顺序地进行蚀刻和光灰化过程，可以使得过程的增加数量最小化。因此，由于平版印刷过程的数量保持不变同时制造过程的总数仅稍许增加，就可以以较低

的成本生产具有薄膜晶体管 4 和 5 以及 PIN 二极管 6 的电路阵列基板 2。

第二实施例

以下将参考图 14 到 26 描述本发明第二实施例的电路阵列基板。

虽然图 14 到 26 所示的电路阵列基片及其制造方法与图 1 到 13 所示的基本相同，但前者具有玻璃基板上形成的 N 沟道型薄膜晶体管 91、92 和 93，它们具有不同的沟道长度。

如图 15 所示，诸如非晶硅膜 71 的非晶态半导体膜形成在玻璃基板 3 上，随后通过激光退火将其制成多晶硅膜。接着，如图 16 所示，掩模图案 76 被制备成与光致抗蚀剂 73 相对。掩模图案 76 具有遮光部分 74 和半透明部分 75，它们分别与长沟道薄膜晶体管 92 和 93 以及短沟道薄膜晶体管 91(参见图 14)相对应。通过掩模图案 76 执行光致抗蚀剂 73 的曝光。

此外，被曝光的光致抗蚀剂 73 在显影溶液中被显影，以便使得光致抗蚀剂 73 上形成的抗蚀图案 78 的厚度不同，如图 17 所示。随后，进行图案形成以便通过仅如同掩模图案的抗蚀图案 78 对玻璃基板 3 上的多晶硅膜 72 施加干蚀刻来形成岛状图案。

随后，对多晶硅膜 72 上形成的岛状抗蚀图案 78 进行光灰化。该灰化从岛状多晶硅膜 72 上除去了用掩模图案 76 的半透明部分 75 曝光的薄抗蚀图案 78。该灰化留下了由掩模图案 76 的遮光部分 74 阻断曝光的较厚的抗蚀图案 78，如图 19 所示。

接着，如图 20 所示，通过应用植入法通过如同掩模图案的剩余抗蚀图案 79 将 P 型或 N 型杂质(掺杂物)掺杂入岛状多晶硅膜 72。短沟道薄膜晶体管 91(参见图 14)的阈值电压由被掺杂的杂质浓度控制。例如，硼被掺杂入短沟道薄膜晶体管 91 的多晶硅膜 72，从而将阈值电压在正方向上移动 0.3V。

随后，如图 21 所示，从玻璃基板 3 上形成的岛状多晶硅膜 72 上除去剩余的抗蚀图案 79。如图 22 所示，随后在底涂层和岛状多晶硅膜 72 上沉积栅极绝缘膜 15。为了形成图 23 所示的结构，导电膜 82 沉积于栅极绝缘膜 15 上，并对导电膜 82 施加图案形成处理，以便形成栅电极 16。

这里，通过应用植入法通过如同掩模图案的栅电极 16 将高浓度 P 型或 N 型杂质掺杂入与薄膜晶体管 91、92 和 93(参见图 14)的源极区和漏极区 13 和 14 相对应的部分岛状多晶硅膜 72。具体地，在例如将磷掺杂入岛状多晶硅膜 72 后，执行退火处理以活化磷掺杂的多晶硅膜 72。结果，薄膜晶体管 91、92 和 93(参见图 14)的活性层 11 中被掺杂的杂质浓度是不同的，这取决于薄膜晶体管 91、92 和 93 的

栅电极长度。

在对栅电极 16 执行图案形成过程后，夹层绝缘膜 31 形成于栅电极 16 和栅极绝缘膜 15 上。如图 24 所示，接触孔 32 到 37 被形成为穿过夹层绝缘膜 31 且导电膜 83 被填充入接触孔 32 到 37 并被涂覆在夹层绝缘膜 31 上。如图 25 所示，随后将图案形成方法应用于导电膜 83 上，从而形成薄膜晶体管 91、92 和 93 的源电极和漏电极 41 和 42。

接着，如图 26 所示，在源电极和漏电极 41 和 42 上形成保护膜 51 后，接触孔 52 被制成穿过保护膜 51。随后，像素电极 53 的连接部分被填充入接触孔 52，像素电极 53 形成于保护膜 51 上，且配向膜 54 形成在像素电极 53 和保护膜 51 上，从而完成如图 14 所示的电路阵列基板 2。

如上所述，根据第二实施例，由于被掺杂的杂质浓度可以相对于玻璃基板 3 上形成的不同沟道长度的薄膜晶体管 91、92 和 93 而相互不同，所以可以独立地控制薄膜晶体管 91、92 和 93 的阈值电压。因此可以通过与高耐压所需的薄膜晶体管 92 和 94 相同的过程，高频工作所需的薄膜晶体管 91 可以形成于与这些薄膜晶体管 92 和 94 相同的基板上。

换句话说，可以方便地控制不同沟道长度的薄膜晶体管 91、92 和 93 的阈值电压，且可以通过有限数量的处理步骤制造这种薄膜晶体管 91、92 和 93。短沟道的高频薄膜晶体管 91 和长沟道的高耐压晶体管 92 和 93 都可以形成在同一玻璃基板 3 上。此外，由于不同沟道长度的薄膜晶体管 91、92 和 93 的制造方法具有对薄膜晶体管 91、92 和 93 的相同数量的平版印刷过程并基本不增加对于它们的制造步骤数量，就可以以不昂贵的成本制造具有这种薄膜晶体管 91、92 和 93 的电路阵列基板 2。

本发明可应用于电路阵列基板上，它包括但不限于以下同一玻璃基板上形成的具有不同特性的薄膜晶体管：用于 N 沟道型和 P 沟道型薄膜晶体管的 CMOS 电路；其中独立地设置阈值电压的 N 沟道型和 P 沟道型薄膜晶体管；以及具有相同沟道长度但根据断开(turned-off)属性的较大的阈值电压绝对值的薄膜晶体管。

在第二实施例中，杂质被掺杂入短沟道薄膜晶体管 91 的活性层 11 中。在与长沟道薄膜晶体管 92 和 93 相对应的部分活性层 11 需要特定阈值电压控制的情况中，在通过抗蚀图案 78 进行杂质掺杂并除去剩余的抗蚀图案 79 后，杂质会被掺杂入玻璃基板 3 的整个表面。

在第二实施例中形成 N 沟道型薄膜晶体管 91、92 和 93，但可以通过如同掩模图案的栅电极 16 掺杂诸如磷的 P 型杂质，以便形成 P 沟道型薄膜晶体管。

本发明的电路阵列基板不仅可以用于液晶显示装置还可以用于有机电发光显示装置。

本发明不限于上述实施例。虽然已采用具有不同程度的特殊性的应用形式描述了本发明，但可以理解，较佳形式的揭示内容可以在构成的细节上改变，且部件的组合和排列可以重新安排而不背离本发明的精神和范围，如以下要求的那样。

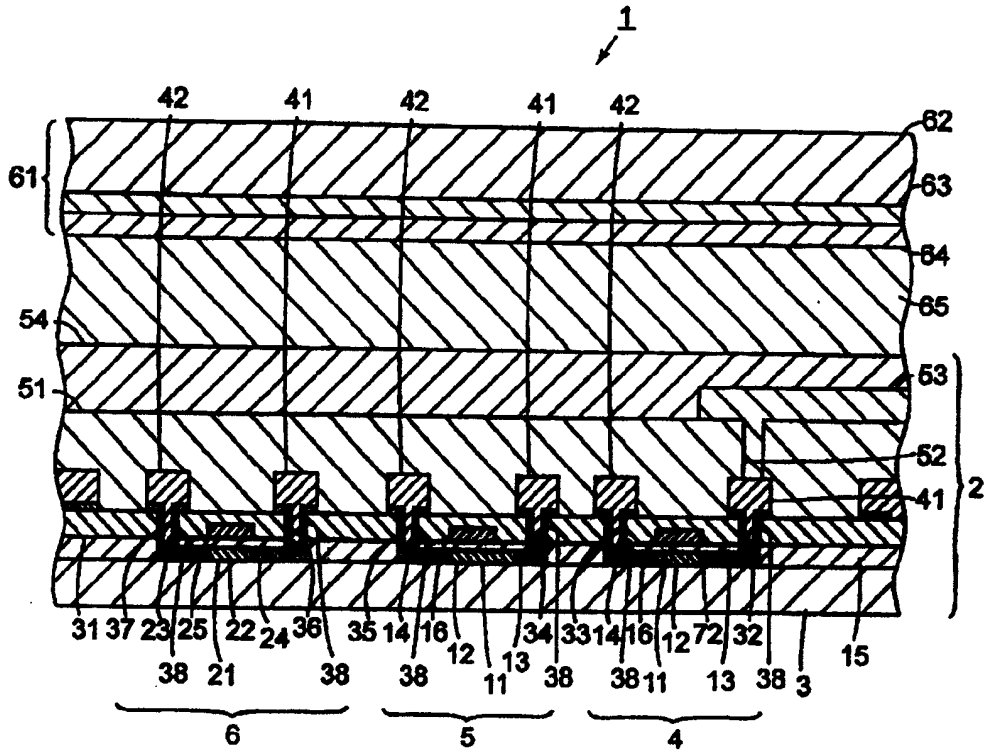

1
42
41
42
41
42
62
61
63
64
65
54
53
51
52
41
2
31 37 23 25 22 24 36 35 14 16 12 11 13 34 33 14 16 12 72 32 15
38 21 38 38 38 38 11 13 38 3
6
5
4

图 1

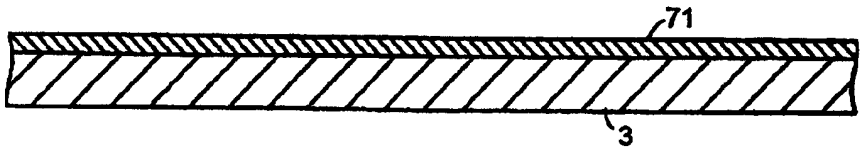

71
3

图 2

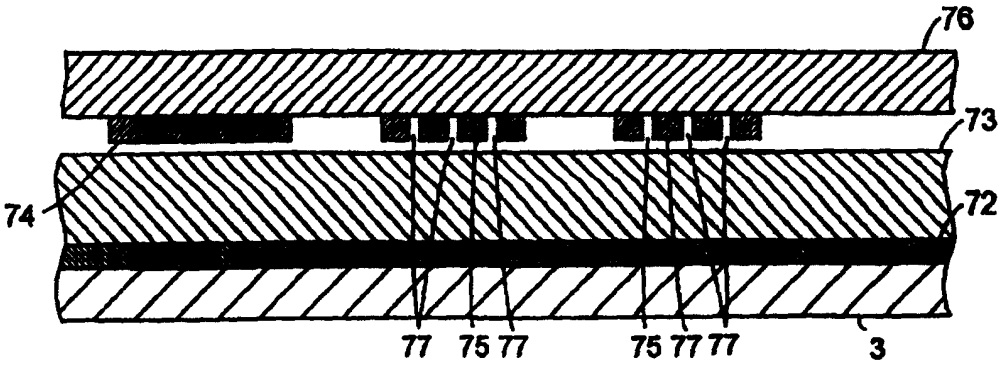


图 3

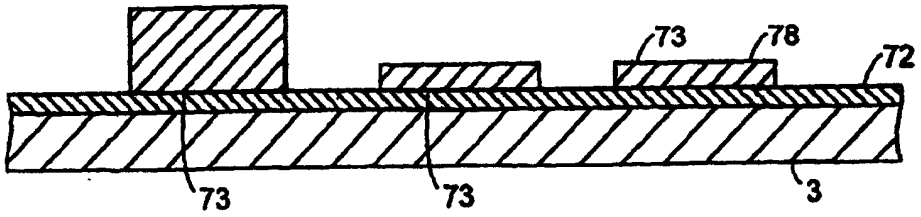


图 4

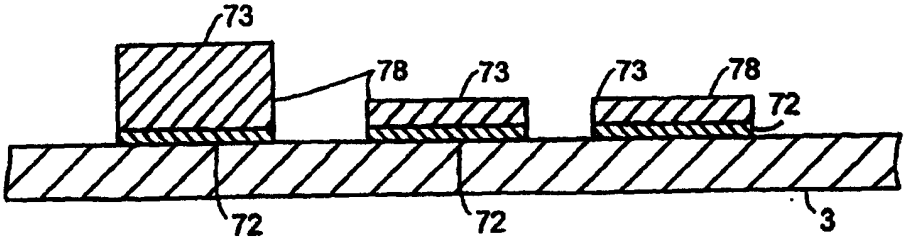


图 5

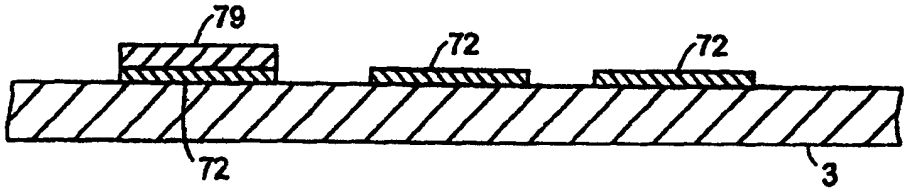


图 6

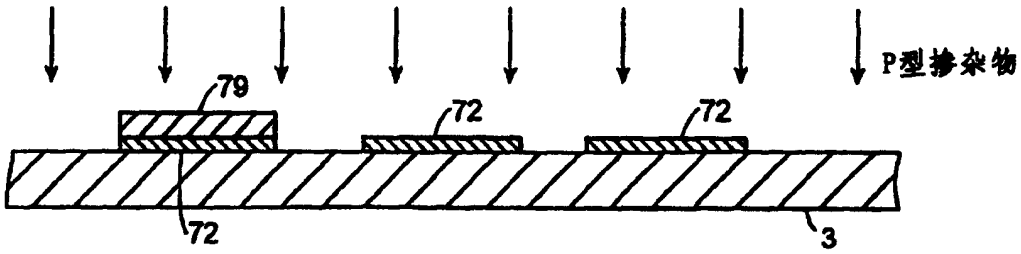


图 7

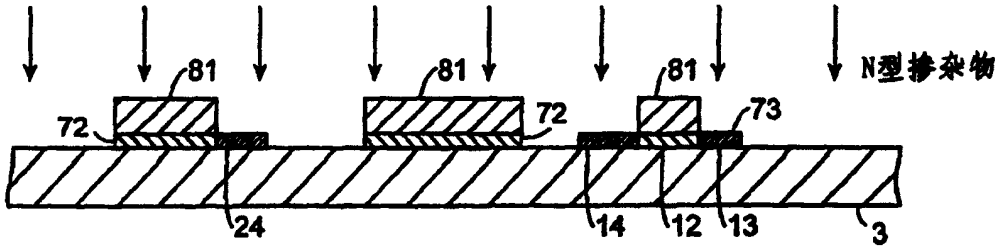


图 8

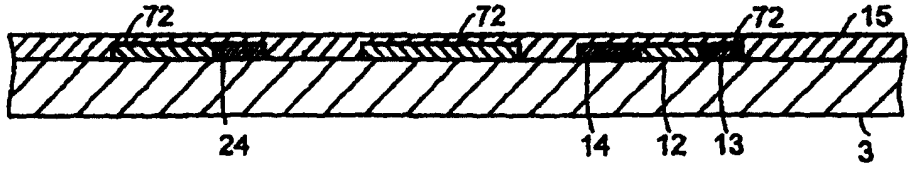

72
72
72
15
24
14
12
13
3

图 9

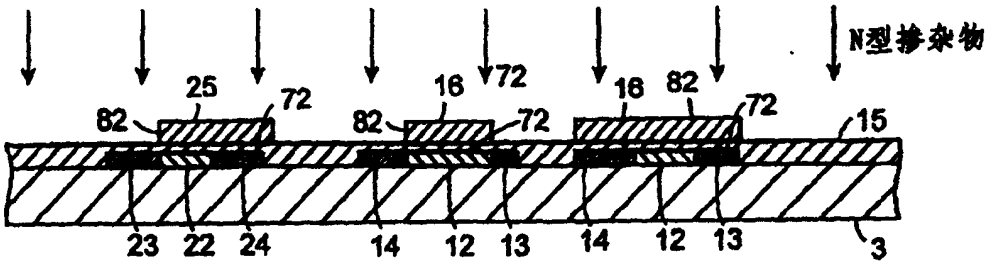

N型掺杂物
25
72
16
72
16
82
72
82
82
72
15
23
22
24
14
12
13
14
12
13
3

图 10

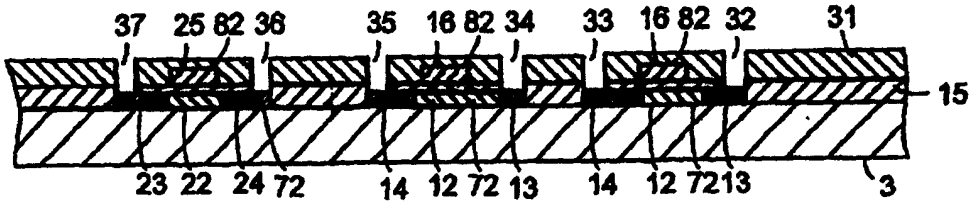

37
25
82
36
35
16
82
34
33
16
82
32
31
15
23
22
24
72
14
12
72
13
14
12
72
13
3

图 11

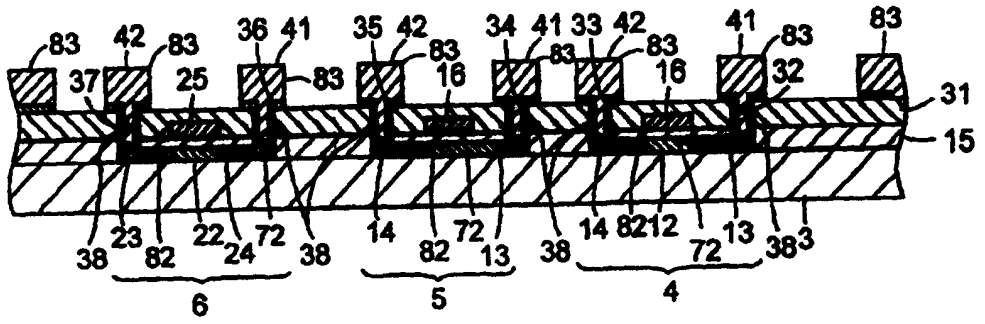

83 42 83 36 41 35 42 34 41 33 42 41 83
37 25 83 83 16 83 16 32
31
15
38 23 82 22 24 72 38 14 82 72 13 38 14 82 12 72 13 38 3
6 5 4

图 12

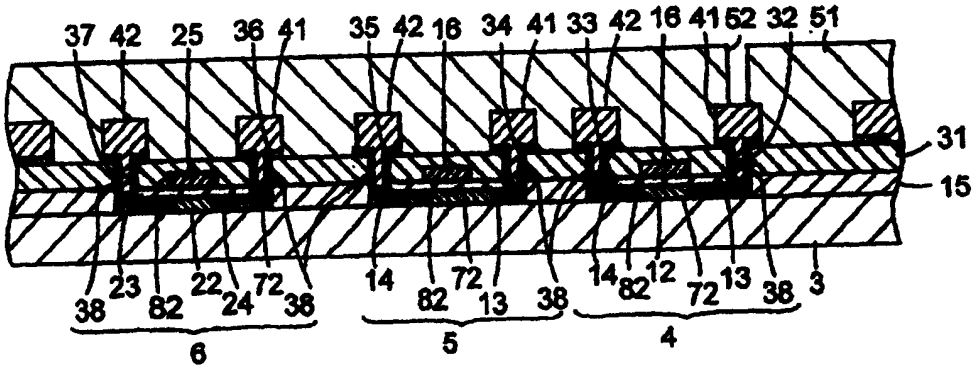

37 42 25 36 41 35 42 16 34 41 33 42 16 41 52 32 51
31
15
38 23 82 22 24 72 38 14 82 72 13 38 14 82 12 72 13 38 3
6 5 4

图 13

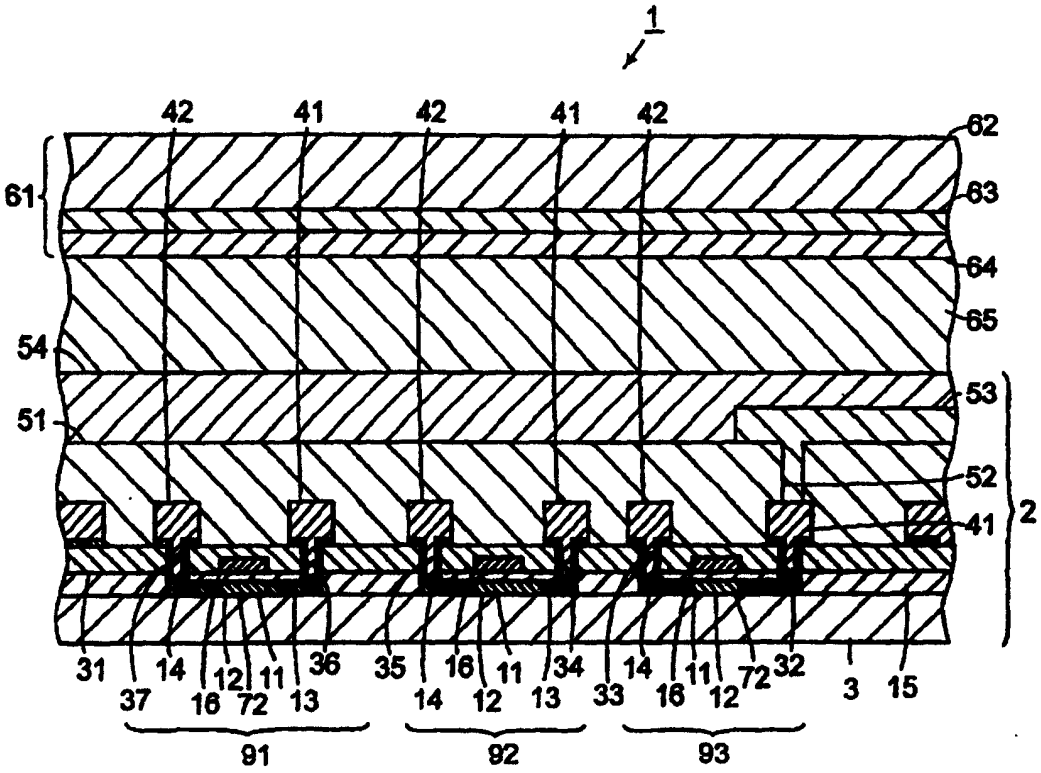

1
42
41
42
41
42
62
61
63
64
65
54
53
51
52
41
2
31
14
12
11
36
35
16
11
34
14
11
72
32
3
15
37
16
72
13
14
12
13
33
16
12
91
92
93

图 14

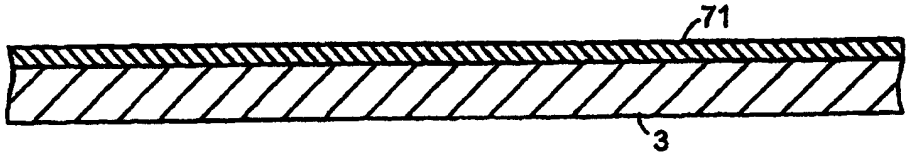

71
3

图 15

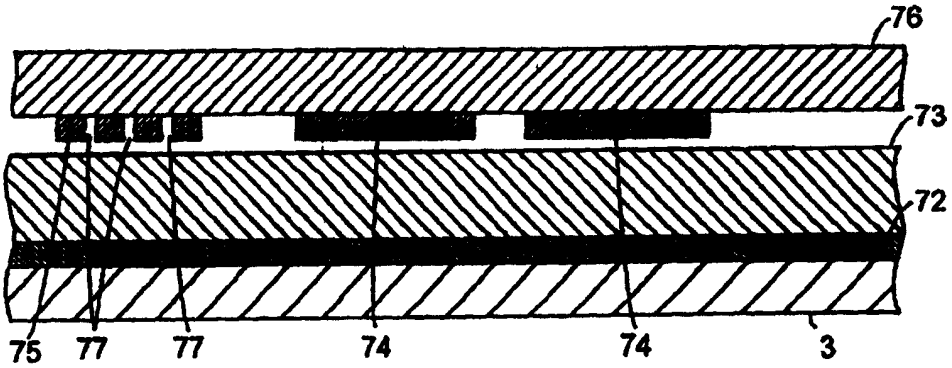

76
73
72
75
77
77
74
74
3

图 16

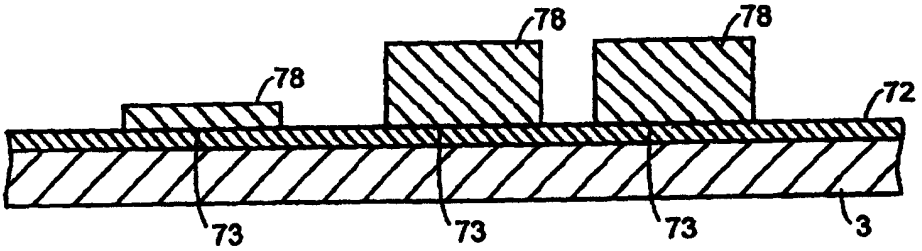

78
78
78
72
73
73
73
3

图 17

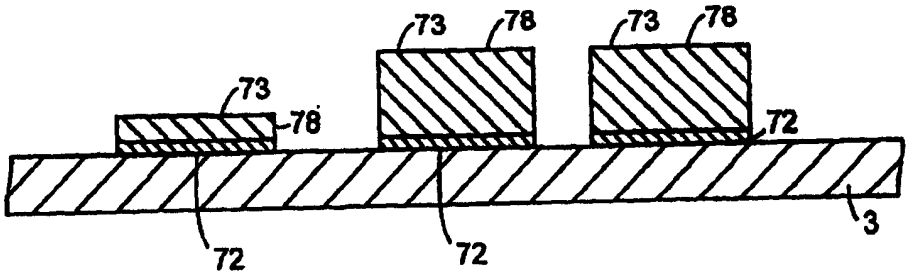

73
78
73
78
73
78
72
72
72
3

图 18

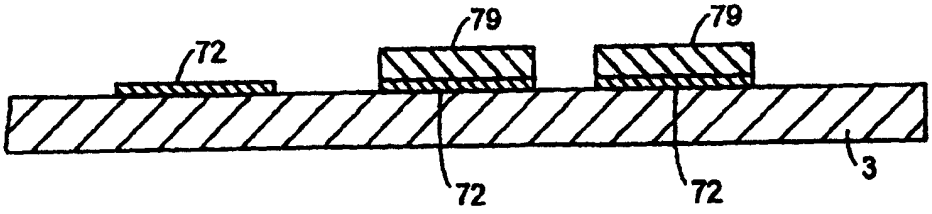


图 19

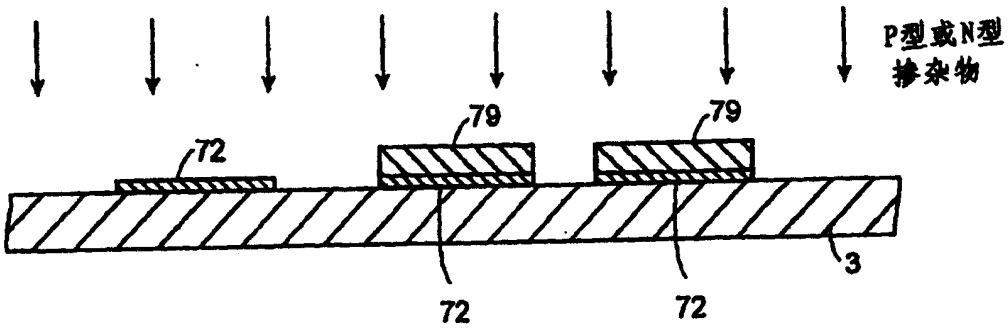


图 20

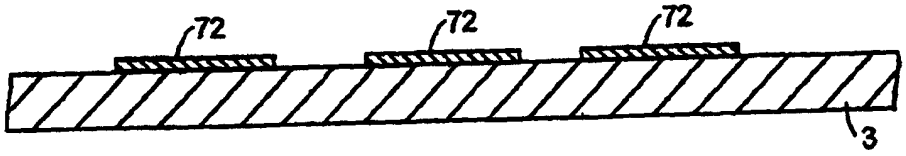


图 21

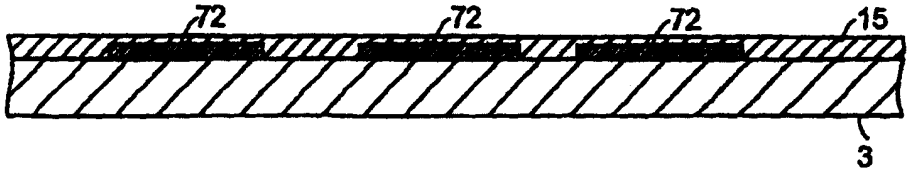

72
72
72
15
3

图 22

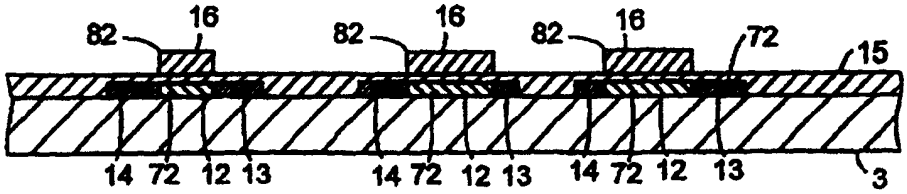

82
16
82
16
82
16
72
15
14 72 12 13
14 72 12 13
14 72 12 13
3

图 23

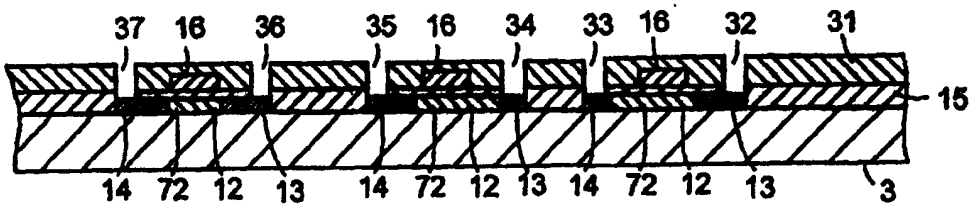

37 16 36 35 16 34 33 16 32 31
15
14 72 12 13 14 72 12 13 14 72 12 13
3

图 24

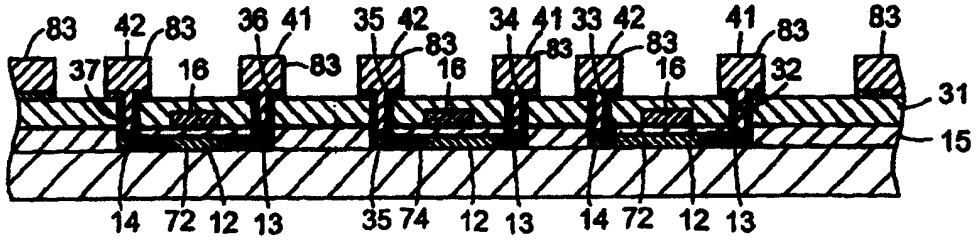

83 42 83 36 41 35 42 34 41 33 42 41 83
37 16 83 83 16 83 16 32
31
15
14 72 12 13 35 74 12 13 14 72 12 13

图 25

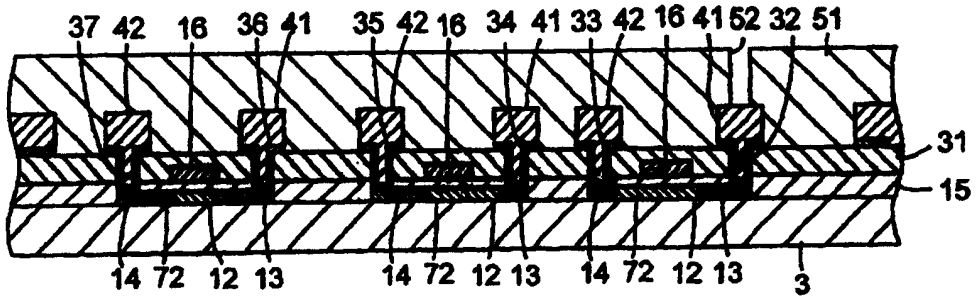

37 42 16 36 41 35 42 16 34 41 33 42 16 41 52 32 51
31
15
14 72 12 13 14 72 12 13 14 72 12 13 3

图 26

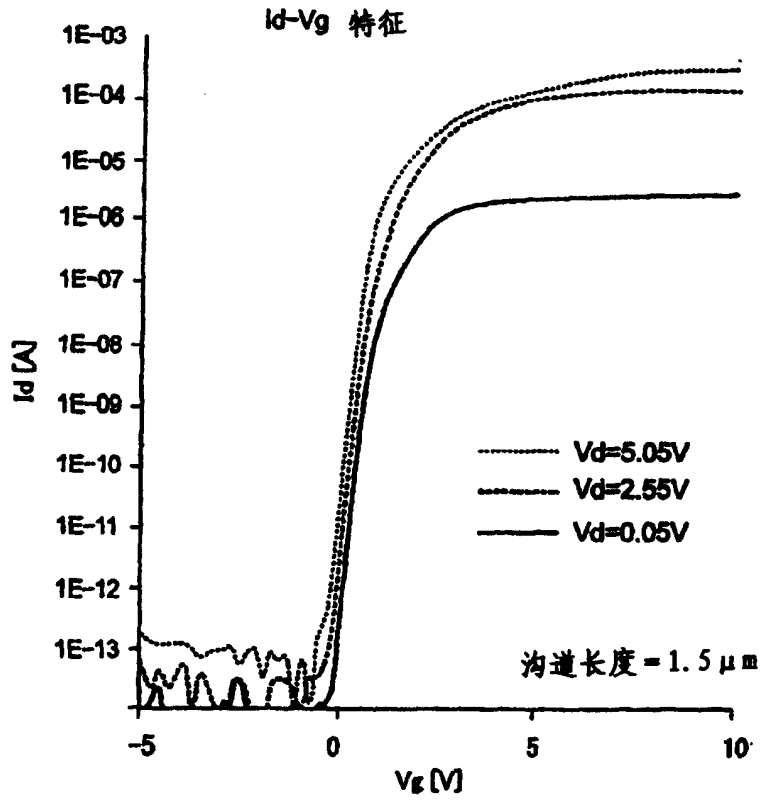

Id-Vg 特征
1E-03
1E-04
1E-05
1E-06
1E-07
1E-08
1E-09
1E-10
1E-11
1E-12
1E-13
Id [A]
Vd=5.05V
Vd=2.55V
Vd=0.05V
沟道长度=1.5μm
-5
0
5
10
Vg [V]

图 27

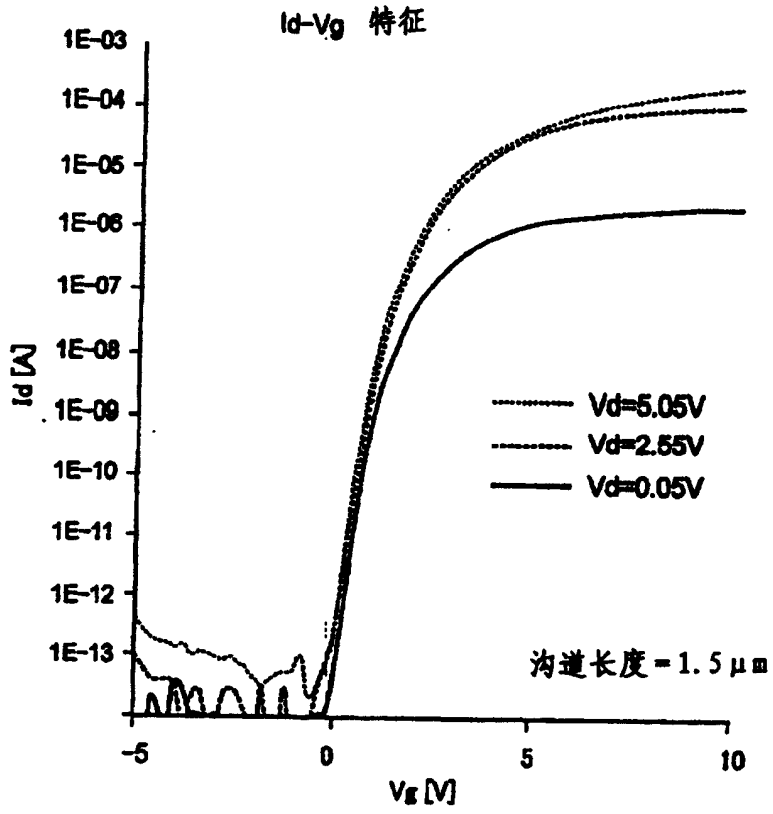

Id-Vg 特征
1E-03
1E-04
1E-05
1E-06
1E-07
1E-08
1E-09
1E-10
1E-11
1E-12
1E-13
Id [A]
Vd=5.05V
Vd=2.55V
Vd=0.05V
沟道长度=1.5μm
-5
0
5
10
Vg [V]

图 28