

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第6219521号
(P6219521)

(45) 発行日 平成29年10月25日(2017.10.25)

(24) 登録日 平成29年10月6日(2017.10.6)

(51) Int. Cl.	F I	
HO 1 L 27/06 (2006.01)	HO 1 L 27/06	1 O 1 U
HO 1 L 21/8248 (2006.01)	HO 1 L 27/06	3 2 1 H
HO 1 L 21/8249 (2006.01)	HO 1 L 27/06	3 2 1 G
HO 1 L 21/8234 (2006.01)	HO 1 L 27/088	E
HO 1 L 27/088 (2006.01)	HO 1 L 29/72	Z
請求項の数 13 (全 42 頁) 最終頁に続く		

(21) 出願番号	特願2016-532522 (P2016-532522)	(73) 特許権者	507364838
(86) (22) 出願日	平成26年11月13日(2014.11.13)		クアルコム、インコーポレイテッド
(65) 公表番号	特表2017-505530 (P2017-505530A)		アメリカ合衆国 カリフォルニア 921
(43) 公表日	平成29年2月16日(2017.2.16)		21 サン ディエゴ モアハウス ドラ
(86) 国際出願番号	PCT/US2014/065539		イブ 5775
(87) 国際公開番号	W02015/080873	(74) 代理人	100108453
(87) 国際公開日	平成27年6月4日(2015.6.4)		弁理士 村山 靖彦
審査請求日	平成29年4月25日(2017.4.25)	(74) 代理人	100163522
(31) 優先権主張番号	61/909,533		弁理士 黒田 晋平
(32) 優先日	平成25年11月27日(2013.11.27)	(72) 発明者	シア・リ
(33) 優先権主張国	米国 (US)		アメリカ合衆国・カリフォルニア・921
(31) 優先権主張番号	14/225,836		21-1714・サン・ディエゴ・モアハ
(32) 優先日	平成26年3月26日(2014.3.26)		ウス・ドライブ・5775
(33) 優先権主張国	米国 (US)		
早期審査対象出願			最終頁に続く

(54) 【発明の名称】 デュアルモードトランジスタ

(57) 【特許請求の範囲】

【請求項1】

電界効果トランジスタ型の動作に従ってユニポーラ電流がトランジスタの第1の領域から前記トランジスタの第2の領域に流れることを可能にするために第1のゲート電圧を受けるように構成された前記トランジスタの第1のゲート領域と、

前記ユニポーラ電流と同時にバイポーラ接合トランジスタ型の動作に従ってバイポーラ電流が前記トランジスタの前記第1の領域から前記トランジスタの前記第2の領域に流れることを可能にするために第1のボディ電圧を受けるように構成された前記トランジスタの第1のボディ領域と、

インバータミキサ回路とを備える装置であって、前記インバータミキサ回路が、

前記トランジスタであって、前記第1のボディ電圧が第1の入力信号に対応する、前記トランジスタと、

第2のトランジスタであって、前記第2のトランジスタの第2のボディ領域が前記第1のボディ領域に結合され、前記第2のボディ領域が前記第1のボディ電圧を受けるように構成されていて、前記第2のトランジスタの第2のゲート領域が前記第1のゲート領域に結合され、前記第2のゲート領域が前記第1のゲート電圧を受けるように構成されていて、前記第1のゲート電圧が第2の入力信号に対応し、前記第2のトランジスタの第2のドレイン領域が前記トランジスタの第1のドレイン領域に結合された、第2のトランジスタとを備える、装置。

【請求項2】

電界効果トランジスタ型の動作に従ってユニポーラ電流がトランジスタの第1の領域から前記トランジスタの第2の領域に流れることを可能にするために第1のゲート電圧を受けよう構成された前記トランジスタの第1のゲート領域と、

前記ユニポーラ電流と同時にバイポーラ接合トランジスタ型の動作に従ってバイポーラ電流が前記トランジスタの前記第1の領域から前記トランジスタの前記第2の領域に流れることを可能にするために第1のボディ電圧を受けよう構成された前記トランジスタの第1のボディ領域と、

インバータミキサ回路とを備える装置であって、前記インバータミキサ回路が、前記トランジスタであって、前記第1のボディ電圧が第1の入力信号に対応する、前記トランジスタと、

第2のトランジスタであって、前記第2のトランジスタの第2のボディ領域が第2の入力信号に対応する第2のボディ電圧を受けよう構成されていて、前記第2のトランジスタの第2のゲート領域が前記第1のゲート領域に結合され、前記第2のゲート領域が前記第1のゲート電圧を受けよう構成されていて、前記第1のゲート電圧が第3の入力信号に対応し、前記第2のトランジスタの第2のドレイン領域が前記トランジスタの第1のドレイン領域に結合された、第2のトランジスタとを備える、装置。

【請求項3】

電界効果トランジスタ型の動作に従ってユニポーラ電流がトランジスタの第1の領域から前記トランジスタの第2の領域に流れることを可能にするために第1のゲート電圧を受けよう構成された前記トランジスタの第1のゲート領域と、

前記ユニポーラ電流と同時にバイポーラ接合トランジスタ型の動作に従ってバイポーラ電流が前記トランジスタの前記第1の領域から前記トランジスタの前記第2の領域に流れることを可能にするために第1のボディ電圧を受けよう構成された前記トランジスタの第1のボディ領域と、

差動ミキサ回路とを備える装置であって、前記差動ミキサ回路が、前記トランジスタであって、前記第1のゲート電圧が第1の差動入力信号の第1の信号に対応し、前記第1のボディ電圧が第2の差動入力信号の第2の信号に対応する、前記トランジスタと、

第2のトランジスタであって、前記第2のトランジスタの第2のゲート領域が第2のゲート電圧を受けよう構成されていて、前記第2のゲート電圧が前記第1の差動入力信号の第2の信号に対応し、前記第2のトランジスタの第2のボディ領域が前記第2の差動入力信号の第1の信号を受けよう構成されていて、前記トランジスタの第1のソース領域が前記第2のトランジスタの第2のソース領域に結合された、第2のトランジスタとを備える、装置。

【請求項4】

電界効果トランジスタ型の動作に従ってユニポーラ電流がトランジスタの第1の領域から前記トランジスタの第2の領域に流れることを可能にするために第1のゲート電圧を受けよう構成された前記トランジスタの第1のゲート領域と、

前記ユニポーラ電流と同時にバイポーラ接合トランジスタ型の動作に従ってバイポーラ電流が前記トランジスタの前記第1の領域から前記トランジスタの前記第2の領域に流れることを可能にするために第1のボディ電圧を受けよう構成された前記トランジスタの第1のボディ領域と、

インバータドライバ回路と備える装置であって、前記インバータドライバ回路が、前記トランジスタであって、前記第1のボディ電圧が第1の入力信号に対応し、前記第1のゲート電圧が第2の入力信号に対応する、前記トランジスタと、

第2のトランジスタであって、前記第2のトランジスタの第2のゲート領域が前記第1のゲート領域に結合され、前記第2のゲート領域が前記第1のゲート電圧を受けよう構成されていて、前記第2のトランジスタの第2のボディ領域が第3の入力信号を介してバイアスされ、前記第2のトランジスタの第2のドレイン領域が前記トランジスタの第1のドレイン領域に結合された、第2のトランジスタとを備える、装置。

10

20

30

40

50

【請求項 5】

前記第 1 の領域が前記トランジスタのソースに対応する、請求項 1 から 4 のいずれか一項に記載の装置。

【請求項 6】

前記第 2 の領域が前記トランジスタのドレインに対応する、請求項 1 から 4 のいずれか一項に記載の装置。

【請求項 7】

前記トランジスタがユニポーラ動作モードおよびバイポーラ動作モードにおいて動作するように構成されていて、前記トランジスタが n 型トランジスタであり、前記第 1 のボディ電圧が前記トランジスタに関連する順方向接合電圧よりも高い、請求項 1 から 4 のいずれか一項に記載の装置。

10

【請求項 8】

前記第 1 のゲート電圧が電源電圧に等しい、請求項 7に記載の装置。

【請求項 9】

前記トランジスタがユニポーラ動作モードおよびバイポーラ動作モードにおいて動作するように構成されていて、前記トランジスタが p 型トランジスタであり、前記第 1 のボディ電圧が前記トランジスタに関連する負の順方向接合電圧よりも低い、請求項 1 から 4 のいずれか一項に記載の装置。

【請求項 10】

前記第 1 のゲート電圧がゼロ電圧に等しい、請求項 9に記載の装置。

20

【請求項 11】

前記第 1 のゲート領域および前記第 1 のボディ領域が、少なくとも 1 つの半導体ダイに集積された、請求項 1 から 4 のいずれか一項に記載の装置。

【請求項 12】

セットトップボックス、音楽プレーヤ、ビデオプレーヤ、娯楽ユニット、ナビゲーションデバイス、通信デバイス、携帯情報端末、固定位置データユニット、およびコンピュータからなるグループから選択されたデバイスをさらに備え、前記デバイス内に前記第 1 のゲート領域および前記第 1 のボディ領域が集積された、請求項 1 から 4 のいずれか一項に記載の装置。

【請求項 13】

前記第 1 のボディ領域が、前記第 1 のボディ電圧に応答して前記バイポーラ電流を発生させることによって前記ユニポーラ電流の大きさを調整するように更に構成されている、請求項 1 から 4 のいずれか一項に記載の装置。

30

【発明の詳細な説明】

【技術分野】

【0001】

[関連出願の相互参照]

本願は、それらの内容がそれら全体において参照により本明細書に明確に組み込まれる、2013年11月27日に出願した共同所有の米国仮特許出願第 61 / 909533号、および2014年3月26日に出願した米国非仮特許出願第 14 / 225836号の優先権を主張する。

40

【0002】

本開示は、全体的にはデュアルモードデジタルおよびアナログトランジスタに関する。

【背景技術】

【0003】

技術の進歩は、より小さくより強力なコンピューティングデバイスをもたらした。たとえば、小型、軽量であり、ユーザによる持ち運びが容易な、ポータブルワイヤレス電話機、携帯情報端末 (PDA, personal digital assistant)、ページングデバイスなどのワイヤレスコンピューティングデバイスを含む様々なポータブルパーソナルコンピューティングデバイスが現在存在している。より具体的には、セルラ

50

ー電話およびインターネットプロトコル (IP, internet protocol) 電話などのポータブルワイヤレス電話機は、ワイヤレスネットワーク上で音声およびデータパケットを通信することができる。さらに、多くのそのようなワイヤレス電話機は、その中に組み込まれた他のタイプのデバイスを含む。たとえば、ワイヤレス電話機は、また、デジタルスチルカメラ、デジタルビデオカメラ、デジタルレコーダ、およびオーディオファイルプレーヤを含むことができる。また、そのようなワイヤレス電話機は、インターネットにアクセスするために使用され得るウェブブラウザアプリケーションなどのソフトウェアアプリケーションを含む実行可能命令を処理することができる。そのように、これらのワイヤレス電話機は、かなりのコンピューティング能力を含むことができる。

【0004】

ワイヤレス電話機および他の電子デバイス内の回路は、トランジスタを含むことがある。トランジスタは、電子デバイス内の他の回路要素間の電流の流れを選択的に可能にすることができる。トランジスタによって生成される電流の量は、トランジスタに提供される電源電圧に基づき得る。比較的高い電流を生成するトランジスタは、より速い状態変化を可能にし、デジタル用途 (オンおよびオフの2つの状態) のための電流に依存する電子デバイスの他の構成要素に関する待ち時間を減少させることができる。典型的には、トランジスタによって生成される電流の量は、電源電圧が上昇するにつれて増加する。しかしながら、上昇した電源電圧は、電子デバイスの増加した電力消費をもたらし、バッテリー寿命を減少させる可能性がある。特定の従来の相補型金属酸化膜半導体 (CMOS, complementary metal oxide semiconductor) トランジスタは、高性能なアナログおよび無線周波数 (RF, radio frequency) 用途のための効率的なバイポーラデバイスではない。たとえば、デジタルCMOSトランジスタは、低コストのアナログおよびRF用途のために使用され得るが、低い性能 (たとえば、低いバイポーラ電流利得 ()) および複雑な回路は、アナログおよびRF用途のためのデジタルCMOSトランジスタを使用することから生じる可能性がある。

【発明の概要】

【課題を解決するための手段】

【0005】

ユニポーラ動作モード (たとえば、CMOSモード) およびバイポーラ動作モード (たとえば、バイポーラ接合トランジスタ (BJT, bipolar junction transistor)) において同時に動作するためにトランジスタをバイアスするための装置および方法が開示される。金属酸化膜半導体 (MOS) トランジスタは、MOSトランジスタ構成要素と水平寄生バイポーラトランジスタとを含むことができる。デジタルMOS動作において、水平寄生バイポーラトランジスタは、不活性化され (たとえば、オフにされ) 得、バイポーラトランジスタ効果は、存在しなくてもよい。寄生水平バイポーラトランジスタは、バイポーラトランジスタの効率を改善するために、MOSトランジスタのゲートを用いて活性化され (たとえば、オンにされ) 得る。たとえば、トランジスタのゲートおよびボディは、アナログおよびRF用途のための水平寄生バイポーラトランジスタ (たとえば、ゲート制御バイポーラ接合トランジスタ) を有効にするためにバイアスされ得る。たとえば、ゲートをバイアスすることは、バイポーラトランジスタの効率を改善することができ、端子を介してボディをバイアスすることは、バイポーラトランジスタをオンにすることができる。第1の構成では、トランジスタのゲートは、トランジスタがデジタルMOSモード (たとえば、ユニポーラ動作モード) において動作するようにバイアスされ得る。たとえば、ゲートは、ユニポーラ駆動電流 (たとえば、ホールまたは電子) がトランジスタ (たとえば、PMOSトランジスタまたはNMOSトランジスタ) のソース (またはドレイン) からトランジスタ (たとえば、ユニポーラ動作モード) のドレイン (またはソース) に流れることを可能にするために、ゲート-ソース電圧がしきい値電圧よりも高くなるようにバイアスされ得る。第2の構成では、ボディ (たとえば、ウェル) は、寄生バイポーラトランジスタが、また、アナログゲート制御バイポーラ接合トランジスタ (BJT) モード (たとえば、バイポーラ動作モード) に従って動作するように、

10

20

30

40

50

端子を介してバイアスされ得る。第2の構成では、ユニポーラ動作モードに関連するユニポーラ電流およびバイポーラ動作モードに関連するバイポーラ電流は、同時に流れる。たとえば、ボディは、P型BJTのベースとして動作することができ、ソースは、P型BJTのエミッタとして動作することができ、ドレインは、P型BJTのコレクタとして動作することができる。ボディは、ボディ-ソース電圧の絶対値が寄生バイポーラトランジスタのp-n順方向電圧よりも高くなるようにバイアスされ得る。ボディのそのようなバイアシングは、バイポーラ電流（たとえば、ホールおよび電子）がソース（エミッタ）とドレイン（コレクタ）との間を流れることを可能にする。バイポーラ電流は、ベース電流によって調整され得る。したがって、（説明したように）ゲートおよびボディを同時にバイアスすることは、バイポーラトランジスタの動作および増加した電流の流れ（たとえば、ユニポーラ電流の流れおよびバイポーラ電流の流れ）を可能にすることができ、これは、トランジスタのアナログおよびRF動作効率および/またはデジタル動作効率を改善することができる（たとえば、高性能アナログおよびRFゲート制御バイポーラトランジスタ、ならびに、電源電圧を上昇させることなくより大きい電流利得を有する）。

10

【0006】

特定の実施形態では、方法は、電界効果トランジスタ（FET, field effect transistor）型の動作に従ってユニポーラ電流がトランジスタの第1の領域からトランジスタの第2の領域に流れることを可能にするために第1のゲート電圧をバイアスするステップを含む。方法は、また、バイポーラ接合トランジスタ（BJT）型の動作に従って第1のボディベース領域電流制御でバイポーラトランジスタ電流が第1の領域から第2の領域に流れることを可能にするために第1のボディ端子領域をバイアスするステップを含む。ユニポーラ電流は、バイポーラ電流と同時に流れる。

20

【0007】

別の特定の実施形態では、装置は、電界効果トランジスタ（FET）型の動作に従ってユニポーラ電流がトランジスタの第1の領域からトランジスタの第2の領域に流れることを可能にするために第1のゲート電圧を介してバイアスされるトランジスタの第1のゲート領域を含む。装置は、また、バイポーラ接合トランジスタ（BJT）型の動作に従って第1のボディ（ベース）領域電流制御でバイポーラ電流がトランジスタの第1の領域からトランジスタの第2の領域に流れることを可能にするために第1のボディ電圧を介してバイアスされるトランジスタの第1のボディ領域を含む。

30

【0008】

別の特定の実施形態では、非一時的コンピュータ可読媒体は、プロセッサによって実行されたとき、プロセッサに、ユニポーラ電流がトランジスタの第1の領域からトランジスタの第2の領域に流れることを可能にするためにトランジスタのゲートの第1のゲート電圧をバイアスさせる命令を含む。命令は、また、ボディ-ソース電圧の絶対値がバイポーラトランジスタのpn接合順方向電圧よりも大きくなるように、トランジスタのボディ領域に結合された端子を第2の電圧にバイアスするためにプロセッサによって実行可能である。端子をバイアスすることは、ボディ（ベース）領域電流制御でバイポーラ電流がトランジスタの第1の領域からトランジスタの第2の領域に流れることを可能にする。

40

【0009】

別の特定の実施形態では、装置は、電界効果トランジスタ（FET）型の動作に従ってユニポーラ電流がトランジスタの第1の領域からトランジスタの第2の領域に流れることを可能にするために第1のゲート電圧をバイアスするための手段を含む。装置は、また、バイポーラ接合トランジスタ（BJT）型の動作に従ってボディベース電流制御でバイポーラ電流がトランジスタの第1の領域からトランジスタの第2の領域に流れることを可能にするためにボディ端子をバイアスするための手段を含む。

【0010】

別の特定の実施形態では、方法は、電界効果トランジスタ（FET）型の動作に従ってユニポーラ電流がトランジスタの第1の領域からトランジスタの第2の領域に流れることを可能にするために第1のゲート電圧をバイアスするためのステップを含む。方法は、ま

50

た、バイポーラ接合トランジスタ（BJT）型の動作に従ってボディベース電流制御でバイポーラ電流がトランジスタの第1の領域からトランジスタの第2の領域に流れることを可能にするためにボディ端子をバイアスするためのステップを含む。

【0011】

別の特定の実施形態では、方法は、半導体デバイスの少なくとも1つの物理的特性を表す設計情報を受信するステップを含む。半導体デバイスは、電界効果トランジスタ（FET）型の動作に従ってユニポーラ電流がトランジスタの第1の領域からトランジスタの第2の領域に流れることを可能にするために第1のゲート電圧を介してバイアスされるトランジスタの第1のゲート領域を含む。半導体デバイスは、また、バイポーラ接合トランジスタ（BJT）型の動作に従って第1のボディベース電流制御でバイポーラ電流がトランジスタの第1の領域からトランジスタの第2の領域に流れることを可能にするために第1のボディ電圧を介してバイアスされるトランジスタの第1のボディ領域を含む。方法は、また、ファイルフォーマットに準拠するために設計情報を変換するステップを含む。方法は、さらに、変換された設計情報を含むデータファイル（たとえば、GDSIIフォーマットファイルまたはGERBERフォーマットファイル）を生成するステップを含む。

10

【0012】

開示された実施形態の少なくとも1つによって提供される1つの特定の利点は、トランジスタの増加された電流容量である。開示された実施形態の少なくとも1つによって提供される別の特定の利点は、費用を追加するものなしで（または、最小で）CMOS互換プロセスにおいて可能にされるゲート制御バイポーラトランジスタである。本開示の他の態様、利点、および特徴は、以下の段落、図面の簡単な説明、発明を実施するための形態、および特許請求の範囲を含む本出願全体の検討後に明らかになるであろう。

20

【図面の簡単な説明】

【0013】

【図1】デュアルモードトランジスタの特定の例示的な実施形態の図である。

【図2】デュアルモードトランジスタのためのバイアス特性に対応する特定の例示的な表である。

【図3】デュアルモードトランジスタの電界効果トランジスタ（FET）型構成の特定の例示的な実施形態を示す図である。

【図4】デュアルモードトランジスタのバイポーラ接合トランジスタ（BJT）型構成の特定の例示的な実施形態を示す図である。

30

【図5】デュアルモードトランジスタを含むインバータミキサの特定の例示的な実施形態を示す図である。

【図6】デュアルモードトランジスタを含む差動ミキサの特定の例示的な実施形態の回路図である。

【図7】デュアルモードトランジスタを含むインバータドライバの特定の例示的な実施形態を示す図である。

【図8A】PNPデュアルモードトランジスタの特定の例示的な実施形態の図である。

【図8B】PNPデュアルモードトランジスタの特定の例示的な実施形態の図である。

【図9A】NPNデュアルモードトランジスタの特定の例示的な実施形態の図である。

40

【図9B】NPNデュアルモードトランジスタの特定の例示的な実施形態の図である。

【図10A】バイアス特性に基づいてデュアルモードトランジスタのドレイン電流、電流利得、および相互コンダクタンスを示す特定の例示的なチャートである。

【図10B】バイアス特性に基づいてデュアルモードトランジスタのドレイン電流、電流利得、および相互コンダクタンスを示す特定の例示的なチャートである。

【図11】シリコンオンインシュレータ（SOI）PNPデュアルモードトランジスタの特定の例示的な実施形態の図である。

【図12】SOI NPNデュアルモードトランジスタの特定の例示的な実施形態の図である。

【図13】デュアルモードトランジスタをバイアスする方法の特定の実施形態のフローチ

50

ャートである。

【図14】デュアルモードトランジスタとデュアルモードトランジスタをバイアスするために動作可能な構成要素とを含むワイヤレスデバイスのブロック図である。

【図15】デュアルモードトランジスタとデュアルモードトランジスタをバイアスするために動作可能な構成要素とを含む電子デバイスを製造するための製造プロセスの特定の例示的な実施形態のデータフロー図である。

【発明を実施するための形態】

【0014】

図1を参照すると、デュアルモードトランジスタ100の特定の例示的な実施形態が示されている。たとえば、デュアルモードトランジスタ100は、デジタル金属酸化膜半導体 (MOS) モード (たとえば、ユニポーラ動作モード) とアナログゲート制御バイポーラ接合トランジスタ (BJT) モード (たとえば、バイポーラ動作モード) とにおいて同時に動作することができる。図1中の例示的な実施形態は、デュアルモードトランジスタ100の断面図を示す。

10

【0015】

デュアルモードトランジスタ100は、第1のゲート領域102と、第1の領域104と、第2の領域106と、第1のボディ領域108とを含む。第1のゲート領域102は、デュアルモードトランジスタ100のゲートに対応することができる。特定の実施形態 (たとえば、PNP型の構成) において、第1の領域104は、デュアルモードトランジスタ100のソースに対応することができる。第2の領域106は、デュアルモードトランジスタ100のドレインに対応することができる。別の特定の実施形態 (たとえば、NPN型の構成) において、第1の領域104は、デュアルモードトランジスタ100のドレインに対応することができる。第2の領域106は、デュアルモードトランジスタ100のソースに対応することができる。第1のボディ領域108は、ウェルに対応することができる。誘電体は、第1のゲート領域102を、第1の領域104、第2の領域106、および第1のボディ領域108から分離することができる。誘電体は、高誘電率を有する材料からなる絶縁層であり得る。デュアルモードトランジスタ100は、基板領域110内にあり得る。以下に説明するように、各領域102~108の濃度は、デュアルモードトランジスタ100の特定の構成 (たとえば、デュアルモードトランジスタがNMOSかつNPN型の構成、またはPMOSかつPNP型の構成のいずれを有するか) に基づいて変

20

30

【0016】

デュアルモードトランジスタ100は、また、第1のボディ領域108に結合された第1の端子112と、基板領域110に結合された第2の端子114とを含む。第1のシャロートレンチアイソレーション (STI) 領域122は、(別のトランジスタ構造からの) 電流漏れがデュアルモードトランジスタ100に影響を与えるのを防止 (または、低減) することができる。第2のSTI領域124は、第2の端子114と第2の領域106との間の電流漏れを防止 (または、低減) することができる。第3のSTI領域126は、第1の端子104と第1の端子112との間の電流漏れを防止 (または、低減) ことができ、第4のSTI領域128は、(別のトランジスタ構造からの) 電流漏れがデュアルモードトランジスタ100に影響を与えるのを (または、低減) することができる。

40

【0017】

第1のゲート領域102の第1のゲート電圧は、第1の電圧 (V_1) にバイアスされ得る。第1のゲート電圧をバイアスすることは、電界効果トランジスタ (FET) 型の動作に従ってユニポーラ電流が第1の領域104から第2の領域106に流れることを可能にすることができる。たとえば、ソース電圧 (V_s) は、第1の領域104に印加され得る。ゲートソース電圧 (たとえば、第1の電圧 (V_1) とソース電圧 (V_s) との間の電圧差) が特定の電圧レベルを超えたとき、反転層 (たとえば、チャネル) が、第1の領域104と第2の領域106との間の第1のボディ領域108内に形成され得る。特定の実施形態では、特定の電圧レベルは、飽和領域電流が流れることを可能にするために、デュ

50

アルモードトランジスタ100のしきい値電圧(V_t)よりもはるかに高くてもよい。別の特定の形態では、特定の電圧レベルは、トライオード(線形)領域電流が流れることを可能にするために、しきい値電圧(V_t)よりもすぐ上であり得る。別の特定の形態では、特定の電圧レベルは、電流をオフにするために、しきい値電圧(V_t)よりも低くてもよい。ユニポーラ電流は、反転層を介して第1の領域104から第2の領域106に流れることができる。デュアルモードトランジスタ100の構成に基づいて、ユニポーラ電流は、第2の領域106から第1の領域104に流れる電子を含むことができる(たとえば、NPN型の構成)、または、ユニポーラ電流は、第1の領域104から第2の領域106に流れるホールを含むことができる(たとえば、PNP型の構成)。図示の実施形態では、ドレイン電圧(V_d)は、第2の領域106に印加され得、基板電圧(V_{sub})は、第2の端子114に印加され得る。シリコンオンインシュレータ(SOI, silicon on insulator)技術に関して、基板領域110は、酸化物層であり得、STI122~128は、酸化物層内で下方に深くなり得る。SOI技術において、基板電圧(V_{sub})(たとえば、第2の端子114に印加される電圧)は、除去され得る。

10

【0018】

(第1のボディ領域108に結合された)第1の端子112は、第2の電圧(V_2)にバイアスされ得る。第1の端子112をバイアスすることは、第1の端子112の電流調整でBJT型の動作に従ってバイポーラ電流が第1の領域104と第2の領域106との間に流れることを可能にすることができる。たとえば、第1の端子112は、ボディソース電圧の絶対値(たとえば、第2の電圧(V_2)とソース電圧(V_s)との間の電圧差)がデュアルモードトランジスタ100のpn順方向接合電圧(V_j)よりも高くなるようにバイアスされ得る。説明するために、第1の端子112を第2の電圧(V_2)にバイアスすることは、第1のボディ領域108がBJTのベースと実質的に同様の方法で動作し、水平ゲート制御BJTをオンにすることを可能にすることができる。

20

【0019】

本明細書に記載のように、「接合電圧」(V_j)は、p型領域とn型領域との間の順方向バイアス電圧に対応することができる。たとえば、正端子は、p型領域に結合され得、負端子は、n型領域に結合され得る。水平PNP構成では、p型領域は、第1の領域104および第2の領域106に対応することができる、n型領域は、第1のボディ領域108に対応することができる。代替的には、水平NPN構成では、p型領域は、第1のボディ領域108に対応することができる、n型領域は、第1の領域104および第2の領域106に対応することができる。順方向バイアス電圧は、p型領域内のホールおよびn型領域内の電子が、p型領域とn型領域とを結合する接合部(たとえば、pn接合部)に向けて「プッシュ」されることを可能にする電圧であり得る。したがって、順方向バイアス電圧は、pn接合の空乏領域を減少させ、バイポーラ電流(たとえば、ホールおよび電子)の流れを可能にすることができる。したがって、ボディソース電圧の絶対値が順方向バイアス電圧(たとえば、接合電圧(V_j))よりも高くなるように第1の端子112をバイアスすることは、水平PNP型デバイスまたは水平NPN型デバイスのいずれかにおいてn型領域とp型領域との間のバイポーラ電流の流れを可能にすることができる。

30

40

【0020】

以下に説明するように、デュアルモードトランジスタ100の水平PNP構成では、第1の端子112をバイアスすることは、第1の領域104がBJTのエミッタと実質的に同様に動作することを可能にすることができ、第2の領域106がBJTのコレクタと実質的に同様に動作することを可能にすることができる。代替的には、デュアルモードトランジスタ100の水平NPN構成では、第1の端子112をバイアスすることは、第1の領域104がBJTのコレクタと実質的に同様に動作することを可能にすることができ、第2の領域106がBJTのエミッタと実質的に同様に動作することを可能にすることができる。したがって、BJT型の動作によるバイポーラ電流(電子およびホール)は、第1の端子112を第2の電圧(V_2)にバイアスすることに対応して第1の領域104と

50

第2の領域106との間を流れることができ、第1の端子112の電流は、第1の領域104と第2の領域106との間の電流の流れを調整することができる。

【0021】

第1の特定の実施形態では、デュアルモードトランジスタ100は、PMOSおよび水平PNP型構成を有することができる。たとえば、第1の領域104および第2の領域106は、P+濃度でドーピングされ得、第1のボディ領域108は、N-濃度でドーピングされる。したがって、水平PNP型構成では、デュアルモードトランジスタ100は、p型エミッタ104およびコレクタ106を有することができる、N型ベース108を有することができる（たとえば、PNPバイポーラトランジスタ(PBJT)）。第1の端子112は、N+濃度でドーピングされ得、第2の端子114は、P+濃度でドーピングされ得、基板領域110は、P-濃度でドーピングされ得る。第1のゲート領域102は、P金属（たとえば、p型の特性を有する金属）を含むことができ、または、P+濃度でドーピングされ得る（たとえば、P-ゲートPFET）。代替的には、第1のゲート領域102は、N金属（たとえば、n型の特性を有する金属）を含むことができ、または、N+濃度でドーピングされ得る（たとえば、N-ゲートPFET）。

10

【0022】

水平PNP型構成の動作中、第1のゲート領域102は、デュアルモードトランジスタ100のゲート電圧（たとえば、第1の電圧(V_1)）がデュアルモードトランジスタ100のソース電圧(V_s)よりも低くなるようにバイアスされ得る。たとえば、電源電圧(V_{dd})は、第1の領域104（たとえば、ソース）に印加され得、第1の電圧(V_1)は、第1のゲート領域102に印加される。したがって、第1の電圧(V_1)は、ゲート電圧がソース電圧(V_s)よりも低くなるように接地（たとえば、ゼロ電圧）から電源電圧(V_{dd})までの範囲であり得る。第1の電圧(V_1)で第1のゲート領域102をバイアスすることは、第1の領域104と第2の領域106との間の第1のボディ領域108内のP型チャネル形成（たとえば、P型反転層の形成）を可能にすることができる。PFET動作によるユニポーラ電流（たとえば、ホール）は、第1の領域104から第2の領域106に流れることができる。

20

【0023】

第1の端子112は、ボディ ソース電圧の絶対値がデュアルモードトランジスタ100の接合電圧(V_j)よりも高くなるように第2の電圧(V_2)にバイアスされる。たとえば、第2の電圧(V_2)は、第1の領域104に印加される電源電圧(V_{dd})と接合電圧(V_j)の差よりも低くてもよい（たとえば、 $V_2 < V_{dd} - V_j$ ）。特定の実施形態では、（第1のボディ領域108に結合された）第1の端子112に印加される第2の電圧(V_2)は、デュアルモードトランジスタ100の負の順方向接合電圧（たとえば、 $-0.7V$ ）よりも低い電圧にバイアスされ得る。第2の電圧(V_2)で第1の端子112をバイアスすることは、デュアルモードトランジスタ100が水平PNP BJTに従って動作することを可能にすることができる。たとえば、第1のボディ領域108は、BJTのベースと実質的に同様に動作することができ、第1の領域104は、BJTのエミッタ（たとえば、順方向バイアス）と実質的に同様に動作することができ、第2の領域106は、BJTのコレクタ（たとえば、逆方向バイアス）と実質的に同様に動作することができる。

30

40

【0024】

PNP BJTは、電流制御電流レギュレータとして動作することができる。たとえば、コレクタ電流 I_c （たとえば、ベース電流によって制御される電流）は、第1の領域104（たとえば、エミッタ）から第2の領域106（たとえば、コレクタ）に流れることができる。ベース電流 I_b （たとえば、ベース制御電流）は、第1の領域104（たとえば、エミッタ）から第1のボディ領域108（たとえば、ベース）に流れることができ、ベース電流 I_b は、コレクタ電流 I_c の量を制御することができる。たとえば、ベース電流 I_b は、ボディ ソース電圧の絶対値が接合電圧(V_j)よりも高いとき、PNP BJTを「オンにし」、ベース電流 I_b は、ベース電流 I_b に比例する量のコレクタ電流 I_c

50

c が流れることを可能にする。電子は、第1のボディ領域108から第1の領域104に流れることができ、ホールは、第1の領域104から第2の領域106に流れることができる。

【0025】

したがって、PNP構成では、バイポーラ電流（たとえば、ホールおよび電子）ならびにユニポーラ電流（たとえば、ホール）は、第1の領域104と第2の領域106との間を同時に流れることができる。バイポーラ電流は、BJT動作に関連し、ユニポーラ電流は、FET動作に関連し得る。同時のバイポーラおよびユニポーラ動作中、第1のゲート領域102は、デュアルモードトランジスタ100の水平PNPの電流利得（ ）と、デュアルモードトランジスタ100の相互コンダクタンスと、デュアルモードトランジスタ100の抵抗値とを制御することができる。たとえば、ゲート電圧（たとえば、第1の電圧（ V_1 ））は、増加したホール（たとえば、ユニポーラ電流）が第1の領域104と第2の領域106との間を流れることを可能にするために選択的に低下され得る。デュアルモードトランジスタ100の抵抗値は、デュアルモードトランジスタ100に印加される電流および電圧に比例することができる。

10

【0026】

第2の特定の実施形態では、デュアルモードトランジスタ100は、NMOS型構成を有することができる。たとえば、第1の領域104および第2の領域106は、N+濃度でドーピングされ得、第1のボディ領域108は、P-濃度でドーピングされ得る。したがって、NMOS型構成では、デュアルモードトランジスタ100は、n型金属酸化膜半導体（NMOS）トランジスタ（たとえば、n型電界効果トランジスタ（NFET））であり得る。第1の端子112は、P+濃度でドーピングされ得、第2の端子114は、N+濃度でドーピングされ得、基板領域110は、P-濃度でドーピングされ得る。水平PNP型構成では、デュアルモードトランジスタ100は、また、第1のボディ領域108と基板領域110との間に第2のボディ領域（図示せず）を含むことができる。第2のボディ領域は、N-濃度でドーピングされ得（ディープNウェル）、第2の端子114に結合され得る。第1のゲート領域102は、P金属を含むことができ、または、P+濃度でドーピングされ得る（たとえば、P-ゲートNFET）。代替的には、第1のゲート領域102は、N金属を含むことができ、または、N+濃度でドーピングされ得る（たとえば、N-ゲートNFET）。

20

【0027】

水平PNP型構成の動作中、第1のゲート領域102は、デュアルモードトランジスタ100のゲート電圧がデュアルモードトランジスタ100のソース電圧よりも高くなるようにバイアスされ得る。たとえば、接地電圧（たとえば、ゼロボルト）は、第2の領域106（たとえば、ソース）に印加され得、第1の電圧（ V_1 ）は、第1のゲート領域102に印加される。したがって、第1の電圧（ V_1 ）は、第1の電圧（ V_1 ）がソース電圧よりも高くなるように接地から電源電圧（ V_{dd} ）までの範囲であり得る。第1の電圧（ V_1 ）で第1のゲート領域102をバイアスすることは、第1の領域104と第2の領域106との間の第1のボディ領域108内のN型チャネル形成（たとえば、反転N型層の形成）を可能にすることができる。NFET動作によるユニポーラ電流（たとえば、電子）は、第1の領域104から第2の領域106に流れることができる。

30

40

【0028】

第1の端子112は、ボディ ソース電圧の絶対値がデュアルモードトランジスタ100の接合電圧（ V_j ）よりも高くなるように第2の電圧（ V_2 ）にバイアスされる。たとえば、第2の電圧（ V_2 ）は、接合電圧（ V_j ）よりも高くてもよい（たとえば、 $V_2 > V_j$ ）。特定の実施形態では、（第1のボディ領域108に結合された）第1の端子112に印加される第2の電圧（ V_2 ）は、デュアルモードトランジスタ100の順方向接合電圧（たとえば、0.7V）よりも高い電圧にバイアスされ得る。第2の電圧（ V_2 ）で第1の端子112をバイアスすることは、デュアルモードトランジスタ100がNPNBJTに従って動作することを可能にすることができる。たとえば、第1のボディ領域108は、BJTのベースと実質的に同様に動作することができ、第1の領域104は、B

50

J Tのコレクタ（たとえば、逆方向バイアス）と実質的に同様に動作することができ、第2の領域106は、BJTのエミッタ（たとえば、順方向バイアス）と実質的に同様に動作することができる。

【0029】

NPN BJTは、電流制御電流レギュレータとして動作することができる。たとえば、コレクタ電流 I_C （たとえば、ベース電流によって制御される電流）は、第1の領域104（たとえば、コレクタ）から第2の領域106（たとえば、エミッタ）に流れることができる。ベース電流 I_B （たとえば、制御電流）は、第1のボディ領域108（たとえば、ベース）から第2の領域106（たとえば、エミッタ）に流れることができ、ベース電流 I_B は、コレクタ電流 I_C の量を制御することができる。たとえば、ベース電流 I_B は、ボディソース電圧が接合電圧（ V_j ）よりも高いとき、PNP BJTを「オンにし」、ベース電流 I_B は、ベース電流 I_B に比例するコレクタ電流 I_C の量が流れることを可能にする。ホールは、第1のボディ領域108から第2の領域106に流れることができ、電子は、第2の領域106から第1の領域104に流れることができる。

10

【0030】

したがって、NPN構成では、バイポーラ電流（たとえば、ホールおよび電子）ならびにユニポーラ電流（たとえば、電子）は、第1の領域104と第2の領域106との間を同時に流れることができる。バイポーラ電流は、BJT動作に関連し、ユニポーラ電流は、FET動作に関連し得る。同時のバイポーラおよびユニポーラ動作中、第1のゲート領域102は、デュアルモードトランジスタ100の電流利得（ ）と、デュアルモードトランジスタ100の相互コンダクタンスと、デュアルモードトランジスタ100の抵抗値とを制御することができる。たとえば、ゲート電圧（たとえば、第1の電圧（ V_1 ））は、増加した電子（たとえば、ユニポーラ電流）が第1の領域104と第2の領域106との間を流れることを可能にするために選択的に上昇され得る。デュアルモードトランジスタ100の抵抗値は、デュアルモードトランジスタ100に印加される電流および電圧に比例することができる。

20

【0031】

第1の端子112をバイアスすることは、同時のデジタルMOS動作モード（たとえば、ユニポーラ動作モード）およびアナログゲート制御BJT動作モード（たとえば、バイポーラ動作モード）を可能にすることができる。したがって、ユニポーラ電流およびバイポーラ電流に基づくゲート制御水平NPN動作および増加した電流は、デュアルモードトランジスタ100に印加される電源電圧（ V_{dd} ）を上昇させることなく、デュアルモードトランジスタ100を通して流れることができる。電源電圧（ V_{dd} ）を上昇させることなく電流を増加させることは、向上した動作効率を提供し、高性能アナログおよびRF用途のためのゲート制御バイポーラNPNトランジスタを提供する。他の実施形態では、デュアルモードトランジスタ100に関して説明した技術は、他のトランジスタ構成で実現され得ることは、理解されるであろう。たとえば、例示的な実施形態では、デュアルモードトランジスタ100は、プレーナ型CMOSTランジスタとBJTデバイスとに対応することができる。別の特定の实施形態では、デュアルモードトランジスタ100は、3次元フィン型電界効果トランジスタ（3D Fin FET）CMOSとBJTデバイスとに対応することができる。

30

40

【0032】

図2を参照すると、デュアルモードトランジスタのためのバイアス特性に対応する特定の例示的な表200、210が示されている。たとえば、第1の表200および第2の表210に示すバイアス特性（たとえば、電圧）は、図1のデュアルモードトランジスタ100のためのバイアス特性に対応することができる。第1の表200は、デュアルモードトランジスタ100のPNP型構成に関して説明したバイアス特性に対応することができる。第2の表210は、デュアルモードトランジスタ100のNPN型構成に関して説明したバイアス特性に対応することができる。

【0033】

50

PNP型構成（たとえば、第1の表200）によれば、第1のゲート領域102に印加される第1の電圧（ V_1 ）は、接地（たとえば、ゼロボルト）と電源電圧（ V_{dd} ）との間にバイアスされ得る。たとえば、第1の電圧（ V_1 ）は、デュアルモードトランジスタ100のゲートソース電圧（ V_{GS} ）が第1の領域104と第2の領域106との間の第1のボディ領域108内のチャネル形成（たとえば、P型反転層の形成）を可能にするように印加され得る。FET動作によるユニポーラ電流（たとえば、ホール）は、第1の領域104から第2の領域106に流れることができる。第1の電圧（ V_1 ）は、デュアルモードトランジスタ100の電流利得（ ）と、デュアルモードトランジスタ100の相互コンダクタンスと、第2の電圧（ V_2 ）が水平PNPをオンにしたときのデュアルモードトランジスタ100の抵抗値とを調整する（たとえば、拡大する）ために、接地と電源電圧（ V_{dd} ）との間で調整され得る。

10

【0034】

第2の領域106（たとえば、ドレイン）に印加されるドレイン電圧（ V_d ）は、接地にバイアスされ得る。第1の領域104（たとえば、ソース）に印加されるソース電圧（ V_s ）は、電源電圧（ V_{dd} ）にバイアスされ得る。（第1のボディ領域108に結合された）第1の端子112に印加される第2の電圧（ V_2 ）は、デュアルモードトランジスタ100の負の順方向接合電圧（たとえば、 $-0.7V$ ）よりも低い電圧にバイアスされ得る。たとえば、第2の電圧（ V_2 ）は、第1の領域104に印加される電源電圧（ V_d ）と接合電圧（ V_j ）の差よりも低くてもよい（たとえば、 $V_2 < V_{dd} - V_j$ ）。電子は、第1のボディ領域108から第1の領域104に流れることができ、ホールは、第1の領域104から第2の領域106に流れることができる。したがって、PNP構成では、バイポーラ電流（たとえば、ホールおよび電子）およびユニポーラ電流が生成され得る。バイポーラ電流は、BJT動作に関連し、ユニポーラ電流は、FET動作に関連し得る。

20

【0035】

NPN型構成（たとえば、第2の表210）によれば、第1のゲート領域102に印加される第1の電圧（ V_1 ）は、電源電圧（ V_{dd} ）と接地（たとえば、ゼロボルト）との間にバイアスされ得る。たとえば、第1の電圧（ V_1 ）は、デュアルモードトランジスタ100のゲートソース電圧（ V_{GS} ）が第1の領域104と第2の領域106との間の第1のボディ領域108内のチャネル形成（たとえば、N型反転層の形成）を可能にするように印加され得る。FET動作によるユニポーラ電流（たとえば、電子）は、第2の領域106から第1の領域104に流れることができる。第1の電圧（ V_1 ）は、デュアルモードトランジスタ100の電流利得（ ）と、デュアルモードトランジスタ100の相互コンダクタンスと、第2の電圧（ V_2 ）が水平NPNをオンにしたときのデュアルモードトランジスタ100の抵抗値とを調整する（たとえば、拡大する）ために、接地と電源電圧（ V_{dd} ）との間で調整され得る。

30

【0036】

第1の領域104（たとえば、ドレイン）に印加されるドレイン電圧（ V_d ）は、電源電圧（ V_{dd} ）にバイアスされ得る。第2の領域106（たとえば、ソース）に印加されるソース電圧（ V_s ）は、接地にバイアスされ得る。（第1のボディ領域108に結合された）第1の端子112に印加される第2の電圧（ V_2 ）は、デュアルモードトランジスタ100の順方向接合電圧（たとえば、 $0.7V$ ）よりも高い電圧にバイアスされ得る。たとえば、第2の電圧（ V_2 ）は、接合電圧（ V_j ）と第2の領域106に印加される接地電圧との差よりも高くてもよい（たとえば、 $V_2 > V_j$ ）。ホールは、第1のボディ領域108から第2の領域106に流れることができ、電子は、第2の領域106から第1の領域104に流れることができる。したがって、NPN構成では、BJT動作によるバイポーラ電流（たとえば、ホールおよび電子）が生成され得る。

40

【0037】

図2に示す表200、210は、図1のデュアルモードトランジスタ100のためのバイアス特性の非限定的な例を含む。たとえば、表200、210は、ユニポーラ電流およ

50

びバイポーラ電流が、ボディソース電圧の絶対値がデュアルモードトランジスタ100の接合電圧(V_j)よりも高くなるように第1の端子112を第2の電圧(V_2)でバイアスすることによって同時に生成され得ることを示す。他の(たとえば、異なる)特性および/または構成が他の実施形態に関連して実施され得ることは、理解されるであろう。第1の端子112を第2の電圧(V_2)でバイアスすることは、デュアルモードトランジスタ100がPNPBJTまたはNPNBJTに従って動作することを可能にすることができる。第1のゲート領域102を第1の電圧(V_1)でバイアスすることは、デュアルモードトランジスタ100がFETに従って動作することを可能にすることができる。したがって、デュアルモードトランジスタ100は、デジタルMOSモード(たとえば、ユニポーラ動作モード)およびアナログゲート制御BJTモード(たとえば、バイポーラ動作モード)において同時に動作することができる。

10

【0038】

図3を参照すると、デュアルモードトランジスタの電界効果トランジスタ(FET)型構成の特定の例示の実施形態が示されている。第1の実施形態310および第2の実施形態320は、デュアルモードトランジスタのp型FET(PFET)構成を示す。第3の実施形態330および第4の実施形態340は、デュアルモードトランジスタのn型FET(NFET)構成を示す。各実施形態310~340は、図1のデュアルモードトランジスタ100に対応することができる。

【0039】

第1の実施形態310によれば、PFET構成は、P+濃度でドーブされたゲート、またはP金属を含むゲートを含むことができる。第1の実施形態310は、デジタル相補型金属酸化膜半導体(CMOS)モードを可能にすることができる。たとえば、第1の実施形態310は、ユニポーラ電流(たとえば、ホール)がソース端子(S)からドレイン端子(D)に流れることを可能にすることができる。デジタルCMOSモードを可能にするために、ゲートソース電圧の絶対値は、しきい値電圧の絶対値よりも大きくなるべきである(たとえば、 $V_g - V_s > V_t$)。ドレイン電圧(V_d)は、接地されるべきであり、ソース電圧(V_s)は、電源電圧(V_{dd})にほぼ等しくなるべきである。加えて、ボディ領域に印加される電圧は、電源電圧(V_{dd})にほぼ等しくなるべきである。

20

【0040】

第2の実施形態320によれば、PFET構成は、N+濃度でドーブされたゲート、またはN金属を含むゲートを含むことができる。第2の実施形態320は、デジタルCMOSモードを可能にすることができる。たとえば、第2の実施形態320は、ユニポーラ電流(たとえば、ホール)がソース端子(S)からドレイン端子(D)に流れることを可能にすることができる。デジタルCMOSモードを可能にするために、ゲートソース電圧の絶対値は、しきい値電圧の絶対値よりも大きくなるべきである(たとえば、 $V_g - V_s > V_t$)。ドレイン電圧(V_d)は、接地されるべきであり、ソース電圧(V_s)は、電源電圧(V_{dd})にほぼ等しくなるべきである。加えて、ボディ領域に印加される電圧は、電源電圧(V_{dd})にほぼ等しくなるべきである。

30

【0041】

第3の実施形態330によれば、NFET構成は、P+濃度でドーブされたゲート、またはP金属を含むゲートを含むことができる。第3の実施形態330は、また、デジタルCMOSモードを可能にすることができる。たとえば、第3の実施形態330は、ユニポーラ電流(たとえば、電子)がソース端子(S)からドレイン端子(D)に流れることを可能にすることができる。デジタルCMOSモードを可能にするために、ゲートソース電圧の絶対値は、しきい値電圧の絶対値よりも大きくなるべきである(たとえば、 $V_g - V_s > V_t$)。ドレイン電圧(V_d)は、電源電圧(V_{dd})にほぼ等しくなるべきであり、ソース電圧(V_s)は、接地されるべきである(たとえば、ゼロボルト)。加えて、ボディ領域に印加される電圧は、接地されるべきである。

40

【0042】

50

第4の実施形態340によれば、NFEET構成は、N+濃度でドーブされたゲート、またはN金属を含むゲートを含むことができる。第4の実施形態340は、また、デジタルCMOSモードを可能にすることができる。たとえば、第4の実施形態340は、ユニポーラ電流（たとえば、電子）がソース端子（S）からドレイン端子（D）に流れることを可能にすることができる。デジタルCMOSモードを可能にするために、ゲートソース電圧の絶対値は、しきい値電圧の絶対値よりも大きくなるべきである（たとえば、 $V_g - V_s > V_t$ ）。ドレイン電圧（ V_d ）は、電源電圧（ V_{dd} ）にほぼ等しくなるべきであり、ソース電圧（ V_s ）は、接地されるべきである（たとえば、ゼロボルト）。加えて、ボディ領域に印加される電圧は、接地されるべきである。

【0043】

図4を参照すると、デュアルモードトランジスタのバイナリ接合トランジスタ（BJT）型構成の特定の例示の実施形態が示されている。第1の実施形態410および第2の実施形態420は、デュアルモードトランジスタのPNP構成を示す。第1の実施形態410は、図3の第1の実施形態310とともに動作することができ、第2の実施形態420は、図3の第2の実施形態320とともに動作することができる。第3の実施形態430および第4の実施形態440は、デュアルモードトランジスタのNPN構成を示す。第3の実施形態430は、図3の第3の実施形態330とともに動作することができ、第4の実施形態440は、図3の第4の実施形態340とともに動作することができる。各実施形態410～440は、図1のデュアルモードトランジスタ100に対応することができる。

【0044】

第1の実施形態410によれば、PNP構成は、P+濃度でドーブされたゲート、またはP金属を含むゲートを含むことができる。第1の実施形態410は、アナログゲート制御バイポーラ接合トランジスタ（BJT）モードを可能にすることができる。たとえば、第1の実施形態410は、バイポーラ電流（たとえば、ホールおよび電子）を可能にすることができる。たとえば、ホールは、エミッタ端子（E）からコレクタ端子（C）に流れることができ、電子は、ベース端子（B）からエミッタ端子（E）に流れることができる。アナログゲート制御BJTモードを可能にするために、ゲートエミッタ（ソース）電圧は、接合（たとえば、しきい値）電圧よりも高くなるべきである（たとえば、 $|V_g - V_e| > |V_t|$ ）。エミッタ電圧（ V_e ）は、 V_{dd} であるべきであり、コレクタ電圧（ V_c ）は、接地とほぼ等しくなるべきである。ベースエミッタ電圧の絶対値は、接合しきい値（たとえば、0.7ボルト）よりも大きくなるべきである（たとえば、 $|V_b - V_e| > 0.7V$ ）。

【0045】

第2の実施形態420によれば、PNP構成は、N+濃度でドーブされたゲート、またはN金属を含むゲートを含むことができる。第2の実施形態420は、また、アナログゲート制御BJTモードを可能にすることができる。たとえば、第2の実施形態420は、バイポーラ電流（たとえば、ホールおよび電子）を可能にすることができる。たとえば、ホールは、エミッタ端子（E）からコレクタ端子（C）に流れることができ、電子は、ベース端子（B）からエミッタ端子（E）に流れることができる。アナログゲート制御BJTモードを可能にするために、ゲートエミッタ（ソース）電圧は、接合（たとえば、しきい値）電圧よりも高くなるべきである（たとえば、 $|V_g - V_e| > |V_t|$ ）。エミッタ電圧（ V_e ）は、 V_{dd} であるべきであり、コレクタ電圧（ V_c ）は、接地とほぼ等しくなるべきである。ベースエミッタ電圧の絶対値は、接合しきい値（たとえば、0.7ボルト）よりも大きくなるべきである（たとえば、 $|V_b - V_e| > 0.7V$ ）。

【0046】

第3の実施形態430によれば、NPN構成は、P+濃度でドーブされたゲート、またはP金属を含むゲートを含むことができる。第3の実施形態430は、また、アナログゲート制御BJTモードを可能にすることができる。たとえば、第3の実施形態430は、バイポーラ電流（たとえば、ホールおよび電子）を可能にすることができる。たとえば、

10

20

30

40

50

ホールは、ベース端子 (B) からエミッタ端子 (E) に流れることができ、電子は、エミッタ端子 (E) からコレクタ端子 (C) に流れることができる。アナログゲート制御 B J T モードを可能にするために、ゲート エミッタ (ソース) 電圧は、接合 (たとえば、しきい値) 電圧よりも高くなるべきである (たとえば、 $V_g - V_e > V_t$)。エミッタ電圧 (V_e) は、接地とほぼ等しくなるべきであり、コレクタ電圧 (V_c) は、 V_{dd} であるべきである。ベース エミッタ電圧の絶対値は、接合しきい値 (たとえば、0.7 ボルト) よりも大きくなるべきである (たとえば、 $|V_b - V_e| > 0.7 V$)。

【 0 0 4 7 】

第 4 の実施形態 4 4 0 によれば、N P N 構成は、N + 濃度でドーブされたゲート、または N 金属を含むゲートを含むことができる。第 4 の実施形態 4 4 0 は、また、アナログゲート制御 B J T モードを可能にすることができる。たとえば、第 4 の実施形態 4 4 0 は、バイポーラ電流 (たとえば、ホールおよび電子) を可能にすることができる。たとえば、ホールは、ベース端子 (B) からエミッタ端子 (E) に流れることができ、電子は、エミッタ端子 (E) からコレクタ端子 (C) に流れることができる。アナログゲート制御 B J T モードを可能にするために、ゲート エミッタ (ソース) 電圧は、接合 (たとえば、しきい値) 電圧よりも高くなるべきである (たとえば、 $V_g - V_e > V_t$)。エミッタ電圧 (V_e) は、接地とほぼ等しくなるべきであり、コレクタ電圧 (V_c) は、 V_{dd} であるべきである。ベース エミッタ電圧の絶対値は、接合しきい値 (たとえば、0.7 ボルト) よりも大きくなるべきである (たとえば、 $|V_b - V_e| > 0.7 V$)。

【 0 0 4 8 】

図 5 を参照すると、デュアルモードトランジスタを含むインバータミキサの特定の例示的实施形態 5 1 0、5 2 0 が示されている。

【 0 0 4 9 】

インバータミキサの第 1 の実施形態 5 1 0 は、第 1 のデュアルモードトランジスタ 5 1 2 と第 2 のデュアルモードトランジスタ 5 1 4 を含む。特定の实施形態では、第 1 のデュアルモードトランジスタ 5 1 2 および第 2 のデュアルモードトランジスタ 5 1 4 は、各々、図 1 のデュアルモードトランジスタ 1 0 0 に対応することができる。代替的には、または加えて、第 1 のデュアルモードトランジスタ 5 1 2 および第 2 のデュアルモードトランジスタ 5 1 4 は、各々、図 3 の実施形態 3 1 0 ~ 3 4 0 および図 4 の対応する实施形態 4 1 0 ~ 4 4 0 のいずれかに対応することができる。

【 0 0 5 0 】

第 1 の実施形態 5 1 0 では、第 1 のデュアルモードトランジスタ 5 1 2 の第 1 のボディ領域は、第 2 のデュアルモードトランジスタ 5 1 4 の第 2 のボディ領域に結合され得る。第 1 のボディ領域および第 2 のボディ領域は、また、第 1 の入力信号 5 1 6 を受信するように結合され得る。第 1 の入力信号 5 1 6 は、局部発振器 (L O) 信号に対応することができる。第 1 のデュアルモードトランジスタ 5 1 2 の第 1 のゲートは、第 2 のデュアルモードトランジスタ 5 1 4 の第 2 のゲートに結合され得る。第 1 のゲートおよび第 2 のゲートは、また、第 2 の入力信号 5 1 8 を受信するように結合され得る。第 2 の入力信号 5 1 8 は、無線周波数 (R F) 信号に対応することができる。

【 0 0 5 1 】

第 1 のデュアルモードトランジスタ 5 1 2 の第 1 のソース (たとえば、第 1 のエミッタ) は、電源電圧 (V_{dd}) を受けるように結合され得、第 2 のデュアルモードトランジスタ 5 1 4 の第 2 のソース (たとえば、第 2 のエミッタ) は、接地 (V_{ss}) に結合され得る。第 1 のデュアルモードトランジスタ 5 1 2 の第 1 のドレイン (たとえば、第 1 のコレクタ) は、第 2 のデュアルモードトランジスタ 5 1 4 の第 2 のドレイン (たとえば、第 2 のコレクタ) に結合され得る。第 1 のドレインおよび第 2 のドレインは、出力信号 5 1 9 を生成することができる。出力信号 5 1 9 は、R F 信号と L O 信号との和に対応することができる。

【 0 0 5 2 】

第 1 のデュアルモードトランジスタ 5 1 2 は、P M O S (P N P の) トランジスタであ

り得、第2のデュアルモードトランジスタ514は、NMOS(NPN)トランジスタであり得る。第1の実施形態510は、第2の入力信号518(たとえば、RF信号)を反転することができ、反転された第2の入力信号を第1のボディ領域に適用される第1の入力信号516(たとえば、LO信号)と混合することができる。たとえば、第2の入力信号518が論理ロー電圧レベルを有するとき、上記で説明したように、第1のデュアルモードトランジスタ512は、活性化され得、RF信号(たとえば、518)は、同時のバイポーラおよびユニポーラ動作に従って、第2の入力信号518から出力519に反転される。たとえば、第2の入力信号518の論理ロー電圧レベルは、ユニポーラ電流(たとえば、ホール)が第1のソースから第1のドレインに流れ、第2の入力信号518によって調整されることを可能にすることができ、(第1のデュアルモードトランジスタ512の負の順方向接合電圧(V_j)よりも低い論理電圧レベルを有する)第1の入力信号516は、バイポーラ電流が流れ、第1の入力信号516によって調整されることを可能にすることができる。

10

【0053】

代替的には、第2の入力信号518が論理ハイ電圧レベルを有するとき、上記で説明したように、第2のデュアルモードトランジスタ514は、活性化され得、RF信号(たとえば、518)は、同時のバイポーラおよびユニポーラ動作に従って、第2の入力信号518から出力519に反転される。たとえば、第2の入力信号518の論理ハイ電圧レベルは、ユニポーラ電流(たとえば、電子)が第2のソースから第2のドレインに流れ、第2の入力信号518によって調整されることを可能にすることができ、(第2のデュアルモードトランジスタ514の順方向接合電圧(V_j)よりも高い論理電圧レベルを有する)第1の入力信号516は、バイポーラ電流が流れ、第1の入力信号516によって調整されることを可能にすることができる。

20

【0054】

インバータミキサの第2の実施形態520は、第1のデュアルモードトランジスタ522と第2のデュアルモードトランジスタ524とを含む。特定の実施形態では、第1のデュアルモードトランジスタ522および第2のデュアルモードトランジスタ524は、各々、図1のデュアルモードトランジスタ100に対応することができる。代替的には、または加えて、第1のデュアルモードトランジスタ522および第2のデュアルモードトランジスタ524は、各々、図3の実施形態310~340および図4の対応する実施形態410~440のいずれかに対応することができる。

30

【0055】

第2の実施形態520では、第1のデュアルモードトランジスタ522の第1のボディ領域は、第1の入力信号526を受信するように結合され得る。第1の入力信号526は、比較的高い範囲(たとえば、0.4V~1.5V)からほぼ変動する電圧を有する第1のLO信号であり得る。第2のデュアルモードトランジスタ524の第2のボディ領域は、第2の入力信号527を受信するように結合され得る。第2の入力信号527は、比較的低い範囲(たとえば、0V~1.2V)からほぼ変動する電圧を有する第2のLO信号であり得る。第1のデュアルモードトランジスタ522の第1のゲートは、第2のデュアルモードトランジスタ524の第2のゲートに結合され得る。第1のゲートおよび第2のゲートは、また、第3の入力信号528を受信するように結合され得る。第3の入力信号528は、RF信号に対応することができる。

40

【0056】

第1のデュアルモードトランジスタ522の第1のソース(たとえば、第1のエミッタ)は、電源電圧(V_{dd})を受けると結合され得、第2のデュアルモードトランジスタ524の第2のソース(たとえば、第2のエミッタ)は、接地(V_{ss})に結合され得る。第1のデュアルモードトランジスタ522の第1のドレイン(たとえば、第1のコレクタ)は、第2のデュアルモードトランジスタ524の第2のドレイン(たとえば、第2のコレクタ)に結合され得る。第1のドレインおよび第2のドレインは、出力信号529を生成することができる。出力信号529は、RF信号とLO信号との和に対応すること

50

ができる。

【 0 0 5 7 】

第1のデュアルモードトランジスタ522は、PMOS（PNPの）トランジスタであり得、第2のデュアルモードトランジスタ524は、NMOS（NPN）トランジスタであり得る。第2の実施形態520は、第3の入力信号528（たとえば、RF信号）を反転することができ、反転された第3の入力信号を第1のボディ領域に適用される第1の入力信号526（たとえば、LO信号）と（および/または第2のボディ領域に適用される第2の入力信号527と）混合することができる。たとえば、第3の入力信号528が論理ロー電圧レベルを有するとき、上記で説明したように、第1のデュアルモードトランジスタ522は、活性化され得、RF信号（たとえば、528）は、同時のバイポーラおよびユニポーラ動作に従って、第3の入力信号528から出力信号529に反転される。たとえば、第3の入力信号528の論理ロー電圧レベルは、ユニポーラ電流（たとえば、ホール）が第1のソースから第1のドレインに流れ、第3の入力信号528によって調整されることを可能にすることができ、（第1のデュアルモードトランジスタ522の負の順方向接合電圧（ V_j ）よりも低い論理電圧レベルを有する）第1の入力信号526は、バイポーラ電流が流れ、第1の入力信号526によって調整されることを可能にすることができる。

10

【 0 0 5 8 】

代替的には、第3の入力信号528が論理ハイ電圧レベルを有するとき、上記で説明したように、第2のデュアルモードトランジスタ524は、活性化され得、RF信号（たとえば、528）は、同時のバイポーラおよびユニポーラ動作に従って、第3の入力信号528から出力信号529に反転される。たとえば、第3の入力信号528の論理ハイ電圧レベルは、ユニポーラ電流（たとえば、電子）が第2のソースから第2のドレインに流れ、第3の入力信号528によって調整されることを可能にすることができ、（第2のデュアルモードトランジスタ524の順方向接合電圧（ V_j ）よりも高い論理電圧レベルを有する）第2の入力信号527は、バイポーラ電流が流れ、第2の入力信号527によって調整されることを可能にすることができる。

20

【 0 0 5 9 】

図6を参照すると、デュアルモードトランジスタを含む差動ミキサ600の特定の例示の実施形態が示されている。たとえば、差動ミキサ600は、第1のデュアルモードトランジスタ602と第2のデュアルモードトランジスタ604とを含む。特定の実施形態では、第1のデュアルモードトランジスタ602および第2のデュアルモードトランジスタ604は、各々、図1のデュアルモードトランジスタ100に対応することができる。代替的には、または加えて、第1のデュアルモードトランジスタ602および第2のデュアルモードトランジスタ604は、各々、図3の実施形態310～340および図4の対応する実施形態410～440のいずれかに対応することができる。

30

【 0 0 6 0 】

第1のデュアルモードトランジスタ602の第1のゲートは、第1の差動信号の第1の信号を受信するように結合され得る。第1の差動信号は、無線周波数（RF）信号であり得る。第2のデュアルモードトランジスタ604の第2のゲートは、第1の差動信号の第2の（たとえば、相補的な）信号を受信するように結合され得る。第1のデュアルモードトランジスタ602の第1のボディ領域は、第2の差動信号の第2の信号を受信するように結合され得る。第2の差動信号は、局部発振器（LO）信号であり得る。第2のデュアルモードトランジスタ604の第2のボディ領域は、第2の差動信号の第1の（たとえば、相補的な）信号を受信するように結合され得る。

40

【 0 0 6 1 】

第1のデュアルモードトランジスタ602の第1のソース（たとえば、第1のエミッタ）は、第1のデュアルモードトランジスタ604の第2のソース（たとえば、第2のエミッタ）に結合され得る。第1のドレインおよび第2のドレインは、差動出力信号を生成することができる。たとえば、出力信号は、中間周波数信号であり得る。

50

【 0 0 6 2 】

したがって、図6の差動ミキサ600は、差動的に駆動される2つのデュアルモードトランジスタ602、604を含むことができる。差動ミキサ600は、NMOSおよびBJT変調から比較的高い固有の小信号利得を可能にすることができ、これは、比較的高い変換利得をもたらすことができる。1段動作と比較的高い変換利得とによって、差動ミキサ600は、従来のギルバート差動ミキサ（図示せず）よりも少ないノイズとよりよい利得および線形性を生成することができる。（2トランジスタ）デュアルモード差動ミキサ600は、段を2から1に減少させ、遅延と、電力効率と、利得とを改善する。たとえば、差動ミキサ600は、ギルバート差動ミキサの6つの従来のトランジスタおよび2つの段と比較して2つのデュアルモードトランジスタと1つの段とを有する。差動ミキサ600は、また、より低い電力モードで動作することができ、動作を混合するための単一の直流（DC）バイアスを可能にすることができる。

10

【 0 0 6 3 】

図7を参照すると、デュアルモードトランジスタを含むインバータドライバの特定の例示の実施形態710、720が示されている。インバータドライバの第1の実施形態710は、第1のデュアルモードトランジスタ712と第2のデュアルモードトランジスタ714とを含む。

【 0 0 6 4 】

特定の実施形態では、第1のデュアルモードトランジスタ712および第2のデュアルモードトランジスタ714は、各々、図1のデュアルモードトランジスタ100に対応することができる。代替的には、または加えて、第1のデュアルモードトランジスタ712および第2のデュアルモードトランジスタ714は、各々、図3の実施形態310~340および図4の対応する実施形態410~440のいずれかに対応することができる。

20

【 0 0 6 5 】

第1の実施形態710では、第1のデュアルモードトランジスタ712の第1のボディ領域は、第2のデュアルモードトランジスタ714の第2のボディ領域に結合され得る。第1のボディ領域および第2のボディ領域は、また、第1の入力信号716を受信するように結合され得る。第1のデュアルモードトランジスタ712の第1のゲートは、第2のデュアルモードトランジスタ714の第2のゲートに結合され得る。第1のゲートおよび第2のゲートは、また、第1の入力信号716を受信するように結合され得る。

30

【 0 0 6 6 】

第1のデュアルモードトランジスタ712の第1のソース（たとえば、第1のエミッタ）は、電源電圧（ V_{dd} ）を受けると結合され得、第2のデュアルモードトランジスタ714の第2のソース（たとえば、第2のエミッタ）は、接地（ V_{ss} ）に結合され得る。第1のデュアルモードトランジスタ712の第1のドレイン（たとえば、第1のコレクタ）は、第2のデュアルモードトランジスタ714の第2のドレイン（たとえば、第2のコレクタ）に結合され得る。第1のドレインおよび第2のドレインは、出力信号719を生成することができる。

【 0 0 6 7 】

第1のデュアルモードトランジスタ712は、PMOS（PNP）トランジスタであり得、第2のデュアルモードトランジスタ714は、NMOS（NPN）トランジスタであり得る。第1の実施形態で710は、第1の入力信号716を反転することができ、反転された第1の入力信号を出力に駆動することができる。たとえば、第1の入力信号716が論理ロー電圧レベルを有するとき、上記で説明したように、第1のデュアルモードトランジスタ712は、活性化され得、論理ロー電圧レベル信号（たとえば、716）は、同時のバイポーラおよびユニポーラ動作に従って、第1の入力信号716から出力信号719に反転される。たとえば、第1の入力信号716の論理ロー電圧レベルは、ユニポーラ電流（たとえば、ホール）が第1のソースから第1のドレインに流れ、第1の入力信号716によって調整されることを可能にすることができる。第1の入力信号716のロー電圧レベルは、第1のデュアルモードトランジスタ712の負の順方向接合電圧（ V_j ）よ

40

50

りも低くてもよく、第1のボディ領域に印加されたとき、バイポーラ電流が流れ、第1の入力信号716によって調整されることを可能にする。

【0068】

代替的には、第1の入力信号716が論理ハイ電圧レベルを有するとき、上記で説明したように、第2のデュアルモードトランジスタ714は、活性化され得、論理ハイ電圧レベル信号（たとえば、716）は、同時のバイポーラおよびユニポーラ動作に従って、第1の入力信号716から出力信号719に反転される。たとえば、第1の入力信号716の論理ハイ電圧レベルは、ユニポーラ電流（たとえば、電子）が第2のソースから第2のドレインに流れ、第1の入力信号716によって調整されることを可能にすることができる。第1の入力信号716のハイ電圧レベルは、第2のデュアルモードトランジスタ714の順方向接合電圧（ V_j ）よりも高くてもよく、第1のボディ領域に印加されたとき、バイポーラ電流が流れ、第1の入力信号716によって調整されることを可能にする。

10

【0069】

インバータドライバの第2の実施形態720は、第1のデュアルモードトランジスタ722と第2のデュアルモードトランジスタ724とを含む。特定の実施形態では、第1のデュアルモードトランジスタ722および第2のデュアルモードトランジスタ724は、各々、図1のデュアルモードトランジスタ100に対応することができる。代替的には、または加えて、第1のデュアルモードトランジスタ722および第2のデュアルモードトランジスタ724は、各々、図3の実施形態310～340および図4の対応する実施形態410～440のいずれかに対応することができる。

20

【0070】

第2の実施形態720では、第1のデュアルモードトランジスタ722の第1のボディ領域は、第1の入力信号726に結合され得る。第1のデュアルモードトランジスタ722の第1のゲートは、第2のデュアルモードトランジスタ724の第2のゲートに結合され得る。第1のゲートおよび第2のゲートは、また、第2の入力信号727を受信するように結合され得る。第2のデュアルモードトランジスタ724の第2のボディ領域は、第3の入力信号728を受信するように結合され得る。

【0071】

第1のデュアルモードトランジスタ722の第1のソース（たとえば、第1のエミッタ）は、電源電圧（ V_{dd} ）を受けると結合され得、第2のデュアルモードトランジスタ724の第2のソース（たとえば、第2のエミッタ）は、接地（ V_{ss} ）に結合され得る。第1のデュアルモードトランジスタ722の第1のドレイン（たとえば、第1のコレクタ）は、第2のデュアルモードトランジスタ724の第2のドレイン（たとえば、第2のコレクタ）に結合され得る。第1のドレインおよび第2のドレインは、出力信号729を生成することができる。

30

【0072】

第1のデュアルモードトランジスタ722は、PMOS（PNP）トランジスタであり得、第2のデュアルモードトランジスタ724は、NMOS（NPN）トランジスタであり得る。第2の実施形態720は、第2の入力信号727を反転することができる。たとえば、第2の入力信号727が論理ロー電圧レベルを有するとき、上記で説明したように、第1のデュアルモードトランジスタ722は、活性化され得、論理ロー電圧レベル信号（たとえば、727）は、同時のバイポーラおよびユニポーラ動作に従って、第2の入力信号727から出力信号729に反転される。たとえば、第2の入力信号727の論理ロー電圧レベルは、ユニポーラ電流（たとえば、ホール）が第1のソースから第1のドレインに流れ、第2の入力信号727によって調整されることを可能にすることができる。第1の入力信号726は、第1のデュアルモードトランジスタ722の負の順方向接合電圧（ V_j ）よりも低く、第1のボディ領域に印加されたとき、バイポーラ電流が流れ、第1の入力信号726によって調整されることを可能にする論理ロー電圧レベルを有することができる。

40

【0073】

50

代替的には、第2の入力信号727が論理ハイ電圧レベルを有するとき、上記で説明したように、第2のデュアルモードトランジスタ724は、活性化され得、論理ハイ電圧レベル信号（たとえば、727）は、同時のバイポーラおよびユニポーラ動作に従って、第2の入力信号727から出力信号729に反転される。たとえば、第2の入力信号727の論理ハイ電圧レベルは、ユニポーラ電流（たとえば、電子）が第2のソースから第2のドレインに流れることを可能にすることができる。第3の入力信号728は、第2のデュアルモードトランジスタ724の順方向接合電圧（ V_j ）よりも高く、第1のボディ領域に印加されたとき、バイポーラ電流が流れ、第3の入力信号728によって調整されることを可能にする論理ハイ電圧レベルを有することができる。

【0074】

図8Aを参照すると、PNPデュアルモードトランジスタ800aの特定の例示的实施形態が示されている。特定の例示的实施形態では、PNPデュアルモードトランジスタ800aは、図1のデュアルモードトランジスタ100に対応することができる。

【0075】

PNPデュアルモードトランジスタ800aは、第1のN-ベース領域807aと第2のN-ベース領域808aとを含む。各N-ベース領域807a、808aは、特定の幅（ W ）を有することができる。第1のN-ベース領域807aおよび第2のN-ベース領域808aは、N-ベースウェル809aに結合され得る（または、N-ベースウェル809aを含むことができる）。 $N++$ ベース接点812a、836aは、また、N-ベースウェル809aを介してN-ベース領域807a、808aに結合され得る。特定の实施形態では、 $N++$ ベース接点812a、836aは、図1の第1の端子112に対応することができる。PNPデュアルモードトランジスタ800aは、また、エミッタ領域806aと、第1のコレクタ領域804aと、第2のコレクタ領域832aとを含む。エミッタ領域806a、第1のコレクタ領域804a、および第2のコレクタ領域832aは、各々、 $P++$ 濃度でドーピングされ得る。第1のSTI領域822aは、（ $N++$ ベースから $P++$ コレクタへの）電流漏れがPNPデュアルモードトランジスタ800aに影響を与えることを防止（または、低減）することができる。第2のSTI領域826aは、第1のコレクタ領域804aと $N++$ ベース接点812aとの間の電流漏れを防止（または、低減）することができる。

【0076】

第1のゲート801aは、誘電体層を介して第1のN-ベース領域807aに結合され得、第2のゲート802aは、誘電体層を介して第2のN-ベース領域808aに結合され得る。PNPデュアルモードトランジスタ800aの電流利得は、ゲート801a、802aに印加されるゲート電圧によって制御され得る。PNPデュアルモードトランジスタ800aは、また、P-基板810aを含むことができる。

【0077】

PNPデュアルモードトランジスタ800aは、デジタルMOSモード（たとえば、ユニポーラ動作モード）とアナログゲート制御BJTモード（たとえば、バイポーラ動作モード）とにおいて動作することができる。たとえば、ゲート電圧は、ゲートソース電圧が第2のN-ベース領域808a内の反転層の形成を可能にするようにバイアスされ得る。ユニポーラ電流（たとえば、ホール）は、第1のコレクタ領域804a、832aとエミッタ領域806aとの間を流れることができる。 $N++$ ベース接点812a、836aは、N-ベースウェル809aと第1のコレクタ領域804a、第2のコレクタ領域832aとの間の電圧差の絶対値がPNPデュアルモードトランジスタ800aの順方向接合電圧（ V_j ）よりも高くなるようにバイアスされ得る。特定の实施形態では、 $N++$ ベース接点は、PNPデュアルモードトランジスタ800aの負の順方向接合電圧（たとえば、 $-0.7V$ ）よりも低い電圧にバイアスされ得る。 $N++$ ベース接点をバイアスすることは、PNPデュアルモードトランジスタ800aがPNPBJTに従って動作する（たとえば、ホールと電子とを含むバイポーラ電流を生成する）ことを可能にすることができる。

10

20

30

40

50

【 0 0 7 8 】

図 8 B を参照すると、PNP デュアルモードトランジスタ 8 0 0 b の特定の例示的实施形態が示されている。特定の例示的实施形態では、PNP デュアルモードトランジスタ 8 0 0 b は、図 1 のデュアルモードトランジスタ 1 0 0 に対応することができる。

【 0 0 7 9 】

PNP デュアルモードトランジスタ 8 0 0 b は、第 1 の N - ベース領域 8 0 7 b と第 2 の N - ベース領域 8 0 8 b とを含む。各 N - ベース領域 8 0 7 b、8 0 8 b は、特定の幅 (W) を有することができる。第 1 の N - ベース領域 8 0 7 b および第 2 の N - ベース領域 8 0 8 b は、N - ベースウェル 8 0 9 b に結合され得る (または、N - ベースウェル 8 0 9 b を含むことができる)。N + + ベース接点 8 1 2 b、8 3 6 b は、また、N - ベースウェル 8 0 9 b を介して N - ベース領域 8 0 7 b、8 0 8 b に結合され得る。特定の实施形態では、N + + ベース接点 8 1 2 b、8 3 6 b は、図 1 の第 1 の端子 1 1 2 に対応することができる。PNP デュアルモードトランジスタ 8 0 0 b は、また、エミッタ領域 8 0 6 b と、第 1 のコレクタ領域 8 0 4 b と、第 2 のコレクタ領域 8 3 2 b とを含む。エミッタ領域 8 0 6 b、第 1 のコレクタ領域 8 0 4 b、および第 2 のコレクタ領域 8 3 2 b は、各々、P + + 濃度でドーブされ得る。第 1 の S T I 領域 8 2 2 b は、(他のトランジスタからの) 電流漏れが PNP デュアルモードトランジスタ 8 0 0 b に影響を与えることを防止 (または、低減) することができる。第 2 の S T I 領域 8 2 6 b は、他のトランジスタからの電流漏れを防止 (または、低減) することができる。

【 0 0 8 0 】

第 1 のゲート 8 0 1 b は、誘電体層を介して第 1 の N - ベース領域 8 0 7 b に結合され得、第 2 のゲート 8 0 2 b は、誘電体層を介して第 2 の N - ベース領域 8 0 8 b に結合され得る。絶縁ゲート 8 0 3 b、8 0 5 b は、誘電体層を介して第 3 および第 4 の N - ベース領域 8 1 1 b、8 3 5 b に結合され得る。絶縁ゲート 8 0 3 b、8 0 5 b は、P + + コレクタから N + + ベース接点を絶縁するために使用され得る。PNP デュアルモードトランジスタ 8 0 0 b の電流利得は、ゲート 8 0 1 b、8 0 2 b に印加されるゲート電圧によって制御され得る。PNP デュアルモードトランジスタ 8 0 0 b は、また、P - 基板 8 1 0 b を含むことができる。

【 0 0 8 1 】

PNP デュアルモードトランジスタ 8 0 0 b は、デジタル M O S モード (たとえば、ユニポーラ動作モード) とアナログゲート制御 B J T モード (たとえば、バイポーラ動作モード) とにおいて動作することができる。たとえば、ゲート電圧は、ゲートソース電圧が第 1 および第 2 の N - ベース領域 8 0 7 b、8 0 8 b 内の反転層の形成を可能にするようにバイアスされ得る。ユニポーラ電流 (たとえば、ホール) は、コレクタ領域 8 0 4 b、8 3 2 b とエミッタ領域 8 0 6 b との間を流れることができる。N + + ベース接点 8 1 2 b、8 3 6 b は、N - ベースウェル 8 0 9 b と第 1 のコレクタ領域 8 0 4 b、第 2 のコレクタ領域 8 3 2 b との間の電圧差の絶対値が PNP デュアルモードトランジスタ 8 0 0 b の順方向接合電圧 (V_j) よりも高くなるようにバイアスされ得る。特定の实施形態では、N + + ベース接点は、PNP デュアルモードトランジスタ 8 0 0 b の負の順方向接合電圧 (たとえば、 $-0.7V$) よりも低い電圧にバイアスされ得る。N + + ベース接点をバイアスすることは、PNP デュアルモードトランジスタ 8 0 0 b が PNP B J T に従って動作する (たとえば、ホールと電子とを含むバイポーラ電流を生成する) ことを可能にすることができる。

【 0 0 8 2 】

図 9 A を参照すると、NPN デュアルモードトランジスタ 9 0 0 a の特定の例示的实施形態が示されている。特定の例示的实施形態では、NPN デュアルモードトランジスタ 9 0 0 a は、図 1 のデュアルモードトランジスタ 1 0 0 に対応することができる。

【 0 0 8 3 】

NPN デュアルモードトランジスタ 9 0 0 a は、第 1 の P - ベース領域 9 0 7 a と第 2 の P - ベース領域 9 0 8 a とを含む。各 P - ベース領域 9 0 7 a、9 0 8 a は、特定の幅

10

20

30

40

50

(W)を有することができる。第1のP - ベース領域907aおよび第2のP - ベース領域908aは、P - ベースウェル909aに結合され得る(または、P - ベースウェル909aを含むことができる)。P++ベース接点912a、936aは、また、P - ベースウェル909aを介してP - ベース領域907a、908aに結合され得る。特定の実施形態では、P++ベース接点912a、936aは、図1の第1の端子112に対応することができる。NPNデュアルモードトランジスタ900aは、また、エミッタ領域906aと、第1のコレクタ領域904aと、第2のコレクタ領域932aとを含む。エミッタ領域906a、第1のコレクタ領域904a、および第2のコレクタ領域932aは、各々、N++濃度でドーピングされ得る。第1のSTI領域922aは、(P++ベース接点936aからの)電流漏れを防止(または、低減)することができる。第2のSTI領域926aは、第1のコレクタ領域904aとP++ベース接点912aとの間の電流漏れを防止(または、低減)することができる。

10

【0084】

第1のゲート901aは、誘電体層を介して第1のP - ベース領域907aに結合され得、第2のゲート902aは、誘電体層を介して第2のP - ベース領域907aに結合され得る。NPNデュアルモードトランジスタ900aの電流利得は、ゲート901a、902aに印加されるゲート電圧によって制御され得る。NPNデュアルモードトランジスタ900aは、また、P - ベースウェル910aとN - ベースウェル911aとを含むことができる。

【0085】

20

NPNデュアルモードトランジスタ900aは、デジタルMOSモード(たとえば、ユニポーラ動作モード)とアナログゲート制御BJTモード(たとえば、バイポーラ動作モード)とにおいて動作することができる。たとえば、ゲート電圧は、ゲートソース電圧が第1および第2のN - ベース領域907aおよび908a内の反転層の形成を可能にするようにバイアスされ得る。ユニポーラ電流(たとえば、電子)は、第1および第2のコレクタ領域932a、904aとエミッタ領域906aとの間を流れることができる。P++ベース接点912a、936aは、P - ベースウェル909aと第1および第2のコレクタ領域932a、904aとの間の電圧差の絶対値がNPNデュアルモードトランジスタ900aの接合電圧(V_j)よりも高くなるようにバイアスされ得る。P++ベース接点をバイアスすることは、NPNデュアルモードトランジスタ900aがNPNBJTに従って動作する(たとえば、ホールと電子とを含むバイポーラ電流を生成する)ことを可能にすることができる。

30

【0086】

図9Bを参照すると、NPNデュアルモードトランジスタ900bの特定の例示的实施形態が示されている。特定の例示的实施形態では、NPNデュアルモードトランジスタ900bは、図1のデュアルモードトランジスタ100に対応することができる。

【0087】

NPNデュアルモードトランジスタ900bは、第1のP - ベース領域907bと第2のP - ベース領域908bとを含む。各P - ベース領域907b、908bは、特定の幅(W)を有することができる。第1のP - ベース領域907bおよび第2のP - ベース領域908bは、P - ベースウェル909bに結合され得る(または、P - ベースウェル909bを含むことができる)。P++ベース接点912bおよび936bは、また、P - ベースウェル909bを介してP - ベース領域907b、908bに結合され得る。特定の实施形態では、P++ベース接点912bおよび936bは、図1の第1の端子112に対応することができる。NPNデュアルモードトランジスタ900bは、また、エミッタ領域906bと、第1のコレクタ領域904bと、第2のコレクタ領域932bとを含む。エミッタ領域906b、第1のコレクタ領域904b、および第2のコレクタ領域932bは、各々、N++濃度でドーピングされ得る。第1のSTI領域922bは、(P++ベース接点936bからの)電流漏れを防止(または、低減)することができる。第2のSTI領域926bは、第1のコレクタ領域904bとP++ベース接点912bとの間

40

50

の電流漏れを防止（または、低減）することができる。

【0088】

第1のゲート901bは、誘電体層を介して第1のP - ベース領域907bに結合され得、第2のゲート902bは、誘電体層を介して第2のP - ベース領域907bに結合され得る。絶縁ゲート903b、905bは、誘電体層を介して第3および第4のN - ベース領域911b、935bに結合され得る。絶縁ゲート903b、905bは、P++コレクタからN++ベース接点を絶縁するために使用され得る。NPNデュアルモードトランジスタ900bの電流利得は、ゲート901b、902bに印加されるゲート電圧によって制御され得る。NPNデュアルモードトランジスタ900bは、また、P - ベースウェル910bとN - ベースウェル911bとを含むことができる。

10

【0089】

NPNデュアルモードトランジスタ900bは、デジタルMOSモード（たとえば、ユニポーラ動作モード）とアナログゲート制御BJTモード（たとえば、バイポーラ動作モード）とにおいて動作することができる。たとえば、ゲート電圧は、ゲートソース電圧が第1および第2のN - ベース領域907bおよび908b内の反転層の形成を可能にするようにバイアスされ得る。ユニポーラ電流（たとえば、電子）は、第1および第2のコレクタ領域932b、904bとエミッタ領域906bとの間を流れることができる。P++ベース接点912b、936bは、P - ベースウェル909bと第1および第2のコレクタ領域932bおよび904bとの間の電圧差の絶対値がNPNデュアルモードトランジスタ900bの接合電圧(V_j)よりも高くなるようにバイアスされ得る。P++ベース接点をバイアスすることは、NPNデュアルモードトランジスタ900bがNPNBJTに従って動作する（たとえば、ホールと電子とを含むバイポーラ電流を生成する）ことを可能にすることができる。

20

【0090】

図10Aを参照すると、バイアス特性に基づくデュアルモードトランジスタのドレイン電流の変化を示す特定の例示的なチャート1000 1aが示されている。チャート1000 1aに示す値および結果は、例示の目的のために提供され、限定するものとして解釈されるべきではない。値は、外部条件（たとえば、温度）、デュアルモードトランジスタのゲート幅、デュアルモードトランジスタのゲート長、デュアルモードトランジスタに関連するドーピング濃度、バイアス電圧、などに基づいて変化し得る。

30

【0091】

チャート1000 1aは、図1のデュアルモードトランジスタ100のNPN型の構成に対応する動作結果を示す。たとえば、第1の端子112に印加される第2の電圧(V_2)は、チャート1000に示すベース電圧(V_B)に対応することができる。加えて、図1の第1のゲート領域102に印加される第1の電圧(V_1)は、チャート1000 1aに示すように、約1.5Vであり得る。

【0092】

チャート1000 1aは、ドレイン電流（たとえば、コレクタ電流）が、ベース電圧(V_B)が特定のドレイン電圧に対して上昇するにつれて増加し得ることを示す。例示的な例として、ドレイン電流は、0.8V信号が第1の端子112に印加され、1.5V信号がドレインに印加されたとき、約540 $\mu A / \mu m$ であり得る。しかしながら、0.8V信号がベースに印加され、0.2V信号が第2の端子に印加されたとき、ドレイン電流は、約240 $\mu A / \mu m$ に減少され得る。

40

【0093】

したがって、ドレイン電流は、単一の動作（たとえば、ユニポーラまたはバイポーラ）のみが活性であるときとは対照的に、ユニポーラ電流に関連するユニポーラ動作（たとえば、FET動作）と、バイポーラ電流に関連するバイポーラ動作（たとえば、BJT動作）の両方が活性であるとき、増加する。たとえば、ベース電圧(V_B)が0.2Vであるとき（たとえば、バイポーラ動作が不活性であり、ユニポーラ動作が活性であるとき）、ドレイン電流は、1.5ボルト信号がドレインに印加されたとき、約450 $\mu A / \mu m$ で

50

ある。しかしながら、ベース電圧 (V_B) が 1.2 V であるとき (たとえば、バイポーラ動作およびユニポーラ動作が活性であるとき)、ドレイン電流は、 1.5 ボルト信号がドレインに印加されたとき、約 $650\ \mu\text{A}/\mu\text{m}$ に増加する。

【0094】

別の特定の例示的なチャート 1000 2a は、図1の異なる第1の端子 112 (ベース) 電圧におけるドレイン電流を制御する第1のゲート領域 102 を示す。 $0.6\text{ V} \sim 1.2\text{ V}$ の間のベース電圧は、より高い NPN 効率を有する。

【0095】

図10Bを参照すると、図1の第1のゲート 102 および第1の端子 112 電圧のバイアス特性に基づくデュアルモードトランジスタの電流利得 () の変化を示す特定の例示的なチャート 1000 1b が示されている。NPN 活性化領域 (たとえば、図1の第1の端子電圧が $0.6\text{ V} \sim 1.2\text{ V}$ である場合) において、NPN の電流利得 () は、図1の第1のゲート領域電圧 102 および第1の端子領域 112 電圧によって制御される。

10

【0096】

図1の第1のゲート 102 および第1の端子 112 電圧のバイアス特性に基づくデュアルモードトランジスタの相互コンダクタンス (g_m) の変化を示す別の特定の例示的なチャート 1000 2b が示されている。NPN 活性化領域 (たとえば、図1の第1の端子電圧が $0.6\text{ V} \sim 1.2\text{ V}$ である場合) において、NPN の相互コンダクタンス (g_m) は、図1の第1のゲート領域電圧 102 および第1の端子領域 112 電圧によって制御される。

20

【0097】

図11を参照すると、シリコンオンインシュレータ (SOI) PNP デュアルモードトランジスタ 1100 の特定の例示的な実施形態が示されている。特定の実施形態では、SOI PNP デュアルモードトランジスタ 1100 は、図1のデュアルモードトランジスタ 100 に対応することができる。SOI PNP デュアルモードトランジスタ 1100 は、図8BのPNP デュアルモードトランジスタ 800b と同様の構成を含むことができるが、STI 1122、1126 は、Nウェルベース 1109 を貫通して延長され得、酸化物基板 1110 と結合され得る。酸化物基板 1110 は、図8BのP-基板 810b とは異なってもよい。たとえば、SOI PNP デュアルモードトランジスタ 1100 は、PMOS / PNP シリコンオンインシュレータ構成を有することができるが、図8BのPNP デュアルモードトランジスタ 800b は、PMOS / PNP バルクシリコン構成を有することができる。

30

【0098】

図12を参照すると、シリコンオンインシュレータ (SOI) NPN デュアルモードトランジスタ 1200 の特定の例示的な実施形態が示されている。特定の実施形態では、SOI NPN デュアルモードトランジスタ 1200 は、図1のデュアルモードトランジスタ 100 に対応することができる。SOI NPN デュアルモードトランジスタ 1200 は、図9BのNPN デュアルモードトランジスタ 900b と同様の構成を含むことができるが、STI 1222、1226 は、Pウェルベース 1209 を貫通して延長され得、酸化物基板 1210 と結合され得る。酸化物基板 1210 は、P-ベースウェル 910b およびN-ベースウェル 911b と異なってもよい。たとえば、SOI NPN デュアルモードトランジスタ 1200 は、NMOS / NPN シリコンオンインシュレータ構成を有することができるが、図9BのNPN デュアルモードトランジスタ 900b は、NMOS / NPN バルクシリコン構成を有することができる。

40

【0099】

図13を参照すると、デュアルモードトランジスタをバイアスする方法 1300 の特定の実施形態のフローチャートが示されている。例示的な実施形態では、方法 1300 は、図1のデュアルモードトランジスタ 100、図3のFET型構成の実施形態 310 ~ 340 のうちの少なくとも1つ、図4のBJT型構成の実施形態 410 ~ 440 のうちの少なくとも1つ、図5のインバータミキサの実施形態 510、520 のうちの少なくとも1つ

50

、図6の差動ミキサ600、図7のインバータドライバの実施形態710、720のうちの少なくとも1つ、図8Aおよび図8BのPNPデュアルモードトランジスタ800a、800b、図9Aおよび図9BのNPNデュアルモードトランジスタ900a、900b、図11のSOI PNPデュアルモードトランジスタ1100、図12のSOI NPNデュアルモードトランジスタ1200、またはそれらの任意の組合せに対して実行され得る。

【0100】

方法1100は、1302において、FET型動作に従ってユニポーラ電流がトランジスタの第1の領域からトランジスタの第2の領域に流れることを可能にするために第1のゲート電圧をバイアスするステップを含む。たとえば、図1では、第1のゲート領域102の第1のゲート電圧は、第1の電圧(V_1)にバイアスされ得る。第1のゲート電圧をバイアスすることは、FET型動作に従ってユニポーラ電流が第1の領域104から第2の領域106に流れることを可能にすることができる。たとえば、ソース電圧(V_s)は、第1の領域104に印加され得る。PNP構成において、第1のゲート領域102は、第1の電圧(V_1)がソース電圧(V_s)よりも低くなるようにバイアスされ得る。たとえば、電源電圧(V_{dd})は、第1の領域104(たとえば、ソース)に印加され得、第1の電圧(V_1)は、ゲート電圧がソース電圧(V_s)よりも低くなるように接地(たとえば、ゼロボルト)から電源電圧(V_{dd})までの範囲であり得る。第1のゲート領域102を第1の電圧(V_1)でバイアスすることは、第1の領域104と第2の領域106との間の第1のボディ領域108内のチャンネル形成(たとえば、反転層の形成)を可能にすることができる。PFET動作によるユニポーラ電流(たとえば、ホール)は、第1の領域104から第2の領域106に流れることができる。

【0101】

NPN構成において、第1のゲート領域102は、第1の電圧(V_1)がソース電圧よりも高くなるようにバイアスされ得る。たとえば、接地電圧(たとえば、ゼロボルト)は、第2の領域106(たとえば、ソース)に印加され得、第1の電圧(V_1)は、第1の電圧(V_1)がソース電圧よりも高くなるように接地から電源電圧(V_{dd})までの範囲であり得る。第1のゲート領域102を第1の電圧(V_1)でバイアスすることは、第1の領域104と第2の領域106との間の第1のボディ領域108内のチャンネル形成(たとえば、反転層の形成)を可能にすることができる。NFET動作によるユニポーラ電流(たとえば、電子)は、第1の領域104から第2の領域106に流れることができる。

【0102】

ボディ端子は、1304において、BJT型動作に従ってバイポーラ電流が第1の領域から第2の領域に流れることを可能にするためにバイアスされ得る。たとえば、図1では、(第1のボディ領域108に結合された)第1の端子112は、第2の電圧(V_2)にバイアスされ得る。第1の端子112は、ボディ ソース電圧(たとえば、第2の電圧(V_2)とソース電圧(V_s)との間の電圧差)の絶対値がデュアルモードトランジスタ100の接合電圧(V_j)よりも大きくなるようにバイアスされ得る。第1の端子112をバイアスすることは、ユニポーラ電流と同時にバイポーラ電流が第1の領域104と第2の領域106との間を流れることを可能にすることができる。PNP構成において、(第1のボディ領域108に結合された)第1の端子112に印加される第2の電圧(V_2)は、デュアルモードトランジスタ100の負の順方向接合電圧(たとえば、 $-0.7V$)よりも低い電圧にバイアスされ得る。NPN構成において、(第1のボディ領域108に結合された)第1の端子112に印加される第2の電圧(V_2)は、デュアルモードトランジスタ100の順方向接合電圧(たとえば、 $0.7V$)よりも高い電圧にバイアスされ得る。したがって、BJT型動作によるバイポーラ電流(電子とホールとを含む)は、第1の端子112を第2の電圧(V_2)にバイアスすることに対応して、第1の領域104と第2の領域106との間を流れることができる。

【0103】

図13の方法1300は、同時のデジタルMOS動作モード(たとえば、ユニポーラ電

10

20

30

40

50

流に対応するユニポーラ動作モード)およびアナログゲート制御BJT動作モード(たとえば、バイポーラ電流に対応するバイポーラ動作モード)を可能にすることができる。したがって、ユニポーラ動作電流およびバイポーラ動作電流に基づく増加した電流は、デュアルモードトランジスタ100に印加される電源電圧(V_{dd})を上昇させることなく、デュアルモードトランジスタ100を通して流れることができる。電源電圧(V_{dd})を上昇させることなく電流を増加させることは、向上した動作効率をもたらすことができる。デュアルモードトランジスタは、ゲート制御BJT動作を可能にし、論理CMOSプロセスにおいて高性能BJTトランジスタを提供する。

【0104】

図14を参照すると、デュアルモードトランジスタをバイアスするように動作可能である構成要素を含むワイヤレスデバイス1400のブロック図が示されている。デバイス1400は、メモリ1432に結合された、デジタル信号プロセッサ(DSP)などのプロセッサ1410を含む。

【0105】

図14は、また、プロセッサ1410とディスプレイ1428とに結合されたディスプレイコントローラ1426を示す。コーダ/デコーダ(CODEC)1434は、また、プロセッサ1410に結合され得る。スピーカ1436およびマイクロホン1438は、CODEC1434に結合され得る。図14は、また、ワイヤレスコントローラ1440が、プロセッサ1410と、ワイヤレスコントローラ1440とアンテナ1442との間に配置された無線周波数(RF)インターフェース1490を介してアンテナ1442と結合され得ることを示す。RFインターフェース1490は、デュアルモードトランジスタデバイス1460(または、1つまたは複数のデュアルモードトランジスタデバイスを含む構成要素)を含むことができる。デュアルモードトランジスタデバイス1460は、図1のデュアルモードトランジスタ100、図3のFET型構成の実施形態310~340のうちの少なくとも1つ、図4のBJT型構成の実施形態410~440のうちの少なくとも1つ、図5のインバータミキサの実施形態510、520のうちの少なくとも1つ、図6の差動ミキサ600、図7のインバータドライバの実施形態710、720のうちの少なくとも1つ、図8Aおよび図8BのPNPデュアルモードトランジスタ800a、800b、図9Aおよび図9BのNPNデュアルモードトランジスタ900a、900b、図11のSOI PNPデュアルモードトランジスタ1100、図12のSOI NPNデュアルモードトランジスタ1200、またはそれらの任意の組合せを含む、またはこれらに対応することができる。

【0106】

コントローラ1402は、また、プロセッサ1410とデュアルモードトランジスタデバイス1450(または、1つまたは複数のデュアルモードトランジスタデバイスを含む構成要素)とに結合され得る。デュアルモードトランジスタデバイス1450は、図1のデュアルモードトランジスタ100、図3のFET型構成の実施形態310~340のうちの少なくとも1つ、図4のBJT型構成の実施形態410~440のうちの少なくとも1つ、図5のインバータミキサの実施形態510、520のうちの少なくとも1つ、図6の差動ミキサ600、図7のインバータドライバの実施形態710、720のうちの少なくとも1つ、図8Aおよび図8BのPNPデュアルモードトランジスタ800a、800b、図9Aおよび図9BのNPNデュアルモードトランジスタ900a、900b、図11のSOI PNPデュアルモードトランジスタ1100、図12のSOI NPNデュアルモードトランジスタ1200、またはそれらの任意の組合せを含む、またはこれらに対応することができる。特定の実施形態では、コントローラ1402は、ハードウェアコントローラ、ファームウェア、またはそれらの組合せであり得る。

【0107】

メモリ1432は、実行可能な命令1456を含む有形の非一時的プロセッサ可読記憶媒体であり得る。命令1456は、図13の方法1300を実行するために、コントローラ1402などのプロセッサによって実行され得る。たとえば、命令1456は、デュア

10

20

30

40

50

ルモードトランジスタデバイス 1450 および / またはデュアルモードトランジスタデバイス 1460 のゲートをバイアスするために、コントローラ 1402 によって実行可能であり得る。命令 1456 は、また、デュアルモードトランジスタデバイス 1450 および / またはデュアルモードトランジスタデバイス 1460 のボディ領域に結合された端子をバイアスするために、コントローラ 1402 によって実行可能であり得る。命令 1456 は、また、プロセッサ 1410 に結合された代替のプロセッサ (図示せず) によって実行可能であり得る。

【 0108 】

特定の実施形態では、プロセッサ 1410、ディスプレイコントローラ 1426、メモリ 1432、CODEC 1434、およびワイヤレスコントローラ 1440 は、システムインパッケージまたはシステムオンチップデバイス 1422 内に含まれる。特定の実施形態では、入力デバイス 1430 および電源 1444 は、システムオンチップデバイス 1422 に結合される。その上特定の実施形態において、図 14 に例示するように、ディスプレイ 1428、入力デバイス 1430、スピーカ 1436、マイクロホン 1438、アンテナ 1442、および電源 1444 はシステムオンチップデバイス 1422 の外部である。しかしながら、ディスプレイ 1428、入力デバイス 1430、スピーカ 1436、マイクロホン 1438、アンテナ 1442、および電源 1444 の各々は、インターフェースまたはコントローラなどのシステムオンチップデバイス 1422 の構成要素に結合できる。

【 0109 】

説明した実施形態に関連して、装置は、FET 型動作に従ってユニポーラ電流がトランジスタの第 1 の領域からトランジスタの第 2 の領域に流れることを可能にするために第 1 のゲート電圧をバイアスするための手段を含む。たとえば、第 1 のゲート電圧をバイアスするための手段は、図 14 の命令 1462 を実行するように動作可能なコントローラ 1402、一つもしくは複数の他のデバイス、回路、モジュール、またはそれらの任意の組合せを含むことができる。

【 0110 】

装置は、また、BJT 型動作に従ってバイポーラ電流が第 1 の領域から第 2 の領域に流れることを可能にするためにボディ端子をバイアスするための手段を含むことができる。ユニポーラ電流は、バイポーラ電流と同時に流れることができる。たとえば、ボディ端子をバイアスするための手段は、図 14 の命令 1462 を実行するように動作可能なコントローラ 1402、一つもしくは複数の他のデバイス、回路、モジュール、またはそれらの任意の組合せを含むことができる。

【 0111 】

前述の開示したデバイスおよび機能は、コンピュータ可読媒体上に記憶されたコンピュータファイル (たとえば、RTL、GDSII、GERBER、など) 内に設計および構成され得る。いくつかまたはすべてのそのようなファイルは、そのようなファイルに基づいてデバイスを製造する製造ハンドラに提供され得る。得られる製品は半導体ウェハを含み、次いで半導体ウェハが半導体ダイに切断され、半導体チップ内にパッケージングされる。次いでチップが、前述のデバイスで利用される。図 13 は、電子デバイス製造プロセス 1300 の特定の例示的实施形態を示す。

【 0112 】

物理的デバイス情報 1302 は、研究用コンピュータ 1306 などにおいて、製造プロセス 1300 において受信される。物理的デバイス情報 1302 は、図 1 のデュアルモードトランジスタ 100、図 3 の FET 型構成の実施形態 310 ~ 340 のうちの少なくとも一つ、図 4 の BJT 型構成の実施形態 410 ~ 440 のうちの少なくとも一つ、図 5 のインパタミキサの実施形態 510、520 のうちの少なくとも一つ、図 6 の差動ミキサ 600、図 7 のインパタドライバの実施形態 710、720 のうちの少なくとも一つ、図 8A および図 8B の PNP デュアルモードトランジスタ 800a、800b、図 9A および図 9B の NPN デュアルモードトランジスタ 900a、900b、図 11 の SOI

10

20

30

40

50

PNPデュアルモードトランジスタ1100、図12のSOI NPNデュアルモードトランジスタ1200、図14のデュアルモードトランジスタデバイス1450、図14のデュアルモードトランジスタデバイス1460またはそれらの任意の組合せを含むデバイスなどの半導体デバイスの少なくとも1つの物理的特性を表す設計情報を含むことができる。たとえば、物理的デバイス情報1502は、物理的パラメータと、材料特性と、研究用コンピュータ1506に結合されたユーザインターフェース1504を介して入力される構造情報とを含むことができる。研究用コンピュータ1506は、メモリ1510などのコンピュータ可読媒体に結合された、1つまたは複数のプロセッサコアなどのプロセッサ1508を含む。メモリ1510は、プロセッサ1508にファイルフォーマットに準拠するように物理的デバイス情報1502を変換させ、ライブラリファイル1512を生成させるために実行可能であるコンピュータ可読命令を記憶することができる。

10

【0113】

特定の実施形態では、ライブラリファイル1512は、変換された設計情報を含む少なくとも1つのデータファイルを含む。たとえば、ライブラリファイル1512は、電子設計自動化(EDA, electronic design automation)ツール1520とともに使用するために提供される、図1のデュアルモードトランジスタ100、図3のFET型構成の実施形態310~340のうちの少なくとも1つ、図4のBJT型構成の実施形態410~440のうちの少なくとも1つ、図5のインバータミキサの実施形態510、520のうちの少なくとも1つ、図6の差動ミキサ600、図7のインバータドライバの実施形態710、720のうちの少なくとも1つ、図8Aおよび図8B

20

のPNPデュアルモードトランジスタ800a、800b、図9Aおよび図9BのNPNデュアルモードトランジスタ900a、900b、図11のSOI PNPデュアルモードトランジスタ1100、図12のSOI NPNデュアルモードトランジスタ1200、図14のデュアルモードトランジスタデバイス1450、図14のデュアルモードトランジスタデバイス1460またはそれらの任意の組合せを含む半導体デバイスのライブラリを含むことができる。

【0114】

ライブラリファイル1512は、メモリ1518に結合された1つまたは複数のプロセッサコアなどのプロセッサ1516を含む設計コンピュータ1514において、EDAツール1520とともに使用され得る。EDAツール1520は、設計コンピュータ1514のユーザが、図1のデュアルモードトランジスタ100、図3のFET型構成の実施形態310~340のうちの少なくとも1つ、図4のBJT型構成の実施形態410~440のうちの少なくとも1つ、図5のインバータミキサの実施形態510、520のうちの少なくとも1つ、図6の差動ミキサ600、図7のインバータドライバの実施形態710、720のうちの少なくとも1つ、図8のPNPデュアルモードトランジスタ800、図9のNPNデュアルモードトランジスタ900、図12のデュアルモードトランジスタデバイス1250、図12のデュアルモードトランジスタデバイス1260、またはそれらの任意の組合せを含むデバイスを設計することを可能にするために、メモリ1518においてプロセッサ実行可能命令として記憶され得る。例示するために、回路設計特性は、特定の回路および回路設計における他の要素との関係の識別、位置決め情報、フィーチャサイズ情報、相互接続情報、または半導体デバイスの物理的特性を表す他の情報を含むことができる。

30

40

【0115】

設計コンピュータ1514は、ファイルフォーマットに準拠するために、回路設計情報1522を含む設計情報を変換するように構成され得る。例示するために、ファイルフォーマットは、グラフィックデータシステム(GDSII)ファイルフォーマットなどの、平面幾何学的形状と、テキストラベルと、階層フォーマットにおける回路レイアウトについての他の情報とを表すデータベースバイナリファイルフォーマットを含むことができる。設計コンピュータ1514は、図1のデュアルモードトランジスタ100、図3のFET型構成の実施形態310~340のうちの少なくとも1つ、図4のBJT型構成の実施

50

形態 4 1 0 ~ 4 4 0 のうちの少なくとも 1 つ、図 5 のインバータミキサの実施形態 5 1 0、5 2 0 のうちの少なくとも 1 つ、図 6 の差動ミキサ 6 0 0、図 7 のインバータドライバの実施形態 7 1 0、7 2 0 のうちの少なくとも 1 つ、図 8 A および図 8 B の P N P デュアルモードトランジスタ 8 0 0 a、8 0 0 b、図 9 A および図 9 B の N P N デュアルモードトランジスタ 9 0 0 a、9 0 0 b、図 1 1 の S O I P N P デュアルモードトランジスタ 1 1 0 0、図 1 2 の S O I N P N デュアルモードトランジスタ 1 2 0 0、図 1 4 のデュアルモードトランジスタデバイス 1 4 5 0、図 1 4 のデュアルモードトランジスタデバイス 1 4 6 0 またはそれらの任意の組合せを含み、また、S O C 内の追加の電子回路および構成要素を含むデバイスを記述する情報を含む G D S I I ファイル 1 5 2 6 などの、変換された設計情報を含むデータファイルを生成するように構成され得る。

10

【 0 1 1 6 】

G D S I I ファイル 1 5 2 6 は、G D S I I ファイル 1 5 2 6 内の変換された情報に従って、図 1 のデュアルモードトランジスタ 1 0 0、図 3 の F E T 型構成の実施形態 3 1 0 ~ 3 4 0 のうちの少なくとも 1 つ、図 4 の B J T 型構成の実施形態 4 1 0 ~ 4 4 0 のうちの少なくとも 1 つ、図 5 のインバータミキサの実施形態 5 1 0、5 2 0 のうちの少なくとも 1 つ、図 6 の差動ミキサ 6 0 0、図 7 のインバータドライバの実施形態 7 1 0、7 2 0 のうちの少なくとも 1 つ、図 8 の P N P デュアルモードトランジスタ 8 0 0、図 9 の N P N デュアルモードトランジスタ 9 0 0、図 1 2 のデュアルモードトランジスタデバイス 1 2 5 0、図 1 2 のデュアルモードトランジスタデバイス 1 2 6 0、またはそれらの任意の組合せを含む半導体デバイスを製造するために、製造プロセス 1 5 2 8 において受信され得る。たとえば、デバイス製造プロセスは、代表的なマスク 1 5 3 2 として示す、フォトリソグラフィ処理に使用されるマスクなどの 1 つまたは複数のマスクを作成するために、マスク製造者 1 5 3 0 に G D S I I ファイル 1 5 2 6 を提供するステップを含むことができる。マスク 1 5 3 2 は、試験され、代表的なダイ 1 5 3 6 などのダイに分離され得る 1 つまたは複数のウェハ 1 5 3 4 を生成するために、製造プロセス中に使用され得る。ダイ 1 5 3 6 は、図 1 のデュアルモードトランジスタ 1 0 0、図 3 の F E T 型構成の実施形態 3 1 0 ~ 3 4 0 のうちの少なくとも 1 つ、図 4 の B J T 型構成の実施形態 4 1 0 ~ 4 4 0 のうちの少なくとも 1 つ、図 5 のインバータミキサの実施形態 5 1 0、5 2 0 のうちの少なくとも 1 つ、図 6 の差動ミキサ 6 0 0、図 7 のインバータドライバの実施形態 7 1 0、7 2 0 のうちの少なくとも 1 つ、図 8 A および図 8 B の P N P デュアルモードトランジスタ 8 0 0 a、8 0 0 b、図 9 A および図 9 B の N P N デュアルモードトランジスタ 9 0 0 a、9 0 0 b、図 1 1 の S O I P N P デュアルモードトランジスタ 1 1 0 0、図 1 2 の S O I N P N デュアルモードトランジスタ 1 2 0 0、図 1 4 のデュアルモードトランジスタデバイス 1 4 5 0、図 1 4 のデュアルモードトランジスタデバイス 1 4 6 0 またはそれらの任意の組合せを含む回路を含む。

20

30

【 0 1 1 7 】

特定の実施形態では、製造プロセス 1 4 2 8 は、プロセッサ 1 4 3 4 によって開始され得、またはプロセッサ 1 4 3 4 によって制御され得る。プロセッサ 1 4 3 4 は、コンピュータ可読命令またはプロセッサ可読命令などの実行可能命令 1 4 3 7 を含むメモリ 1 4 3 5 にアクセスすることができる。実行可能命令は、プロセッサ 1 4 3 4 などのコンピュータによって実行可能な 1 つまたは複数の命令を含むことができる。製造プロセス 1 4 2 8 は、完全に自動化された、または部分的に自動化された製造システムによって実施され得る。たとえば、製造プロセス 1 4 2 8 は、自動化されてもよく、スケジュールに従って処理ステップを実行することができる。製造システムは、電子デバイスを形成するために 1 つまたは複数の動作を実行するための製造機器（たとえば、処理ツール）を含むことができる。

40

【 0 1 1 8 】

製造システムは、分散型アーキテクチャ（たとえば、階層）を有することができる。たとえば、製造システムは、分散型アーキテクチャに従って分散された、プロセッサ 1 4 3 4 などの 1 つもしくは複数のプロセッサ、メモリ 1 4 3 5 などの 1 つもしくは複数のメモ

50

り、および/またはコントローラを含むことができる。分散型アーキテクチャは、1つまたは複数の低レベルシステムの動作を制御および/または開始する高レベルプロセッサを含むことができる。たとえば、製造プロセス1428の高レベル部分は、プロセッサ1434などの1つまたは複数のプロセッサを含むことができ、低レベルシステムは、各々、1つもしくは複数の対応するコントローラを含むことができ、または、1つもしくは複数の対応するコントローラによって制御され得る。特定の低レベルシステムの特定のコントローラは、高レベルシステムから1つまたは複数の命令(たとえば、コマンド)を受信することができる、サブコマンドを下位のモジュールまたはプロセスツールに発行することができる、高レベルシステムに状態データを通信し戻すことができる。1つまたは複数の低レベルシステムの各々は、製造機器の1つまたは複数の対応する部分(たとえば、処理ツール)に関連し得る。特定の実施形態では、製造システムは、製造システム内に分散された複数のプロセッサを含むことができる。たとえば、製造システムの低レベルシステム構成要素のコントローラは、プロセッサ1434などのプロセッサを含むことができる。

10

【0119】

代替的には、プロセッサ1434は、製造システムの高レベルシステム、サブシステム、または構成要素の一部であり得る。別の実施形態では、プロセッサ1434は、製造システムの様々なレベルおよび構成要素での分散処理を含む。

【0120】

ダイ1536は、パッケージングプロセス1538に提供され得、パッケージングプロセス1538では、ダイ1536は、代表的なパッケージ1540に組み込まれる。たとえば、パッケージ1540は、システムインパッケージ(SiP, system in package)配置などの、単一のダイ1536または複数のダイを含むことができる。パッケージ1540は、電子機器技術評議会(JEDEC, Joint Electron Device Engineering Council)規格などの1つまたは複数の規格または使用に準拠するように構成され得る。

20

【0121】

パッケージ1540に関する情報は、コンピュータ1546に記憶された構成要素ライブラリを介するなどして、様々な製品設計者に配布され得る。コンピュータ1546は、メモリ1550に結合された、1つまたは複数の処理コアなどのプロセッサ1548を含み得る。プリント回路基板(PCB, printed circuit board)ツールは、ユーザインターフェース1544を介してコンピュータ1546のユーザから受信したPCB設計情報1542を処理するために、メモリ1550においてプロセッサ実行可能命令として記憶され得る。PCB設計情報1542は、回路基板上のパッケージ化された半導体デバイスの物理的な位置決め情報を含むことができ、パッケージ化された半導体デバイスは、図1のデュアルモードトランジスタ100、図3のFET型構成の実施形態310~340のうちの少なくとも1つ、図4のBJT型構成の実施形態410~440のうちの少なくとも1つ、図5のインバータミキサの実施形態510、520のうちの少なくとも1つ、図6の差動ミキサ600、図7のインバータドライバの実施形態710、720のうちの少なくとも1つ、図8Aおよび図8BのPNPデュアルモードトランジスタ800a、800b、図9Aおよび図9BのNPNデュアルモードトランジスタ900a、900b、図11のSOI PNPデュアルモードトランジスタ1100、図12のSOI NPNデュアルモードトランジスタ1200、図14のデュアルモードトランジスタデバイス1450、図14のデュアルモードトランジスタデバイス1460またはそれらの任意の組合せを含むデバイスを含むパッケージ1540に対応する。

30

40

【0122】

コンピュータ1546は、回路基板上のパッケージ化された半導体デバイスの物理的な位置決め情報、ならびにトレースおよびビアなどの電氣的接続のレイアウトを含むデータを有するGERBERファイル1552などのデータファイルを生成するために、PCB設計情報1542を変換するように構成され得、パッケージ化された半導体デバイスは、図1のデュアルモードトランジスタ100、図3のFET型構成の実施形態310~34

50

0のうちの少なくとも1つ、図4のBJT型構成の実施形態410～440のうちの少なくとも1つ、図5のインパタミキサの実施形態510、520のうちの少なくとも1つ、図6の差動ミキサ600、図7のインパタドライバの実施形態710、720のうちの少なくとも1つ、図8Aおよび図8BのPNPデュアルモードトランジスタ800a、800b、図9Aおよび図9BのNPNデュアルモードトランジスタ900a、900b、図11のSOI PNPデュアルモードトランジスタ1100、図12のSOI NPNデュアルモードトランジスタ1200、図14のデュアルモードトランジスタデバイス1450、図14のデュアルモードトランジスタデバイス1460またはそれらの任意の組合せを含むパッケージ1540に対応する。他の実施形態では、変換されたPCB設計情報によって生成されたデータファイルは、GERBERフォーマット以外のフォーマットを有することができる。

10

【0123】

GERBERファイル1552は、基板組立プロセス1554において受信され得、GERBERファイル1552内に記憶された設計情報に従って製造された代表的なPCB1556などのPCBを作成するために使用され得る。たとえば、GERBERファイル1552は、PCB製造プロセスの様々なステップを実行するために、1つまたは複数の機械にアップロードされ得る。PCB1556は、代表的なプリント回路アセンブリ(PCBA, printed circuit assembly)1558を形成するために、パッケージ1540を含む電子構成要素を装着され得る。

【0124】

PCBA1558は、製品製造プロセス1560において受け取られ、第1の代表的な電子デバイス1562および第2の代表的な電子デバイス1564などの1つまたは複数の電子デバイスに統合され得る。例示的で非限定的な例として、第1の代表的な電子デバイス1562、第2の代表的な電子デバイス1564、またはそれらの両方は、セットトップボックス、音楽プレーヤ、ビデオプレーヤ、娯楽ユニット、ナビゲーションデバイス、通信デバイス、携帯情報端末(PDA)、固定位置データユニット、およびコンピュータのグループから選択され得、その中に、図1のデュアルモードトランジスタ100、図3のFET型構成の実施形態310～340のうちの少なくとも1つ、図4のBJT型構成の実施形態410～440のうちの少なくとも1つ、図5のインパタミキサの実施形態510、520のうちの少なくとも1つ、図6の差動ミキサ600、図7のインパタドライバの実施形態710、720のうちの少なくとも1つ、図8Aおよび図8BのPNPデュアルモードトランジスタ800a、800b、図9Aおよび図9BのNPNデュアルモードトランジスタ900a、900b、図11のSOI PNPデュアルモードトランジスタ1100、図12のSOI NPNデュアルモードトランジスタ1200、図14のデュアルモードトランジスタデバイス1450、図14のデュアルモードトランジスタデバイス1460またはそれらの任意の組合せが組み込まれる。別の例示的で非限定的な例として、1つまたは複数の電子デバイス1562および1564は、携帯電話などのリモートユニット、ハンドヘルドパーソナル通信システム(PCSS, personal communication system)ユニット、携帯情報端末などのポータブルデータユニット、全地球測位システム(GPS, global positioning system)対応デバイス、ナビゲーションデバイス、検針機器などの固定位置データユニット、または、データもしくはコンピュータ命令を記憶もしくは受信する任意の他のデバイス、またはそれらの任意の組合せであり得る。本開示の教示によるリモートユニットに加えて、本開示の実施形態は、メモリとオンチップ回路とを含む能動集積回路を含む任意のデバイスにおいて適切に用いられ得る。

20

30

40

【0125】

図1のデュアルモードトランジスタ100、図3のFET型構成の実施形態310～340のうちの少なくとも1つ、図4のBJT型構成の実施形態410～440のうちの少なくとも1つ、図5のインパタミキサの実施形態510、520のうちの少なくとも1つ、図6の差動ミキサ600、図7のインパタドライバの実施形態710、720のう

50

ちの少なくとも1つ、図8Aおよび図8BのPNPデュアルモードトランジスタ800a、800b、図9Aおよび図9BのNPNデュアルモードトランジスタ900a、900b、図11のSOI PNPデュアルモードトランジスタ1100、図12のSOI NPNデュアルモードトランジスタ1200、図14のデュアルモードトランジスタデバイス1450、図14のデュアルモードトランジスタデバイス1460またはそれらの任意の組合せを含むデバイスは、例示的なプロセス1500において説明したように、製造され、処理され、電子デバイス内に組み込まれ得る。図1～図15に関連して開示した実施形態の1つまたは複数の態様は、ライブラリファイル1512、GDSIIファイル1526、およびGERBERファイル1552内などに、様々な処理段階において含まれ得、同様に、研究用コンピュータ1506のメモリ1510、設計コンピュータ1514のメモリ1518、コンピュータ1546のメモリ1550、基板組立プロセス1554などの様々な段階において使用される1つまたは複数の他のコンピュータまたはプロセッサのメモリ(図示せず)において記憶され得、また、マスク1532、ダイ1536、パッケージ1540、PCA1558、プロトタイプ回路もしくはデバイスなどの他の製品(図示せず)などの1つまたは複数の他の物理的な実施形態、またはそれらに任意の組合せに組み込まれ得る。物理的デバイス設計から最終製品への製造の様々な代表的な段階が示されているが、他の実施形態では、より少ない段階が使用され得、または、追加の段階が含まれ得る。同様に、プロセス1500は、プロセス1500の様々な段階を実施する単一のエンティティあるいは1つまたは複数のエンティティによって実施され得る。

【0126】

当業者は、さらに、本明細書で開示した実施形態に関連して説明した様々な例示的論理ブロック、構成、モジュール、回路、およびアルゴリズムステップが、電子ハードウェア、プロセッサによって実行されるコンピュータソフトウェア、または両方の組合せとして実装され得ることを理解するであろう。様々な例示的な構成要素、ブロック、構成、モジュール、回路、およびステップは、それらの機能の観点から一般的に上記で説明されている。そのような機能が、ハードウェアまたはプロセッサ実行可能命令のどちらとして実装されるのかは、システム全体に課される特定のアプリケーションおよび設計制約に依存する。当業者は、説明した機能を各々の特定のアプリケーションのために様々な方法で実装することができるが、そのような実装の決定は、本開示の範囲からの逸脱を引き起こす解釈されるべきではない。

【0127】

本明細書で開示した実施形態に関連して説明した方法またはアルゴリズムのステップは、ハードウェアにおいて直接、プロセッサによって実行されるソフトウェアモジュールにおいて、または、これら2つの組合せにおいて具体化され得る。ソフトウェアモジュールは、ランダムアクセスメモリ(RAM, random access memory)、フラッシュメモリ、読出し専用メモリ(ROM, read only memory)、プログラマブル読出し専用メモリ(PROM, programmable read only memory)、消去可能プログラマブル読出し専用メモリ(EPROM)、電氣的消去可能プログラマブル読出し専用メモリ(EEPROM, erasable programmable read only memory)、レジスタ、ハードディスク、リムーバブルディスク、コンパクトディスク読出し専用メモリ(CD ROM, compact disc read only memory)、または、当該技術分野において周知の任意の他の形態の非一時的記憶媒体内に存在し得る。例示的な記憶媒体は、プロセッサが記憶媒体から情報を読み出し、記憶媒体に情報を書き込むことができるように、プロセッサに結合される。代替形態において、記憶媒体は、プロセッサと一体であり得る。プロセッサおよび記憶媒体は、特定用途向け集積回路(ASIC, application specific integrated circuit)内に存在し得る。ASICは、コンピューティングデバイスまたはユーザ端末内に存在し得る。代替形態において、プロセッサおよび記憶媒体は、コンピューティングデバイスまたはユーザ端末内の個別の構成要素として存在し得る。

10

20

30

40

50

【 0 1 2 8 】

開示される実施形態の前述の説明は、当業者が開示される実施形態を製作または使用することを可能にするために提供される。これらの実施形態に対する様々な修正は、当業者には容易に明らかであり、本明細書で定義される原理は、本開示の範囲から逸脱することなく他の実施形態に適用され得る。したがって、本開示は、本明細書に示す実施形態に限定するように意図されるものではなく、以下の特許請求の範囲によって定義される原理および新規な特徴と一致する可能な最も広い範囲を与えられるべきである。

【 符号の説明 】

【 0 1 2 9 】

1 0 0	デュアルモードトランジスタ	10
1 0 2	第 1 のゲート領域	
1 0 4	第 1 の領域	
1 0 6	第 2 の領域	
1 0 8	第 1 のボディ領域	
1 1 0	基板領域	
1 1 2	第 1 の端子	
1 1 4	第 2 の端子	
1 2 2	第 1 のシャロートレンチアイソレーション (S T I) 領域	
1 2 4	第 2 の S T I 領域	
1 2 6	第 3 の S T I 領域	20
1 2 8	第 4 の S T I 領域	
3 1 0	第 1 の実施形態	
3 2 0	第 2 の実施形態	
3 3 0	第 3 の実施形態	
3 4 0	第 4 の実施形態	
4 1 0	第 1 の実施形態	
4 2 0	第 2 の実施形態	
4 3 0	第 3 の実施形態	
4 4 0	第 4 の実施形態	
5 1 0	インバータミキサの第 1 の実施形態	30
5 1 2	第 1 のデュアルモードトランジスタ	
5 1 4	第 2 のデュアルモードトランジスタ	
5 1 6	第 1 の入力信号	
5 1 8	第 2 の入力信号	
5 1 9	出力信号	
5 2 0	インバータミキサの第 2 の実施形態	
5 2 2	第 1 のデュアルモードトランジスタ	
5 2 4	第 2 のデュアルモードトランジスタ	
5 2 6	第 1 の入力信号	
5 2 7	第 2 の入力信号	40
5 2 8	第 3 の入力信号	
5 2 9	出力信号	
6 0 0	差動ミキサ	
6 0 2	第 1 のデュアルモードトランジスタ	
6 0 4	第 2 のデュアルモードトランジスタ	
7 1 0	インバータドライバの第 1 の実施形態	
7 1 2	第 1 のデュアルモードトランジスタ	
7 1 4	第 2 のデュアルモードトランジスタ	
7 1 6	第 1 の入力信号	
7 1 9	出力信号	50

7 2 0	インバータドライバの第 2 の実施形態	
7 2 2	第 1 のデュアルモードトランジスタ	
7 2 4	第 2 のデュアルモードトランジスタ	
7 2 6	第 1 の入力信号	
7 2 7	第 2 の入力信号	
7 2 8	第 3 の入力信号	
7 2 9	出力信号	
8 0 0 a	P N P デュアルモードトランジスタ	
8 0 1 a	ゲート	
8 0 2 a	ゲート	10
8 0 4 a	第 1 のコレクタ領域	
8 0 6 a	エミッタ領域	
8 0 7 a	第 1 の N - ベース領域	
8 0 8 a	第 2 の N - ベース領域	
8 0 9 a	N - ベースウェル	
8 1 0 a	P - 基板	
8 1 2 a	N + + ベース接点	
8 2 2 a	第 1 の S T I 領域	
8 2 6 a	第 2 の S T I 領域	
8 3 2 a	第 2 のコレクタ領域	20
8 3 6 a	N + + ベース接点	
8 0 0 b	P N P デュアルモードトランジスタ	
8 0 1 b	第 1 のゲート	
8 0 2 b	第 2 のゲート	
8 0 3 b	絶縁ゲート	
8 0 4 b	第 1 のコレクタ領域	
8 0 5 b	絶縁ゲート	
8 0 6 b	エミッタ領域	
8 0 7 b	第 1 の N - ベース領域	
8 0 8 b	第 2 の N - ベース領域	30
8 0 9 b	N - ベースウェル	
8 1 0 b	P - 基板	
8 1 1 b	第 3 の N - ベース領域	
8 1 2 b	N + + ベース接点	
8 2 2 b	第 1 の S T I 領域	
8 2 6 b	第 2 の S T I 領域	
8 3 2 b	第 2 のコレクタ領域	
8 3 5 b	第 4 の N - ベース領域	
8 3 6 b	N + + ベース接点	
9 0 0 a	N P N デュアルモードトランジスタ	40
9 0 1 a	第 1 のゲート	
9 0 2 a	第 2 のゲート	
9 0 4 a	第 1 のコレクタ領域	
9 0 6 a	エミッタ領域	
9 0 7 a	第 1 の P - ベース領域	
9 0 8 a	第 2 の P - ベース領域	
9 0 9 a	P - ベースウェル	
9 1 0 a	P - ベースウェル	
9 1 1 a	N - ベースウェル	
9 1 2 a	P + + ベース接点	50

9 2 2 a	第 1 の S T I 領域	
9 2 6 a	第 2 の S T I 領域	
9 3 2 a	第 2 のコレクタ領域	
9 3 6 a	P + + ベース接点	
9 0 0 b	N P N デュアルモードトランジスタ	
9 0 1 b	第 1 のゲート	
9 0 2 b	第 2 のゲート	
9 0 3 b	絶縁ゲート	
9 0 4 b	第 1 のコレクタ領域	
9 0 5 b	絶縁ゲート	10
9 0 6 b	エミッタ領域	
9 0 7 b	第 1 の P - ベース領域	
9 0 8 b	第 2 の P - ベース領域	
9 0 9 b	P - ベースウェル	
9 1 0 b	P - ベースウェル	
9 1 1 b	第 3 の N - ベース領域	
9 1 2 b	P + + ベース接点	
9 2 2 b	第 1 の S T I 領域	
9 2 6 b	第 2 の S T I 領域	
9 3 2 b	第 2 のコレクタ領域	20
9 3 5 b	第 4 の N - ベース領域	
9 3 6 b	P + + ベース接点	
1 1 0 0	シリコンオンインシュレータ (S O I) P N P デュアルモードトランジスタ	
1 1 0 9	N ウェルベース	
1 1 1 0	酸化物基板 1	
1 1 2 2	S T I	
1 1 2 6	S T I	
1 2 0 0	シリコンオンインシュレータ (S O I) N P N デュアルモードトランジスタ	
1 2 0 9	P ウェルベース	
1 2 1 0	酸化物基板	30
1 2 2 2	S T I	
1 2 2 6	S T I	
1 4 0 0	ワイヤレスデバイス	
1 4 0 2	コントローラ	
1 4 1 0	プロセッサ	
1 4 2 2	システムオンチップデバイス	
1 4 2 6	ディスプレイコントローラ	
1 4 2 8	ディスプレイ	
1 4 3 0	入力デバイス	
1 4 3 2	メモリ	40
1 4 3 4	コーダ / デコーダ (C O D E C)	
1 4 3 6	スピーカ	
1 4 3 8	マイクロホン	
1 4 4 0	ワイヤレスコントローラ	
1 4 4 2	アンテナ	
1 4 4 4	電源	
1 4 5 0	デュアルモードトランジスタデバイス	
1 4 5 6	命令	
1 4 6 0	デュアルモードトランジスタデバイス	
1 4 6 2	命令	50

1 4 9 0	無線周波数 (R F) インターフェース	
1 5 0 0	プロセス	
1 5 0 2	物理的デバイス情報	
1 5 0 4	ユーザインターフェース	
1 5 0 6	研究用コンピュータ	
1 5 0 8	プロセッサ	
1 5 1 0	メモリ	
1 5 1 2	ライブラリファイル	
1 5 1 4	設計コンピュータ	
1 5 1 6	プロセッサ	10
1 5 1 8	メモリ	
1 5 2 0	電子設計自動化 (E D A) ツール	
1 5 2 2	回路設計情報	
1 5 2 6	G D S I I ファイル	
1 5 2 8	製造プロセス	
1 5 3 0	マスク製造者	
1 5 3 2	マスク	
1 5 3 4	ウェハ	
1 5 3 6	ダイ	
1 5 3 8	パッケージングプロセス	20
1 5 4 0	パッケージ	
1 5 4 2	P C B 設計情報	
1 5 4 4	ユーザインターフェース	
1 5 4 6	コンピュータ	
1 5 4 8	プロセッサ	
1 5 5 0	メモリ	
1 5 5 2	G E R B E R ファイル	
1 5 5 4	基板組立プロセス	
1 5 5 6	P C B	
1 5 5 8	プリント回路アセンブリ (P C A)	30
1 5 6 0	製品製造プロセス	
1 5 6 2	第 1 の代表的な電子デバイス	
1 5 6 4	第 2 の代表的な電子デバイス	

【 図 1 】

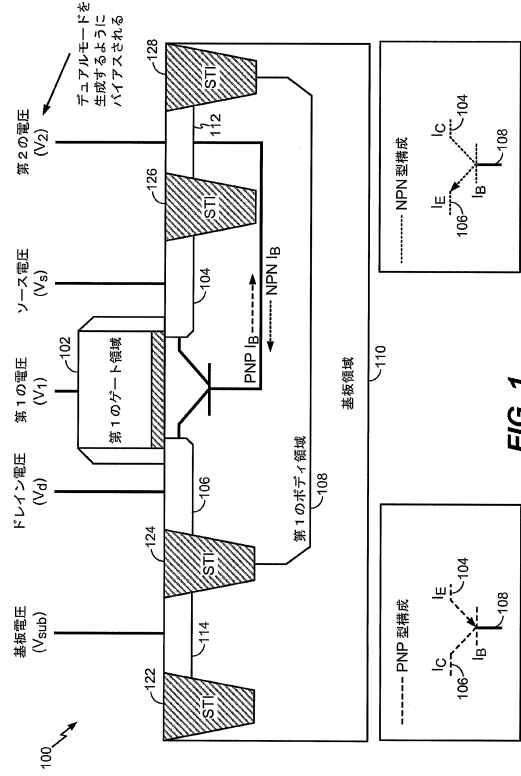


FIG. 1

【 図 2 】

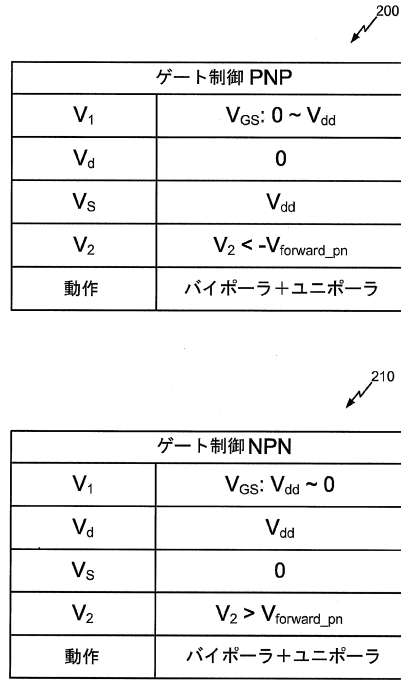


FIG. 2

【 図 3 】

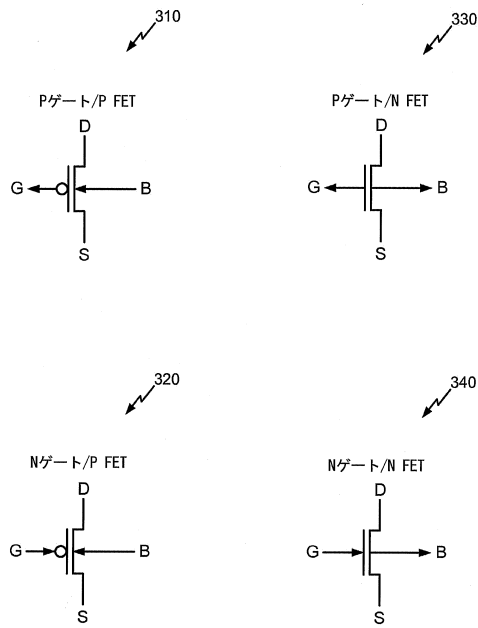


FIG. 3

【 図 4 】

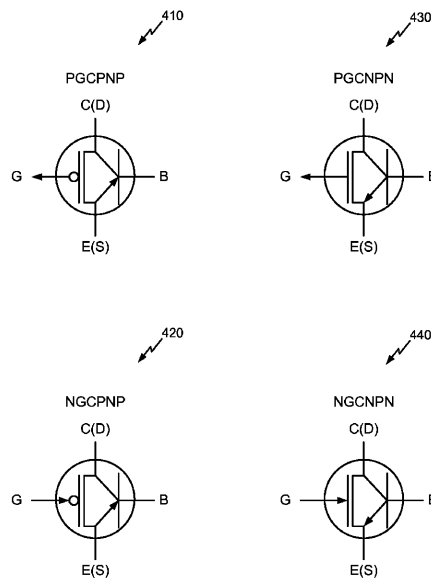


FIG. 4

【 図 5 】

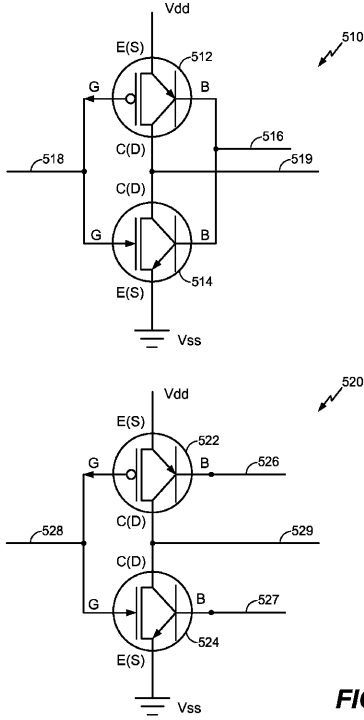


FIG. 5

【 図 6 】

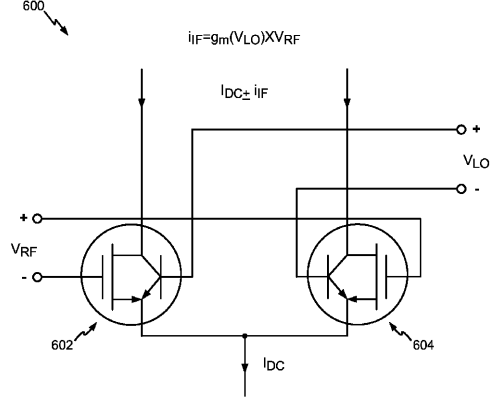


FIG. 6

【 図 7 】

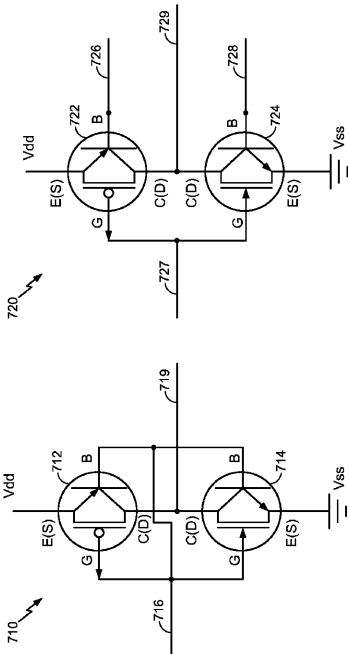


FIG. 7

【 図 8 A 】

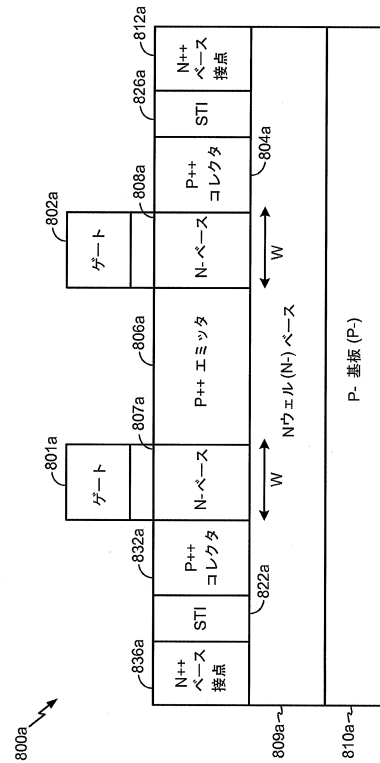


FIG. 8A

【図 8 B】

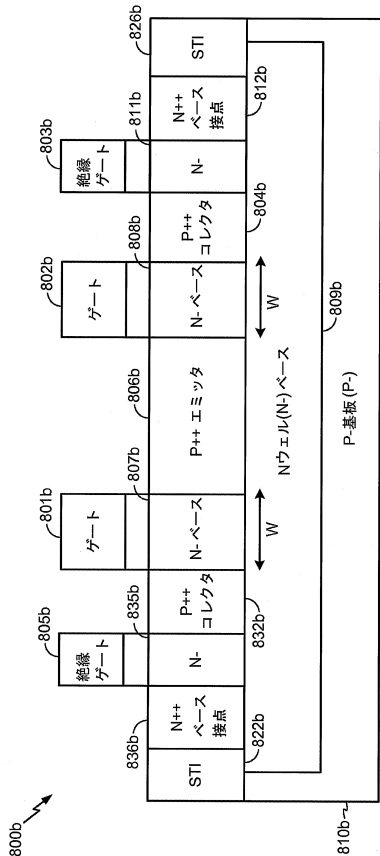


FIG. 8B

【図 9 A】

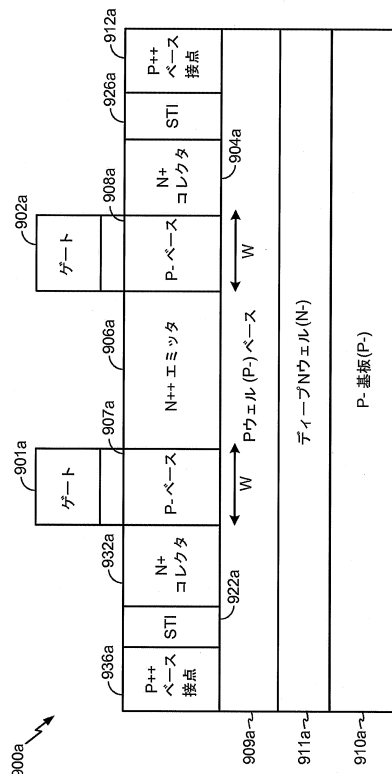


FIG. 9A

【図 9 B】

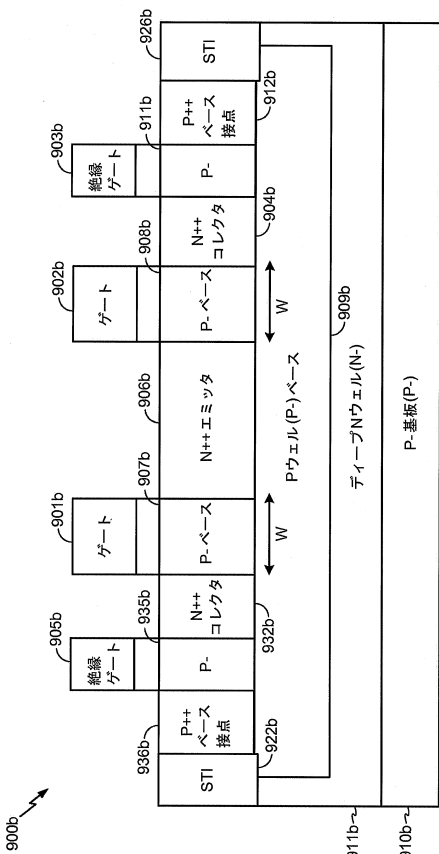


FIG. 9B

【図 10 A】

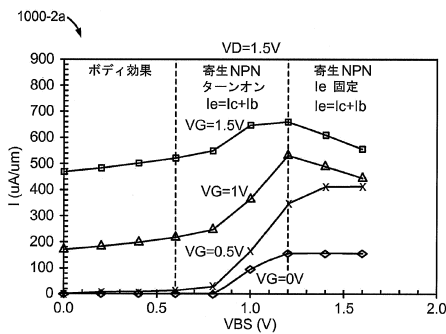
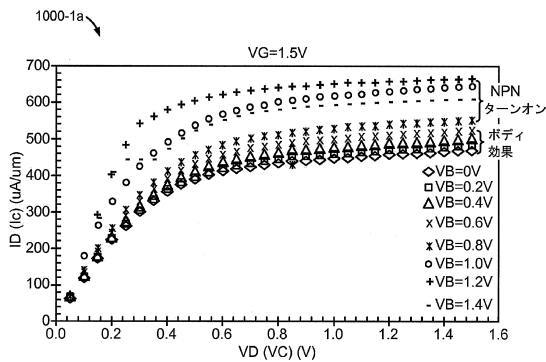


FIG. 10A

【 図 1 0 B 】

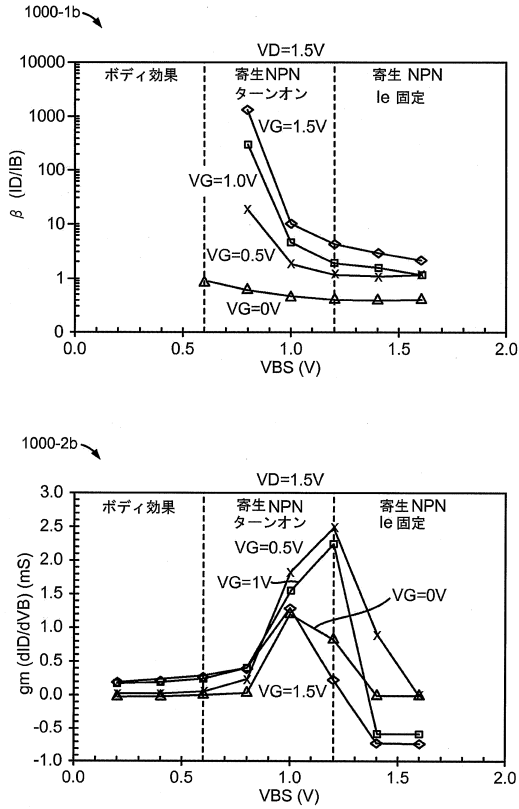


FIG. 10B

【 図 1 1 】

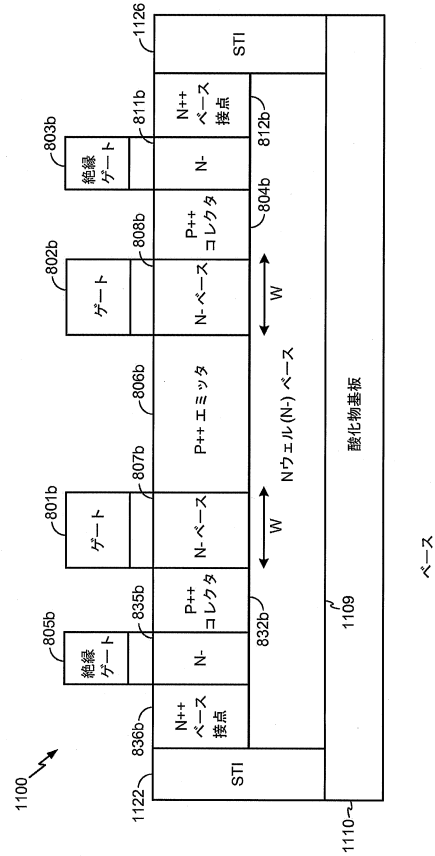


FIG. 11

【 図 1 2 】

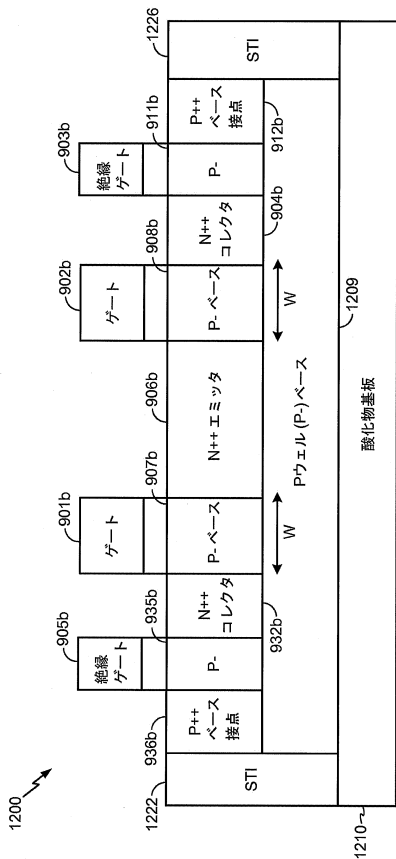


FIG. 12

【 図 1 3 】

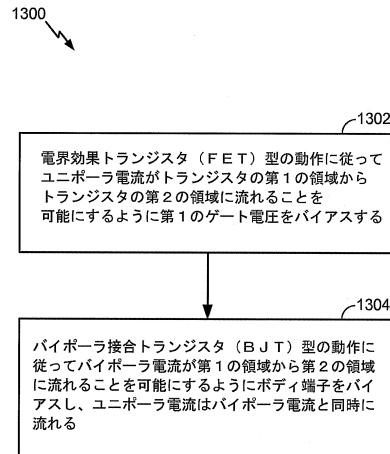


FIG. 13

【図14】

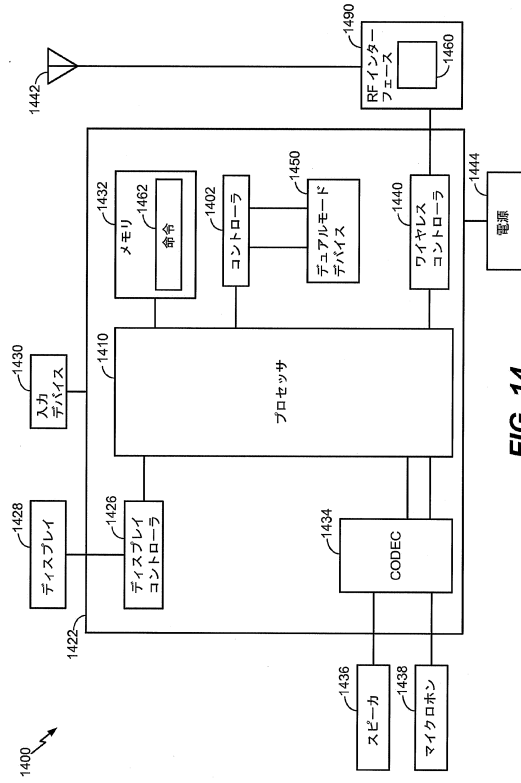


FIG. 14

【図15】

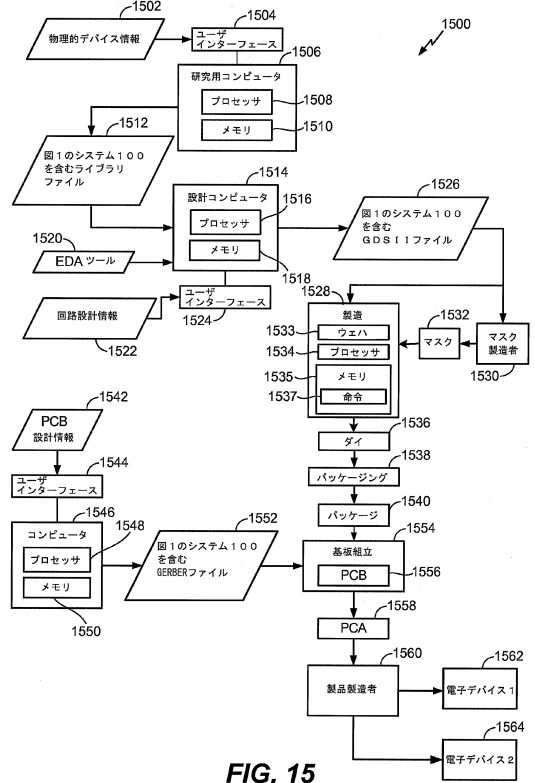


FIG. 15

フロントページの続き

(51)Int.Cl.		F I		
H 0 1 L	29/73	(2006.01)	H 0 1 L	29/78 3 0 1 C
H 0 1 L	21/331	(2006.01)	H 0 1 L	29/78 3 0 1 J
H 0 1 L	21/336	(2006.01)	H 0 1 L	29/78 6 1 3 Z
H 0 1 L	29/78	(2006.01)		
H 0 1 L	29/786	(2006.01)		

- (72)発明者 デイク・ダニエル・キム
アメリカ合衆国・カリフォルニア・9 2 1 2 1 - 1 7 1 4・サン・ディエゴ・モアハウス・ドライブ・5 7 7 5
- (72)発明者 ビン・ヤン
アメリカ合衆国・カリフォルニア・9 2 1 2 1 - 1 7 1 4・サン・ディエゴ・モアハウス・ドライブ・5 7 7 5
- (72)発明者 ジョンヘ・キム
アメリカ合衆国・カリフォルニア・9 2 1 2 1 - 1 7 1 4・サン・ディエゴ・モアハウス・ドライブ・5 7 7 5
- (72)発明者 ダニエル・ウェイン・ベリー
アメリカ合衆国・カリフォルニア・9 2 1 2 1 - 1 7 1 4・サン・ディエゴ・モアハウス・ドライブ・5 7 7 5

審査官 綿引 隆

- (56)参考文献 特開平10-027859(JP,A)
特開昭61-289658(JP,A)
特開昭63-005552(JP,A)
特開2012-209339(JP,A)
特開2002-041160(JP,A)

(58)調査した分野(Int.Cl., DB名)

H 0 1 L 2 1 / 3 3 1
H 0 1 L 2 1 / 3 3 6
H 0 1 L 2 1 / 8 2 3 4
H 0 1 L 2 1 / 8 2 4 8
H 0 1 L 2 1 / 8 2 4 9
H 0 1 L 2 7 / 0 4 - 0 8 8
H 0 1 L 2 9 / 7 6 - 7 8
H 0 3 K 3 / 1 2
G 0 5 F 3 / 1 6 - 3 0