

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5778919号
(P5778919)

(45) 発行日 平成27年9月16日(2015.9.16)

(24) 登録日 平成27年7月17日(2015.7.17)

(51) Int.Cl.

F I

H O 1 L 29/786 (2006.01)

H O 1 L 29/78 6 1 8 B

H O 1 L 21/336 (2006.01)

H O 1 L 29/78 6 1 2 B

G O 2 F 1/1345 (2006.01)

H O 1 L 29/78 6 1 8 E

G O 9 F 9/30 (2006.01)

H O 1 L 29/78 6 1 8 Z

H O 1 L 51/50 (2006.01)

G O 2 F 1/1345

請求項の数 4 (全 41 頁) 最終頁に続く

(21) 出願番号 特願2010-269522 (P2010-269522)
 (22) 出願日 平成22年12月2日(2010.12.2)
 (65) 公開番号 特開2011-139056 (P2011-139056A)
 (43) 公開日 平成23年7月14日(2011.7.14)
 審査請求日 平成25年11月15日(2013.11.15)
 (31) 優先権主張番号 特願2009-276918 (P2009-276918)
 (32) 優先日 平成21年12月4日(2009.12.4)
 (33) 優先権主張国 日本国(JP)

(73) 特許権者 000153878
 株式会社半導体エネルギー研究所
 神奈川県厚木市長谷398番地
 (72) 発明者 小山 潤
 神奈川県厚木市長谷398番地 株式会社
 半導体エネルギー研究所内
 (72) 発明者 山崎 舜平
 神奈川県厚木市長谷398番地 株式会社
 半導体エネルギー研究所内

審査官 岩本 勉

最終頁に続く

(54) 【発明の名称】 表示装置

(57) 【特許請求の範囲】

【請求項1】

絶縁基板上に複数の画素と複数の信号線、及び複数の走査線を有するアクティブマトリクス型表示装置であり、

前記絶縁基板上に、電界効果移動度が少なくとも $50 \text{ cm}^2 / \text{Vs}$ 以上であるトランジスタを有し、

前記トランジスタを1つの構成要素とするゲートドライバ、及びソース線駆動アナログスイッチを有し、

前記トランジスタは、酸化物半導体層を有し、

前記酸化物半導体層は、ゲート絶縁層を介してゲート電極層と重なるチャネル形成領域を少なくとも有し、

前記酸化物半導体層は、第1の金属酸化物層と、第2の金属酸化物層とが積層され、

前記第1の金属酸化物層は、前記第1の金属酸化物層の表面に対して垂直な方向に沿うようにc軸配向した結晶を有し、

前記第2の金属酸化物層は、前記第2の金属酸化物層の表面に対して垂直な方向に沿うようにc軸配向した結晶を有し、

前記第1の金属酸化物層の結晶構造の格子定数と、前記第2の金属酸化物層の結晶構造の格子定数との、ミスマッチは1%以下であることを特徴とする表示装置。

【請求項2】

絶縁基板上に複数の画素と複数の信号線、及び複数の走査線を有するアクティブマトリ

10

20

クス型表示装置であり、

前記絶縁基板上に、電界効果移動度が $100 \text{ cm}^2 / \text{Vs}$ 以上であるトランジスタを有し、

前記トランジスタを1つの構成要素とするゲートドライバ、及びソース線駆動アナログスイッチを有し、

前記トランジスタは、酸化物半導体層を有し、

前記酸化物半導体層は、ゲート絶縁層を介してゲート電極層と重なるチャネル形成領域を少なくとも有し、

前記酸化物半導体層は、第1の金属酸化物層と、第2の金属酸化物層とが積層され、

前記第1の金属酸化物層は、前記第1の金属酸化物層の表面に対して垂直な方向に沿うようにc軸配向した結晶を有し、

前記第2の金属酸化物層は、前記第2の金属酸化物層の表面に対して垂直な方向に沿うようにc軸配向した結晶を有し、

前記第1の金属酸化物層の結晶構造の格子定数と、前記第2の金属酸化物層の結晶構造の格子定数との、ミスマッチは1%以下であることを特徴とする表示装置。

【請求項3】

請求項1または2において、

前記酸化物半導体層は、Inと、Gaと、Znと、を有することを特徴とする表示装置。

【請求項4】

請求項1乃至3のいずれかにおいて、

前記ゲートドライバ、及び前記ソース線駆動アナログスイッチは、同一絶縁基板上に設けられていることを特徴とする表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、酸化物半導体を用いる表示装置およびその作製方法、当該表示装置を具備する電子機器に関する。

【背景技術】

【0002】

液晶表示装置に代表されるように、ガラス基板等に形成されるトランジスタはアモルファスシリコン、多結晶シリコンなどによって構成されている。アモルファスシリコンを用いたトランジスタは電界効果移動度が低いもののガラス基板の大面积化に対応することができる。また、多結晶シリコンを用いたトランジスタの電界効果移動度は高いがガラス基板の大面积化には適していないという欠点を有している。

【0003】

シリコンを用いたトランジスタに対して、酸化物半導体を用いてトランジスタを作製し、電子デバイスや光デバイスに応用する技術が注目されている。例えば酸化物半導体として、酸化亜鉛、In-Ga-Zn-O系酸化物を用いてトランジスタを作製し、表示装置の画素のスイッチング素子などに用いる技術が特許文献1および特許文献2で開示されている。

【先行技術文献】

【特許文献】

【0004】

【特許文献1】特開2007-123861号公報

【特許文献2】特開2007-96055号公報

【発明の概要】

【発明が解決しようとする課題】

【0005】

酸化物半導体にチャネル領域を形成するトランジスタはアモルファスシリコンを用いたト

10

20

30

40

50

ランジスタよりも高い電界効果移動度が得られている。アモルファスシリコンのランジスタの電界効果移動度は通常 $0.5 \text{ cm}^2 / \text{Vs}$ 程度であるのに対して、酸化物半導体を用いたランジスタの電界効果移動度は $10 \sim 20 \text{ cm}^2 / \text{Vs}$ が得られている。また、酸化物半導体はスパッタ法などで活性層を形成することが可能であり、多結晶シリコンを用いたランジスタのようにレーザー装置を使用せず簡単に製造が可能である。

【0006】

このような酸化物半導体を用いてガラス基板上またはプラスチック基板上にランジスタを形成し、液晶表示装置、有機EL表示装置、電子ペーパー等への応用が期待されている。

【0007】

一方で、大型の表示装置が普及しつつある。家庭用のテレビにおいても表示画面の対角が40インチから50インチクラスのテレビも普及し始めており、今後はさらに普及が加速されると思われる。酸化物半導体を用いたランジスタは前述したように、アモルファスシリコンのランジスタの10倍以上の電界効果移動度が得られるため、大型の表示装置においても画素のスイッチング素子としては十分な性能が得られる。

【0008】

しかし、画素を形成するだけではなく、ドライバ回路も酸化物半導体を用いたランジスタによって構成しようとするとき、従来の酸化物半導体のランジスタの性能では不足を生じていた。具体的にはランジスタの電流能力を上げるため、従来の酸化物半導体の電界効果移動度をさらに数倍にあげる必要がある。電界効果移動度が $10 \text{ cm}^2 / \text{Vs}$ の酸化物半導体を用いたランジスタを用いてドライバを構成した場合、表示装置の大きさは20インチ未満となり、それ以上の表示装置を構成するにはドライバを別途に実装する必要があった。

【課題を解決するための手段】

【0009】

本明細書で開示する本発明の一態様は絶縁基板上に複数の画素と複数の信号線、複数の走査線を有するアクティブマトリクス型表示装置において、前記絶縁基板上に電界効果移動度が少なくとも $50 \text{ cm}^2 / \text{Vs}$ 以上、好ましくは $100 \text{ cm}^2 / \text{Vs}$ 以上を有する酸化物半導体のランジスタを有し、ランジスタを1つの構成要素とするゲートドライバ、ソース線駆動アナログスイッチを有する表示装置である。

【0010】

上記表示装置において、その大きさは少なくとも20インチ以上の表示装置である。

【0011】

本明細書で開示する本発明の一態様は絶縁基板上に複数の画素と複数の信号線、複数の走査線を有するアクティブマトリクス型表示装置において、前記絶縁基板上に電界効果移動度が少なくとも $50 \text{ cm}^2 / \text{Vs}$ 以上、好ましくは $100 \text{ cm}^2 / \text{Vs}$ 以上を有する酸化物半導体のランジスタを有し、ランジスタを1つの構成要素とするゲートドライバ、ソースドライバを有する表示装置である。

【0012】

上記表示装置において、その大きさは少なくとも20インチ以上の表示装置である。

【0013】

前述した電界効果移動度を向上させる手段の一つは、下地部材上に、酸化物部材を形成し、加熱処理を行って表面から内部に向かって結晶成長し、下地部材に少なくとも一部接する第1の酸化物結晶部材を形成し、第1の酸化物結晶部材上に第2の酸化物結晶部材を積層して設ける積層酸化物材料の作製方法である。特に第1の酸化物結晶部材と第2の酸化物結晶部材がc軸を共通している。なお、第1の酸化物結晶部材は、第1の酸化物結晶部材の表面に対して垂直方向にc軸配向をしている。なお、a-b面での隣り合っている平面の複数の元素は同一である。また、第1の酸化物結晶部材のc軸方向は、深さ方向に一致する。

【0014】

上記作製方法において、第1の酸化物結晶部材の結晶配向した下側表面は、下地部材と少なくとも一部または全部接して設けることを特徴とする。酸化物部材の膜厚または、加熱処理の条件などを適宜調節することにより、第1の酸化物結晶部材の結晶配向した下側表面を下地部材と少なくとも一部または全部接して設ける。

【0015】

また、上記作製方法では、酸化物部材の成膜後にアニールを行い、その上面に第2の酸化物半導体層の成膜を行い、その後、第1の酸化物結晶部と第2の酸化物半導体層の界面より上方の第2の酸化物半導体層の表面に向かって結晶成長をさせる。第1の酸化物結晶部材は、第2の酸化物半導体層にとっては種結晶に相当する。その上側に第2の酸化物結晶部材として多結晶層が形成されることが重要である。

10

【0016】

酸化物半導体層の結晶性が高ければ高いほど、高い電界効果移動度を有するトランジスタを実現できる。

【0017】

また、酸化物半導体層の結晶性が高ければ高いほど、BT試験前後におけるトランジスタのしきい値電圧の変化量を抑制することができ、高い信頼性を実現することができる。

【0018】

また、酸化物半導体層の結晶性が高ければ高いほど、トランジスタの電気特性の温度依存性、例えば -30 ~ 120 までのオン電流やオフ電流などの変化量を抑制できる。

【0019】

20

また、上記構成において、c軸配向を有する結晶が下地部材に接している酸化物結晶部材は、多結晶部材であることを特徴の一つとしている。

【0020】

本発明における技術思想は、酸化物半導体中にさらに加えることをせずに、逆に不本意に存在する水、水素という不純物を意図的に除去することにより、酸化物半導体自体を高純度化することである。すなわち、ドナー準位を構成する水または水素を除去し、さらに酸素欠損を低減し、酸化物半導体を構成する主成分材料の酸素を十分に供給することにより、酸化物半導体を高純度化することである。

【0021】

酸化物半導体を成膜することで 10^{20} cm^{-3} のレベルの水素がSIMS（二次イオン質量分析）で測定される。このドナー準位の原因となる水または水素を意図的に除去し、さらに水または水素の除去に伴い同時に減少してしまう酸素（酸化物半導体の成分の一つ）を酸化物半導体に加えることにより、酸化物半導体を高純度化し、電氣的にi型（真性）半導体とする。

30

【0022】

また、本発明の技術思想においては、酸化物半導体中の水、水素の量は少なければ少ないほど好ましく、キャリアも少なければ少ないほど良い。すなわち、キャリア密度は $1 \times 10^{12} \text{ cm}^{-3}$ 未満、さらに好ましくは測定限界以下の $1.45 \times 10^{10} \text{ cm}^{-3}$ 未満が求められる。更には、本発明の技術思想的には、ゼロに近いまたはゼロが理想である。特に、酸化物半導体を、酸素、窒素、または超乾燥空気（水の含有量が20ppm以下、好ましくは1ppm以下、好ましくは10ppb以下の空気）雰囲気中で、450 以上850 以下、好ましくは550 以上750 以下の加熱処理をすることにより、n型不純物となる水、または水素を除去し、高純度化することができる。また、水、または水素等の不純物を除去することにより、酸化物半導体を高純度化することで、キャリア密度を $1 \times 10^{12} \text{ cm}^{-3}$ 未満、さらに好ましくは測定限界以下の $1.45 \times 10^{10} \text{ cm}^{-3}$ 未満とすることができる。

40

【0023】

更に、熱処理を450 以上850 以下、好ましくは600 以上700 以下の高温とすると、酸化物半導体を高純度化すると共に、結晶化させることが可能であり、酸化物半導体の表面から内部に向かって結晶成長し、c軸配向を有する多結晶領域を有する酸化

50

物半導体となる。

【0024】

本発明に用いる酸化物半導体は、当該c軸配向を有する多結晶領域を有する酸化物半導体を種結晶として、その上に第2の酸化物半導体を設け、450以上850以下、好ましくは550以上750以下の加熱処理をすることで、第2の酸化物半導体を、種結晶と同様にc軸配向を有する多結晶領域とすることができる。即ち、種結晶と第2の酸化物半導体のc軸が同軸となる、理想的なアキシャル成長、またはエピタキシャル成長をさせることができる。

【0025】

また、種結晶と同軸となる第2の酸化物半導体は、成膜後の熱処理による固相成長のみではなく、200以上600以下で加熱しながら第2の酸化物半導体を成膜、代表的にはスパッタリングすることで、堆積しつつ結晶成長させることができる。また、スパッタ法による酸化物半導体膜の成膜中に基板を200以上600以下に加熱すると、直接エピタキシャル成長またはアキシャル成長することができる。

10

【0026】

さらには、酸化物半導体のキャリアを低減し、好ましくは無くしてしまうことで、トランジスタにおいて酸化物半導体はキャリアを通過させる通路（パス）として機能させる。その結果、酸化物半導体は高純度化したi型（真性）半導体であり、キャリアがない、または極めて少なくせしめることにより、トランジスタのオフ状態ではオフ電流を極めて低くできるというのが本発明に用いる酸化物半導体の技術思想である。

20

【0027】

また、酸化物半導体は通路（パス）として機能し、酸化物半導体自体がキャリアを有さない、または極めて少ないように高純度化したi型（真性）とすると、キャリアは電極のソース、ドレインにより供給される。酸化物半導体の電子親和力 およびフェルミレベル、理想的には真性フェルミレベルと一致したフェルミレベルと、ソース、ドレインの電極の仕事関数とを適宜選択することで、ソース電極及びドレイン電極からキャリアを注入させることが可能となり、n型トランジスタ及びp型トランジスタを適宜作製することができる。

【0028】

上記酸化物結晶部材、及び酸化物部材は全て金属酸化物であり、四元系金属酸化物であるIn-Sn-Ga-Zn-O膜や、三元系金属酸化物であるIn-Ga-Zn-O膜、In-Sn-Zn-O膜、In-Al-Zn-O膜、Sn-Ga-Zn-O膜、Al-Ga-Zn-O膜、Sn-Al-Zn-O系や、二元系金属酸化物であるIn-Zn-O膜、Sn-Zn-O膜、Al-Zn-O膜、Zn-Mg-O膜、Sn-Mg-O膜、In-Mg-O膜や、In-O膜、Sn-O膜、Zn-O膜などの金属酸化物膜を用いることができる。なお、ここで、例えば、In-Sn-Ga-Zn-O膜とは、インジウム（In）、錫（Sn）、ガリウム（Ga）、亜鉛（Zn）を有する酸化物膜、という意味であり、その化学量論比はとくに問わない。

30

【0029】

また、上記酸化物結晶部材、及び酸化物部材は、 $\text{InMO}_3(\text{ZnO})_m$ （ $m > 0$ 、且つmは自然数でない）で表記される薄膜を用いることができる。ここで、Mは、Ga、Al、MnおよびCoから選ばれた一または複数の金属元素を示す。例えばMとして、Ga、Ga及びAl、Ga及びMn、またはGa及びCoなどがある。

40

【0030】

また、In-A-B-Oで表現される酸化物半導体材料を用いても良い。ここで、Aは、ガリウム（Ga）やアルミニウム（Al）などの13族元素、シリコン（Si）やゲルマニウム（Ge）に代表される14族元素などから選択される一または複数種類の元素を表す。また、Bは、亜鉛（Zn）に代表される12族元素から選択される一又は複数種類の元素を表す。なお、In、A、Bの含有量は任意であり、Aの含有量がゼロの場合を含む。一方、InおよびBの含有量はゼロではない。すなわち、上述の表記には、In-Ga

50

- Zn - O や In - Zn - O などが含まれる。また、本明細書でいう In - Ga - Zn - O で表記される酸化物半導体材料は、 $\text{InGaO}_3(\text{ZnO})_m$ ($m > 0$ 、且つ m は自然数でない) であり、 m が自然数でないことは、ICP - MS 分析や、RBS 分析を用いて確認することができる。

【0031】

また、高純度化するためのプロセスの一つとして、水素及び水分をほとんど含まない雰囲気下（窒素雰囲気、酸素雰囲気、乾燥空気雰囲気（例えば、水分については露点 - 40 以下、好ましくは露点 - 50 以下）など）で第 1 の加熱処理を行う。この第 1 の加熱処理は、酸化物半導体層中から H、OH などを脱離させる脱水化または脱水素化とも呼ぶことができ、不活性雰囲気下で昇温し、途中で切り替え酸素を含む雰囲気下とする加熱処理を行う場合や、酸素雰囲気下で加熱処理を行う場合は、加酸化処理とも呼べる。

10

【0032】

第 1 の加熱処理は、電気炉を用いた加熱方法、加熱した気体を用いる GRTA (Gas Rapid Thermal Anneal) 法またはランプ光を用いる LRTA (Lamp Rapid Thermal Anneal) 法などの瞬間加熱方法などを用いることができる。また、第 1 の加熱処理は、450 nm 以下の光を照射する加熱も同時に進めてもよい。高純度化のための第 1 の加熱処理を行った酸化物半導体層は、第 1 の加熱処理後の酸化物半導体層に対して TDS (Thermal Desorption Spectroscopy) で 450 まで測定を行っても水の 2 つのピークのうち、少なくとも 300 付近に現れる 1 つのピークは検出されない程度の条件で加熱する。従って、高純度化のための加熱処理が行われた酸化物半導体層を用いたトランジスタに対して TDS で 450 まで測定を行っても少なくとも 300 付近に現れる水のピークは検出されない。

20

【0033】

第 1 の加熱処理は、結晶成長の種となる多結晶層がない状態で結晶成長を行うため、高温で短時間に加熱を行い、表面からの結晶成長のみとなるようにすることが好ましい。また、酸化物半導体層の表面が平坦であると、良好な板状の多結晶層を得ることができるため、できるだけ下地部材、例えば絶縁層や、基板の平坦性が高いことが望ましい。平坦性を高くすることにより、下地部材全面に接する多結晶層を形成しやすくなるため、有用である。例えば、市販されているシリコンウェハと同程度の平坦性、例えば、表面粗度が 1 μm 四方の領域における AFM 測定での高低差が 1 nm 以下、好ましくは 0.2 nm とする。

30

【0034】

多結晶層は、酸化物半導体中の In の電子雲が互いに重なり合って接続することにより、電気伝導率を大きくする。従って、多結晶層を有するトランジスタは、高い電界効果移動度を実現することができる。

【0035】

第 1 の加熱処理により形成した平板状の多結晶層を種としてさらに結晶成長を行う方法の一つを以下に図 1 (A)、図 1 (B)、及び図 1 (C) を用いて示す。

【0036】

工程順序の概略を説明すると、下地部材上に第 1 の酸化物半導体層を形成した後、高純度化するための第 1 の加熱処理を行い、高純度化するための第 1 の加熱処理と同一工程により、第 1 の酸化物半導体層の表面に結晶方位の揃った多結晶層を形成し、その上に第 2 の酸化物半導体層を積層する。さらに結晶化のための第 2 の加熱処理を行うことにより、第 1 の酸化物半導体層の表面の多結晶層を種として第 2 の酸化物半導体層を結晶化するという順序で行われる。

40

【0037】

第 1 の加熱処理は、結晶成長の種となる結晶層がない状態で表面から結晶成長が行われるのに対して、第 2 の加熱処理は、種となる平板状の多結晶層があるため、結晶成長が可能な最低温度で長時間に加熱を行うと良好な結晶性を得ることができ、好ましい。第 2 の加

50

熱処理により行われる結晶方向は、下から上の方向、基板側から表面側の方向（再結晶方向とも呼ぶ）であり、第1の加熱処理での結晶方向と異なっている。また、第1の加熱処理で得られた多結晶層は第2の加熱処理で再び加熱されるため、さらに結晶性が向上する。

【0038】

図1(A)は、下地部材500上に形成された第1の酸化物半導体層に対して結晶化のための第1の加熱処理が行われた後の状態を示している。第1の加熱処理は、酸素、窒素、または超乾燥空気雰囲気、450以上850以下、好ましくは550以上750以下の加熱処理である。また、不活性雰囲気下で昇温し、途中で切り替え酸素を含む雰囲気下とする加熱処理を行う場合や、酸素雰囲気下で加熱処理を行ってもよい。第1の加熱処理が行われた後、第1の酸化物半導体層は、表面に対して垂直方向にc軸配向している平板状の多結晶である第1の酸化物結晶部材501となる。

10

【0039】

また、図1(B)は、第2の酸化物半導体層502の成膜直後の断面図である。第2の酸化物半導体層502は、スパッタ法で形成され、その金属酸化物ターゲットは、 $\text{In}_2\text{O}_3 : \text{Ga}_2\text{O}_3 : \text{ZnO} = 1 : 1 : 2$ [mol数比]の金属酸化物ターゲットや、 $\text{In}_2\text{O}_3 : \text{Ga}_2\text{O}_3 : \text{ZnO} = 1 : 1 : 4$ [mol数比]の金属酸化物ターゲットを用いればよい。

【0040】

また、図1(C)は、第2の加熱処理後の断面図である。第2の加熱処理によって、第1の酸化物結晶部材501の多結晶層を種として第2の酸化物半導体層502の表面に向かって上方に結晶成長し、第2の酸化物結晶部材503bが形成され、結晶部材同士がc軸配向を有する。

20

【0041】

この第2の加熱処理も、酸化物半導体層中からH、OHなどを脱離させる脱水化または脱水素化とも呼ぶことができ、不活性雰囲気下で昇温し、途中で切り替え酸素を含む雰囲気下とする加熱処理を行う場合や、酸素雰囲気下で加熱処理を行う場合は、加酸化処理とも呼べる。

【0042】

また、第1の加熱処理で得られた多結晶層は第2の加熱処理で再び加熱されるため、さらに結晶性が向上した第3の酸化物結晶部材503aとなる。

30

【0043】

酸化物半導体層の水素濃度は、 $1 \times 10^{18} \text{ cm}^{-3}$ 以下、 $1 \times 10^{16} \text{ cm}^{-3}$ 以下、さらには実質的には0が好ましい。また、酸化物半導体層のキャリア密度が $1 \times 10^{12} \text{ cm}^{-3}$ 未満、さらに好ましくは測定限界以下の $1.45 \times 10^{10} \text{ cm}^{-3}$ 未満である。即ち、酸化物半導体層のキャリア密度は、限りなくゼロに近い。また、バンドギャップは2eV以上、好ましくは2.5eV以上、より好ましくは3eV以上である。なお、酸化物半導体層中の水素濃度測定は、二次イオン質量分析法(SIMS)で行うことができる。キャリア密度は、ホール効果測定により測定することができる。また、より低密度のキャリア密度の測定は、CV測定(Capacitance-Voltage-Measurement)の測定結果及び数式1により求めることができる。

40

【0044】

【数1】

$$N_d = - \left(\frac{2}{e\epsilon_0\epsilon} \right) \bigg/ \frac{d(1/C)^2}{dV}$$

【0045】

また、図1(C)においては、下地部材500上に接して、第3の酸化物結晶部材503a、第2の酸化物結晶部材503bの順に積層された2層構造と言える。第1の酸化物結

50

晶部材 501 と第 2 の酸化物結晶部材 503b の材料は、表面に対して垂直方向に c 軸配向している多結晶が得られるのであれば、特に限定されず、異なる材料を用いてもよいし、同一成分を含む材料を用いてもよい。同一成分を含むとは同じ元素を有する意味である。

【0046】

なお、同一成分を含む酸化物半導体材料を用いる場合、図 1 (C) では点線で示したように、第 3 の酸化物結晶部材 503a と第 2 の酸化物結晶部材 503b の境界は不明瞭となり、単層構造となる。

【0047】

こうして、第 3 の酸化物結晶部材 503a と第 2 の酸化物結晶部材 503b の積層からなる多結晶層は、2 回の加熱処理に分けて結晶成長させることができる。

10

【0048】

なお、図 1 (A) において、第 1 の酸化物半導体層の表面の比較的結晶方位の揃った板状結晶層は、表面から深さ方向に結晶成長するため、下地部材の影響を受けることなく形成することができる。

【0049】

第 1 の酸化物半導体層、例えば、In-Ga-Zn-O 膜の表面に比較的結晶方位の揃った結晶層が形成されるメカニズムを一例に説明する。加熱処理により、In-Ga-Zn-O 膜中に含まれる亜鉛が拡散し、表面近傍に集まり、結晶成長の種となり、その結晶成長は、横方向（表面に平行な方向）の結晶成長のほうが、深さ方向（表面に垂直な方向）の結晶成長よりも強いいため、平板状の多結晶層が形成される。即ち、a-b 面の方向と c 軸の方向とは a-b 面の方向が結晶化しやすい。また、それぞれの結晶の a-b 面は一致していない。また、In-Ga-Zn-O 膜の表面より上は自由空間であり、ここでの上方への結晶の成長はない。これらのことは、TDS の測定時に 450 まで測定を行った際、In や Ga は検出されないが、亜鉛は真空加熱条件下、特に 300 付近でピーク検出されることが確認できていることから推察される。なお、TDS の測定は真空中で行われ、亜鉛の離脱は 200 付近から検出されていることが確認できている。

20

【0050】

2 回に分けて酸化物半導体膜の成膜を行い、結晶成長の種となる多結晶層を形成した後、再度成膜した後に結晶成長させることで膜厚の厚い板状結晶層を形成することができると言え、本明細書で開示する方法が極めて有用である。

30

【0051】

また、下地部材の材料に関わらず表面に平行に a-b 面を有し、表面に対して垂直方向に c 軸配向をしている結晶層を得ることができることも有用である。

【0052】

また、金属酸化物、代表的には In-Ga-Zn-O 膜を用いるデバイスは、単結晶 Si を用いるデバイスや、SiC を用いるデバイスや、GaN を用いるデバイスとは全く異なっている。

【0053】

ワイドギャップ半導体として SiC (3.26 eV)、GaN (3.39 eV) が知られている。しかしながら、SiC や GaN は高価な材料である。また、SiC や GaN は、1500 以上の処理温度を必要としており、ガラス基板上での薄膜化は実質的に不可能である。

40

【0054】

また、SiC や GaN は単結晶のみであり、PN 接合での制御を求められ、より完全な単結晶であることを必要としている。したがって、製造工程で意図しない微量の不純物が混入することによって、それがドナーやアクセプタとなるため、キャリア濃度の下限には限界がある。一方、金属酸化物は、アモルファス、多結晶、または単結晶の全ての結晶構造を利用することができる。PN 接合の制御を用いることなく、 μ_{MS} 対 $\mu_{OS} + 1/2 E_g^{OS}$ 、 μ_{MD} 対 $\mu_{OS} + 1/2 E_g^{OS}$ と、ソース及びドレインの仕事関数と、金属酸

50

化物の電子親和力とエネルギーバンド幅の物性を利用して P N 接合と等価のバンド制御を行っていることが金属酸化物の特徴の一つである。

【 0 0 5 5 】

金属酸化物、代表的には I n - G a - Z n - O 膜のバンドギャップも単結晶シリコンの約 3 倍広く、S i C に比べ製造コストが低くできるので安価な材料である。

【 0 0 5 6 】

I n - G a - Z n - O のバンドギャップは、3 . 0 5 e V であり、この値を元に真性キャリア密度を計算する。固体中の電子のエネルギー分布 $f(E)$ は次の式で示されるフェルミ・ディラック統計に従うことが知られている。

【 0 0 5 7 】

10

【数 2】

$$f(E) = \frac{1}{1 + \exp\left(\frac{E - E_F}{kT}\right)} \quad (1)$$

【 0 0 5 8 】

キャリア密度が著しく高くない（縮退していない）普通の半導体では、次の関係式が成立する。

【 0 0 5 9 】

20

【数 3】

$$|E - E_F| > kT \quad (2)$$

【 0 0 6 0 】

従って、(1) 式のフェルミ・ディラック分布は次の式で示されるボルツマン分布の式に近似される。

【 0 0 6 1 】

【数 4】

30

$$f(E) = \exp\left[-\frac{E - E_F}{kT}\right] \quad (3)$$

【 0 0 6 2 】

(3) 式を使って半導体の真性キャリア密度 (n_i) を計算すると以下の式が得られる。

【 0 0 6 3 】

【数 5】

40

$$n_i = \sqrt{N_C N_V} \exp\left(-\frac{E_g}{2kT}\right) \quad (4)$$

【 0 0 6 4 】

そして、(4) 式に、S i と I n - G a - Z n - O の実効状態密度 (N_C 、 N_V)、バンドギャップ (E_g) の値を代入し、真性キャリア密度を計算した。その結果を表 1 に示す。

【 0 0 6 5 】

【表 1】

	Si	IGZO
N_c (300K) [cm^{-3}]	2.8×10^{19}	5.0×10^{18}
N_v (300K) [cm^{-3}]	1.04×10^{19}	5.0×10^{18}
E_g (300K) [eV]	1.08	3.05
n_i (300K) [cm^{-3}]	1.45×10^{10}	1.2×10^{-7}

【0066】

10

In - Ga - Zn - Oは、Siに比べて極端に真性キャリア密度が少ないことがわかる。IGZOのバンドギャップとして3.05 eVを選んだ場合、SiとIn - Ga - Zn - Oでは、真性キャリア濃度におよそフェルミ・ディラックの分布則が正しいと仮定して、前者は後者よりキャリア密度が約 10^{17} 倍大きいと言える。

【0067】

また、酸化物半導体は室温から400の加熱温度によるスパッタリング法で薄膜の形成が可能であり、プロセス最高温度は300以上800以下とすることができ、プロセス最高温度をガラスの歪み点以下とする場合には、大面積のガラス基板上に形成することも可能である。従って、工業化にはプロセス最高温度が300以上800以下でバンドギャップの広い金属酸化物を作製できることが重要である。

20

【0068】

これまで報告された金属酸化物はアモルファス状態のもの、あるいは、多結晶状態のもの、あるいは、1500程度の高温での処理により単結晶を得るもののみであったが、上記に示したように、金属酸化物の平板状の多結晶を形成した後、金属酸化物の平板状の多結晶を種として結晶成長させる方法により比較的低温でc軸配向を有する薄膜多結晶ができ、さらに厚膜多結晶ができると、より広い工業応用が開ける。なお、良質な厚膜多結晶を得るには、基板の平坦性・平滑性が高いことが好ましい。なぜならば、わずかな基板の凹凸が、局所的なc軸のぶれとなり、結晶成長が進展するにつれて、隣接する結晶のc軸の向きと異なることにより結晶の転移等の欠陥となるからである。

【発明の効果】

30

【0069】

板状結晶層を有する酸化物半導体層を用いたトランジスタは、高い電界効果移動度を有するトランジスタを実現できる。また、オフ電流が低いトランジスタを実現できる。また、所謂ノーマリーオフのスイッチング素子を実現し、低消費電力の半導体装置を提供することができる。

【図面の簡単な説明】

【0070】

【図1】本発明の一態様を示す断面図である。

【図2】本発明の一態様を示す工程断面図である。

【図3】本発明の一態様を示す上面図及び断面図である。

40

【図4】本発明の一態様を示す表示装置の一態様を示す図である。

【図5】本発明の一態様を示す表示装置のタイミングを示す図である。

【図6】本発明の一態様を示す表示装置の一態様を示す図である。

【図7】ゲート線の遅延を示す図である。

【図8】ソース線の書き込みを示す図である。

【図9】シフトレジスタの一態様を示す図である。

【図10】シフトレジスタのタイミングを示す図である。

【図11】ソース線の書き込みを示す図である。

【図12】ソース線の書き込みを示す図である。

【図13】酸化物半導体を用いたボトムゲート型のトランジスタの縦断面図。

50

【図 14】図 13 に示す A - A' 断面におけるエネルギーバンド図（模式図）。

【図 15】（A）ゲート（G1）に正の電位（+VG）が印加された状態を示し、（B）ゲート（G1）に負の電位（-VG）が印加された状態を示す図。

【図 16】真空準位と金属の仕事関数（ ϕ ）、酸化物半導体の電子親和力（ χ ）の関係を
示す図。

【図 17】本発明の一態様を示す工程断面図である。

【図 18】本発明の一態様を示す上面図及び断面図である。

【図 19】本発明の一態様を示す上面図及び断面図である。

【図 20】本発明の一態様を示す断面図である。

【図 21】電子機器の一例を示す図である。

10

【図 22】電子機器の一例を示す図である。

【発明を実施するための形態】

【0071】

以下では、本発明の実施の形態について図面を用いて詳細に説明する。ただし、本発明は以下の説明に限定されず、その形態および詳細を様々に変更し得ることは、当業者であれば容易に理解される。また、本発明は以下に示す実施の形態の記載内容に限定して解釈されるものではない。

【0072】

（実施の形態 1）

図 4 に本発明の実施形態を示す。図 4（A）はガラス基板 1501 上に、画素部 1502、ゲートドライバ 1503、1504 を内蔵し、ソース線駆動にアナログスイッチ 1505 を内蔵した表示装置である。ソース線駆動にアナログスイッチ 1505 を使用するの
は以下の理由による。例えばフルハイビジョン表示装置の場合ソース信号線は 1920 × RGB の 5760 本存在する。ソースドライバを同一基板上に形成しない場合は、この端子にそれぞれソースドライバの端子が接続される。そのため、機械的な衝撃などにより、端子の接触不良が発生しやすいという問題があった。端子を減らすことが接触不良低減に有効である。そこでアナログスイッチアレイを同一基板上に形成し、RGB の各端子を時分割で選択的にソースドライバに接続し、端子数を減らすことを目的としている。

20

【0073】

図 4（B）はアナログスイッチ 1505 の等価回路を示している。図 4（B）に示す例では表示装置の外部に接続される端子はソースドライバの出力端子となる 1920 本とスイッチアレイのゲートを制御する端子 3 本の合計 1923 本となり、約 3 分の 1 に削減できる。これらは FPC 1506、1507、1508、1509 に接続される。一方でアナログスイッチにつながるソースドライバは時分割をおこなう場合に比べて 3 倍の速度で動作させる必要があり、ソース信号線への書き込み時間は 3 分の 1 にする必要がある。ソース信号線への書き込み時間を削減のためにはアナログスイッチに用いられるトランジスタの電流能力を向上させることが重要である。

30

【0074】

図 5（A）に時分割をおこなう際のタイミングを示している。時分割をおこなわなければソース線の書き込みは 1 ライン期間の間におこなわれれば良いのであれば、時分割をおこなう場合には 1 ライン期間の 1/3 以下の時間で書き込みがおこなわれなければならない。また、近年、表示装置においては動画の特性を良好にするために 2 倍速、4 倍速などの駆動方法が普及している。これはテレビの放送は 1 倍速であるが、テレビの内部でフレームとフレームの間に映像を作り出し、映像の細やかさを向上させるものである。

40

【0075】

このため、表示装置は 2 倍、4 倍で動作しなければならない。図 5（B）に 1 倍速、2 倍速、4 倍速においての各時間を示す。図 5（A）においてゲートクロックのパルス幅 a が 1 水平ライン期間に相当し、この期間内にソース線の書き込みが終了する必要がある。a の値は図 5（B）に示すように 1 倍速（フレーム周波数 60 Hz）のとき 15.3 μ s、2 倍速（フレーム周波数 120 Hz）のとき 7.63 μ s、4 倍速（フレーム周波数 240 Hz）のとき 3.81 μ s となる。

50

0 Hz) のとき $3.81 \mu s$ である。

【0076】

表示装置はこの書き込み時間の中でソース線への書き込みが終了する必要がある。酸化物半導体を用いたトランジスタの移動度を向上させることによって、これらを満足することが可能になる。ここいう表示装置は液晶表示装置、有機EL表示装置、電子ペーパーなどのトランジスタを使用して構成する表示装置に当てはまる。

【0077】

(実施の形態2)

図6にソースドライバを内蔵した表示装置の実施形態を示す。図6(A)に示すのはガラス基板1701上に画素部1702、ゲートドライバ1703、1704、ソースドライバ1705を内蔵した例である。ゲートドライバ1703、1704、ソースドライバ1705にはFPC1706、1707より信号が供給される。ゲートドライバ1703、1704を表示装置の左右両側に配置し、画素を駆動することによって、片側の場合の半分の駆動能力で駆動することが可能である。

【0078】

また、図6(B)はガラス基板1711上に、画素部1712、ゲートドライバ1713、1714、1715、1716を表示装置の上下に、ソースドライバ1717、1718、1719、1720を左右に配置した例である。ゲートドライバ、ソースドライバにはFPC1721、1722、1723、1724より信号が供給される。このような配置をすることによって、それぞれのドライバは表示装置の1/4を駆動するだけの駆動能力があれば、表示が可能となる。表示装置がフルハイビジョン仕様であればドライバはQHD(クォーターハイビジョン)の能力があれば駆動が可能になる。したがって、本発明によって、酸化物半導体を用いたトランジスタの電界効果移動度が向上し、 $50 \text{ cm}^2/\text{Vs}$ 以上、好ましくは $100 \text{ cm}^2/\text{Vs}$ であれば、100インチ程度のフルハイビジョン表示装置を倍速駆動することも可能になる。

【0079】

(実施の形態3)

ソース線駆動にアナログスイッチを使用した場合の計算結果を以下に示す。計算は表示装置を100インチの液晶表示装置、フレーム周波数を240Hz(4倍速)の場合を想定している。前述したように4倍速ではソース線の書き込みを $0.7 \mu s$ 以下でおこなう必要がある。このときのサンプリング用アナログスイッチに用いるトランジスタ素子サイズは $L/W = 3 \mu m / 1500 \mu m$ 、電界効果移動度は $100 \text{ cm}^2/\text{Vs}$ 、しきい値1.5Vとした。そして、ソース信号線のシート抵抗を 0.01Ω 、ソース線抵抗を2.08K Ω 、ソース線容量を18.5pF、線幅6 μm とした。そしてソース線電位が期待値の99.9%まで書き込みができることを目標としている。

【0080】

図7にゲート線の立ち上がり時間と表示装置のサイズの関連を示す。ゲート線の遅延時間の上限を $0.5 \mu s$ とすると100インチであってもゲート線の遅延時間は要求を満たすことができる。この計算ではゲート線のシート抵抗を 0.1Ω 、容量を41.3pF、線幅を23 μm としている。

【0081】

図8にソース線の書き込み計算の結果を示す。サンプリングパルスがハイになっている間に書き込みがおこなわれ、入力信号と書き込みされたソース線電位が近づくように動作する。図8ではサンプリングパルスと入力信号とソース線のもっとも入力から離れた点の電位を示している。図8に示されるようにソース線の電位が入力信号の立ち上がりから $0.2 \mu s$ で99.9%の書き込みができていていることを示している。このように酸化物半導体を用いたトランジスタの移動度を向上させることによって、ソース線駆動用アナログスイッチを内蔵し、100インチのフルハイビジョン表示装置を4倍速で駆動することができた。ここでは表示装置の大きさを100インチとして計算をおこなったが、このサイズに限定するものではなく、100インチ以下も可能であるし、電界効果移動度のさらなる

向上や、配線抵抗の削減をおこなえば100インチ以上も可能である。

【0082】

(実施の形態4)

また、ソース線駆動にシフトレジスタ型ソースドライバを使用した場合の計算結果を示す。シフトレジスタは図9に示すようなセットリセット型のシフトレジスタを用いた。また、ソースドライバは図6(B)に示すような配置を仮定し駆動をおこなうものとした。サンプリングは960点同時サンプリングとしている。フルハイビジョンの4分の1の領域を1つのソースドライバで書き込むため、サンプリングすべき点は $960 \times RGB = 2880$ 点である。これを960点同時サンプリングするため必要なシフトレジスタの段数は30段となる。そのタイミングチャートを図10(A)に示す。また図10(A)にて設定される期間を図10(B)に示す。ソースドライバのクロック周波数は図10(B)のBの期間の2倍の逆数にあたる。

10

【0083】

必要なクロックの周波数は表示装置を1倍速で動作させる場合、579kHz、2倍速では1.15MHz、4倍速では2.31MHzとなる。電界効果移動度が $100 \text{ cm}^2/\text{Vs}$ であればこの条件でシフトレジスタの動作は可能である。この場合、ソース線を書き込むのに許容される時間は1倍速で $0.43 \mu\text{s}$ 、2倍速で $0.22 \mu\text{s}$ 、4倍速で $0.11 \mu\text{s}$ となる。ソースドライバの能力としては問題ないが、ソース線の遅延時間が問題になる。尚、このときのソース線の条件は表示装置が100インチの場合、実質50インチ相当の駆動になるため、ソース信号線のシート抵抗を $0.01 \Omega/\square$ 、ソース線抵抗を $1.04 \text{ K}\Omega$ 、ソース線容量 9.3 pF を、線幅 $20 \mu\text{m}$ とした。

20

【0084】

図11にソース線の遅延時間を示す。100インチの場合配線遅延が 30 ns あるため、許容時間の6割程度で書き込みを終了する必要がある。したがって100インチでは書き込みは困難である。図11は表示装置のサイズを10インチとして、フレーム周波数を4倍速としたデータである。ここではサンプリングパルスと入力信号とソース線のもっとも入力から離れた点での電位を示している。サンプリングパルスがハイの期間で書き込みがおこなわれ、入力信号とソース線電位が同じになるように動作する。入力信号の立ち上がりから約 $0.07 \mu\text{s}$ で入力信号の99.9%に達しており10インチでは4倍速動作が可能であることを示している。

30

【0085】

図12にフレーム周波数を120Hz 2倍速とし、表示装置を100インチとした場合の計算結果である。周波数以外の条件は前述と同じである。ここではサンプリングパルスと入力信号とソース線のもっとも入力から離れた点での電位を示している。サンプリングパルスがハイの期間で書き込みがおこなわれ、入力信号とソース線電位が同じになるように動作する。入力信号の立ち上がりから、約 $0.13 \mu\text{s}$ にて99.9%に達している。この場合は表示装置が100インチであっても規定時間の範囲で99.9%の書き込みができることを示している。このように移動度が $100 \text{ cm}^2/\text{Vs}$ あればソースドライバを内蔵し、2倍速において、表示サイズが100インチであっても動作をおこなうことが可能になる。

40

【0086】

(実施の形態5)

本実施の形態では、トランジスタの作製例の一例を図1、図2、及び図3を用いて示す。

【0087】

まず、絶縁表面を有する基板である基板400上に、導電膜を形成した後、フォトリソグラフィ工程によりゲート電極層401を設ける。

【0088】

基板400としては、大量生産することができるガラス基板を用いることが好ましい。基板400として用いるガラス基板は、後の工程で行う加熱処理の温度が高い場合には、歪み点が730以上のものであると良い。また、基板400には、例えば、アルミノシ

50

リケートガラス、アルミノホウケイ酸ガラス、バリウムホウケイ酸ガラスなどのガラス材料が用いられている。なお、酸化ホウ素と比較して酸化バリウム (BaO) を多く含ませることで、より実用的な耐熱ガラスが得られる。このため、 B_2O_3 より BaO を多く含むガラス基板を用いることが好ましい。

【0089】

また、下地層となる絶縁層を基板 400 とゲート電極層 401 の間に設けてもよい。下地層は、基板 400 からの不純物元素の拡散を防止する機能があり、窒化珪素、酸化珪素、窒化酸化珪素、または酸化窒化珪素から選ばれた一または複数の層による積層構造により形成することができる。

【0090】

ゲート電極層 401 としては、金属導電層を用いることができる。金属導電層の材料としては、 Al 、 Cr 、 Cu 、 Ta 、 Ti 、 Mo 、 W から選ばれた元素、または上述した元素を成分とする合金か、上述した元素を組み合わせた合金等を用いるのが好ましい。例えば、チタン層上にアルミニウム層と、該アルミニウム層上にチタン層が積層された三層の積層構造、またはモリブデン層上にアルミニウム層と、該アルミニウム層上にモリブデン層を積層した三層の積層構造とすることが好ましい。勿論、金属導電層として単層、または 2 層構造、または 4 層以上の積層構造としてもよい。後に加熱処理を行う場合、ゲート電極層 401 としてその加熱処理温度に耐えうる材料を選択することが好ましい、

【0091】

次いで、ゲート電極層 401 上にゲート絶縁層 402 を形成する。ゲート絶縁層 402 は、プラズマ CVD 法又はスパッタ法等を用いて、酸化珪素層、窒化珪素層、酸化ハフニウム層、酸化窒化珪素層又は窒化酸化珪素層を単層で又は積層して形成することができる。例えば、窒化珪素膜と酸化珪素膜の積層とする。ゲート絶縁層 402 の膜厚は 50 nm 以上 200 nm 以下とする。

【0092】

本実施の形態において、ゲート絶縁層 402 の形成は、高密度プラズマ装置により行う。ここでは、高密度プラズマ装置は、 $1 \times 10^{11} / \text{cm}^3$ 以上のプラズマ密度を達成できる装置を指している。例えば、3 kW ~ 6 kW のマイクロ波電力を印加してプラズマを発生させて、絶縁膜の成膜を行う。

【0093】

チャンバーに材料ガスとしてモノシランガス (SiH_4) と亜酸化窒素 (N_2O) と希ガスを導入し、10 Pa ~ 30 Pa の圧力下で高密度プラズマを発生させてガラス等の絶縁表面を有する基板の上に絶縁膜を形成する。その後、モノシランガスの供給を停止し、大気に曝すことなく亜酸化窒素 (N_2O) と希ガスを導入して絶縁膜表面にプラズマ処理を行ってもよい。少なくとも亜酸化窒素 (N_2O) と希ガスを導入して絶縁膜表面に行われるプラズマ処理は、絶縁膜の成膜より後に行う。上記プロセス順序を経た絶縁膜は、膜厚が薄く、例えば 100 nm 未満であっても信頼性を確保することができる絶縁膜である。

【0094】

ゲート絶縁層 402 の形成の際、チャンバーに導入するモノシランガス (SiH_4) と亜酸化窒素 (N_2O) との流量比は、1 : 10 から 1 : 200 の範囲とする。また、チャンバーに導入する希ガスとしては、ヘリウム、アルゴン、クリプトン、キセノンなどを用いることができるが、中でも安価であるアルゴンを用いることが好ましい。

【0095】

また、高密度プラズマ装置により得られた絶縁膜は、一定した厚さの膜形成ができるため段差被覆性に優れている。また、高密度プラズマ装置により得られる絶縁膜は、薄い膜の厚みを精密に制御することができる。

【0096】

上記プロセス順序を経た絶縁膜は、従来の平行平板型の PCVD 装置で得られる絶縁膜とは大きく異なっており、同じエッチャントを用いてエッチング速度を比較した場合におい

10

20

30

40

50

て、平行平板型のPCVD装置で得られる絶縁膜の10%以上または20%以上遅く、高密度プラズマ装置で得られる絶縁膜は緻密な膜と言える。

【0097】

本実施の形態では、ゲート絶縁層402として高密度プラズマ装置による膜厚100nmの酸化窒化珪素膜(SiO_xN_y とも呼ぶ、ただし、 $x > y > 0$)を用いる。

【0098】

次いで、ゲート絶縁層402上に、厚さ2nm以上15nm以下の第1の酸化物半導体層を形成する。また、第1の酸化物半導体層は、希ガス(代表的にはアルゴン)雰囲気下、酸素雰囲気下、又は希ガス(代表的にはアルゴン)及び酸素混合雰囲気下においてスパッタ法により形成することができる。

10

【0099】

また、酸化物半導体膜の成膜を行う前、または成膜中、または成膜後に、スパッタ装置内に残存している水分などを除去することが好ましい。スパッタ装置内の残留水分を除去するためには、吸着型の真空ポンプを用いることが好ましい。例えば、クライオポンプ、イオンポンプ、チタンサブリメーションポンプを用いることが好ましい。また、排気手段としては、ターボポンプにコールドトラップを加えたものであってもよい。クライオポンプを用いて排気したスパッタ装置の成膜室は、例えば、水素原子や、水(H_2O)など水素原子を含む化合物等が排気されるため、当該成膜室で成膜し酸化物半導体膜に含まれる不純物の濃度を低減できる。

【0100】

20

本実施の形態では、第1の酸化物半導体層として酸化物半導体ターゲット(In-Ga-Zn-O 系酸化物半導体ターゲット($\text{In}_2\text{O}_3:\text{Ga}_2\text{O}_3:\text{ZnO}=1:1:2$ [mol数比])を用いて、基板とターゲットの間との距離を170mm、圧力0.4Pa、直流(DC)電源0.5kW、酸素のみ、アルゴンのみ、又はアルゴン及び酸素雰囲気下で膜厚5nmの第1の酸化物半導体層を成膜する。また、酸化物半導体ターゲットとして $\text{In}_2\text{O}_3:\text{Ga}_2\text{O}_3:\text{ZnO}=1:1:1$ [mol数比]の組成比を有するターゲット、または $\text{In}_2\text{O}_3:\text{Ga}_2\text{O}_3:\text{ZnO}=1:1:4$ [mol数比]の組成比を有するターゲットを用いることもできる。本実施の形態では、後に加熱処理を行い意図的に結晶化させるため、結晶化が生じやすい酸化物半導体ターゲットを用いることが好ましい。

【0101】

30

また、酸化物半導体ターゲット中の酸化物半導体の相対密度は80%以上、好ましくは95%以上、さらに好ましくは99.9%以上とするのが好ましい。相対密度の高いターゲットを用いると、形成される酸化物半導体膜中の不純物濃度を低減することができ、電気特性または信頼性の高いトランジスタを得ることができる。

【0102】

また、第1の酸化物半導体層の成膜を行う前、スパッタ装置内壁や、ターゲット表面やターゲット材料中に残存している水分または水素を除去するためにプリヒート処理を行うと良い。プリヒート処理としては成膜チャンバー内を減圧下で200~600に加熱する方法や、加熱しながら窒素や不活性ガスの導入と排気を繰り返す方法等がある。

【0103】

40

次いで、第1の酸化物半導体層の第1の加熱処理を行い、少なくとも一部を結晶化させる。第1の加熱処理の温度は、450以上850以下とする。また、加熱時間は1分以上24時間以下とする。第1の加熱処理によって表面から結晶成長した多結晶層である第1の酸化物半導体層403を形成する(図2(A)参照。)。また、表面に形成される結晶層は、その表面にa-b面を有し、表面に対して垂直方向にc軸配向をしている。本実施の形態では、第1の加熱処理によって第1の酸化物半導体層の全体に渡って結晶(CG(Co-growing)結晶とも呼ぶ)とする例を示す。

【0104】

なお、第1の加熱処理においては、窒素、酸素、またはヘリウム、ネオン、アルゴン等の希ガスに、水、水素などが含まれないことが好ましい。または、加熱処理装置に導入する

50

窒素、酸素、またはヘリウム、ネオン、アルゴン等の希ガスの純度を、6 N以上、好ましくは7 N以上、とすることが好ましい。また、 H_2O が20 ppm以下の乾燥空気雰囲気下で第1の加熱処理を行っても良い。

【0105】

本実施の形態では、第1の加熱処理として、乾燥空気雰囲気下で700、1時間の加熱処理を行う。

【0106】

また、第1の加熱処理の昇温時には炉の内部を窒素雰囲気とし、冷却時には炉の内部を酸素雰囲気として雰囲気を切り替えてもよく、窒素雰囲気中で脱水または脱水化が行われた後、雰囲気を切り替えて酸素雰囲気にすることで第1の酸化物半導体層内部に酸素を補給してI型とすることができる。

10

【0107】

次いで、平板状の多結晶である第1の酸化物半導体層403上に、少なくとも第1の酸化物半導体層403よりも膜厚の厚く、10 μm以下の膜厚範囲の第2の酸化物半導体層404を形成する(図2(B)参照。)。なお、第2の酸化物半導体層404の膜厚は、作製するデバイスによって最適な膜厚を実施者が決定すればよい。例えば、ボトムゲート型トランジスタを作製する場合は、第1の酸化物半導体層403と第2の酸化物半導体層404の合計膜厚は10 nm以上200 nm以下とする。

【0108】

第2の酸化物半導体層404としては、四元系金属酸化物であるIn-Sn-Ga-Zn-O膜や、三元系金属酸化物であるIn-Ga-Zn-O膜、In-Sn-Zn-O膜、In-Al-Zn-O膜、Sn-Ga-Zn-O膜、Al-Ga-Zn-O膜、Sn-Al-Zn-O系や、二元系金属酸化物であるIn-Zn-O膜、Sn-Zn-O膜、Al-Zn-O膜、Zn-Mg-O膜、Sn-Mg-O膜、In-Mg-O膜や、In-O膜、Sn-O膜、Zn-O膜などの酸化物半導体膜を用いることができる。

20

【0109】

また、第1の酸化物半導体層403と第2の酸化物半導体層404は、同一成分を含む材料を用いること、あるいは同一の結晶構造かつ近接した格子定数(ミスマッチが1%以下)を有することが好ましい。同一成分を含む材料を用いる場合、後に行われる結晶化において第1の酸化物半導体層403の多結晶層を種として結晶成長を行いやすくなる。また、同一成分を含む材料である場合には、密着性などの界面物性や電気的特性も良好である。

30

【0110】

次いで、第2の加熱処理を行い、第1の酸化物半導体層403の結晶層を種として結晶成長を行う。第2の加熱処理の温度は、450以上850以下、好ましくは550以上650以下とする。また、加熱時間は1分以上24時間以下とする。第2の加熱処理によって第2の酸化物半導体層を結晶化させる。こうして板状結晶の酸化物半導体積層430を得ることができる(図2(C)参照。)。

【0111】

板状結晶は、酸化物半導体層の表面に対して垂直にc軸配向した単結晶体であることが好ましい。また、単結晶体でなくともチャネル形成領域で各結晶のa軸およびb軸が配向し、かつ、酸化物半導体層の表面に対して垂直にc軸配向した多結晶体であることが好ましい。なお、酸化物半導体層の下地表面に凹凸がある場合、板状結晶は、多結晶体となる。

40

【0112】

また、図2(A)、図2(B)、及び図2(C)の工程を分かりやすく上位概念を説明するために、図1(A)、図1(B)、及び図1(C)に拡大模式図を示す。

【0113】

図1(A)は、下地部材500上に結晶化のための第1の加熱処理が行われた後の第1の酸化物結晶部材501を示している。図1(A)は図2(A)に対応しており、下地部材500は、ゲート絶縁層402に相当する。また、図1(B)は図2(B)に対応してお

50

り、第2の酸化物半導体層502の成膜直後の断面図である。また、図1(C)は、図2(C)に対応しており、第2の加熱処理後の断面図である。第2の加熱処理によって、さらに高い配向性を有する結晶層からなる第3の酸化物結晶部材503aとなる。また、第1の酸化物部材と第2の酸化物部材に同一成分を含む酸化物半導体材料を用いる場合、図1(C)に示すように、第3の酸化物結晶部材503aの結晶層を核として第2の酸化物部材の表面に向かって上方に結晶成長し、第2の酸化物結晶部材503bが形成され、結晶部材同士がc軸配向を有する。そのため、図1(C)では点線で示したが、第3の酸化物結晶部材と第2の酸化物結晶部材の境界は不明瞭となる。また、第2の加熱処理によって、成膜直後の第2の酸化物部材の内部は、高純度化され、非晶質を含む層となる。

【0114】

10

次いで、第1の酸化物半導体層及び第2の酸化物半導体層からなる酸化物半導体積層430をフォトリソグラフィ工程により島状の酸化物半導体積層431に加工する(図2(D)参照。)。また、島状の酸化物半導体積層431を形成するためのレジストマスクをインクジェット法で形成してもよい。レジストマスクをインクジェット法で形成するとフォトマスクを使用しないため、製造コストを低減できる。

【0115】

次いで、ゲート絶縁層402、及び島状の酸化物半導体積層431に、スパッタ法などにより金属導電膜を形成した後、フォトリソグラフィ工程によりレジストマスクを形成し、選択的にエッチングを行って金属電極層を形成する。

【0116】

20

後にソース電極及びドレイン電極(これと同じ層で形成される配線を含む)となる金属導電膜の材料としては、Al、Cu、Cr、Ta、Ti、Mo、Wなどの金属材料、または該金属材料を成分とする合金材料で形成する。また、Al、Cuなどの金属層の下側もしくは上側の一方または双方にCr、Ta、Ti、Mo、Wなどの高融点金属層を積層させた構成としても良い。また、Si、Ti、Ta、W、Mo、Cr、Nd、Sc、YなどAl膜に生ずるヒロックやウィスカの発生を防止する元素が添加されているAl材料を用いることで耐熱性を向上させることが可能となる。

【0117】

例えば、金属導電膜としては、チタン層上にアルミニウム層と、該アルミニウム層上にチタン層が積層された三層の積層構造、またはモリブデン層上にアルミニウム層と、該アルミニウム層上にモリブデン層を積層した三層の積層構造とすることが好ましい。また、金属導電膜としてアルミニウム層とタングステン層を積層した二層の積層構造、銅層とタングステン層を積層した二層の積層構造、アルミニウム層とモリブデン層を積層した二層の積層構造とすることもできる。勿論、金属導電膜として単層、または4層以上の積層構造としてもよい。

30

【0118】

次いで、レジストマスクを除去し、フォトリソグラフィ工程によりレジストマスクを形成し、選択的にエッチングを行ってソース電極層405a、及びドレイン電極層405bを形成した後、レジストマスクを除去する(図2(E)参照。)。なお、このフォトリソグラフィ工程では、島状の酸化物半導体積層431は一部のみがエッチングされ、溝部(凹部)を有する酸化物半導体層となることもある。

40

【0119】

また、図2(E)に示すように、ゲート電極層401は、ソース電極層405a(またはドレイン電極層405b)と重なる領域を有することも特徴の一つである。ソース電極層405aの端部と、ゲート絶縁層402の段差、即ち断面図において、ゲート絶縁層の平坦面からテーパー面となる変化点との間の領域(ここでは図2(E)中で示した L_v 領域)を有している。 L_v 領域は、ゲート電極層の端部の凹凸で生じる結晶粒界に、キャリアが流れないようにするために重要である。

【0120】

また、酸化物半導体積層432の側面において、ソース電極層405a、またはドレイン

50

電極層 405b と接する結晶層が非晶質状態となることもある。

【0121】

また、ソース電極層 405a、及びドレイン電極層 405b を形成するためのレジストマスクをインクジェット法で形成してもよい。レジストマスクをインクジェット法で形成するとフォトリソグラフィを使用しないため、製造コストを低減できる。

【0122】

また、フォトリソグラフィ工程で用いるフォトリソマスク数及び工程数を削減するため、透過した光が複数の強度となる露光マスクである多階調マスクによって形成されたレジストマスクを用いてエッチング工程を行ってもよい。多階調マスクを用いて形成したレジストマスクは複数の膜厚を有する形状となり、エッチングを行うことさらに形状を変形することができるため、異なるパターンに加工する複数のエッチング工程に用いることができる。よって、一枚の多階調マスクによって、少なくとも二種類以上の異なるパターンに対応するレジストマスクを形成することができる。よって露光マスク数を削減することができ、対応するフォトリソグラフィ工程も削減できるため、工程の簡略化が可能となる。

【0123】

次いで、酸化物半導体層の一部に接する保護絶縁膜となる酸化物絶縁層 407 を形成する。

【0124】

酸化物絶縁層 407 は、少なくとも 1 nm 以上の膜厚とし、スパッタ法など、酸化物絶縁層 407 に水、水素等の不純物を混入させない方法を適宜用いて形成することができる。本実施の形態では、酸化物絶縁層 407 として膜厚 300 nm の酸化珪素膜をスパッタ法を用いて成膜する。成膜時の基板温度は、室温以上 300 °C 以下とすればよく、本実施の形態では 100 °C とする。酸化珪素膜のスパッタ法による成膜は、希ガス（代表的にはアルゴン）雰囲気下、酸素雰囲気下、または希ガス（代表的にはアルゴン）と酸素の混合雰囲気下において行うことができる。また、ターゲットとして酸化珪素ターゲットまたは珪素ターゲットを用いることができる。例えば、珪素ターゲットを用いて、酸素、及び窒素雰囲気下でスパッタ法により酸化珪素を形成することができる。低抵抗化した酸化物半導体層に接して形成する酸化物絶縁層 407 は、無機絶縁膜を用い、代表的には酸化珪素膜、窒化酸化珪素膜、酸化アルミニウム膜、または窒化窒化アルミニウム膜などを用いる。さらに、酸化物絶縁層 407 上に窒化珪素膜、窒化アルミニウム膜などの保護絶縁層を形成してもよい。

【0125】

また、酸化物絶縁層 407 及びゲート絶縁層 402 に対して、ゲート電極層 401 に達するコンタクトホールを形成し、ゲート電極層 401 に電氣的に接続し、ゲート電位を与える接続電極を酸化物絶縁層 407 上に形成してもよい。また、ゲート絶縁層 402 を形成後にゲート電極層 401 に達するコンタクトホールを形成し、その上にソース電極層またはドレイン電極層と同じ材料で接続電極を形成し、接続電極上に酸化物絶縁層 407 を形成し、酸化物絶縁層 407 に接続電極に達するコンタクトホールを形成した後、接続電極と電氣的に接続する電極を形成してゲート電位を与える電極を酸化物絶縁層 407 上に形成してもよい。

【0126】

以上の工程でトランジスタ 470 が形成される（図 3（B）参照。）。また、図 3（A）にトランジスタ 470 の上面図の一例を示す。なお、図 3（B）は、図 3（A）の鎖線 C1 - C2 で切断した断面図に相当する。

【0127】

トランジスタ 470 は、チャネル形成領域のゲート電極層の上面を平坦とし、その平坦面に垂直に c 軸配向して酸化物部材を有するとともに、ソース電極層またはドレイン電極層は、ゲート電極層の端部による凹凸にまで重なり合っていることも特徴の一つである。酸化物部材（本実施の形態では酸化物半導体積層 432）は、基板側に凹凸があった場合には、凹部のぶつかる領域に結晶粒界がある多結晶となる。従って、図 3（B）に示す L o

10

20

30

40

50

v領域を形成することによって、ゲート電極層の端部の凹凸で生じる結晶粒界に、キャリアが流れないようにすることができる。そのため、トランジスタ470において、ソース電極層またはドレイン電極層は、ゲート電極の平坦部の上方にまで渡って設け、ゲート電極層とかさなり（オーバーラップ）を有する。

【0128】

また、図3（B）に示すトランジスタ470の構造に特に限定されないことは言うまでもない。トップゲート型トランジスタや、ボトムゲート型トランジスタであればよく、例えば、図2（E）でのソース電極層及びドレイン電極層の形成時のエッチングダメージを保護するために、チャンネル形成領域と重なる酸化物絶縁層をチャンネルストッパーとして設けるチャンネルストップ型のトランジスタとしてもよい。

10

【0129】

また、酸化物絶縁層407上にバックゲートとして機能させることのできる電極層を設けてもよい。バックゲートの電位は、固定電位、例えば0Vや、接地電位とすることができ、実施者が適宜決定すればよい。また、バックゲートに加えるゲート電圧を制御することによって、しきい値電圧を制御することができる。また、しきい値電圧を正としてエンハンスメント型トランジスタとして機能させることができる。また、しきい値電圧を負としてデプレッション型トランジスタとして機能させることもできる。例えば、エンハンスメント型トランジスタとデプレッション型トランジスタを組み合わせるインバータ回路（以下、EDMOS回路という）を構成し、駆動回路に用いることができる。駆動回路は、論理回路部と、スイッチ部またはバッファ部を少なくとも有する。論理回路部は上記EDMOS回路を含む回路構成とする。

20

【0130】

また、以下に酸化物半導体を用いたボトムゲート型のトランジスタの動作原理について説明する。

【0131】

図13は、酸化物半導体を用いたトランジスタの縦断面図を示す。ゲート電極（GE1）上にゲート絶縁膜（GI）を介して酸化物半導体層（OS）が設けられ、その上にソース電極（S）及びドレイン電極（D）が設けられている。また、ソース電極（S）及びドレイン電極（D）上に酸化物半導体層（OS）のチャンネル形成領域と重なる酸化物絶縁層を有している。

30

【0132】

図14は、図13に示すA-A'断面におけるエネルギーバンド図（模式図）を示す。図14（A）はソースとドレインの間の電圧を等電位（ $V_D = 0V$ ）とした場合を示し、図14（B）はソースに対しドレインに正の電位（ $V_D > 0$ ）を加えた場合を示す。また、図7中の黒丸（●）は電子を示し、白丸（○）は正孔を示し、それぞれは電荷（ $-q$ 、 $+q$ ）を有している。

【0133】

図15は、図13におけるB-B'の断面におけるエネルギーバンド図（模式図）を示し、ゲート電圧が0Vの場合の状態を示す。図15（A）はゲート（G1）に正の電位（ $+V_G$ ）が印加された状態であり、ソースとドレイン間にキャリア（電子）が流れるオン状態を示している。また、図15（B）は、ゲート（G1）に負の電位（ $-V_G$ ）が印加された状態であり、オフ状態（少数キャリアは流れない）である場合を示す。

40

【0134】

酸化物半導体の厚さが50nm程度であり、酸化物半導体が高純度化されたことによりドナー濃度が $1 \times 10^{18} / \text{cm}^3$ 以下であれば、空乏層は酸化物半導体の全体に渡って広がる。すなわち完全空乏型の状態とみなすことができる。

【0135】

図16は、真空準位と金属の仕事関数（ Φ_M ）、酸化物半導体の電子親和力（ χ ）の関係を示す。

【0136】

50

金属は縮退しているため、伝導子帯とフェルミ準位とは一致する。一方、従来の酸化物半導体は一般にn型であり、その場合のフェルミ準位 (E_f) は、バンドギャップ中央に位置する真性フェルミ準位 (E_i) から離れて、伝導帯寄りに位置している。なお、酸化物半導体において水素はドナーでありn型化する一つの要因であることが知られている。

【0137】

これに対して本発明に係る酸化物半導体は、n型不純物である水素を酸化物半導体から除去し、酸化物半導体の主成分以外の不純物が極力含まれないように高純度化することにより真性 (I型) とし、又は真性型とせんとしたものである。すなわち、不純物を添加してI型化するのでなく、水素や水等の不純物を極力除去したことにより、高純度化されたI型 (真性半導体) 又はそれに近づけることを特徴としている。そうすることにより、フェルミ準位 (E_f) は真性フェルミ準位 (E_i) と同じレベルにまですることができ

10

【0138】

酸化物半導体は $3.05 \text{ eV} \sim 3.15 \text{ eV}$ のバンドギャップ (E_g) を有している。酸化物半導体のバンドギャップ (E_g) が 3.15 eV である場合、電子親和力 () は 4.3 eV と言われている。ソース電極及びドレイン電極を構成するチタン (Ti) 仕事関数は、酸化物半導体の電子親和力 () とほぼ等しい。この場合、金属 - 酸化物半導体界面において、電子に対してショットキー型の障壁は形成されない。

【0139】

すなわち、金属の仕事関数 (M) と酸化物半導体の電子親和力 () が等しい場合、両者が接触すると図14 (A) で示すようなエネルギーバンド図 (模式図) が示される。

20

【0140】

図14 (B) において黒丸 () は電子を示し、ドレインに正の電位が印加されると、電子はバリア (h) をこえて酸化物半導体に注入され、ドレインに向かって流れる。この場合、バリア (h) の高さは、ゲート電圧とドレイン電圧に依存して変化するが、正のドレイン電圧が印加された場合には、電圧印加のない図14 (A) のバリアの高さすなわちバンドギャップ (E_g) の $1/2$ よりもバリアの高さ (h) は小さい値となる。

【0141】

このとき電子は、図15 (A) で示すようにゲート絶縁膜と高純度化された酸化物半導体との界面における、酸化物半導体側のエネルギー的に安定な最低部を移動する。

【0142】

30

また、図15 (B) において、ゲート電極 (G_1) に負の電位 (逆バイアス) が印加されると、少数キャリアであるホールは実質的にゼロであるため、電流は限りなくゼロに近い値となる。

【0143】

このように酸化物半導体の主成分以外の不純物が極力含まれないように高純度化することにより真性 (I型) とし、又は実質的に真性型とすることで、ゲート絶縁膜との界面特性が顕在化するので、バルクの特性と分離して考える必要がある。そのためゲート絶縁膜は、酸化物半導体と良好な界面を形成できるものが必要となる。例えば、VHF帯～マイクロ波帯の電源周波数で生成される高密度プラズマを用いたCVD法で作製される絶縁膜、又はスパッタリング法で作製される絶縁膜を用いることが好ましい。

40

【0144】

酸化物半導体を高純度化しつつ、酸化物半導体とゲート絶縁膜との界面を良好なものとするにより、トランジスタの特性としてチャネル幅 W が $1 \times 10^4 \mu\text{m}$ でチャネル長が $3 \mu\text{m}$ の素子であっても、オフ電流が 10^{-13} A 以下であり、サブスレッショルドスイング値 (S 値) が 0.1 V/dec . (ゲート絶縁膜の膜厚 100 nm) という特性が十分に期待される。

【0145】

このように、酸化物半導体の主成分以外の不純物が極力含まれないように高純度化することにより、移動度の高いトランジスタを形成し、トランジスタの動作を良好なものとする

50

【0146】

(実施の形態6)

実施の形態5は、第1の酸化物部材と第2の酸化物部材に同一成分を含む酸化物半導体材料を用いる場合を示したが、本実施の形態では異なる成分の酸化物半導体材料を用いる場合を示す。

【0147】

本実施の形態では、Gaを含まないIn:Zn=1:1[atom比]の金属酸化物ターゲットを用い、第1の酸化物半導体層を5nmの膜厚とする例を示す。ボトムゲート型のトランジスタとする場合、Gaの酸化物は絶縁物であるため、第1の酸化物半導体層としてIn-Ga-Zn-O膜を用いるよりもIn-Zn-O膜を用いることで電界効果移動度を高くすることができる。

10

【0148】

次いで、第1の加熱処理を行う。第1の酸化物半導体層や下地部材520の材料や加熱温度や加熱時間などの条件にもよるが、第1の加熱処理により、表面から結晶成長させて下地部材520の界面にまで多結晶である第1の酸化物結晶部材531を形成する(図17(A)参照。)

【0149】

また、下地部材520としては、酸化物層、金属層、窒化物層などが挙げられる。第1の加熱処理により、下地部材の材料に関係なく、第1の酸化物半導体層の表面に比較的結晶方位の揃った多結晶である第1の酸化物結晶部材531は、表面から深さ方向に結晶成長する。また、第1の酸化物結晶部材531は、表面に対して垂直方向にc軸配向している。

20

【0150】

次いで、図17(B)は、第1の酸化物結晶部材531上に第2の酸化物部材532を成膜した直後の断面図である。本実施の形態では、第2の酸化物部材532として、In-Ga-Zn-O系酸化物半導体ターゲット(In₂O₃:Ga₂O₃:ZnO=1:1:2[mol数比])を用い、膜厚50nmのIn-Ga-Zn-O膜を形成する。

【0151】

そして、第2の酸化物部材532を成膜した後に第2の加熱処理を行う。第2の加熱処理によって、図17(C)に示すように結晶成長を行う。図17(C)に示すように、第1の酸化物結晶部材531の結晶層を種として第2の酸化物部材の表面に向かって上方に結晶成長し、第2の酸化物結晶部材533bが形成される。

30

【0152】

また、第1の加熱処理で得られた第1の酸化物結晶部材531は第2の加熱処理で再び加熱されるため、さらに結晶性が向上した第3の酸化物結晶部材533aとなる。

【0153】

第2の酸化物結晶部材532として第1の酸化物結晶部材531と異なる成分の酸化物半導体材料を用いるため、図17(C)に示すように、第3の酸化物結晶部材533aと第2の酸化物結晶部材533bの境界が形成される。また、第2の加熱処理によっても、ゲート絶縁層界面付近を含め第1の酸化物半導体層のほとんどを多結晶とする。

40

【0154】

図17(C)の構造は、下地部材520上に接して第1の酸化物結晶部材533a、第2の酸化物結晶部材533bの順に積層された2層構造と言える。異なる材料を用いることによって、トランジスタの電界効果移動度を高くすることができる。また、In-Ga-Zn-O膜よりも結晶しやすいIn-Zn-O膜を用い、結晶成長の種とすることで、効率よくその上方向に結晶成長を行い、In-Ga-Zn-O膜を多結晶とすることができる。

【0155】

また、成長させたい第2の酸化物結晶部材と下地となる第1の酸化物結晶部材が同じ場合はホモエピタキシーと呼ぶ。また、成長させたい第2の酸化物結晶部材と下地となる第1

50

の酸化物結晶部材が異なる場合はヘテロエピタキシーと呼ぶ。本実施の形態では、それぞれの材料の選択により、どちらも可能である。

【0156】

また、第1の加熱処理の条件や第2の加熱処理の条件は実施の形態5に記した条件範囲とする。

【0157】

また、本実施の形態は、実施の形態5と自由に組み合わせることができる。

【0158】

(実施の形態7)

本実施の形態では、c軸配向した結晶層を有する積層酸化物材料を含むトランジスタを作製し、該トランジスタを画素部、さらには駆動回路に用いて表示機能を有する半導体装置(表示装置ともいう)を作製する場合について説明する。また、トランジスタを、駆動回路の一部または全体を、画素部と同一基板上に形成し、システムオンパネルを形成することができる。

10

【0159】

表示装置は表示素子を含む。表示素子としては液晶素子(液晶表示素子ともいう)、発光素子(発光表示素子ともいう)を用いることができる。発光素子は、電流または電圧によって輝度が制御される素子とその範疇に含んでおり、具体的には無機EL(Electro Luminescence)、有機EL等が含まれる。また、電子インクなど、電気的作用によりコントラストが変化する表示媒体も適用することができる。

20

【0160】

また、表示装置は、表示素子が封止された状態にあるパネルを含む。さらに表示装置は、該表示装置を作製する過程における、表示素子が完成する前の一形態に相当する素子基板に関し、該素子基板は、電流を表示素子に供給するための手段を複数の各画素に備える。素子基板は、具体的には、表示素子の画素電極のみが形成された状態であっても良いし、画素電極となる導電層を形成した後であって、エッチングして画素電極を形成する前の状態であっても良いし、あらゆる形態があてはまる。

【0161】

なお、本明細書中における表示装置とは、画像表示デバイス、表示デバイスを指す。

【0162】

本実施の形態では、本発明の一形態である半導体装置として液晶表示装置の例を示す。まず、半導体装置の一形態に相当する液晶表示パネルの外観及び断面について、図18を用いて説明する。図18(A)は、第1の基板4001上に形成されたc軸配向した結晶層を有する積層酸化物材料を半導体層として含むトランジスタ4010、4011、及び液晶素子4013を、第2の基板4006との間にシール材4005によって封止した、パネルの上面図であり、図18(B)は、図18(A)のM-Nにおける断面図に相当する。

30

【0163】

第1の基板4001上に設けられた画素部4002と、信号線駆動回路4003と、走査線駆動回路4004とを囲むようにして、シール材4005が設けられている。また画素部4002と、信号線駆動回路4003と、走査線駆動回路4004の上に第2の基板4006が設けられている。よって画素部4002、信号線駆動回路4003、及び走査線駆動回路4004は、第1の基板4001とシール材4005と第2の基板4006とによって、液晶層4008と共に封止されている。

40

【0164】

また、第1の基板4001上に設けられた画素部4002と、信号線駆動回路4003と、走査線駆動回路4004は、トランジスタを複数有しており、図18(B)では、画素部4002に含まれるトランジスタ4010と、走査線駆動回路4004に含まれるトランジスタ4011とを例示している。トランジスタ4010、4011上には絶縁層4020、4021が設けられている。

50

【0165】

トランジスタ4010、4011は、実施の形態5で示したc軸配向した結晶層を有する積層酸化物材料を含むトランジスタを適用することができる。本実施の形態において、トランジスタ4010、4011はnチャネル型トランジスタである。

【0166】

絶縁層4021上において、駆動回路用のトランジスタ4011の酸化物半導体層のチャネル形成領域と重なる位置に導電層4040が設けられている。導電層4040を酸化物半導体層のチャネル形成領域と重なる位置に設けることによって、BT試験前後におけるトランジスタ4011のしきい値電圧の変化量を低減することができる。また、導電層4040は、電位がトランジスタ4011のゲート電極層と同じでもよいし、異なっても良く、第2のゲート電極層として機能させることもできる。また、導電層4040の電位がGND、0V、或いはフローティング状態であってもよい。

10

【0167】

また、液晶素子4013が有する画素電極層4030は、トランジスタ4010と電氣的に接続されている。そして液晶素子4013の対向電極層4031は第2の基板4006上に形成されている。画素電極層4030と対向電極層4031と液晶層4008とが重なっている部分が、液晶素子4013に相当する。なお、画素電極層4030、対向電極層4031はそれぞれ配向膜として機能する絶縁層4032、4033が設けられ、絶縁層4032、4033を介して液晶層4008を挟持している。

20

【0168】

なお、第2の基板4006としては、ガラス、プラスチックを用いることができる。プラスチックとしては、FRP(Fiberglass-Reinforced Plastics)板、PVF(ポリビニルフルオライド)フィルム、ポリエステルフィルムまたはアクリル樹脂フィルムを用いることができる。また、アルミニウムホイルをPVFフィルムやポリエステルフィルムで挟んだ構造のシートを用いることもできる。

【0169】

また、4035は絶縁層を選択的にエッチングすることで得られる柱状のスペーサであり、画素電極層4030と対向電極層4031との間の距離(セルギャップ)を制御するために設けられている。なお球状のスペーサを用いても良い。また、対向電極層4031は、トランジスタ4010と同一基板上に設けられる共通電位線と電氣的に接続される。また、共通接続部を用いて、一对の基板間に配置される導電性粒子を介して対向電極層4031と共通電位線とを電氣的に接続することができる。なお、導電性粒子はシール材4005に含有させる。

30

【0170】

また、配向膜を用いないブルー相を示す液晶を用いてもよい。ブルー相は液晶相の一つであり、コレステリック液晶を昇温していくと、コレステリック相から等方相へ転移する直前に発現する相である。ブルー相は狭い温度範囲でしか発現しないため、温度範囲を改善するために5重量%以上のカイラル剤を混合させた液晶組成物を用いて液晶層4008に用いる。ブルー相を示す液晶とカイラル剤とを含む液晶組成物は、応答速度が1msec以下と短く、光学的等方性であるため配向処理が不要であり、視野角依存性が小さい。

40

【0171】

また、ブルー相を示す液晶を用いると、配向膜へのラビング処理も不要となるため、ラビング処理によって引き起こされる静電破壊を防止することができ、作製工程中の液晶表示装置の不良や破損を軽減することができる。よって液晶表示装置の生産性を向上させることが可能となる。特に、酸化物半導体層を用いるトランジスタは、静電気の影響によりトランジスタの電氣的な特性が著しく変動して設計範囲を逸脱する恐れがある。よって酸化物半導体層を用いるトランジスタを有する液晶表示装置にブルー相の液晶材料を用いることはより効果的である。

【0172】

なお、本実施の形態で示す液晶表示装置は透過型液晶表示装置の例であるが、液晶表示装

50

置は反射型液晶表示装置でも半透過型液晶表示装置でも適用できる。

【0173】

また、本実施の形態で示す液晶表示装置では、基板の外側（視認側）に偏光板を設け、内側に着色層、表示素子に用いる電極層という順に設ける例を示すが、偏光板は基板の内側に設けてもよい。また、偏光板と着色層の積層構造も本実施の形態に限定されず、偏光板及び着色層の材料や作製工程条件によって適宜設定すればよい。また、必要に応じてブラックマトリクスとして機能する遮光層を設けてもよい。

【0174】

また、本実施の形態では、トランジスタの表面凹凸を低減するため、及びトランジスタの信頼性を向上させるため、トランジスタを保護層や平坦化絶縁層として機能する絶縁層（絶縁層4020、絶縁層4021）で覆う構成となっている。なお、保護層は、大気中に浮遊する有機物や金属物、水蒸気などの汚染不純物の侵入を防ぐためのものであり、緻密な膜が好ましい。保護層は、スパッタ法を用いて、酸化珪素層、窒化珪素層、酸化窒化珪素層、窒化酸化珪素層、酸化アルミニウム層、窒化アルミニウム層、酸化窒化アルミニウム層、又は窒化酸化アルミニウム層の単層、又は積層で形成すればよい。本実施の形態では保護層をスパッタ法で形成する例を示すが、特に限定されず種々の方法で形成すればよい。

10

【0175】

ここでは、保護層として積層構造の絶縁層4020を形成する。ここでは、絶縁層4020の一層目として、スパッタ法を用いて酸化珪素層を形成する。保護層として酸化珪素層を用いると、ソース電極層及びドレイン電極層として用いるアルミニウム層のヒロック防止に効果がある。

20

【0176】

また、保護層の二層目として絶縁層を形成する。ここでは、絶縁層4020の二層目として、スパッタ法を用いて窒化珪素層を形成する。保護層として窒化珪素層を用いると、ナトリウム等のイオンが半導体領域中に侵入して、トランジスタの電気特性を変化させることを抑制することができる。

【0177】

また、平坦化絶縁層として絶縁層4021を形成する。絶縁層4021としては、ポリイミド、アクリル、ベンゾシクロブテン、ポリアミド、エポキシ等の、耐熱性を有する有機材料を用いることができる。また上記有機材料の他に、低誘電率材料（low-k材料）、シロキサン系樹脂、PSG（リンガラス）、BPSG（リンボロンガラス）等を用いることができる。なお、これらの材料で形成される絶縁層を複数積層させることで、絶縁層4021を形成してもよい。

30

【0178】

なおシロキサン系樹脂とは、シロキサン系材料を出発材料として形成されたSi-O-Si結合を含む樹脂に相当する。シロキサン系樹脂は置換基としては有機基（例えばアルキル基やアリール基）やフルオロ基を用いても良い。また、有機基はフルオロ基を有していても良い。

【0179】

絶縁層4021の形成法は、特に限定されず、その材料に応じて、スパッタ法、SOG法、スピンコート、ディップ、スプレー塗布、液滴吐出法（インクジェット法、スクリーン印刷、オフセット印刷等）、ドクターナイフ、ロールコーター、カーテンコーター、ナイフコーター等を用いることができる。絶縁層4021を材料液を用いて形成する場合、ベークする工程で同時に、半導体層のアニール（300～400）を行ってもよい。絶縁層4021の焼成工程と半導体層のアニールを兼ねることで効率よく半導体装置を作製することが可能となる。

40

【0180】

画素電極層4030、対向電極層4031は、酸化タングステンを含むインジウム酸化物、酸化タングステンを含むインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物、

50

酸化チタンを含むインジウム錫酸化物、インジウム錫酸化物（以下、ITOと示す。）、インジウム亜鉛酸化物、酸化ケイ素を添加したインジウム錫酸化物などの透光性を有する導電性材料を用いることができる。

【0181】

また、画素電極層4030、対向電極層4031として、導電性高分子（導電性ポリマーともいう）を含む導電性組成物を用いて形成することができる。導電性組成物を用いて形成した画素電極は、シート抵抗が10000 / 以下、波長550nmにおける透光率が70%以上であることが好ましい。また、導電性組成物に含まれる導電性高分子の抵抗率が0.1・cm以下であることが好ましい。

【0182】

導電性高分子としては、いわゆる電子共役系導電性高分子が用いることができる。例えば、ポリアニリンまたはその誘導体、ポリピロールまたはその誘導体、ポリチオフェンまたはその誘導体、若しくはこれらの2種以上の共重合体などがあげられる。

【0183】

また別途形成された信号線駆動回路4003と、走査線駆動回路4004または画素部4002に与えられる各種信号及び電位は、FPC4018から供給されている。

【0184】

本実施の形態では、接続端子電極4015が、液晶素子4013が有する画素電極層4030と同じ導電層から形成され、端子電極4016は、トランジスタ4010、4011のソース電極層及びドレイン電極層と同じ導電層で形成されている。

【0185】

接続端子電極4015は、FPC4018が有する端子と、異方性導電層4019を介して電氣的に接続されている。

【0186】

また図18においては、信号線駆動回路4003を別途形成し、第1の基板4001に実装している例を示しているが、本実施の形態はこの構成に限定されない。走査線駆動回路を画素部4002と同じ基板上に形成して実装しても良いし、信号線駆動回路の一部または走査線駆動回路の一部のみを画素部4002と同じ基板上に形成して実装しても良い。

【0187】

また、必要であれば、カラーフィルタを各画素に対応して設ける。また、第1の基板4001と第2の基板4006の外側には偏光板や拡散板を設ける。また、バックライトの光源は冷陰極管やLEDにより構成されて液晶表示モジュールとなる。

【0188】

液晶表示モジュールには、TN(Twisted Nematic)モード、IPS(In-Plane-Switching)モード、FFS(Fringe Field Switching)モード、MVA(Multi-domain Vertical Alignment)モード、PVA(Patterned Vertical Alignment)モード、ASM(Axially Symmetric aligned Micro-cell)モード、OCB(Optical Compensated Birefringence)モード、FLC(Ferroelectric Liquid Crystal)モード、AFLC(AntiFerroelectric Liquid Crystal)モードなどを用いることができる。

【0189】

以上の工程により、信頼性の高い液晶表示装置を作製することができる。

【0190】

また、実施の形態5に示すc軸配向した結晶層を有する積層酸化物材料の作製方法を用いて液晶表示装置の駆動回路のトランジスタを作製することにより、駆動回路部のトランジスタのノーマリーオフを実現し、省電力化を図ることができる。

【0191】

本実施の形態は、他の実施の形態に記載した構成と適宜組み合わせて実施することが可能

10

20

30

40

50

である。

【0192】

(実施の形態8)

半導体装置の一形態に相当する発光表示パネル(発光パネルともいう)の外観及び断面について、図19を用いて説明する。図19(A)は、第1の基板上に形成されたc軸配向した結晶層を有する積層酸化物材料を含むトランジスタ及び発光素子を、第2の基板との間にシール材によって封止した、パネルの平面図であり、図19(B)は、図19(A)のH-Iにおける断面図に相当する。

【0193】

第1の基板4501上に設けられた画素部4502、信号線駆動回路4503a、4503b、及び走査線駆動回路4504a、4504bを囲むようにして、シール材4505が設けられている。また画素部4502、信号線駆動回路4503a、4503b、及び走査線駆動回路4504a、4504bの上に第2の基板4506が設けられている。よって画素部4502、信号線駆動回路4503a、4503b、及び走査線駆動回路4504a、4504bは、第1の基板4501とシール材4505と第2の基板4506とによって、充填材4507と共に密封されている。このように外気に曝されないように気密性が高く、脱ガスの少ない保護フィルム(貼り合わせフィルム、紫外線硬化樹脂フィルム等)やカバー材でパッケージング(封入)することが好ましい。

【0194】

また第1の基板4501上に設けられた画素部4502、信号線駆動回路4503a、4503b、及び走査線駆動回路4504a、4504bは、トランジスタを複数有しており、図19(B)では、画素部4502に含まれるトランジスタ4510と、信号線駆動回路4503aに含まれるトランジスタ4509とを例示している。

【0195】

トランジスタ4509、4510は、実施の形態5で示したc軸配向した結晶層を有する積層酸化物材料を含む信頼性の高いトランジスタを適用することができる。本実施の形態において、トランジスタ4509、4510はnチャネル型トランジスタである。

【0196】

絶縁層4544上において駆動回路用のトランジスタ4509の酸化物半導体層のチャネル形成領域と重なる位置に導電層4540が設けられている。導電層4540を酸化物半導体層のチャネル形成領域と重なる位置に設けることによって、BT試験前後におけるトランジスタ4509のしきい値電圧の変化量を低減することができる。また、導電層4540は、電位がトランジスタ4509のゲート電極層と同じでもよいし、異なってもよく、第2のゲート電極層として機能させることもできる。また、導電層4540の電位がGND、0V、或いはフローティング状態であってもよい。

【0197】

トランジスタ4509は、保護絶縁層としてチャネル形成領域を含む半導体層に接して絶縁層4541が形成されている。絶縁層4541は実施の形態5で示した酸化物絶縁層407と同様な材料及び方法で形成すればよい。また、トランジスタの表面凹凸を低減するため平坦化絶縁層として機能する絶縁層4544で覆う構成となっている。ここでは、絶縁層4541として、実施の形態5に示す酸化物絶縁層407を用いてスパッタ法により酸化珪素層を形成する。

【0198】

また、絶縁層4541上に、平坦化絶縁層として絶縁層4544を形成する。絶縁層4544としては、実施の形態7で示した絶縁層4021と同様な材料及び方法で形成すればよい。ここでは、絶縁層4544としてアクリルを用いる。

【0199】

また4511は発光素子に相当し、発光素子4511が有する画素電極である第1の電極層4517は、トランジスタ4510のソース電極層またはドレイン電極層と電氣的に接続されている。なお発光素子4511の構成は、第1の電極層4517、電界発光層45

10

20

30

40

50

12、第2の電極層4513の積層構造であるが、示した構成に限定されない。発光素子4511から取り出す光の方向などに合わせて、発光素子4511の構成は適宜変えることができる。

【0200】

隔壁4520は、有機樹脂層、無機絶縁層または有機ポリシロキサンを用いて形成する。特に感光性の材料を用い、第1の電極層4517上に開口部を形成し、その開口部の側壁が連続した曲率を持って形成される傾斜面となるように形成することが好ましい。

【0201】

電界発光層4512は、単数の層で構成されていても、複数の層が積層されるように構成されていてもどちらでも良い。

10

【0202】

発光素子4511に酸素、水素、水分、二酸化炭素等が侵入しないように、第2の電極層4513及び隔壁4520上に保護層を形成してもよい。保護層としては、窒化珪素層、窒化酸化珪素層、DLC層等を形成することができる。

【0203】

また、信号線駆動回路4503a、4503b、走査線駆動回路4504a、4504b、または画素部4502に与えられる各種信号及び電位は、FPC4518a、4518bから供給されている。

【0204】

接続端子電極4515が、発光素子4511が有する第1の電極層4517と同じ導電層から形成され、端子電極4516は、トランジスタ4509、4510が有するソース電極層及びドレイン電極層と同じ導電層から形成されている。

20

【0205】

接続端子電極4515は、FPC4518aが有する端子と、異方性導電層4519を介して電氣的に接続されている。

【0206】

発光素子4511からの光の取り出し方向に位置する基板には、第2の基板は透光性でなければならない。その場合には、ガラス板、プラスチック板、ポリエステルフィルムまたはアクリルフィルムのような透光性を有する材料を用いる。

【0207】

また、充填材4507としては窒素やアルゴンなどの不活性な気体の他に、紫外線硬化樹脂または熱硬化樹脂を用いることができ、PVC（ポリビニルクロライド）、アクリル、ポリイミド、エポキシ樹脂、シリコーン樹脂、PVB（ポリビニルブチラル）またはEVA（エチレンビニルアセテート）を用いることができる。例えば充填材として窒素を用いればよい。

30

【0208】

また、必要であれば、発光素子の射出面に偏光板、又は円偏光板（楕円偏光板を含む）、位相差板（ / 4板、 / 2板）、カラーフィルタなどの光学フィルムを適宜設けてもよい。また、偏光板又は円偏光板に反射防止膜を設けてもよい。例えば、表面の凹凸により反射光を拡散し、映り込みを低減できるアンチグレア処理を施すことができる。

40

【0209】

以上の工程により、信頼性の高い発光表示装置（表示パネル）を作製することができる。

【0210】

本実施の形態は、他の実施の形態に記載した構成と適宜組み合わせる実施することが可能である。

【0211】

（実施の形態9）

半導体装置の一形態として電子ペーパーの例を示す。

【0212】

実施の形態5に示す方法により得られるc軸配向した結晶層を有する積層酸化物材料を含

50

むトランジスタは、スイッチング素子と電氣的に接続する素子を利用して電子インクを駆動させる電子ペーパーに用いてもよい。電子ペーパーは、電気泳動表示装置（電気泳動ディスプレイ）とも呼ばれており、紙と同じ読みやすさ、他の表示装置に比べ低消費電力、薄くて軽い形状とすることが可能という利点を有している。

【0213】

電気泳動ディスプレイは、様々な形態が考えられ得るが、プラスの電荷を有する第1の粒子と、マイナスの電荷を有する第2の粒子とを含むマイクロカプセルが溶媒または溶質に複数分散されたものであり、マイクロカプセルに電界を印加することによって、マイクロカプセル中の粒子を互いに反対方向に移動させて一方側に集合した粒子の色のみを表示するものである。なお、第1の粒子または第2の粒子は染料を含み、電界がない場合において移動しないものである。また、第1の粒子の色と第2の粒子の色は異なるもの（無色を含む）とする。

10

【0214】

このように、電気泳動ディスプレイは、誘電定数の高い物質が高い電界領域に移動する、いわゆる誘電泳動的效果を利用したディスプレイである。

【0215】

上記マイクロカプセルを溶媒中に分散させたものが電子インクと呼ばれるものであり、この電子インクはガラス、プラスチック、布、紙などの表面に印刷することができる。また、カラーフィルタや色素を有する粒子を用いることによってカラー表示も可能である。

【0216】

また、アクティブマトリクス基板上に適宜、二つの電極の間に挟まれるように上記マイクロカプセルを複数配置すればアクティブマトリクス型の表示装置が完成し、マイクロカプセルに電界を印加すれば表示を行うことができる。例えば、実施の形態5のc軸配向した結晶層を有する積層酸化物材料を含むトランジスタによって得られるアクティブマトリクス基板を用いることができる。

20

【0217】

なお、マイクロカプセル中の第1の粒子および第2の粒子は、導電体材料、絶縁体材料、半導体材料、磁性材料、液晶材料、強誘電性材料、エレクトロルミネセント材料、エレクトロクロミック材料、磁気泳動材料から選ばれた一種の材料、またはこれらの複合材料を用いればよい。

30

【0218】

図20は、半導体装置の例としてアクティブマトリクス型の電子ペーパーを示す。半導体装置に用いられるトランジスタ581としては、実施の形態5で示すトランジスタと同様に作製でき、c軸配向した結晶層を有する積層酸化物材料を含む信頼性の高いトランジスタである。

【0219】

図20の電子ペーパーは、ツイストボール表示方式を用いた表示装置の例である。ツイストボール表示方式とは、白と黒に塗り分けられた球形粒子を表示素子に用いる電極層である第1の電極層及び第2の電極層の間に配置し、第1の電極層及び第2の電極層に電位差を生じさせての球形粒子の向きを制御することにより、表示を行う方法である。

40

【0220】

トランジスタ581はボトムゲート構造のトランジスタであり、半導体層と接する絶縁層583に覆われている。トランジスタ581のソース電極層又はドレイン電極層は、第1の電極層587と、絶縁層583、585に形成する開口で接しており電氣的に接続している。第1の電極層587と第2の電極層588との間には黒色領域590a及び白色領域590bを有し、周りに液体で満たされているキャビティ594を含む球形粒子589が一对の基板580、596の間に設けられており、球形粒子589の周囲は樹脂等の充填材595で充填されている（図20参照。）。

【0221】

また、第1の電極層587が画素電極に相当し、第2の電極層588が共通電極に相当す

50

る。第2の電極層588は、トランジスタ581と同一絶縁基板上に設けられる共通電位線と電氣的に接続される。共通接続部を用いて、一対の基板間に配置される導電性粒子を介して第2の電極層588と共通電位線とを電氣的に接続することができる。

【0222】

また、ツイストボールの代わりに、電気泳動素子を用いることも可能である。透明な液体と、正に帯電した白い微粒子と負に帯電した黒い微粒子とを封入した直径10 μ m~200 μ m程度のマイクロカプセルを用いる。第1の電極層と第2の電極層との間に設けられるマイクロカプセルは、第1の電極層と第2の電極層によって、電場が与えられると、白い微粒子と、黒い微粒子が逆の方向に移動し、白または黒を表示することができる。この原理を応用した表示素子が電気泳動表示素子であり、一般的に電子ペーパーとよばれている。電気泳動表示素子は、液晶表示素子に比べて反射率が高いため、補助ライトは不要であり、また消費電力が小さく、薄暗い場所でも表示部を認識することが可能である。また、表示部に電源が供給されない場合であっても、一度表示した像を保持することが可能であるため、電波発信源から表示機能付き半導体装置（単に表示装置、又は表示装置を具備する半導体装置ともいう）を遠ざけた場合であっても、表示された像を保存しておくことが可能となる。

10

【0223】

以上の工程により、信頼性の高い電子ペーパーを作製することができる。

【0224】

本実施の形態は、他の実施の形態に記載した構成と適宜組み合わせることで実施することが可能である。

20

【0225】

（実施の形態10）

本明細書に開示する半導体装置は、さまざまな電子機器（遊技機も含む）に適用することができる。電子機器としては、例えば、テレビジョン装置（テレビ、またはテレビジョン受信機ともいう）、コンピュータ用などのモニタ、デジタルカメラ、デジタルビデオカメラ、デジタルフォトフレーム、携帯電話機（携帯電話、携帯電話装置ともいう）、携帯型ゲーム機、携帯情報端末、音響再生装置、パチンコ機などの大型ゲーム機などが挙げられる。

【0226】

本実施の形態では、実施の形態7乃至9のいずれか一で得られる表示装置を搭載した電子機器の例について図21及び図22を用いて説明する。

30

【0227】

図21(A)は、少なくとも表示装置を一部品として実装して作製したノート型のパーソナルコンピュータであり、本体3001、筐体3002、表示部3003、キーボード3004などによって構成されている。なお、実施の形態7に示す液晶表示装置をノート型のパーソナルコンピュータは有している。

【0228】

図21(B)は、少なくとも表示装置を一部品として実装して作製した携帯情報端末（PDA）であり、本体3021には表示部3023と、外部インターフェイス3025と、操作ボタン3024等が設けられている。また操作用の付属品としてスタイラス3022がある。なお、実施の形態8に示す発光表示装置を携帯情報端末は有している。

40

【0229】

図21(C)は実施の形態9に示す電子ペーパーを一部品として実装して作製した電子書籍である。図21(C)は、電子書籍2700を示している。例えば、電子書籍2700は、筐体2701および筐体2703の2つの筐体で構成されている。筐体2701および筐体2703は、軸部2711により一つの電子機器とされており、該軸部2711を軸として開閉動作を行うことができる。このような構成により、紙の書籍のような動作を行うことが可能となる。

【0230】

50

筐体 2701 には表示部 2705 が組み込まれ、筐体 2703 には表示部 2707 が組み込まれている。表示部 2705 および表示部 2707 は、続き画面を表示する構成としてもよいし、異なる画面を表示する構成としてもよい。異なる画面を表示する構成とすることで、例えば右側の表示部（図 21（C）では表示部 2705）に文章を表示し、左側の表示部（図 21（C）では表示部 2707）に画像を表示することができる。

【0231】

また、図 21（C）では、筐体 2701 に操作部などを備えた例を示している。例えば、筐体 2701 において、電源 2721、操作キー 2723、スピーカ 2725などを備えている。操作キー 2723により、頁を送ることができる。なお、筐体の表示部と同一面にキーボードやポインティングデバイスなどを備える構成としてもよい。また、筐体の裏面や側面に、外部接続用端子（イヤホン端子、USB端子、またはACアダプタおよびUSBケーブルなどの各種ケーブルと接続可能な端子など）、記録媒体挿入部などを備える構成としてもよい。さらに、電子書籍 2700 は、電子辞書としての機能を持たせた構成としてもよい。

10

【0232】

また、電子書籍 2700 は、無線で情報を送受信できる構成としてもよい。無線により、電子書籍サーバから、所望の書籍データなどを購入し、ダウンロードする構成とすることも可能である。

【0233】

図 21（D）は、少なくとも表示装置を一部品として実装して作製した携帯電話であり、筐体 2800 及び筐体 2801 の二つの筐体で構成されている。筐体 2801 には、表示パネル 2802、スピーカ 2803、マイクロフォン 2804、ポインティングデバイス 2806、カメラ用レンズ 2807、外部接続端子 2808などを備えている。また、筐体 2801 には、携帯型情報端末の充電を行う太陽電池セル 2810、外部メモリスロット 2811などを備えている。また、アンテナは筐体 2801 内部に内蔵されている。

20

【0234】

また、表示パネル 2802 はタッチパネルを備えており、図 21（D）には映像表示されている複数の操作キー 2805 を点線で示している。なお、太陽電池セル 2810 で出力される電圧を各回路に必要な電圧に昇圧するための昇圧回路も実装している。

30

【0235】

表示パネル 2802 は、使用形態に応じて表示の方向が適宜変化する。また、表示パネル 2802 と同一面上にカメラ用レンズ 2807 を備えているため、テレビ電話が可能である。スピーカ 2803 及びマイクロフォン 2804 は音声通話に限らず、テレビ電話、録音、再生などが可能である。さらに、筐体 2800 と筐体 2801 は、スライドし、図 21（D）のように展開している状態から重なり合った状態とすることができ、携帯に適した小型化が可能である。

【0236】

外部接続端子 2808 はACアダプタ及びUSBケーブルなどの各種ケーブルと接続可能であり、充電及びパーソナルコンピュータなどとのデータ通信が可能である。また、外部メモリスロット 2811 に記録媒体を挿入し、より大量のデータ保存及び移動に対応できる。

40

【0237】

また、上記機能に加えて、赤外線通信機能、テレビ受信機能などを備えたものであってもよい。

【0238】

図 21（E）は少なくとも表示装置を一部品として実装して作製したデジタルカメラであり、本体 3051、表示部（A）3057、接眼部 3053、操作スイッチ 3054、表示部（B）3055、バッテリー 3056 などによって構成されている。

【0239】

50

図 22 は、テレビジョン装置 9600 を示している。テレビジョン装置 9600 は、筐体 9601 に表示部 9603 が組み込まれている。表示部 9603 により、映像を表示することが可能である。また、ここでは、スタンド 9605 により筐体 9601 を支持した構成を示している。

【0240】

テレビジョン装置 9600 の操作は、筐体 9601 が備える操作スイッチや、別体のリモコン操作機 9610 により行うことができる。リモコン操作機 9610 が備える操作キー 9609 により、チャンネルや音量の操作を行うことができ、表示部 9603 に表示される映像を操作することができる。また、リモコン操作機 9610 に、当該リモコン操作機 9610 から出力する情報を表示する表示部 9607 を設ける構成としてもよい。

10

【0241】

なお、テレビジョン装置 9600 は、受信機やモデムなどを備えた構成とする。受信機により一般のテレビ放送の受信を行うことができ、さらにモデムを介して有線または無線による通信ネットワークに接続することにより、一方向（送信者から受信者）または双方向（送信者と受信者間、あるいは受信者間同士など）の情報通信を行うことも可能である。

【0242】

表示部 9603 には、画素のスイッチング素子として、実施の形態 5 に示すトランジスタを複数配置し、その表示部 9603 と同一絶縁基板上に形成する駆動回路として実施の形態 5 に示す移動度の高いトランジスタを配置する。

【0243】

本実施の形態は、実施の形態 1 乃至 9 のいずれか一と自由に組み合わせることができる。

20

【符号の説明】

【0244】

400 基板
 401 ゲート電極層
 402 ゲート絶縁層
 403 第 1 の酸化物半導体層
 404 第 2 の酸化物半導体層
 405 a ソース電極層
 405 b ドレイン電極層
 407 酸化物絶縁層
 430 酸化物半導体積層
 431 島状の酸化物半導体積層
 432 酸化物半導体積層
 470 トランジスタ
 500 下地部材
 501 第 1 の酸化物結晶部材
 502 酸化物半導体層
 503 a 酸化物結晶部材
 503 b 酸化物結晶部材
 504 非晶質を含む層
 520 下地部材
 531 酸化物結晶部材
 532 酸化物部材
 533 a 酸化物結晶部材
 533 b 酸化物結晶部材
 580 基板
 581 トランジスタ
 583 絶縁層
 585 絶縁層

30

40

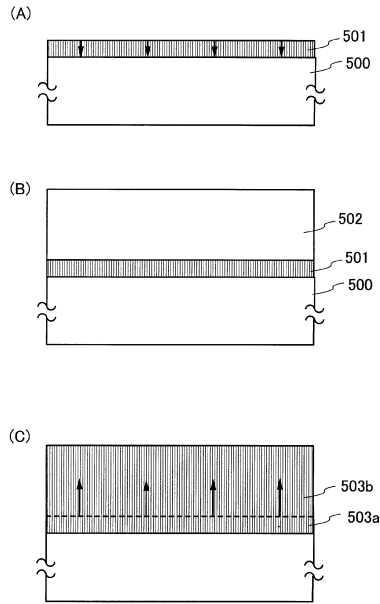
50

5 8 7	電極層	
5 8 8	電極層	
5 8 9	球形粒子	
5 9 0 a	黒色領域	
5 9 0 b	白色領域	
5 9 4	キャビティ	
5 9 5	充填材	
5 9 6	基板	
1 5 0 1	ガラス基板	
1 5 0 2	画素部	10
1 5 0 3	ゲートドライバ	
1 5 0 4	ゲートドライバ	
1 5 0 5	アナログスイッチ	
1 5 0 6	F P C	
1 5 0 7	F P C	
1 5 0 8	F P C	
1 5 0 9	F P C	
1 7 0 1	ガラス基板	
1 7 0 2	画素部	
1 7 0 3	ゲートドライバ	20
1 7 0 4	ゲートドライバ	
1 7 0 5	ソースドライバ	
1 7 0 6	F P C	
1 7 0 7	F P C	
1 7 1 1	ガラス基板	
1 7 1 2	画素部	
1 7 1 3	ゲートドライバ	
1 7 1 4	ゲートドライバ	
1 7 1 5	ゲートドライバ	
1 7 1 6	ゲートドライバ	30
1 7 1 7	ソースドライバ	
1 7 1 8	ソースドライバ	
1 7 1 9	ソースドライバ	
1 7 2 0	ソースドライバ	
1 7 2 1	F P C	
1 7 2 2	F P C	
1 7 2 3	F P C	
1 7 2 4	F P C	
2 7 0 0	電子書籍	
2 7 0 1	筐体	40
2 7 0 3	筐体	
2 7 0 5	表示部	
2 7 0 7	表示部	
2 7 1 1	軸部	
2 7 2 1	電源	
2 7 2 3	操作キー	
2 7 2 5	スピーカ	
2 8 0 0	筐体	
2 8 0 1	筐体	
2 8 0 2	表示パネル	50

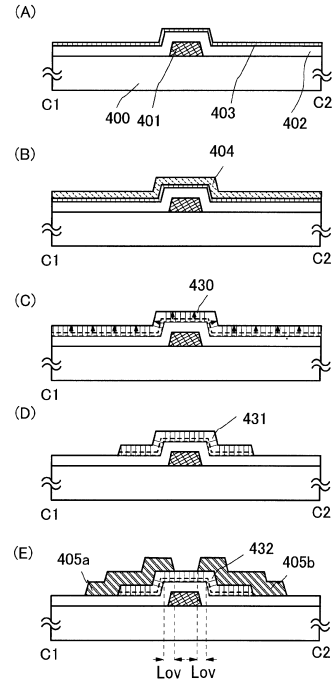
2 8 0 3	スピーカ	
2 8 0 4	マイクロフォン	
2 8 0 5	操作キー	
2 8 0 6	ポインティングデバイス	
2 8 0 7	カメラ用レンズ	
2 8 0 8	外部接続端子	
2 8 1 0	太陽電池セル	
2 8 1 1	外部メモリスロット	
3 0 0 1	本体	
3 0 0 2	筐体	10
3 0 0 3	表示部	
3 0 0 4	キーボード	
3 0 2 1	本体	
3 0 2 2	スタイラス	
3 0 2 3	表示部	
3 0 2 4	操作ボタン	
3 0 2 5	外部インターフェイス	
3 0 5 1	本体	
3 0 5 3	接眼部	
3 0 5 4	操作スイッチ	20
3 0 5 5	表示部 (B)	
3 0 5 6	バッテリー	
3 0 5 7	表示部 (A)	
4 0 0 1	基板	
4 0 0 2	画素部	
4 0 0 3	信号線駆動回路	
4 0 0 4	走査線駆動回路	
4 0 0 5	シール材	
4 0 0 6	基板	
4 0 0 8	液晶層	30
4 0 1 0	トランジスタ	
4 0 1 1	トランジスタ	
4 0 1 3	液晶素子	
4 0 1 5	接続端子電極	
4 0 1 6	端子電極	
4 0 1 8	F P C	
4 0 1 9	異方性導電層	
4 0 2 0	絶縁層	
4 0 2 1	絶縁層	
4 0 3 0	画素電極層	40
4 0 3 1	対向電極層	
4 0 3 2	絶縁層	
4 0 3 3	絶縁層	
4 0 3 5	スペーサー	
4 0 4 0	導電層	
4 5 0 1	基板	
4 5 0 2	画素部	
4 5 0 3 a	信号線駆動回路	
4 5 0 3 b	信号線駆動回路	
4 5 0 4 a	走査線駆動回路	50

4 5 0 4 b	走査線駆動回路	
4 5 0 5	シール材	
4 5 0 6	基板	
4 5 0 7	充填材	
4 5 0 9	トランジスタ	
4 5 1 0	トランジスタ	
4 5 1 1	発光素子	
4 5 1 2	電界発光層	
4 5 1 3	電極層	
4 5 1 5	接続端子電極	10
4 5 1 6	端子電極	
4 5 1 7	電極層	
4 5 1 8 a	F P C	
4 5 1 8 b	F P C	
4 5 1 9	異方性導電層	
4 5 2 0	隔壁	
4 5 4 0	導電層	
4 5 4 1	絶縁層	
4 5 4 4	絶縁層	
9 6 0 0	テレビジョン装置	20
9 6 0 1	筐体	
9 6 0 3	表示部	
9 6 0 5	スタンド	
9 6 0 7	表示部	
9 6 0 9	操作キー	
9 6 1 0	リモコン操作機	

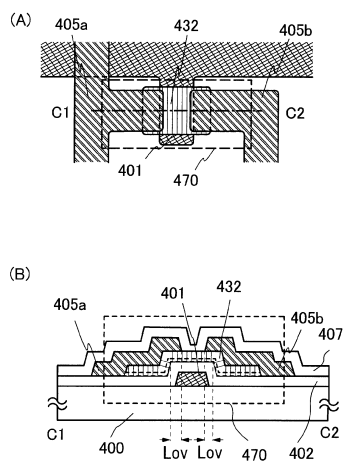
【図 1】



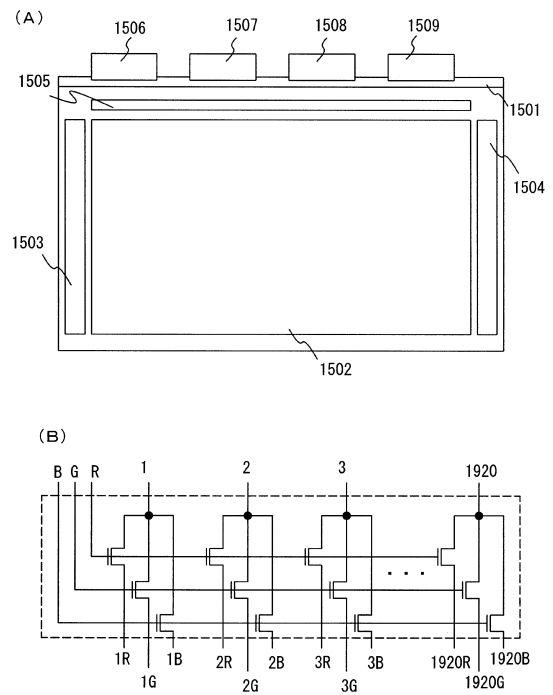
【図 2】



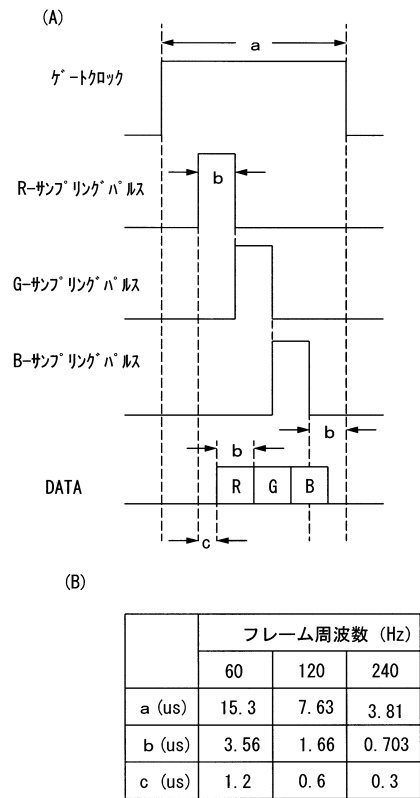
【図 3】



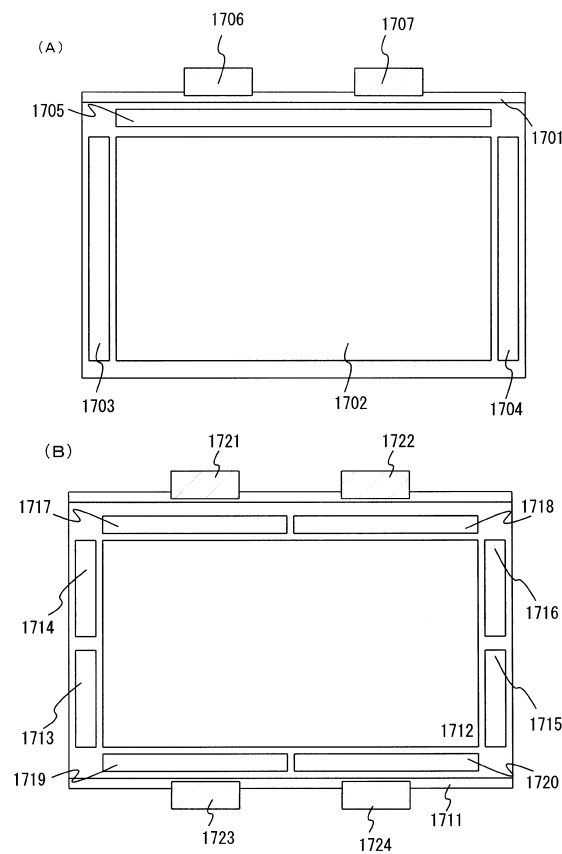
【図 4】



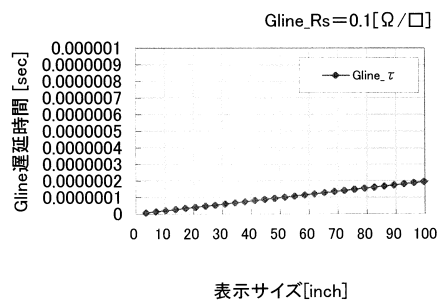
【図 5】



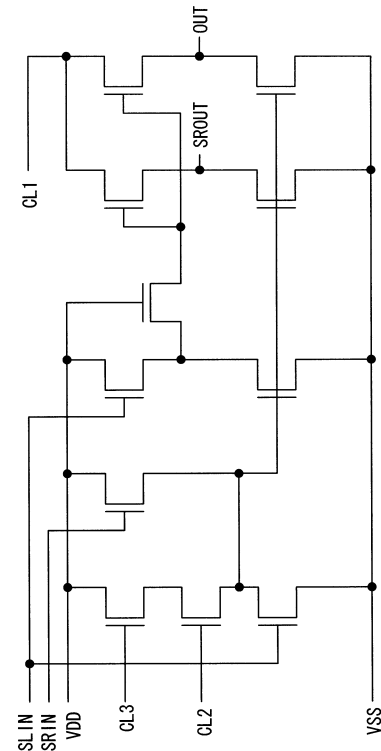
【図 6】



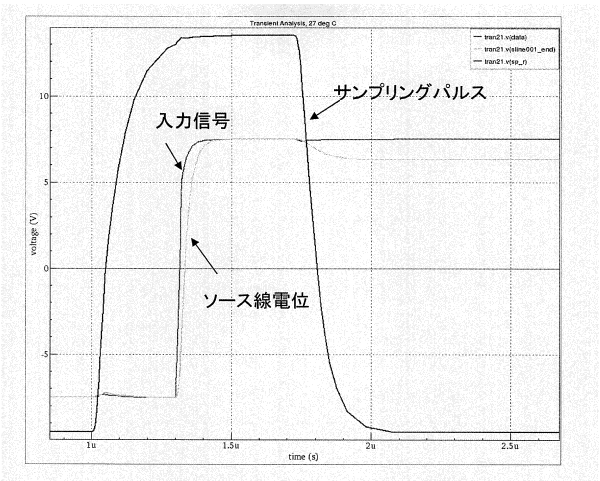
【図 7】



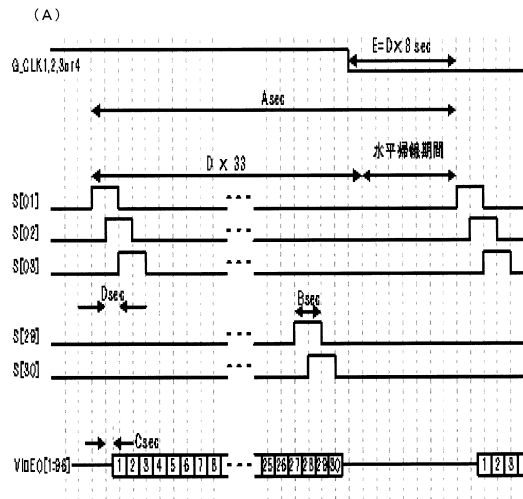
【図 9】



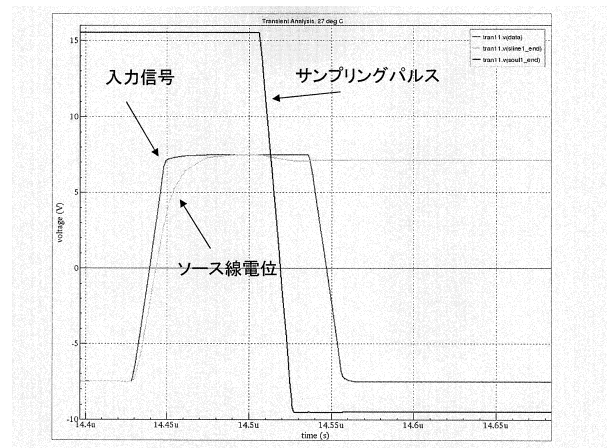
【図 8】



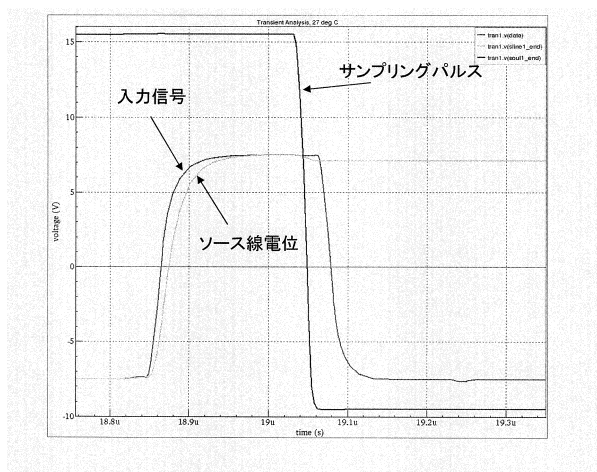
【図 10】



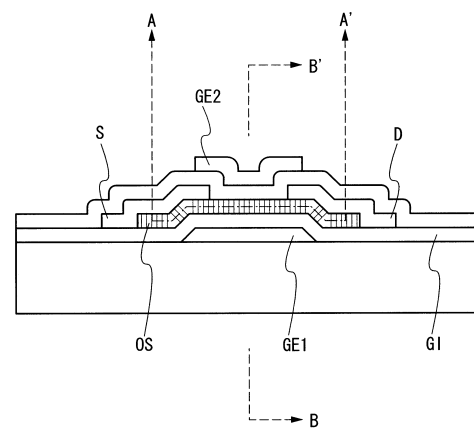
【図 11】



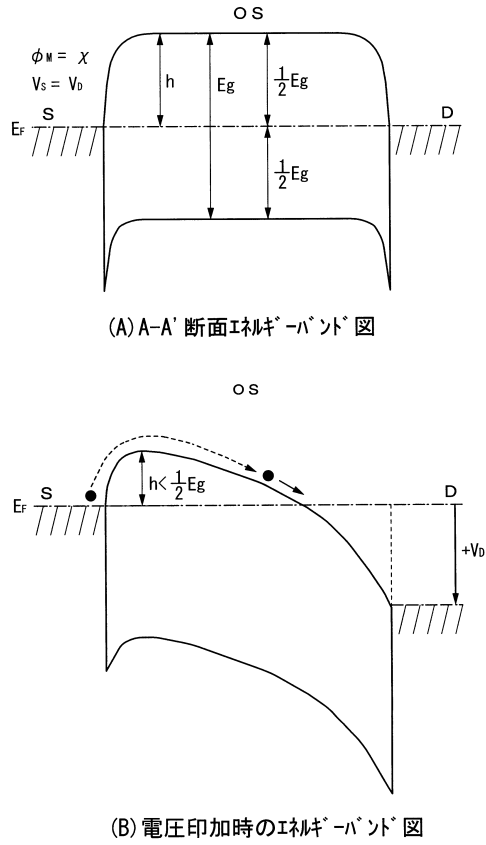
【図 12】



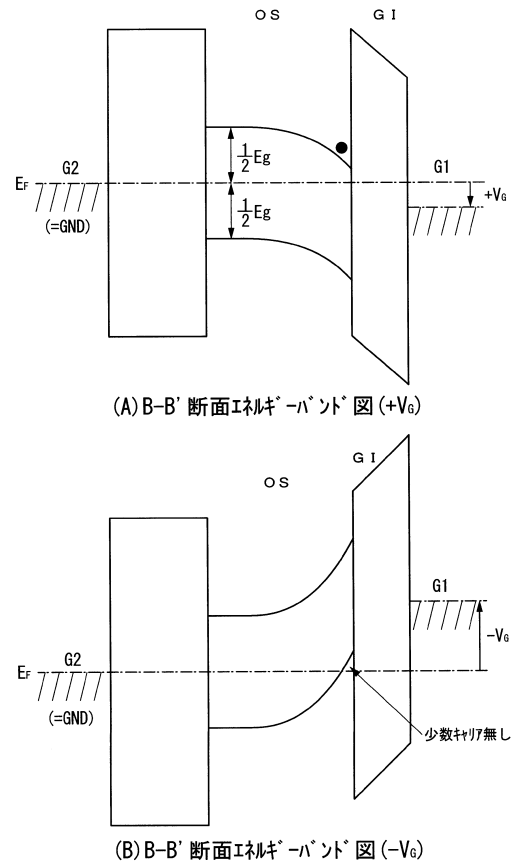
【図 13】



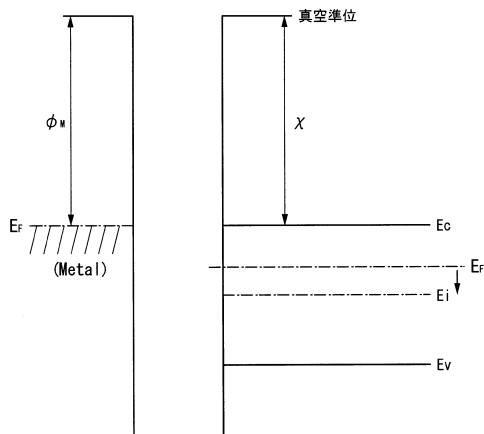
【図 14】



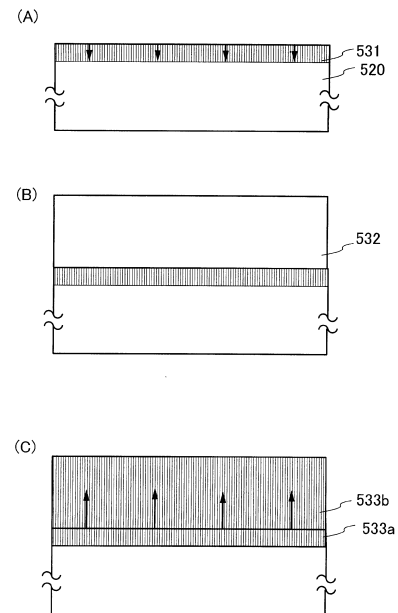
【図 15】



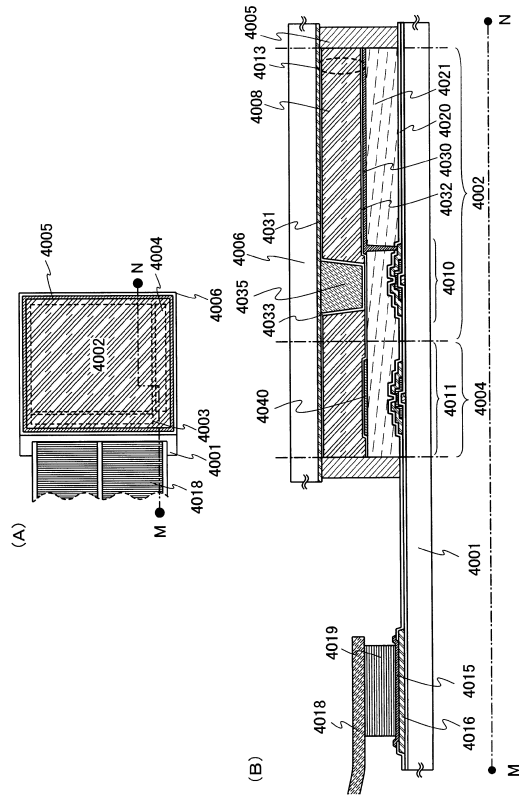
【図 16】



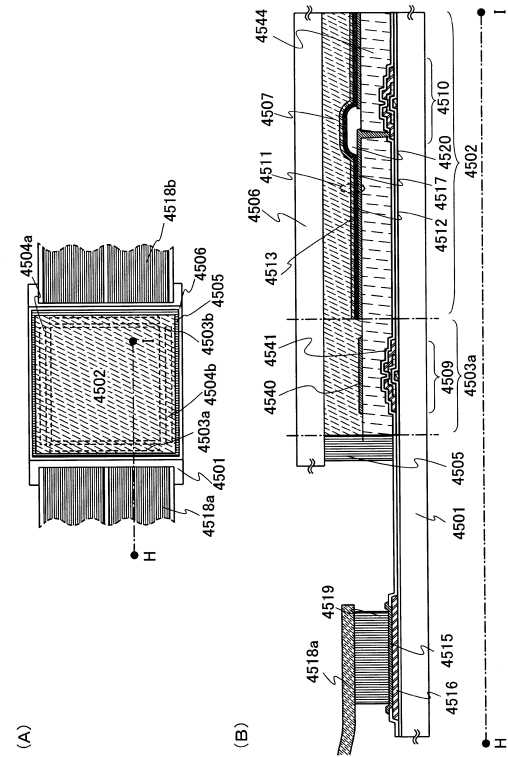
【図 17】



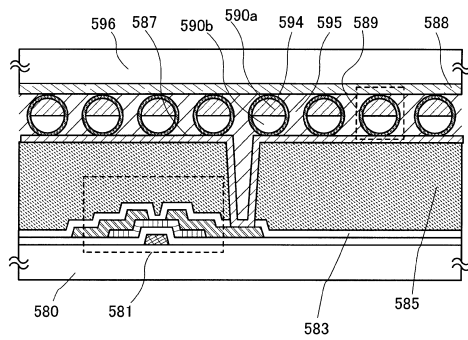
【図 18】



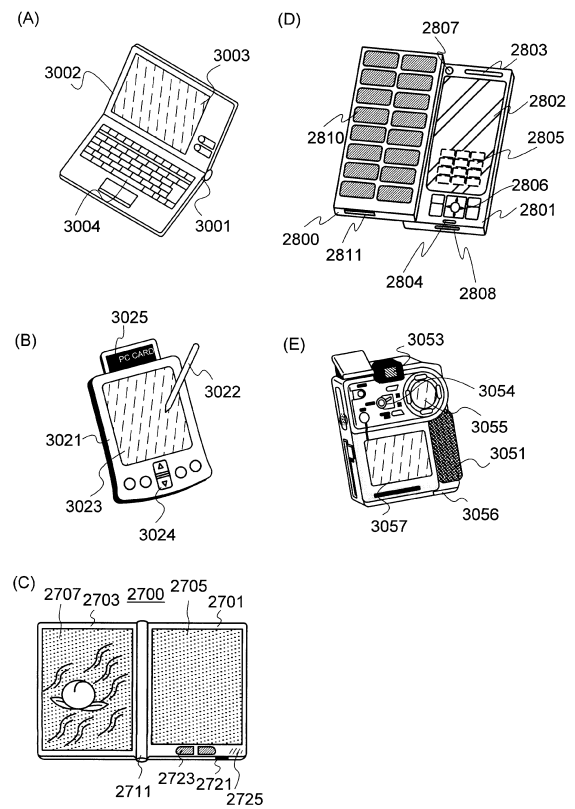
【図 19】



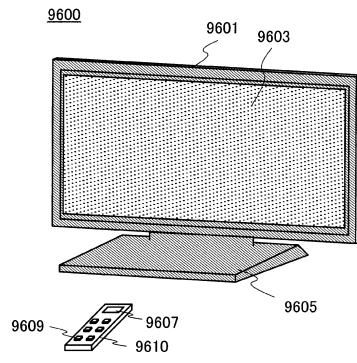
【図 20】



【図 21】



【図 22】



 フロントページの続き

(51)Int.Cl.	F I		
	G 0 9 F	9/30	3 3 8
	H 0 5 B	33/14	A

(56)参考文献 特開 2 0 0 9 - 2 3 1 6 6 4 (J P , A)
 特開 2 0 0 7 - 1 2 3 8 6 1 (J P , A)
 特開 2 0 0 7 - 1 6 5 8 6 1 (J P , A)
 特開平 1 0 - 0 4 5 4 9 6 (J P , A)
 特開 2 0 0 8 - 0 4 2 0 8 8 (J P , A)
 国際公開第 2 0 0 8 / 1 3 6 5 0 5 (W O , A 1)
 Hyun Sung Kim , et al. , High Performance Solution-Processed Indium Oxide Thin-Film Transistors , Journal of the American Chemical Society , 2 0 0 8 年 8 月 2 9 日 , Vol. 130 , PP. 12580-12581

(58)調査した分野(Int.Cl. , D B 名)

G 0 2 F	1 / 1 3 4 5
G 0 9 F	9 / 3 0
H 0 1 L	2 1 / 3 3 6
H 0 1 L	2 9 / 7 8 6
H 0 1 L	5 1 / 5 0