

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号
特許第7558424号
(P7558424)

(45)発行日 令和6年9月30日(2024.9.30)

(24)登録日 令和6年9月19日(2024.9.19)

(51)国際特許分類

F I

G 0 1 R 31/28 (2006.01)

G 0 1 R 31/28

V

G 0 1 R 19/00 (2006.01)

G 0 1 R 31/28

C

G 0 1 R 31/316 (2006.01)

G 0 1 R 19/00

T

G 0 1 R 31/316

請求項の数 14 (全34頁)

(21)出願番号 特願2023-555927(P2023-555927)
 (86)(22)出願日 令和3年10月26日(2021.10.26)
 (86)国際出願番号 PCT/JP2021/039441
 (87)国際公開番号 WO2023/073802
 (87)国際公開日 令和5年5月4日(2023.5.4)
 審査請求日 令和5年10月17日(2023.10.17)

(73)特許権者 000006013
 三菱電機株式会社
 東京都千代田区丸の内二丁目7番3号
 (74)代理人 110001195
 弁理士法人深見特許事務所
 (72)発明者 錦戸 理
 東京都千代田区丸の内二丁目7番3号
 三菱電機株式会社内
 審査官 永井 皓喜

最終頁に続く

(54)【発明の名称】 半導体集積回路装置

(57)【特許請求の範囲】

【請求項1】

複数の電圧電流変換回路を備え、

前記複数の電圧電流変換回路の各々は、半導体集積回路装置の内部の少なくとも1つの測定ノードの電圧に従う測定電圧を、前記測定電圧と比較されるべき判定電圧が反映された第1変換ゲインに従って電圧電流変換して少なくとも1つの出力電流を生成する様に構成され、

予め定められた基準電流を出力する基準電流源と、

前記複数の電圧電流変換回路のうちの選択された電圧電流変換回路から入力された前記少なくとも1つの出力電流のそれぞれと前記基準電流との比較結果に従う少なくとも1つの判定信号を出力する電流比較器とを更に備える、半導体集積回路装置。

10

【請求項2】

各前記電圧電流変換回路は、前記第1変換ゲインが異なる複数の電圧電流変換ユニットを有し、

前記複数の電圧電流変換ユニットは、前記測定電圧をそれぞれの前記第1変換ゲインに従って変換して複数の前記出力電流を生成し、

前記選択された電圧電流変換回路の前記複数の電圧電流変換ユニットによって生成された前記複数の出力電流は、1つずつ順に前記電流比較器に入力され、

前記電流比較器は、前記選択された電圧電流変換回路から入力された前記複数の出力電流のうちの一つと、前記基準電流との比較結果に従う前記判定信号を出力するように構成

20

される、請求項 1 記載の半導体集積回路装置。

【請求項 3】

各前記電圧電流変換回路は、

前記第 1 変換ゲインを複数に切替えるためのゲイン切替機構を有し、

前記選択された電圧電流変換回路は、前記ゲイン切替機構によって切替えられた前記複数の第 1 変換ゲインにそれぞれ従う複数の前記出力電流を、1 つずつ順に出力し、

前記電流比較器は、前記選択された電圧電流変換回路から入力された前記複数の出力電流のうちの一つと、前記基準電流との比較結果に従う前記判定信号を出力するように構成される、請求項 1 記載の半導体集積回路装置。

【請求項 4】

各前記電圧電流変換回路は、前記第 1 変換ゲインがそれぞれ異なる複数の電圧電流変換ユニットを有し、

前記複数の電圧電流変換ユニットは、前記測定電圧をそれぞれの前記第 1 変換ゲインに従って変換して複数の前記出力電流を生成し、

前記複数の電圧電流変換ユニットによって生成された前記複数の出力電流は、並列に前記電流比較器に入力され、

前記電流比較器は、前記複数の電圧電流変換ユニットから入力された前記複数の出力電流のそれぞれと前記基準電流との比較結果に従う複数の前記判定信号を出力するように構成される、請求項 1 記載の半導体集積回路装置。

【請求項 5】

前記複数の判定信号の論理演算結果を示す信号を生成する判定論理回路を更に備える、請求項 4 記載の半導体集積回路装置。

【請求項 6】

前記電圧電流変換回路は、1 つの前記測定ノードの電圧を前記測定電圧として、前記少なくとも 1 つの出力電流を生成する、請求項 1 ~ 5 のいずれか 1 項に記載の半導体集積回路装置。

【請求項 7】

前記電圧電流変換回路は、1 つの前記測定ノードの異なるタイミングでの第 1 電圧及び第 2 電圧の電圧差を前記測定電圧として、前記少なくとも 1 つの出力電流を生成する、請求項 1 ~ 5 のいずれか 1 項に記載の半導体集積回路装置。

【請求項 8】

前記第 1 電圧及び前記第 2 電圧は、前記 1 つの測定ノードの電圧の最大ピーク値及び最小ピーク値である、請求項 7 記載の半導体集積回路装置。

【請求項 9】

前記電圧電流変換回路は、2 つの前記測定ノードの電圧差を前記測定電圧として、前記少なくとも 1 つの出力電流を生成する、請求項 1 ~ 5 のいずれか 1 項に記載の半導体集積回路装置。

【請求項 10】

前記基準電流源は、予め定められた基準電圧を予め定められた第 2 変換ゲインに従って電圧電流変換することで前記基準電流を生成する様に構成され、

各前記電圧電流変換回路における前記第 1 変換ゲインは、前記判定電圧及び前記基準電圧の比、並びに、前記第 2 変換ゲインを用いて定められる、請求項 1 ~ 9 のいずれか 1 項に記載の半導体集積回路装置。

【請求項 11】

前記第 1 変換ゲインは、前記測定電圧が前記判定電圧と同等であるときに、前記出力電流と前記基準電流とが同等となるように設定される、請求項 1 ~ 9 のいずれか 1 項に記載の半導体集積回路装置。

【請求項 12】

前記半導体集積回路装置は、

前記複数の電圧電流変換回路と前記電流比較器の間に接続された複数のスイッチを有す

10

20

30

40

50

る選択回路を更に備え、

前記選択回路において、前記複数のスイッチのうちの、前記選択された電圧電流変換回路と前記電流比較器の間に接続された一部のスイッチは選択的にオンされる、請求項 1 ~ 11 のいずれか 1 項に記載の半導体集積回路装置。

【請求項 13】

前記複数の電圧電流変換回路の各々は、前記少なくとも 1 つの出力電流の経路に介挿接続されたイネーブルスイッチを有し、

前記イネーブルスイッチは、前記選択された電圧電流変換回路においてオンされる、請求項 1 ~ 11 のいずれか 1 項に記載の半導体集積回路装置。

【請求項 14】

前記半導体集積回路装置は、

予め定められた機能を有する第 1 内部回路と、

前記第 1 内部回路と同一機能を有する第 2 内部回路と、

前記第 1 内部回路に係る前記測定電圧及び前記第 2 内部回路に係る前記測定電圧の一方を選択的に前記電圧電流変換回路に入力するための測定選択回路と、

前記測定選択回路によって前記第 1 内部回路に係る前記測定電圧が前記電圧電流変換回路に入力されているときに前記電流比較器から出力された前記判定信号に係る第 1 情報を記憶するための第 1 記憶回路と、

前記測定選択回路によって前記第 2 内部回路に係る前記測定電圧が前記電圧電流変換回路に入力されているときに前記電流比較器から出力された前記判定信号に係る第 2 情報を記憶するための第 2 記憶回路と、

前記第 1 記憶回路及び前記第 2 記憶回路に記憶された前記第 1 情報及び前記第 2 情報に基づき、前記第 1 内部回路に故障が生じているときは前記第 2 内部回路の出力を用いて前記半導体集積回路装置を動作させる一方で、前記第 2 内部回路に故障が生じているときは前記第 1 内部回路の出力を用いて前記半導体集積回路装置を動作させるための出力選択回路とを更に備える、請求項 1 ~ 13 のいずれか 1 項に記載の半導体集積回路装置。

【発明の詳細な説明】

【技術分野】

【0001】

本開示は、半導体集積回路装置に関する。

【背景技術】

【0002】

半導体集積回路に代表される IC (Integrated Circuit) では、アナログ回路から内部ノードに対して電圧が正しく出ているかを確認することが、故障を検出するために重要な要素である。最もシンプルには、電圧モニタ用の外部端子を設けるとともに、測定対象の内部ノードと当該外部端子とを接続することによって、外部端子を介して、内部ノードの電圧を測定することができる。この際には、外部端子を、複数の内部ノードと順々に接続することで、外部端子を共有して複数の内部ノードの電圧を測定することができる。

【0003】

IC の大規模化に伴い、電圧を確認したい内部ノードが増大すると、内部ノードの電圧確認のためのテスト時間が増大する。このようなテストを効率化するための技術として、特開 2006 - 234577 号公報 (特許文献 1) には、IC 内部に電圧比較器を設けて、アナログ集積回路のある特定の回路ノードの DC 電圧が、ある範囲に入っているどうかを判定して、当該判定結果を IC 外部に出力する構成が記載されている。

【先行技術文献】

【特許文献】

【0004】

【文献】特開 2006 - 234577 号公報

【発明の概要】

【発明が解決しようとする課題】

10

20

30

40

50

【 0 0 0 5 】

特許文献 1 では、測定対象の内部ノード数が多い場合には、複数の内部ノードと電圧比較器との間に切替スイッチ（選択回路）を配置して、複数の内部ノードで電圧比較器を共有する構成がチップサイズの面から求められる。

【 0 0 0 6 】

しかしながら、この構成では切替スイッチによって電圧比較器と接続される内部ノードを切り替えた場合に、電圧比較器への入力電圧が静定するまでの時間が、正確な判定結果を得るために必要となる。この結果、測定対象が多くなると、テスト時間が長くなることが懸念される。

【 0 0 0 7 】

又、内部ノード毎に規格値、即ち、正常と判定すべきで電圧範囲が異なるため、電圧比較器側において、内部ノードの電圧と比較される基準電圧も切り替えることが必要になる。この結果、基準電圧を切替えるための構成を追加することによる回路規模の増大が懸念される他、基準電圧の切替についても静定時間が必要になることで、テスト時間が更に長くなることも懸念される。

【 0 0 0 8 】

本開示は、このような問題点を解決するためになされたものであって、本開示の目的は、半導体集積回路装置の内部ノードの電圧の正常判定を、簡易な回路構成で高速化することである。

【課題を解決するための手段】

【 0 0 0 9 】

本開示のある局面では、半導体集積回路装置が提供される。半導体集積回路装置は、複数の電圧電流変換回路と、基準電流源と、電流比較器とを備える。各電圧電流変換回路は、半導体集積回路装置の内部の少なくとも 1 つの測定ノードの電圧に従う測定電圧を第 1 変換ゲインに従って電圧電流変換して少なくとも 1 つの出力電流を生成する。基準電流源は、予め定められた基準電流を出力する。電流比較器は、複数の電圧電流変換回路のうちの選択された電圧電流変換回路から入力された少なくとも 1 つの出力電流のそれぞれと基準電流との比較結果に従う少なくとも 1 つの判定信号を出力する。

【発明の効果】

【 0 0 1 0 】

本開示によれば、測定電圧を電圧電流変換した出力電流と基準電流とを電流比較器によって比較することで測定電圧を判定電圧と比較できる、複数の電圧電流変換器の選択の切替の際に、電流比較器に入力される出力電流の静定に要する時間を短くすることができる。この結果、半導体集積回路装置の内部ノードの電圧の正常判定を、簡易な回路構成で高速化することができる。

【図面の簡単な説明】

【 0 0 1 1 】

【図 1】実施の形態 1 に係る半導体集積回路装置の構成を示すブロック図である。

【図 2】図 1 に記載された各ブロックの内部構成を説明するための回路図である。

【図 3】図 1 に記載された各ブロックの実施の形態 1 の変形例 1 に係る内部構成を説明するための回路図である。

【図 4】実施の形態 1 の変形例 1 に係る電圧電流変換回路の構成を説明する回路図である。

【図 5】実施の形態 1 の変形例 1 に係る基準電流源の構成を説明する回路図である。

【図 6】実施の形態 2 に係る半導体集積回路装置の構成を示すブロック図である。

【図 7】図 6 に記載された各ブロックの内部構成を説明するための回路図である。

【図 8】実施の形態 3 に係る半導体集積回路装置の構成を示すブロック図である。

【図 9】図 8 に記載された各ブロックの内部構成を説明するための回路図である。

【図 10】実施の形態 4 に係る半導体集積回路装置の構成を示すブロック図である。

【図 11】図 10 に記載された各ブロックの内部構成を説明するための回路図である。

【図 12】実施の形態 5 に係る半導体集積回路装置の構成を示すブロック図である。

10

20

30

40

50

【図 1 3】図 1 2 に記載された各ブロックの内部構成を説明するための回路図である。

【図 1 4】実施の形態 6 に係る半導体集積回路装置の構成を示すブロック図である。

【図 1 5】図 1 4 に記載された各ブロックの内部構成を説明するための回路図である。

【図 1 6】実施の形態 6 に係る半導体集積回路装置の動作を説明するための信号波形図である。

【図 1 7】第 1 及び第 2 内部回路の判定結果に対する異常検出構成の動作を説明する図表である。

【図 1 8】実施の形態 7 に係る半導体集積回路装置の構成を示すブロック図である。

【図 1 9】実施の形態 7 に係る電圧電流変換回路の構成を説明する回路図である。

【図 2 0】実施の形態 7 の変形例に係る電圧電流変換回路の構成を説明する回路図である。

10

【発明を実施するための形態】

【0012】

以下に、本開示の実施の形態について、図面を参照して詳細に説明する。なお、以下では、図中の同一又は相当部分には同一符号を付して、その説明は原則的に繰返さないものとする。

【0013】

実施の形態 1 .

図 1 は、実施の形態 1 に係る半導体集積回路装置 5 a の構成を示すブロック図である。

【0014】

図 1 を参照して、半導体集積回路装置 5 a は、N 個 (N : 2 以上の整数) の内部回路 1 0 と、N 個の電圧電流変換回路 2 0 と、選択回路 3 0 と、基準電流源 4 0 と、電流比較器 5 0 とを備える。以下では、N = 4 の例を説明するので、半導体集積回路装置 5 a は、4 個の内部回路 1 0 a ~ 1 0 d と、電圧電流変換回路 2 0 a ~ 2 0 d を備えている。

20

【0015】

内部回路 1 0 a ~ 1 0 d は、内部ノード N T a ~ N T d に電圧を生成する。即ち、内部ノード N T a ~ N T d が「測定ノード」であり、電流比較器 5 0 からは、測定ノードの電圧 (図 1 では、内部回路 1 0 a の出力電圧 V o u t) と、予め定められた判定電圧 V t o との比較結果に従う、2 値の判定信号 S j d が出力される。実施の形態 1 では、判定信号 S j d によって、出力電圧 V o u t が、予め定められた判定電圧よりも高い範囲及び低い範囲のいずれに含まれるか否かが示される。判定電圧 V t o は、出力電圧 (測定電圧) V o u t の正常範囲の境界値に設定することができる。

30

【0016】

図 2 には、図 1 に記載された各ブロックの内部構成を説明するための回路図が示される。内部回路 1 0 a ~ 1 0 d (内部ノード N T a ~ N T d) に対する測定構成は同様であるので、図 2 では、内部回路 1 0 a (内部ノード N T a) に対応する構成が添字 a を付して代表的に示されるが、同様の構成が、内部回路 1 0 b ~ 1 0 d に対応して配置されている。

【0017】

又、以下では、内部回路 1 0 a ~ 1 0 d にそれぞれ対応する要素を区別せずに包括的に表記する場合には、添字 a ~ d を省略して、例えば、内部回路 1 0 、内部ノード N T 、電圧電流変換回路 2 0 の様に記載することとする。

40

【0018】

図 2 では、電圧電流変換回路 2 0 a ~ 2 0 d のうちの電圧電流変換回路 2 0 a が選択されて、電圧電流変換回路 2 0 a によって生成された出力電流 I o u t が電流比較器 5 0 に入力される例が示されている。このとき、測定ノードである内部ノード N T a には、内部回路 1 0 a からの出力電圧 V o u t が現れる。以下では、判定電圧と比較される電圧を測定電圧と称する。従って、出力電圧 V o u t について、以下では、測定電圧 V o u t とも称する。

【0019】

電圧電流変換回路 2 0 a は、N 型の M O S (Metal-oxide Semiconductor) トランジスタ (以下、N M O S トランジスタと表記する) 2 0 1 a と、抵抗素子 2 0 2 a とを含む

50

。NMOSトランジスタ201aは、ノードN1a及び抵抗素子202aの間に接続される。抵抗素子202aは、NMOSトランジスタ201aと、接地電圧GNDを伝達する接地ラインNLとの間に接続される。抵抗素子202aは、電気抵抗値R0を有する。

【0020】

NMOSトランジスタ201aのゲートは、測定ノードである内部ノードNTaと接続される。即ち、NMOSトランジスタ201aのゲートには、測定電圧Voutが入力される。

【0021】

選択回路30は、スイッチ301a～301dを有する。スイッチ301a～301dは、ノードN1a～N1dと、電流比較器50のノードN2との間にそれぞれ接続される。ノードN1a～N1dは、図1に示される様に、電圧電流変換回路20a～20dを介して、内部ノードNTa～NTdとそれぞれ接続される。電圧電流変換回路20b～20dについても、電圧電流変換回路20aと同様に構成されており、ノードN1b～N1cと、接地ラインNLとの間に、NMOSトランジスタ及び抵抗素子の直列回路を有している。

10

【0022】

電流比較器50は、2組のカレントミラーを構成する、P型のMOSトランジスタ（以下、PMOSトランジスタと表記する）501, 502と、NMOSトランジスタ503, 504とを含む、PMOSトランジスタ501は、電源電圧VDDを伝達する電源ラインNPと、ノードN2の間に接続され、PMOSトランジスタ502は、電源ラインNP及びノードN3の間に接続される。PMOSトランジスタ501及び502は、ゲートがノードN2（即ち、PMOSトランジスタ501のドレイン）と共通接続されることでカレントミラーを構成する。当該カレントミラーの電流比は1：1であるものとする。

20

【0023】

NMOSトランジスタ503は、ノードN3及び接地ラインNLの間に接続され、NMOSトランジスタ504は、ノードN4及び接地ラインNLの間に接続される。NMOSトランジスタ503及び504は、ゲートがノードN4（即ち、NMOSトランジスタ504のドレイン）と共通接続されることでカレントミラーを構成する。以下では、当該カレントミラーの電流比は1：1であるものとする。

【0024】

基準電流源40は、抵抗素子401, 402, 404と、NMOSトランジスタ403と、PMOSトランジスタ405, 406とを有する。

30

【0025】

PMOSトランジスタ406は、電源ラインNP及びノードN4の間に接続され、PMOSトランジスタ405は、電源ラインNP及びノードN5の間に接続される。PMOSトランジスタ405及び406は、ゲートがノードN5（即ち、PMOSトランジスタ405のドレイン）と共通接続されることでカレントミラーを構成する。当該カレントミラーの電流比は1：1であるものとする。

【0026】

NMOSトランジスタ403は、ノードN5及びノードN7の間に接続され、抵抗素子404は、ノードN7及び接地ラインNLの間に接続される。抵抗素子404は、電気抵抗値RPを有する。

40

【0027】

抵抗素子401は、電源ラインNP及びノードN6の間に接続され、抵抗素子402は、接地ラインNL及びノードN6の間に接続される。従って、ノードN6には、電源電圧VDDを抵抗素子401及び402で分圧した基準電圧Vrefが発生する。

【0028】

次に、図2に示された回路の動作を説明する。

選択回路30は、スイッチ301a～301dのうちの、測定対象の内部ノードに対応する1つのスイッチをオンする一方で、残りのスイッチをオフする。図2の例では、スイ

50

ッチ301aがオンされる。これにより、電源ラインNPから接地ラインNLへ、PMOSトランジスタ501、スイッチ301a(ノードN1a)、NMOSトランジスタ201a、及び、抵抗素子202aを含む、出力電流Ioutの経路が生じる。

【0029】

出力電流Ioutは、測定電圧Vout、抵抗素子202aの電気抵抗値RO、及び、NMOSトランジスタ201aのゲートソース間電圧Vgs2を用いて、下記の式(1)で示される。即ち、電圧電流変換回路20は、式(1)に従う変換ゲインに従って、測定電圧Voutを出力電流Ioutに変換する。式(1)では、(1/RO)が「第1変換ゲイン」の一実施例に相当する。

【0030】

$$I_{out} = (V_{out} - V_{gs2}) / R_O \quad \dots (1)$$

出力電流Ioutは、PMOSトランジスタ501及び502によるカレントミラー(電流比1:1)によってコピーされる。この結果、電流比較器50では、PMOSトランジスタ502によって、出力電流Iout相当の電流が、ノードN3に供給される。

【0031】

これに対して、基準電流源40では、電源ラインNPから接地ラインNLへ、PMOSトランジスタ405、NMOSトランジスタ403、及び、抵抗素子404を含む、基準電流Irefの経路が生じる。

【0032】

基準電流Irefは、ノードN6の基準電圧Vref、抵抗素子404の電気抵抗値RP、及び、NMOSトランジスタ403のゲートソース間電圧Vgs4を用いて、下記の式(2)で示される。即ち、基準電流源40は、式(2)に従う変換ゲインに従って、基準電圧Vrefを基準電流Irefに変換する。式(2)では、(1/RP)が「第2変換ゲイン」の一実施例に相当する。

【0033】

$$I_{ref} = (V_{ref} - V_{gs4}) / R_P \quad \dots (2)$$

基準電流Irefは、PMOSトランジスタ405及び406によるカレントミラー(電流比1:1)、及び、NMOSトランジスタ504及び503によるカレントミラー(電流比1:1)によってコピーされる。これにより、電流比較器50では、NMOSトランジスタ503によって、基準電流Iref相当の電流が、ノードN3から引き抜かれる。

【0034】

この結果、電流比較器50において、ノードN3には、出力電流Iout及び基準電流Irefの電流差を増幅した電圧V3が発生する。具体的には、Iout > Irefの場合には、電圧V3は、電源電圧VDD相当のハイレベル電圧(以下、単に「Hレベル」とも表記する)となる。一方で、Iout < Irefの場合には、電圧V3は、接地電圧GND相当のローレベル電圧(以下、単に「Lレベル」とも表記する)となる。ノードN3の電圧V3は、判定信号Sjdとして、半導体集積回路装置5aの外部からコンタクト可能な端子6に出力される。

【0035】

この際に、測定電圧Voutと比較されるべき判定電圧Vtoを用いて、Vout = Vtoのときに、Iout = Irefとなる様に設計することで、判定を高速化することができる。

【0036】

式(1)、(2)より、このような条件は、下記の式(3)を解くことで求めることができる。

【0037】

$$(V_{to} - V_{gs2}) / R_O = (V_{ref} - V_{gs4}) / R_P \quad \dots (3)$$

従って、式(3)を変形した式(4)に従って、抵抗素子202aの電気抵抗値RO、を決めることで、Vout = Vtoのときに、Iout = Irefとすることができる。

【0038】

10

20

30

40

50

$$R O = (V t o - V g s 2) / (V r e f - V g s 4) \cdot R P \quad \dots (4)$$

この様に、実施の形態 1 に係る半導体集積回路装置によれば、測定電圧 V_{out} を電流変換した出力電流 I_{out} と、基準電流 I_{ref} との比較によって、測定電圧 V_{out} を判定電圧 V_{to} と比較することができる。

【0039】

電流比較器 50 の入力の本質的に低インピーダンス特性を有するため、本実施の形態において、選択回路 30 による測定電圧 V_{out} の切替の際における、ノード N3 の電圧の静定時間は、特許文献 1 において電圧同士を比較する電圧比較回路の入力電圧の静定時間と比較して、大幅に短縮される。特に、電流比較器 50 を複数の内部ノード間で共有することで回路規模が抑制された構成において、テスト時間を短縮する効果が大きい。

10

【0040】

更に、式 (4) から理解される通り、抵抗素子 202a の電気抵抗値 RO を変えることで、基準電流源 40 での固定された基準電流 I_{ref} を用いて、測定電圧 V_{out} と比較される判定電圧 V_{to} を等価的に変化することができる。即ち、電圧電流変換回路 20 での、抵抗素子 202a の電気抵抗値 RO に従う変換ゲインを変えることで、基準電流 I_{ref} を固定した上で、各内部ノード NT での測定電圧 V_{out} の正常範囲に対応させて、判定電圧 V_{to} を自由に定めることができる。即ち、電圧電流変換回路 20 での電気抵抗値 RO (即ち、変換ゲイン) は、少なくとも判定電圧 V_{to} を反映して決定され、好ましくは、式 (4) に従って設定される。これにより、複数の測定電圧に対する判定電圧の切替を簡素な構成で実現することができる。これらの結果、半導体集積回路装置の製造コストを低減することができる。

20

【0041】

尚、式 (1) ~ (4) において、 V_{gs2} 及び V_{gs4} は、NMOS トランジスタ 201a 及び NMOS トランジスタ 403 の間で、電流及びトランジスタサイズ (W/L) の比を合わせることで同等の値とすることができる。これにより、式 (4) に従って電気抵抗値 RO 、 RP が決定された下で、 $I_{out} = I_{ref}$ のときに、 $V_{gs2} = V_{gs4}$ として、測定電圧 V_{out} と上記判定電圧 V_{to} との比較を行うことができる。

【0042】

但し、トランジスタの製造ばらつき (主に、閾値電圧ばらつき)、及び、温度変化に伴って、 V_{gs2} 及び V_{gs4} が変動すると、判定結果が影響を受けることが懸念される。従って、電圧電流変換回路 20 及び基準電流源 40 に使用する NMOS トランジスタ 201a、403 には、閾値電圧 (V_{th}) が判定電圧 V_{to} 及び基準電圧 V_{ref} よりも十分に小さな素子を適用することが好ましい。例えば、原理的には $V_{th} = 0$ (V) であるネイティブ MOS を用いて、NMOS トランジスタ 201a、403 を構成することが好ましい。

30

【0043】

図 2 では、NMOS トランジスタを用いて電圧電流変換回路 20 を構成する例を示したが、PMOS トランジスタを用いて電圧電流変換を行う構成とすることも可能である。特に、判定電圧 V_{to} が低い場合には、式 (1) 中での V_{gs2} の影響を軽減するために、抵抗素子 202a (電気抵抗値 RO) に印加される電圧を大きくことが好ましい。

40

【0044】

(変形例 1)

図 3 には、PMOS トランジスタを用いて電圧電流変換を行う変形例に係る、図 1 の各ブロックの内部構成を説明する回路図が示される。図 3 においても、内部回路 10a に対応する構成が添字 a を付して代表的に示されるが、同様の構成が、各内部回路 10 に対応して配置されている。

【0045】

図 3 を参照して、変形例 1 では、図 2 における電圧電流変換回路 20a、電流比較器 50、及び、基準電流源 40 が、電圧電流変換回路 20p a、電流比較器 50 p、及び、基準電流源 40 p に置換される。

50

【 0 0 4 6 】

電圧電流変換回路 2 0 p a は、PMOS トランジスタ 2 0 1 p a と、抵抗素子 2 0 2 a を有する。抵抗素子 2 0 2 a (電気抵抗値 R_O) は、電源ライン N P と、PMOS トランジスタ 2 0 1 p a との間に接続される。PMOS トランジスタ 2 0 1 p a は、抵抗素子 2 0 2 a 及びノード N 1 a の間に接続される。PMOS トランジスタ 2 0 1 p a のゲートは、NMOS トランジスタ 2 0 1 (図 2) と同様に、測定対象とされる内部ノード N T a と接続される。選択回路 3 0 の構成は、図 2 と同様である。

【 0 0 4 7 】

電流比較器 5 0 p は、2 組のカレントミラーを構成する、NMOS トランジスタ 5 0 1 p , 5 0 2 p と、PMOS トランジスタ 5 0 3 p , 5 0 4 p とを含む。NMOS トランジスタ 5 0 1 p は、ノード N 2 及び接地ライン N L の間に接続され、NMOS トランジスタ 5 0 2 p は、ノード N 3 及び接地ライン N L の間に接続される。NMOS トランジスタ 5 0 1 p 及び 5 0 1 n は、PMOS トランジスタ 5 0 1 及び 5 0 2 (図 2) と同様にカレントミラーを構成する。

10

【 0 0 4 8 】

この結果、スイッチ 3 0 1 a のオンに応じて、電源ライン N P から接地ライン N L へ、抵抗素子 2 0 2 a 、PMOS トランジスタ 2 0 1 p a 、スイッチ 3 0 1 a (ノード N 1 a)、及び、NMOS トランジスタ 5 0 1 p を含む、出力電流 I_{out} の経路が生じる。出力電流 I_{out} は、図 2 での式 (1) に代わる下記の式 (5) に従って、測定電圧 V_{out} を電圧電流変換したものである。式 (5) より、電圧電流変換回路 2 0 p a の変換ゲインも、 $(1 / R_O)$ である。

20

【 0 0 4 9 】

$$I_{out} = (V_{DD} - V_{out} - V_{gs2}) / R_O \quad \dots (5)$$

基準電流源 4 0 は、抵抗素子 4 0 1 , 4 0 2 , 4 0 4 と、PMOS トランジスタ 4 0 3 p と、NMOS トランジスタ 4 0 5 p , 4 0 6 p とを有する。NMOS トランジスタ 4 0 6 p は、接地ライン N L 及びノード N 4 の間に接続され、NMOS トランジスタ 4 0 5 p は、接地ライン N L 及びノード N 7 の間に接続される。NMOS トランジスタ 4 0 5 p 及び 4 0 6 p は、PMOS トランジスタ 4 0 5 及び 4 0 6 (図 2) と同様にカレントミラーを構成する。PMOS トランジスタ 4 0 3 p は、ノード N 5 及びノード N 7 の間に接続され、抵抗素子 4 0 4 (電気抵抗値 R_P) は、ノード N 5 及び電源ライン N P の間に接続される。

30

【 0 0 5 0 】

この結果、基準電流源 4 0 p では、電源ライン N P から接地ライン N L へ、抵抗素子 4 0 4 、PMOS トランジスタ 4 0 3 p 、及び、NMOS トランジスタ 4 0 5 p を含む、基準電圧 V_{ref} に応じた基準電流 I_{ref} の経路が生じる。

【 0 0 5 1 】

基準電流 I_{ref} は、図 2 での式 (2) に代わる下記の式 (6) によって示される。式 (6) より、基準電流源 4 0 p での変換ゲインも $(1 / R_P)$ である。

【 0 0 5 2 】

$$I_{ref} = (V_{DD} - V_{ref} - V_{gs4}) / R_P \quad \dots (6)$$

40

図 3 の電流比較器 5 0 p において、基準電流 I_{ref} は、PMOS トランジスタ 5 0 3 p 及び 5 0 4 p によるカレントミラー (電流比 1 : 1) によってコピーされる。これにより、PMOS トランジスタ 5 0 3 p は、図 2 と反対に、基準電流 I_{ref} 相当の電流を、ノード N 3 へ供給する。

【 0 0 5 3 】

一方で、電圧電流変換回路 2 0 p に生じる出力電流 I_{out} は、NMOS トランジスタ 5 0 1 p 及び 5 0 2 p によるカレントミラー (電流比 1 : 1) によってコピーされる。この結果、電流比較器 5 0 p では、NMOS トランジスタ 5 0 2 p によって、出力電流 I_{out} 相当の電流が、ノード N 3 から引き抜かれる。

【 0 0 5 4 】

50

従って、電流比較器50pにおいても、N3には、出力電流 I_{out} 及び基準電流 I_{ref} の電流差を増幅した電圧 V_3 が発生する。具体的には、電流比較器50(図2)とは逆の極性で、 $I_{ref} > I_{out}$ の場合には、電圧 V_3 は、Hレベル(VDD)となる。一方で、 $I_{out} > I_{ref}$ の場合には、電圧 V_3 は、Lレベル(GND)となる。ノードN3の電圧 V_3 は、判定信号 S_{jd} として、電流比較器50pから出力される。

【0055】

尚、上述の式(5)、(6)から理解される様に、図3の変形例では、測定電圧 V_{out} に対する判定電圧 V_{to} を用いて、 $V_{out} = V_{to}$ のときに、 $I_{out} = I_{ref}$ となる様に設計するためには、下記の式(7)に従って、抵抗素子202aの電気抵抗値 RO 、及び、抵抗素子404の電気抵抗値 RP の比が決められる。

【0056】

$$RO = (VDD - V_{to} - V_{gs2}) / (VDD - V_{ref} - V_{gs4}) \cdot RP \quad \dots \quad (7)$$

この様に、変形例1の構成では、図2の構成例に対して、電源ラインNP及び接地ラインNLの位置の入れ替え、並びに、NMOSトランジスタ及びPMOSトランジスタの入れ替えを行うことにより、PMOSトランジスタを用いて電圧電流変換を行うことが可能となる。

【0057】

変形例1の構成によっても、図2の構成と同様に、測定電圧 V_{out} を電流変換した出力電流 I_{out} と、基準電流 I_{ref} との比較によって、測定電圧 V_{out} を判定電圧 V_{to} と比較することができる。これにより、判定電圧 V_{to} が低い場合に図3の変形例を用いることで、図2で説明したのと同様の効果を得ることができる。

【0058】

(変形例2)

更に、式(1)、(2)等での V_{gs2} 、 V_{gs4} の影響をキャンセルするための変形例について説明する。

【0059】

図4は、図2に示された電圧電流変換回路20aの変形例を説明する回路図である。

図4の変形例2に係る電圧電流変換回路20aは、電圧電流変換回路20a(図2)と同様のNMOSトランジスタ201a及び抵抗素子202aに加えて、オペアンプバッファ230aを更に含む。

【0060】

オペアンプバッファ230aは、PMOSトランジスタ2033a、2034aと、NMOSトランジスタ2031a、2032a、2035aと、電流源2036a、2037aとを有する。

【0061】

PMOSトランジスタ2033a及び2034aは、電源ラインNPと、ノードN10及びノードN11の間にそれぞれ接続され、NMOSトランジスタ2031a及び2032aは、ノードN10及びノードN11と、ノードN12との間にそれぞれ接続される。電流源2036aは、ノードN12及び接地ラインNLの間に接続される。更に、PMOSトランジスタ2033a及び2034aのゲートがノードN10と接続される。

【0062】

この様に、PMOSトランジスタ2033a、2034aと、NMOSトランジスタ2031a、2032aと、電流源2036aとによって、カレントミラー型の差動アンプが構成される。NMOSトランジスタ2031aのゲートは、測定ノードに相当する内部ノードNTaと接続される。

【0063】

更に、NMOSトランジスタ2035aは、電源ラインNPと、NMOSトランジスタ2032aのゲートと接続されるノードN13との間に接続される。電流源2037aは、ノードN13及び接地ラインNLの間に接続される。NMOSトランジスタ2035a

10

20

30

40

50

のゲートは、ノードN11と接続される。尚、NMOSトランジスタ2035a、NMOSトランジスタ201a、及び、NMOSトランジスタ403（基準電流源40）は、同じ特性（トランジスタサイズ）で設計される。

【0064】

これにより、オペアンプバッファ230aでは、NMOSトランジスタ2032aのゲート電圧は、NMOSトランジスタ2031aのゲート電圧、即ち、測定電圧 V_{out} と同等となる。更に、電流源2037aの電流を基準電流 I_{ref} と同等すると、NMOSトランジスタ2035aのゲートソース間電圧は、図2での V_{gs4} と同等となる。従って、NMOSトランジスタ2035aのゲート電圧、即ち、ノードN11の電圧は、 $V_{out} + V_{gs4}$ 相当となる。

10

【0065】

一方で、NMOSトランジスタ201aには、図2と同様のゲートソース間電圧 V_{gs2} が生じる。この結果、抵抗素子202aに印加される電圧は、 $V_{out} + V_{gs4} - V_{gs2}$ となることが理解される。

【0066】

更に、変形例2では、基準電流源側にも同様のオペアンプバッファが配置される。

図5は、図2に示された基準電流源40の変形例を説明する回路図である。

【0067】

図5の変形例2に係る基準電流源40は、基準電流源40（図2）と比較すると、抵抗素子401及び402の接続点であるのノードN6と、NMOSトランジスタ403のゲートとの間に、オペアンプバッファ407を更に含む点で異なる。

20

【0068】

オペアンプバッファ407は、図4のオペアンプバッファ230aと同様に構成されており、NMOSトランジスタ4071、4072、4075と、NMOSトランジスタ4073、4074と、電流源4076、4077とを有する。

【0069】

NMOSトランジスタ4071のゲートは、基準電圧 V_{ref} が生成されるノードN6と接続される。NMOSトランジスタ4075は、電源ラインNP及びノードN14の間に接続され、電流源4077は、ノードN14及び接地ラインNLの間に接続される。NMOSトランジスタ4075のゲートは、PMOSトランジスタ4074及びNMOSトランジスタ4072の接続点であるノードN15と接続される。NMOSトランジスタ403のゲートも、ノードN15と接続される。尚、NMOSトランジスタ4075は、NMOSトランジスタ403（基準電流源40）と同じ特性（トランジスタサイズ及び閾値電圧）で設計される。

30

【0070】

これにより、オペアンプバッファ407では、NMOSトランジスタ4072のゲート電圧は、NMOSトランジスタ4071のゲート電圧、即ち、基準電圧 V_{ref} と同等となる。更に、電流源4077の電流を、抵抗素子404を流れる電流、即ち、基準電流 I_{ref} と同等すると、NMOSトランジスタ4075のゲートソース間電圧は、NMOSトランジスタ403のゲートソース間電圧 V_{gs4} と同等となる。従って、NMOSトランジスタ4075のゲート電圧、即ち、ノードN15の電圧は、 $V_{out} + V_{gs4}$ 相当となる。

40

【0071】

この結果、抵抗素子404に印加される電圧は、基準電圧 V_{ref} と同等になることが理解される。従って、基準電流 I_{ref} は、 $I_{ref} = V_{ref} / R_S$ で示される。

【0072】

上述の様に、電圧電流変換回路20aにおいて、抵抗素子202aに印加される電圧は、 $V_{out} + V_{gs4} - V_{gs2}$ である。従って、測定電圧 V_{out} が判定電圧 V_{to} であるとき（ $V_{out} = V_{to}$ ）に、出力電流 I_{out} と基準電流 I_{ref} が等しくなる様に設計すると、 $V_{gs4} = V_{gs2}$ となるので、出力電流 I_{out} は、 $I_{out} = V_{ou}$

50

t / R Oで示される。

【 0 0 7 3 】

従って、オペアンプバッファを含む電圧電流変換回路 2 0 a 及び基準電流源 4 0 を適用した変形例では、測定電圧 V o u t に対する判定電圧 V t o を用いて、 $V o u t = V t o$ のときに、 $I o u t = I r e f$ となる様に設計するためには、下記の式 (8) に従って、抵抗素子 2 0 2 a の電気抵抗値 R O、及び、抵抗素子 4 0 4 の電気抵抗値 R P の比を決めることができる。尚、式 (8) は、図 2 及び図 3 の電圧電流変換回路 2 0 , 2 0 p においても、 $V g s 2 = V g s 4$ とすることで成立する。

【 0 0 7 4 】

$$R O = (V t o / V r e f) \cdot R P \quad \dots (8)$$

10

式 (8) から理解される様に、オペアンプバッファを用いることによって、トランジスタの製造ばらつき (主に、閾値電圧ばらつき)、及び、温度変化が生じて、式 (4)、(7) 中での $V G s 2$ 、 $V g s 4$ の依存性をキャンセルすることができる。この結果、測定電圧 V o u t と判定電圧 V t o との比較判定を高精度化することができる。

【 0 0 7 5 】

尚、オペアンプバッファ 2 3 0 a (図 4) 及びオペアンプバッファ 4 0 7 (図 5) は、図 3 に示された変形例 1 での電圧電流変換回路 2 0 p a 及び基準電流源 4 0 p に対しても、それぞれ適用することが可能である。この場合は、図 2 から図 3 へのアレンジと同様に、オペアンプバッファ 2 3 0 a 及びオペアンプバッファ 4 0 7 の各々において、電源ライン N P 及び接地ライン N L の位置の入れ替え、並びに、N M O S トランジスタ及び P M O S トランジスタの入れ替えを行うことが必要である。

20

【 0 0 7 6 】

実施の形態 2 .

図 6 は、実施の形態 2 に係る半導体集積回路装置 5 b の構成を示すブロック図である。

【 0 0 7 7 】

図 6 に示される様に、半導体集積回路装置 5 b は、実施の形態 1 に係る半導体集積回路装置 5 a と比較して、N 個の電圧電流変換回路 2 0 に代えて N 個の電圧電流変換回路 2 1 を備える点と、選択回路 3 0 に代えて選択回路 3 1 とを備える点で異なる。図 6 でも N = 4 の場合の構成例が示される。

【 0 0 7 8 】

30

各選択回路 2 1 は、対応の内部回路 1 0 の測定ノードに相当する内部ノード N T での測定電圧 V o u t に対する変換ゲインが異なる 2 つの出力電流を発生されるノードを有している。これに応じて、選択回路 3 1 は、N 個の電圧電流変換回路 2 1 の (2 x N) 個のノードのうちの 1 個を選択して、電流比較器 5 0 と接続する様に構成される。

【 0 0 7 9 】

実施の形態 2 では、測定電圧 V o u t を、2 種類の判定電圧と比較することができる。例えば、測定電圧 V o u t の正常範囲の下限値に相当する判定電圧 V t l と、当該正常範囲の上限値に相当する判定電圧 V t u とを測定電圧 V o u t と比較することで、測定電圧 V o u t が正常範囲内であるか否かの判定が可能となる。

【 0 0 8 0 】

40

図 7 には、図 6 に記載された各ブロックの内部構成を説明するための回路図が示される。図 7 においても、内部回路 1 0 a に対応する構成が添字 a を付して代表的に示されるが、同様の構成が、各内部回路 1 0 に対応して配置されている。

【 0 0 8 1 】

図 7 を参照して、電圧電流変換回路 2 1 a は、N M O S トランジスタ 2 0 3 a , 2 0 5 a と、抵抗素子 2 0 4 a , 2 0 6 a とを含む。N M O S トランジスタ 2 0 3 a 及び 2 0 5 a のゲートは、内部ノード N T a と共通に接続される。即ち、N M O S トランジスタ 2 0 3 a 及び 2 0 5 a のゲート電圧は、測定電圧 V o u t である。

【 0 0 8 2 】

N M O S トランジスタ 2 0 3 a は、ノード N 1 a x 及び抵抗素子 2 0 4 a の間に接続さ

50

れ、抵抗素子 204a は、NMOS トランジスタ 203a 及び接地ライン NL の間に接続される。抵抗素子 204a は、電気抵抗値 R_U を有する。

【0083】

同様に、NMOS トランジスタ 205a は、ノード N_{1ay} 及び抵抗素子 206a の間に接続され、抵抗素子 206a は、NMOS トランジスタ 205a 及び接地ライン NL の間に接続される。抵抗素子 206a は、電気抵抗値 R_L を有する。

【0084】

電圧電流変換回路 21a では、図 2 での NMOS トランジスタ 201a 及び抵抗素子 202a の直列回路に相当する「電圧電流変換ユニット」が 2 個設けられており、図 2 でのノード N_{1a} に相当する、出力電流 I_{out} が生成されるノードが、ノード N_{1xa} , N_{1ya} の 2 個に増加する。抵抗素子 204a 及び 206a の電気抵抗値が異なるので、2 個の電圧電流変換ユニットは、共通の測定電圧 V_{out} を、異なる変換ゲインで出力電流に変換する。

10

【0085】

電圧電流変換回路 21b ~ 21d についても、電圧電流変換回路 21a と同様に構成されており、各電圧電流変換回路 21 において、2 個のノードと接地ライン NL との間に、NMOS トランジスタ及び抵抗素子の直列回路（電圧電流変換ユニット）がそれぞれ配置される。

【0086】

選択回路 31 は、スイッチ 302a ~ 302d, 303a ~ 303d を有する。スイッチ 303a ~ 303d は、電圧電流変換回路 21 の 2 個のノードの一方（図 7 でのノード N_{1ax} ）と、ノード N_2 との間にそれぞれ接続される。スイッチ 302a ~ 302d は、電圧電流変換回路 21 の 2 個のノードの他方（図 7 でのノード N_{1ay} ）と、ノード N_2 との間にそれぞれ接続される。

20

【0087】

実施の形態 2 において、ノード N_2 よりも後段の構成、即ち、電流比較器 50 及び基準電流源 40 の構成は、図 2 と同様であるので、詳細な説明は繰り返さない。

【0088】

実施の形態 2 に係る半導体集積回路装置 5b において、選択回路 31 は、スイッチ 302a ~ 302d, 303a ~ 303d のうちの 1 つをオンする一方で、残りのスイッチをオフする。測定対象の内部回路（内部ノード）に対応する 2 つのスイッチについて、一方ずつを順番にオンすることで、ノード N_{1ax} に生成される出力電流（ I_{ou} ）と、ノード N_{1ay} に生成される出力電流（ I_{ol} ）とが、1 つずつ順に電流比較器 50 に入力される。これにより、測定電圧 V_{out} を、2 個の判定電圧 V_{tu} , V_{tl} と順番に比較することができる。

30

【0089】

まず、スイッチ 302a をオンする一方で、残りのスイッチをオフする。これにより、電源ライン NP から接地ライン NL へ、PMOS トランジスタ 501、スイッチ 302a（ノード N_{1ay} ）、NMOS トランジスタ 205a、及び、抵抗素子 206a を含む、出力電流 I_{ol} の経路が、図 2 での出力電流 I_{out} の経路と同様に生じる。このとき、電流比較器 50 では、PMOS トランジスタ 501 及び 502 によるカレントミラーによって、PMOS トランジスタ 502 がノード N_3 へ供給する出力電流 I_{out} が、出力電流 I_{ol} と同等となる（ $I_{out} = I_{ol}$ ）。

40

【0090】

次に、スイッチ 303a をオンする一方で、残りのスイッチをオフする。電源ライン NP から接地ライン NL へ、PMOS トランジスタ 501、スイッチ 303a（ノード N_{1ax} ）、NMOS トランジスタ 203a、及び、抵抗素子 204a を含む、出力電流 I_{ou} の経路が、図 2 での出力電流 I_{out} の経路と同様に生じる。このとき、電流比較器 50 では、PMOS トランジスタ 502 がノード N_3 へ供給する出力電流 I_{out} が、出力電流 I_{ou} と同等となる（ $I_{out} = I_{ou}$ ）。

50

【 0 0 9 1 】

この様に、電圧電流変換回路 2 1 は、共通の測定電圧 V_{out} に対して、変換ゲインが異なる複数の出力電流 I_{o1} 、 I_{ou} を生成することができる。測定電圧 V_{out} に対する、出力電流 I_{o1} 及び I_{ou} のそれぞれの変換ゲインは、電気抵抗値 R_L 及び R_L によって調整される。

【 0 0 9 2 】

上述した、測定電圧 V_{out} の正常範囲の下限値に相当する判定電圧 V_{t1} について、 $V_{out} = V_{t1}$ のときに、 $I_{out} = I_{o1} = I_{ref}$ とするための電気抵抗値 R_U は、式 (4) を変形した下記の式 (9) によって示される。式 (9) 中の V_{gs22} は、NMOS トランジスタ 2 0 5 a のゲートソース間電圧を示す。

【 0 0 9 3 】

$$R_O = (V_{t1} - V_{gs22}) / (V_{ref} - V_{gs4}) \cdot R_P \quad \dots (9)$$

測定電圧 V_{out} の正常範囲の上限値に相当する判定電圧 V_{tu} について、 $V_{out} = V_{tu}$ のときに、 $I_{out} = I_{ou} = I_{ref}$ とするための電気抵抗値 R_U は、式 (4) を変形した下記の式 (10) によって示される。式 (10) 中の V_{gs21} は、NMOS トランジスタ 2 0 3 a のゲートソース間電圧を示す。

【 0 0 9 4 】

$$R_O = (V_{tu} - V_{gs21}) / (V_{ref} - V_{gs4}) \cdot R_P \quad \dots (10)$$

電流比較器 5 0 では、図 2 と同様に、基準電流 I_{ref} と同等の電流が、NMOS トランジスタ 5 0 3 によって、ノード N_3 から引き抜かれる。従って、ノード N_3 では、スイッチ 3 0 2 a のオン時には、出力電流 I_{o1} と基準電流 I_{ref} との電流差を増幅した電圧 V_3 が生じる一方で、スイッチ 3 0 3 a のオン時には、出力電流 I_{ou} と基準電流 I_{ref} との電流差を増幅した電圧 V_3 が生じることになる。即ち、 I_{ou} 又は I_{o1} のいずれかに設定される出力電流 I_{out} と、基準電流 I_{ref} との大小に応じて、ノード N_3 に生成される判定信号 S_{jd} は、H レベル又は L レベルに設定される。

【 0 0 9 5 】

従って、スイッチ 3 0 2 a のオン時には、 $V_{out} > V_{t1}$ のときには、 $I_{out} = I_{ou} > I_{ref}$ となるので、判定信号 S_{jd} は H レベルに設定される。一方で、スイッチ 3 0 3 a のオン時には、 $V_{out} < V_{tu}$ のときには、 $I_{out} = I_{o1} < I_{ref}$ となるので、判定信号 S_{jd} は L レベルに設定される。この様にして、測定電圧 V_{out} が、予め定められた電圧範囲 (正常範囲) $V_{tu} < V_{out} < V_{t1}$ に含まれるか否かを判定することができる。

【 0 0 9 6 】

以上説明した様に、実施の形態 2 に係る半導体集積回路装置によれば、実施の形態 1 で説明した効果に加えて、1 組の基準電流源 4 0 及び電流比較器 5 0 を用いて、回路規模の増大を抑制して、測定電圧 V_{out} を複数の判定電圧と比較することができる。これにより、正常範囲の下限値及び上限値との比較により、測定電圧 V_{out} が正常範囲内であるか否かの判定を効率的に実行することができる。

【 0 0 9 7 】

尚、実施の形態 2 においても、実施の形態 1 で説明した変形例 1 及び変形例 2 を適用することが可能である。即ち、電圧電流変換回路 2 1、電流比較器 5 0、及び、基準電流源 4 0 において、電源ライン NP 及び接地ライン NL の位置の入れ替え、並びに、NMOS トランジスタ及び PMOS トランジスタの入れ替えを行うことにより、PMOS トランジスタを用いて電圧電流変換を行うことが可能である。或いは、電圧電流変換回路 2 1 及び基準電流源 4 0 にオペアンプバッファ (図 4、図 5) を追加することで、MOS トランジスタのばらつき及び温度変動の影響を抑制して、判定の高精度化を図ることができる。

【 0 0 9 8 】

実施の形態 3 .

実施の形態 3 では、実施の形態 2 と同様に、測定電圧 V_{out} を複数の判定電圧と比較する構成の他の一例を説明する。

10

20

30

40

50

【0099】

図8は、実施の形態3に係る半導体集積回路装置5cの構成を示すブロック図である。

図8に示される様に、半導体集積回路装置5cは、実施の形態1に係る半導体集積回路装置5aと比較して、N個の電圧電流変換回路20に代えてN個の電圧電流変換回路22を備える点が異なる。各電圧電流変換回路22には、変換ゲインを切替えるための制御信号Schgが入力される。

【0100】

一方で、選択回路30、基準電流源40、及び、電流比較器50については、実施の形態1と同様の構成である。図8でもN=4の場合の構成例が示される。実施の形態3においても、測定電圧Voutを、実施の形態2と同様の判定電圧Vt1, Vtuと比較するための構成について説明する。

10

【0101】

図9には、図8に記載された各ブロックの内部構成を説明するための回路図が示される。図9においても、内部回路10aに対応する構成が添字aを付して代表的に示されるが、同様の構成が、各内部回路10に対応して配置されている。

【0102】

図9を参照して、電圧電流変換回路22aは、NMOSトランジスタ201aと、抵抗素子209a, 210aと、トランジスタスイッチ208aとを有する。抵抗素子209aは、電気抵抗値RO1を有し、抵抗素子210aは、電気抵抗値RO2を有する。

【0103】

電圧電流変換回路22aは、図2の電圧電流変換回路20aと比較すると、抵抗素子202aに代えて、直列接続された抵抗素子209a及び201aが、NMOSトランジスタ201aのソースと接地ラインNLとの間に接続される構成を有する。トランジスタスイッチ208aは、抵抗素子210aに対して並列に接続される。トランジスタスイッチ208aは、制御信号SchgがHレベルのときにオンされる一方で、Lレベルのときにはオフされる。

20

【0104】

実施の形態3において、ノードN1a~N1dよりも後段の構成、即ち、選択回路30、電流比較器50、及び、基準電流源40の構成は、図2と同様であるので、詳細な説明は繰り返さない。

30

【0105】

実施の形態3に係る半導体集積回路装置5cにおいて、選択回路30は、図2と同様に、測定ノードに対応するスイッチ301aをオンする。これにより、図2と同様に、電源ラインNPから接地ラインNLへ、PMOSトランジスタ501、スイッチ301a(ノードN1a)、及び、NMOSトランジスタ201aを含む、出力電流Ioutの経路が生じる。

【0106】

電圧電流変換回路22aでは、出力電流Ioutの経路に含まれる、NMOSトランジスタ201aのソースと接地ラインNLの間の電気抵抗値が、制御信号Schgに応じて切替えられる。具体的には、制御信号SchgがHレベルのときには、出力電流Ioutが抵抗素子210aをバイパスするので、電気抵抗値はRO1となる。これに対して、制御信号SchgがLレベルのときには、出力電流Ioutが抵抗素子209a及び210aの両方を通過するので、電気抵抗値はRO1+RO2となる。

40

【0107】

この結果、電圧電流変換回路22aでは、実施の形態2(図7)の電圧電流変換回路21aと同様に、測定電圧Voutに対する出力電流Ioutの変換ゲインを2段階に設定できる。それぞれの変換ゲインは、1/RO1及び1/(RO1+RO2)に相当する。電流比較器50では、PMOSトランジスタ502がノードN3へ供給する出力電流Ioutが、トランジスタスイッチ208aに入力される制御信号Schgに応じて切替えられることになる。即ち、トランジスタスイッチ208aによって「ゲイン切替機構」の一

50

実施例を構成することができる。

【0108】

実施の形態2と同様の判定電圧 V_{t1} （下限値側）について、 $V_{out} = V_{t1}$ のときに、 $I_{out} = I_{ref}$ とするための電気抵抗値 R_{O1} は、式(4)を変形した下記の式(11)によって示される。

【0109】

$$R_{O1} = (V_{t1} - V_{gs2}) / (V_{ref} - V_{gs4}) \cdot R_P \quad \dots (11)$$

同様に、判定電圧 V_{tu} （上限値側）について、 $V_{out} = V_{tu}$ のときに、 $I_{out} = I_{ref}$ とするための電気抵抗値 $R_{O1} + R_{O2}$ は、式(4)を変形した下記の式(12)によって示される。

【0110】

$$R_{O1} + R_{O2} = (V_{tu} - V_{gs2}) / (V_{ref} - V_{gs4}) \cdot R_P \quad \dots (12)$$

電流比較器50では、図2と同様に、基準電流 I_{ref} と同等の電流が、NMOSトランジスタ503によって、ノードN3から引き抜かれる。従って、ノードN3では、制御信号 S_{chg} に応じて変換ゲインが切り替えられる出力電流 I_{out} と、基準電流 I_{ref} の電流差を増幅した電圧 V_3 が生じる。

【0111】

従って、制御信号 S_{chg} のHレベル時（トランジスタスイッチ208aのオン時）には、 $V_{out} < V_{t1}$ のときには、 $I_{out} > I_{ref}$ となって、判定信号 S_{jd} はHレベルに設定される。一方で、制御信号 S_{chg} のLレベル時（トランジスタスイッチ208aのオフ時）には、 $V_{out} < V_{tu}$ のときには、 $I_{out} < I_{ref}$ となって、判定信号 S_{jd} はLレベルに設定される。この様にして、測定電圧 V_{out} が、予め定められた電圧範囲（正常範囲） $V_{tu} < V_{out} < V_{t1}$ に含まれるか否かを判定することができる。

【0112】

以上説明した様に、実施の形態3に係る半導体集積回路装置によれば、実施の形態2と同様に、1組の基準電流源40及び電流比較器50を用いて、回路規模の増大を抑制して、測定電圧 V_{out} を複数の判定電圧と比較することができる。これにより、正常範囲の下限値及び上限値との比較により、測定電圧 V_{out} が正常範囲内であるか否かの判定を効率的に実行することができる。

【0113】

更に、実施の形態3の構成によれば、スイッチ数が2倍となる選択回路31を用いることなく、実施の形態2と同様の測定電圧 V_{out} の判定を実行することができる。即ち、実施の形態2と同様の効果が得られるとともに、実施の形態2と比較して、回路規模を抑制することが可能となる。

【0114】

尚、実施の形態3においても、実施の形態1で説明した変形例1及び変形例2を適用することが可能である。即ち、電圧電流変換回路22、電流比較器50、及び、基準電流源40において、電源ラインNP及び接地ラインNLの位置の入れ替え、並びに、NMOSトランジスタ及びPMOSトランジスタの入れ替えを行うことにより、PMOSトランジスタを用いて電圧電流変換を行うことが可能である。或いは、電圧電流変換回路22及び基準電流源40にオペアンプバッファ（図4、図5）を追加することで、MOSトランジスタのばらつき及び温度変動の影響を抑制して、判定の高精度化を図ることができる。

【0115】

実施の形態4 .

実施の形態4では、実施の形態2及び3で説明した、測定電圧 V_{out} と、複数の判定電圧（例えば、 V_{tu} 、 V_{t1} ）との比較を同時刻に実行可能な構成を説明する。

【0116】

図10は、実施の形態4に係る半導体集積回路装置5dの構成を示すブロック図である。

【0117】

10

20

30

40

50

図10に示される様に、半導体集積回路装置5dは、実施の形態2に係る半導体集積回路装置5b(図6)と比較して、選択回路31に代えて選択回路32が配置される点、電流比較器50に代えて電流比較器51が配置される点、及び、判定論理回路60が更に配置される点で異なる。一方で、電圧電流変換回路21及び基準電流源40は、実施の形態2(図6)と同様である。

【0118】

図11には、図10に示された各ブロックの内部構成を説明するための回路図が示される。図11においても、内部回路10aに対応する構成が添字aを付して代表的に示されるが、同様の構成が、各内部回路10に対応して配置されている。

【0119】

図11に示される様に、選択回路32は、スイッチ304a~304d, 305a~305dを有する。又、電流比較器51は、ノードN2x及びN2xに出力電流Ioutx及びIoutyを同時に生成できる様に構成される。

【0120】

従って、電圧電流変換回路21aのノードN1axは、選択回路32のスイッチ305aを介して、電流比較器51のノードN2xと接続され、電圧電流変換回路21aのノードN1ayは、選択回路32のスイッチ304aを介して、電流比較器51のノードN2yと接続される。この様に、選択回路32は、電圧電流変換回路21a~21dのうちの1つの電圧電流変換回路21の2個のノード(N1ax, N1ay相当)を、電流比較器51のノードN2x及びN2yとそれぞれ接続する様に制御される。

【0121】

電流比較器51は、4組のカレントミラーを構成する、PMOSトランジスタ505~508と、NMOSトランジスタ509~511とを有する。

【0122】

PMOSトランジスタ505及び506は、電源ラインNPと、ノードN2x及びN3xとの間にそれぞれ接続される。PMOSトランジスタ505及び506は、ゲートがノードN2x(即ち、PMOSトランジスタ505のドレイン)と共通接続されることでカレントミラー(電流比は1:1)を構成する。

【0123】

PMOSトランジスタ507及び508は、電源ラインNPと、ノードN2y及びN3yとの間にそれぞれ接続される。PMOSトランジスタ507及び508は、ゲートがノードN2y(即ち、PMOSトランジスタ507のドレイン)と共通接続されることでカレントミラー(電流比は1:1)を構成する。

【0124】

NMOSトランジスタ509は、ノードN3x及び接地ラインNLの間に接続され、NMOSトランジスタ510は、ノードN3y及び接地ラインNLの間に接続される。NMOSトランジスタ511は、図7のNMOSトランジスタ504と同様に、ノードN4と接地ラインNLとの間に接続される。ノードN4に対しては、図2と同様の基準電流源40から基準電流Irefが供給される。

【0125】

NMOSトランジスタ509~511のゲートは、ノードN4(NMOSトランジスタ511のドレイン)と共通接続される。これにより、NMOSトランジスタ511及び509によるカレントミラー(電流比は1:1)、並びに、NMOSトランジスタ511及び510によるカレントミラー(電流比は1:1)が構成される。

【0126】

次に、図11に示された回路の動作を説明する。図11の例では、内部回路10aの内部ノードNTaが選択されて、選択回路32において、スイッチ304a及び305aがオンされたときの動作を説明する。

【0127】

スイッチ305aのオンにより、電源ラインNPから接地ラインNLへ、PMOSトラ

10

20

30

40

50

ンジスタ505、スイッチ305a(ノードN1ax)、NMOSTランジスタ203a、及び、抵抗素子204aを含む、出力電流 I_{outx} の経路が生じる。出力電流 I_{outx} は、図7における出力電流 I_{ou} と同等である。

【0128】

同様に、スイッチ304aのオンにより、電源ラインNPから接地ラインNLへ、PMOSTランジスタ507、スイッチ304a(ノードN1ay)、NMOSTランジスタ205a、及び、抵抗素子206aを含む、出力電流 I_{outy} の経路が生じる。出力電流 I_{outy} は、図7における出力電流 I_{ol} と同等である。この様に、実施の形態4の電流比較器52では、図7での出力電流 I_{ou} 及び I_{ol} にそれぞれ相当する出力電流 I_{outx} 及び I_{outy} が同時に発生する。即ち、電流比較器50には、電圧電流変換回路22によって生成された、変換比が異なる複数の出力電流 I_{outx} 、 I_{outy} が並列に入力される。

10

【0129】

出力電流 I_{outx} は、PMOSTランジスタ505及び506によるカレントミラー(電流比1:1)によってコピーされる。同様に、出力電流 I_{outy} は、PMOSTランジスタ507及び508によるカレントミラー(電流比1:1)によってコピーされる。この結果、電流比較器52では、PMOSTランジスタ506によって、出力電流 I_{outx} 相当の電流が、ノードN3xに供給されるとともに、PMOSTランジスタ508によって、出力電流 I_{outy} 相当の電流が、ノードN3yに供給される。

【0130】

20

一方で、基準電流源40からノードN4に供給される基準電流 I_{ref} が、NMOSTランジスタ511及び509によるカレントミラー(電流比1:1)、及び、NMOSTランジスタ511及び510によるカレントミラー(電流比1:1)によってコピーされる。これにより、ノードN3xから、PMOSTランジスタ509によって、基準電流 I_{ref} と同等の電流が引き抜かれる。同様に、ノードN3yから、PMOSTランジスタ510によって、基準電流 I_{ref} と同等の電流が引き抜かれる。

【0131】

この結果、ノードN3xには、出力電流 I_{outx} ($I_{outx} = I_{ou}$)と基準電流 I_{ref} との電流差を増幅した電圧 V_{3x} が生じる。これは、図7において、スイッチ303aのオン時にノードN3に生じる電圧 V_3 と同等である。従って、電圧 V_{3x} は、測定電圧 V_{out} と、判定電圧 V_{tu} (上限値側)との比較結果を示す電圧レベルに設定される。図7と同様に、 $V_{out} < V_{tu}$ のときには、 $I_{out} < I_{ref}$ となるので、電圧 V_{3x} に相当する判定信号 S_{idx} はLレベルに設定される。

30

【0132】

一方で、ノードN3yには、出力電流 I_{outy} ($I_{outy} = I_{ou}$)と基準電流 I_{ref} との電流差を増幅した電圧 V_{3y} が生じる。これは、図7において、スイッチ302aのオン時にノードN3に生じる電圧 V_3 と同等である。従って、電圧 V_{3y} は、測定電圧 V_{out} と、判定電圧 V_{tl} (下限値側)との比較結果を示す電圧レベルに設定される。図7と同様に、 $V_{out} > V_{tl}$ のときには、 $I_{out} = I_{ol} > I_{ref}$ となるので、電圧 V_{3y} に相当する判定信号 S_{idy} はHレベルに設定される。

40

【0133】

判定論理回路60は、インバータ601及びNAND(否定論理積)ゲート602を有する。インバータ601は、判定信号 S_{idx} を反転して出力する。NANDゲート602には、インバータ610の出力電圧と、判定信号 S_{idy} とが入力されて、判定信号 S_{jd} を出力する。図11の構成では、判定論理回路60からの判定信号 S_{jd} を、半導体集積回路装置5fの外部からコンタクト可能な端子6に出力することができる。

【0134】

従って、上述した、 $V_{out} < V_{tu}$ ($V_{3x} = L$ レベル)、及び、 $V_{out} > V_{tl}$ ($V_{3y} = H$ レベル)の両方が成立して、測定電圧 V_{out} が、 $V_{tl} < V_{out} < V_{tu}$ の電圧範囲(正常範囲)に含まれる場合には、判定信号 $S_{jd} = L$ レベルに設定される

50

。これに対して、測定電圧 V_{out} が、 $V_{tl} < V_{out} < V_{tu}$ の電圧範囲（正常範囲）に含まれない場合には、 $V_{out} < V_{tu}$ 、及び、 $V_{out} > V_{tl}$ のいずれが不成立になるので、判定信号 $S_{jd} = H$ レベルに設定される。

【0135】

以上説明した様に、実施の形態 4 に係る半導体集積回路装置において、電流比較器 5 2 では、測定電圧 V_{out} 及び判定電圧 V_{tl} （下限値側）の比較と、測定電圧 V_{out} 及び判定電圧 V_{tu} （上限値側）との比較とを同時刻に行うことができる。

【0136】

これに対して、実施の形態 2 及び 3 の構成では、測定電圧 V_{out} は、1 個の判定電圧としか比較できないので、測定電圧 V_{out} が、上限値及び下限値によって規定される正常範囲内に含まれるか否かの判定は、異なるタイミングでの判定信号 S_{jd} を用いて実行することが必要になる。

【0137】

この結果、実施の形態 4 の構成によれば、実施の形態 2 と同様の測定電圧 V_{out} と複数の判定電圧との比較、例えば、正常範囲の下限値及び上限値との比較による測定電圧 V_{out} が正常範囲内であるか否かの判定を、実施の形態 2 よりも高速に行うことができる。即ち、実施の形態 4 に係る半導体集積回路装置では、実施の形態 2 で説明した効果に加えて、更なるテスト時間の短縮が可能となる。

【0138】

尚、実施の形態 4 においても、実施の形態 1 で説明した変形例 1 及び変形例 2 を適用することが可能である。即ち、電圧電流変換回路 2 1、電流比較器 5 1、及び、基準電流源 4 0 において、電源ライン NP 及び接地ライン NL の位置の入れ替え、並びに、 $NMOS$ トランジスタ及び $PMOS$ トランジスタの入れ替えを行うことにより、 $PMOS$ トランジスタを用いて電圧電流変換を行うことが可能である。或いは、電圧電流変換回路 2 1 及び基準電流源 4 0 にオペアンプバッファ（図 4、図 5）を追加することで、 MOS トランジスタのばらつき及び温度変動の影響を抑制して、判定の高精度化を図ることができる。

【0139】

実施の形態 5 .

実施の形態 5 では、実施の形態 4 での選択回路 3 2 の配置を省略するための回路構成を説明する。

【0140】

図 1 2 は、実施の形態 5 に係る半導体集積回路装置 5 e の構成を示すブロック図である。

【0141】

図 1 2 に示される様に、半導体集積回路装置 5 e は、実施の形態 4 に係る半導体集積回路装置 5 d（図 1 0）と比較して、選択回路 3 2 の配置が省略される点と、電圧電流変換回路 2 1 に代えて電圧電流変換回路 2 3 が配置される点が異なる。各電圧電流変換回路 2 1 には、イネーブル信号 EN が入力される。図 1 2 においても、 $N = 4$ の構成が示されており、内部回路 1 0 a ~ 1 0 d にそれぞれ対応して配置される電圧電流変換回路 2 3 a ~ 2 3 d に対して、個別のイネーブル信号 $ENa \sim ENd$ がそれぞれ入力される。イネーブル信号 $ENa \sim ENd$ のうちの 1 個は、内部回路 1 0 a ~ 1 0 d の内部ノード $NTa \sim NTd$ を測定対象に選択するために H レベルに設定される。一方で、イネーブル信号 $ENa \sim ENd$ の残りの 3 個は L レベルに設定される。

【0142】

図 1 3 には、図 1 2 に示された各ブロックの内部構成を説明するための回路図が示される。図 1 3 においても、内部回路 1 0 a に対応する構成が添字 a を付して代表的に示されるが、同様の構成が、各内部回路 1 0 に対応して配置されている。

【0143】

図 1 3 に示される様に、電圧電流変換回路 2 3 a は、図 1 1 の電圧電流変換回路 2 1 a と比較して、抵抗素子 2 0 4 a 及び 2 0 6 a と接地ライン NL との間に、抵抗素子 2 0 4 a 及び 2 0 6 a の各々に対して直列接続されたイネーブルスイッチ 2 0 7 a を更にも含む。

10

20

30

40

50

イネーブルスイッチ 207a は、イネーブル信号 ENa に応じてオンオフする。

【0144】

更に、実施の形態 5 では、図 11 での選択回路 32 が配置されないため、各電圧電流変換回路 23 の 2 個のノードは、電流比較器 51 のノード N2x 及び N2y のそれぞれと、スイッチを介することなく接続される。例えば、電圧電流変換回路 23a のノード N1ax 及び N1ay は、スイッチを介することなく、電流比較器 51 のノード N2x 及び N2y とそれぞれ接続される。

【0145】

イネーブル信号 ENa が H レベルに設定されて、イネーブルスイッチ 207a がオンすると、電圧電流変換回路 23a は、電流比較器 51 のノード N2x 及び N2y に対して、電圧電流変換回路 21a と同様の回路状態で接続される。従って、電圧電流変換回路 23a によって、図 11 と同様の出力電流 Ioutx 及び Iouty を、電流比較器 51 に入力することができる。これにより、実施の形態 4 と同様の、測定電圧 Vout と、判定電圧 V1u 及び V1t との比較に基づく、判定信号 Sjd を生成することができる。

10

【0146】

これに対して、イネーブル信号 ENa が L レベルに設定されて、イネーブルスイッチ 207a がオフすると、電圧電流変換回路 23a において、出力電流 Ioutx 及び Iouty の経路が遮断される。これにより、図 11 において、選択回路 32 のスイッチ 304a 及び 305a がオフされた場合と同様に、電流比較器 51 において、内部ノード Nta の測定電圧 Vout に従う出力電流 Ioutx 及び Iouty は生成されない。この場合は、他の電圧電流変換回路 23 (図 12 での電圧電流変換回路 23b ~ 23d のうちの 1 個が選択されて、対応するイネーブル信号 EN が H レベルに設定される。そして、電流比較器 51 では、選択された電圧電流変換回路 23 に入力される測定電圧 Vout に従った出力電流 Ioutx 及び Iouty が生成されて、基準電流 Iref と比較されることになる。

20

【0147】

この様に、実施の形態 5 に係る半導体集積回路装置では、選択回路 32 の配置を省略して、実施の形態 4 に係る半導体装置と同様の測定電圧 Vout と、複数の判定電圧 Vtu, Vy1 との比較による判定を実行することができる。従って、実施の形態 4 の半導体集積回路装置による効果に加えて、回路の小型化の効果を更に享受することができる。

30

【0148】

尚、実施の形態 5 においても、実施の形態 1 で説明した変形例 1 及び変形例 2 を適用することが可能である。即ち、電圧電流変換回路 22、電流比較器 50、及び、基準電流源 40 において、電源ライン NP 及び接地ライン NL の位置の入れ替え、並びに、NMOS トランジスタ及び PMOS トランジスタの入れ替えを行うことにより、PMOS トランジスタを用いて電圧電流変換を行うことが可能である。或いは、電圧電流変換回路 22 及び基準電流源 40 にオペアンプバッファ (図 4、図 5) を追加することで、MOS トランジスタのばらつき及び温度変動の影響を抑制して、判定の高精度化を図ることができる。

【0149】

更に、実施の形態 5 は、実施の形態 1 ~ 3、並びに、実施の形態 1 ~ 3 に変形例 1 及び / 又は変形例 2 を適用した構成と組み合わせることも可能である。具体的には、電圧電流変換回路 20a (図 2) 及び電圧電流変換回路 20a (図 4) において抵抗素子 202a と直列にイネーブルスイッチ 207a を接続することで、実施の形態 1 又は変形例 1 が適用された実施の形態 1 と、実施の形態 5 とを組み合わせることができる。同様に、電圧電流変換回路 20pa (図 3) において抵抗素子 202pa と直列にイネーブルスイッチ 207a を接続することで、変形例 2 が適用された実施の形態 1 と、実施の形態 5 とを組み合わせることができる。

40

【0150】

又、電圧電流変換回路 21a (図 7) において抵抗素子 204a 及び 206a と接地ライン NL との間に、図 13 と同じ態様でイネーブルスイッチ 207a を接続することで、

50

実施の形態 2 と、実施の形態 5 とを組み合わせることができる。又、電圧電流変換回路 2 2 a (図 9) において、抵抗素子 2 0 9 a 及び 2 1 0 a と直列に、かつ、トランジスタスイッチ 2 0 8 a による短絡経路からは外れる様に、イネーブルスイッチ 2 0 7 a を接続することで、実施の形態 3 と、実施の形態 5 とを組み合わせることも可能である。

【 0 1 5 1 】

実施の形態 6 .

実施の形態 6 では、実施の形態 4 , 5 での判定結果を用いた異常対応構成について説明する。

【 0 1 5 2 】

図 1 4 は、実施の形態 6 に係る半導体集積回路装置 5 f の構成を示すブロック図である。 10

【 0 1 5 3 】

図 1 4 に示される様に、半導体集積回路装置 5 f は、N 個の内部回路 1 0 の各々を、同一機能の内部回路 (以下、「第 1 内部回路」とも称する) 1 1 及び内部回路 (以下、「第 2 内部回路」とも称する) 1 2 によって構成するとともに、各内部回路 1 0 において、第 1 内部回路 1 1 に故障が検出されたときに第 2 内部回路 1 2 に切り替える異常対応構成を具備している。

【 0 1 5 4 】

図 1 4 においても、N = 4 の例が示される。即ち、内部回路 1 0 a は、第 1 内部回路 1 1 a 及び第 2 内部回路 1 2 a を有し、内部回路 1 0 b は、第 1 内部回路 1 1 b 及び第 2 内部回路 1 2 b を有し、内部回路 1 0 c は、第 1 内部回路 1 1 c 及び第 2 内部回路 1 2 c を有し、内部回路 1 0 d は、第 1 内部回路 1 1 d 及び第 2 内部回路 1 2 d を有する。 20

【 0 1 5 5 】

半導体集積回路装置 5 f は、半導体集積回路装置 5 d (図 1 0) と同様の、電圧電流変換回路 2 1 a ~ 2 1 d、選択回路 3 2、基準電流源 4 0、電流比較器 5 1、及び、判定論理回路 6 0 に加えて、上記異常対応構成のための、選択回路 1 5 a ~ 1 5 d、判定結果選択回路 7 0、記録装置 8 0 a ~ 8 0 d、及び、制御論理回路 9 a ~ 9 d を更に備える。

【 0 1 5 6 】

図 1 5 には、図 1 4 に記載された各ブロックの内部構成を説明するための回路図が示される。図 1 5 においても、内部回路 1 0 a に対応する構成が添字 a を付して示されるが、同様の構成が、各内部回路 1 0 に対応して配置されている。 30

【 0 1 5 7 】

選択回路 1 5 は、スイッチ 1 0 0 1 a ~ 1 0 0 4 a を有する。スイッチ 1 0 0 1 a 及び 1 0 0 2 a は、第 1 内部回路 1 1 a 及び第 2 内部回路 1 2 a と、内部回路 1 0 a の出力電圧を入力とする、半導体集積回路装置 5 f に搭載される他の実回路 (図示せず) との間に接続される。スイッチ 1 0 0 1 a は、制御信号 A a に応じてオンオフされる一方で、スイッチ 1 0 0 1 a は、制御信号 / A a (A a の反転信号) に応じてオンオフされる。これにより、第 1 内部回路 1 1 a 及び第 2 内部回路 1 2 a の一方の出力電圧が、実回路へ入力される。

【 0 1 5 8 】

スイッチ 1 0 0 3 a は、第 1 内部回路 1 1 a の出力ノードに相当する内部ノード N T 1 a と、電圧電流変換回路 2 1 a との間に接続される。スイッチ 1 0 0 4 a は、第 2 内部回路 1 2 a の出力ノードに相当する内部ノード N T 2 a と、電圧電流変換回路 2 1 a との間に接続される。 40

【 0 1 5 9 】

スイッチ 1 0 0 3 a のオン時には、内部ノード N T 1 a の電圧、即ち、第 1 内部回路 1 1 a の出力電圧が、測定電圧 V o u t として、電圧電流変換回路 2 1 a に入力される。これに対して、スイッチ 1 0 0 4 a のオン時には、内部ノード N T 2 a の電圧、即ち、第 2 内部回路 1 2 a の出力電圧が、測定電圧 V o u t として、電圧電流変換回路 2 1 a に入力される。

【 0 1 6 0 】

スイッチ1003a, 1004aの制御により、第1内部回路11aの出力電圧、及び、第2内部回路12aの出力電圧の各々について、実施の形態5で説明したのと同様に、第1内部回路11aの出力電圧(V_{out})が、 $V_{tl} < V_{out} < V_{tu}$ の範囲(正常範囲)に含まれているかを示す判定信号 S_{jd} をノードN20に得ることができる。

【0161】

判定結果選択回路70は、スイッチ701a~701d, 702a~702dを有する。内部回路10aに対応する記録装置80aは、第1ラッチ回路801aと、第2ラッチ回路802aと、NANDゲート803aとを有する。

【0162】

スイッチ701aは、ノードN20と、第1ラッチ回路801aとの間に接続される。第1ラッチ回路801aは、内部回路10aに含まれる第1内部回路11aに対する判定信号 S_{jd} を記憶するために配置される。従って、スイッチ701aは、スイッチ1003aと連動してオン期間が設けられる。

10

【0163】

同様に、スイッチ702aは、ノードN20と、第2ラッチ回路802aとの間に接続される。第2ラッチ回路802aは、内部回路10aに含まれる第2内部回路12aに対する判定信号 S_{jd} を記憶するために配置される。従って、スイッチ702aは、スイッチ1004aと連動してオン期間が設けられる。

【0164】

図示は省略しているが、内部回路10b~10dのそれぞれに対応して配置される記録装置80b~80dの各々にも、第1内部回路11の判定結果を記憶する第1ラッチ回路801、及び、第2内部回路12の判定結果を記憶する第2ラッチ回路802が含まれる。更に、判定結果選択回路70では、記録装置80b~80dと、判定論理回路60から判定信号 S_{jd} が出力されるノードN20との間に、第1ラッチ回路に至るスイッチ701及び第2ラッチ回路に至るスイッチ702が配置される。

20

【0165】

NANDゲート803aは、第1ラッチ回路801aのラッチデータ S_{11a} 及び第2ラッチ回路802aのラッチデータ S_{12a} を入力として、内部回路正常信号 $/Ea$ を出力する。

【0166】

制御論理回路9aは、NANDゲート901aと、インバータ902aとを有する。NANDゲート901aは、ラッチデータ S_{11a} と、ラッチデータ S_{12a} の反転データとを入力として、スイッチ1001aの制御信号 Aa を出力する。インバータ902aは、NANDゲート901aの出力信号を反転して、スイッチ1002aの制御信号 $/Aa$ を出力する。

30

【0167】

図16には、半導体集積回路装置5fの動作を説明するための信号波形図が示される。図16を参照して、第1内部回路11a及び第2内部回路12aの出力電圧を判定するための内部回路10aのテストタイミングにおいて、選択回路32のスイッチ304a, 305aがオンされて、内部回路10aに対応する電圧電流変換回路21aが電流比較器51と接続される。

40

【0168】

内部回路10aのテストタイミングでは、第1内部回路11aの出力電圧と、第2内部回路12aの出力電圧とが順に判定される。まず、スイッチ1003a及び701aをオンすることで、第1内部回路11aの出力電圧(V_{out})が、 $V_{tl} < V_{out} < V_{tu}$ の範囲(正常範囲)に含まれているかを示す判定信号 S_{jd} が、第1ラッチ回路801aに入力される。第1内部回路11aの判定結果が正常であれば、第1ラッチ回路801aのラッチデータ S_{11a} はLレベルとなる。

【0169】

次に、スイッチ1004a及び702aをオンすることで、第2内部回路12aの出力

50

電圧 (V_{out}) が、 $V_{tl} < V_{out} < V_{tu}$ の範囲 (正常範囲) に含まれているかを示す判定信号 S_{jd} が、第 2 ラッチ回路 802a に入力される。第 1 内部回路 11a の判定結果が正常であれば、第 2 ラッチ回路 802a のラッチデータ S_{12a} は L レベルとなる。

【0170】

第 1 ラッチ回路 801a は「第 1 記憶回路」の一実施例に対応し、ラッチデータ S_{11a} は「第 1 情報」の一実施例に対応する。第 2 ラッチ回路 802a は「第 2 記憶回路」の一実施例に対応し、ラッチデータ S_{12a} は「第 2 情報」の一実施例に対応する。又、選択回路 15a のうちの、スイッチ 1003a, 1004a によって、「測定選択回路」の一実施例を構成することができる。

10

【0171】

第 1 内部回路 11a 及び第 2 内部回路 12a の出力電圧の判定が終了すると、内部回路 10a のテストタイミングが終了されて、内部回路 10b のテストタイミングが設けられる。内部回路 10b のテストタイミングでは、第 1 内部回路 11b の出力電圧と、第 2 内部回路 12b の出力電圧とを順に判定する様に、内部回路 10b に対応するスイッチ 1003b, 1004b, 304b, 305b, 701b, 702b が、内部回路 10a のテストタイミングでのスイッチ 1003a, 1004a, 304a, 305a, 701a, 702a と同じ態様でオンオフされる。

【0172】

図 17 には、第 1 及び第 2 内部回路の判定結果に対する異常検出構成の動作を説明する図表が示される。図 17 に示される様に、第 1 及び第 2 内部回路の判定結果の組み合わせにはケース 1 ~ ケース 4 が存在する。

20

【0173】

ケース 1 では、第 1 内部回路 11a 及び第 2 内部回路 12a とともに出力電圧 (V_{out}) が正常である ($S_{11a} = S_{12a} = L$)。このとき、制御信号 A_a が H レベルに設定される一方で、制御信号 $/A_a$ は L レベルに設定される。即ち、第 1 内部回路 11a の出力が、スイッチ 1001a によって実回路へ伝達される。又、内部回路異常信号 $/E_a$ は、H レベルに設定される。

【0174】

ケース 2 では、第 1 内部回路 11a の出力電圧が正常 ($S_{11a} = L$) である一方で、第 2 内部回路 12a の出力電圧が異常 ($S_{12a} = H$) であり、第 2 内部回路 12a が故障している。この場合にも、ケース 1 と同様に、制御信号 A_a が H レベルに設定される一方で、制御信号 $/A_a$ は L レベルに設定される。即ち、第 1 内部回路 11a の出力が、スイッチ 1001a によって実回路へ伝達される。又、内部回路異常信号 $/E_a$ は、H レベルに設定される。

30

【0175】

ケース 3 では、ケース 2 と反対に、第 2 内部回路 12a の出力電圧が正常 ($S_{12a} = L$) である一方で、第 1 内部回路 11a の出力が異常 ($S_{11a} = H$) であり、第 1 内部回路 11a が故障している。この場合には、制御信号 A_a が L レベルに設定される一方で、制御信号 $/A_a$ は H レベルに設定される。即ち、第 2 内部回路 12a の出力が、スイッチ 1002a によって実回路へ伝達される。又、内部回路異常信号 $/E_a$ は、H レベルに設定される。この様に、選択回路 15a のうちの、スイッチ 1001a, 1002a によって、「出力択回路」の一実施例を構成することができる。

40

【0176】

ケース 4 では、第 1 内部回路 11a 及び第 2 内部回路 12a とともに出力電圧が異常であり ($S_{11a} = S_{12a} = H$)、第 1 内部回路 11a 及び第 2 内部回路 12a の両方が故障している。この場合には、内部回路異常信号 $/E_a$ が、ケース 1 ~ ケース 3 とは異なり、L レベルに設定される。制御信号 A_a , $/A_a$ については、ケース 1 及びケース 2 と同様に設定される。

【0177】

50

この様に、第1内部回路11aを実使用のデフォルト回路とし、第1内部回路11aの故障時には、判定結果が正常であることを条件に予備用の第2内部回路12aを、実使用の回路に自動的に切替える異常対応構成が実現される。これにより、内部回路の故障発生時にも、半導体集積回路装置5eの動作を継続することが可能となる。

【0178】

又、第1内部回路11a及び第2内部回路12aの両方が故障した場合には、内部回路異常信号/EaがLレベルに設定されることで、内部回路10aが使用不可であることを報知できる。

【0179】

図16に示された内部回路10のテストタイミングは、半導体集積回路装置5fの電源立ち上げ時、及び、回路動作に影響のない時刻に定期的に設けることができる。

10

【0180】

以上説明した様に、実施の形態6に係る半導体集積回路装置によれば、内部回路10の故障の検知、及び、故障発生時の予備回路への切替を自動的に行うことができるので、実施の形態4で説明した効果に加えて、回路動作継続の信頼性を高めることができる。又、制御信号Aa、/Aa及び内部回路異常信号/Eaを、半導体集積回路装置5fの外部からモニタすることで、各内部回路10の故障状態についても把握することができる。即ち、制御信号Aa、/Aa及び内部回路異常信号/Eaについては、端子6と同様に、半導体集積回路装置5fの外部からコンタクト可能な端子(図示せず)に出力することができる。

20

【0181】

尚、図15では、実施の形態4に係る半導体集積回路装置に対して、実施の形態6での異常対応構成を適用する例を説明したが、他の実施の形態1~3,5に対しても同様に、変形例1,2の適用に加えて、実施の形態6を更に組み合わせることが可能である。この際に、必要に応じて、記録装置80のラッチ回路数、及び、制御論理回路9での論理演算内容を適宜変更することができる。

【0182】

一例として、実施の形態1~3において、実施の形態4と同様の電圧範囲($V_{t1} < V_{out} < V_{tu}$)に係る判定結果を用いて正常及びを判断するためには、判定電圧 V_{t1} 及び V_{tu} のそれぞれとの比較における判定信号Sjdを保持するために、各記録装置80に4個のラッチ回路が必要となり、当該4個のラッチ回路のラッチデータを用いて、第1内部回路11a及び第2内部回路12aの正常及び異常の組み合わせ(ケース1~ケース4)に対して、図17と同様の制御信号Aa、/Aa及び内部回路異常信号/Eaが得られる様に、制御論理回路9での論理演算を変更することが必要である。

30

【0183】

実施の形態7.

実施の形態7では、内部回路の測定ノードに係る2個の電圧差(電圧差)を測定電圧、即ち、判定の対象とする構成について説明する。

【0184】

図18は、実施の形態7に係る半導体集積回路装置5gの構成を示すブロック図である。

40

【0185】

図18に示される様に、半導体集積回路装置5gは、実施の形態4に係る半導体集積回路装置5b(図10)と比較して、内部回路10aから2個の第1電圧 V_{out1} 及び第2電圧 V_{out2} が出力される点と、電圧電流変換回路21aに代えて、電圧電流変換回路24aが配置される点とで異なる。更に、「測定ノード」に相当する、内部回路10aの内部ノードNTa(出力電圧 V_{out})に対して、上側ピーク検波器13a及び下側ピーク検波器14aが設けられる。

【0186】

上側ピーク検波器13aは、出力電圧 V_{out} の最大値(上側ピーク値)を抽出して、第1電圧 V_{out1} として出力する。下側ピーク検波器14aは、出力電圧 V_{out} の最

50

小値（下側ピーク値）を抽出して、第2電圧 V_{out2} として出力する。例えば、内部ノード N_{Ta} に交流電圧が出力される場合には、 $V_{out1} - V_{out2}$ は、当該交流電圧のピーク・トゥ・ピーク値を示す。

【0187】

電圧電流変換回路24aには、第1電圧 V_{out1} 及び第2電圧 V_{out2} が入力される。電圧電流変換回路24aは、第1電圧 V_{out1} 及び第2電圧 V_{out2} の電圧差（ $V_{out1} - V_{out2}$ ）を、異なる変換ゲインで、図11での出力電流 I_{outx} 、 I_{outy} に変換する。

【0188】

一方で、N個の内部回路10で共有される、選択回路32、電流比較器50、基準電流源40、及び、判定論理回路60は、実施の形態4（図10）と同様である。図18及び図19においても、内部回路10aに対応する構成が添字aを付して代表的に示されるが、同様の構成が、各内部回路10に対応して配置されている。

10

【0189】

図19には、実施の形態7に係る電圧電流変換回路、即ち、図18の電圧電流変換回路24aの構成を説明する回路図が示される。

【0190】

図19を参照して、電圧電流変換回路24aは、ノード N_{1ax} 及び N_{1ay} を介して、選択回路32（図11）と接続される。電圧電流変換回路24aは、NMOSトランジスタ2031a、2035a、2308aと、PMOSトランジスタ2304a、2307a、2310aと、抵抗素子2306a、2309aと、電流源2302a、2303aとを有する。

20

【0191】

NMOSトランジスタ2301aは、電源ラインNP及びノード N_{31} の間に接続され、電流源2302aは、ノード N_{31} 及び接地ラインNLの間に接続される。NMOSトランジスタ2301aのゲートには、第2電圧 V_{out2} が入力される。

【0192】

電流源2303aは、電源ラインNP及びノード N_{32} の間に接続され、PMOSトランジスタ2304aは、ノード N_{32} 及び接地ラインNLの間に接続される。PMOSトランジスタ2304aのゲートには、第1電圧 V_{out1} が入力される。

30

【0193】

NMOSトランジスタ2305aは、ノード N_{1ax} 及びノード N_{33} の間に接続される。抵抗素子2306aは、ノード N_{33} 及びPMOSトランジスタ2307aの間に接続され、PMOSトランジスタ2307aは、抵抗素子2306a及び接地ラインNLの間に接続される。抵抗素子2306aは、電気抵抗値RDUを有する。

【0194】

NMOSトランジスタ2308aは、ノード N_{1ay} 及びノード N_{34} の間に接続される。抵抗素子2309aは、ノード N_{34} 及びPMOSトランジスタ2310aの間に接続され、PMOSトランジスタ2310aは、抵抗素子2309a及び接地ラインNLの間に接続される。抵抗素子2309aは、電気抵抗値RDLを有する。

40

【0195】

NMOSトランジスタ2305a及び2038aのゲートは、ノード N_{32} と共通に接続される。PMOSトランジスタ2307a及び2310aのゲートは、ノード N_{31} と共通に接続される。

【0196】

ノード N_{32} の電圧 V_{32} は、PMOSトランジスタ2304aのゲートソース間電圧 V_{gs14} を用いて、 $V_{32} = V_{out1} + V_{gs14}$ と示される。同様に、ノード N_{31} の電圧 V_{31} は、NMOSトランジスタ2301aのゲートソース間電圧 V_{gs11} を用いて、 $V_{31} = V_{out2} - V_{gs11}$ と示される。

【0197】

50

従って、抵抗素子2306aの両端に印加される電圧差は、NMOSトランジスタ2305aのゲートソース間電圧 V_{gs15} と、NMOSトランジスタ2307aのゲートソース間電圧 V_{gs17} とを更に用いると、 $(V_{32} - V_{gs15}) - (V_{31} + V_{gs17})$ で示される。この結果、出力電流 I_{outx} は、下記の式(13)で示される。

【0198】

$$\begin{aligned} I_{outx} &= ((V_{out1} + V_{gs14} - V_{gs15}) - (V_{out2} - V_{gs11} + V_{gs17})) / RDU \\ &= (V_{out1} - V_{out2} + V_{gs14} - V_{gs15} + V_{gs11} - V_{gs17}) / RDU \quad \dots (13) \end{aligned}$$

同様に、抵抗素子2309aの両端に印加される電圧差は、NMOSトランジスタ2308aのゲートソース間電圧 V_{gs18} と、NMOSトランジスタ2310aのゲートソース間電圧 V_{gs20} とを更に用いると、 $(V_{32} - V_{gs18}) - (V_{31} + V_{gs20})$ で示される。この結果、出力電流 I_{outy} は、下記の式(14)で示される。

【0199】

$$\begin{aligned} I_{outy} &= ((V_{out1} + V_{gs14} - V_{gs18}) - (V_{out2} - V_{gs11} + V_{gs20})) / RDL \\ &= (V_{out1} - V_{out2} + V_{gs14} - V_{gs18} + V_{gs11} - V_{gs20}) / RDL \quad \dots (14) \end{aligned}$$

この様に、出力電流 I_{outx} 及び I_{outy} は、測定電圧 $(V_{out1} - V_{out2})$ を異なる変換ゲインによって電圧電流変換して得られる。

【0200】

測定電圧 $V_{out} = V_{out1} - V_{out2}$ の正常範囲の下限値及び上限値に相当する判定電圧 V_{du} 及び V_{dl} を設定すると、当該判定電圧 V_{du} 及び V_{dl} の各々と、電圧差 $(V_{out1} - V_{out2})$ との比較により、電圧差 $(V_{out1} - V_{out2})$ が正常範囲に含まれているか否かを判定することができる。

【0201】

実施の形態1と同様に、 $V_{out} = V_{out1} - V_{out2} = V_{du}$ のときに、 $I_{outx} = I_{ref}$ とするための、電気抵抗値 RDU は、基準電流 I_{ref} を決める電気抵抗値 RS (基準電流源40)を用いて、下記の式(15)によって示される。

【0202】

$$RDU = (V_{du} + V_{gs14} - V_{gs15} + V_{gs11} - V_{gs17}) / (V_{ref} - V_{gs4}) \cdot RP \quad \dots (15)$$

同様に、 $V_{out} = V_{out1} - V_{out2} = V_{dl}$ のときに、 $I_{outy} = I_{ref}$ とするための、電気抵抗値 RDL は、電気抵抗値 RS (基準電流源40)を用いて、下記の式(16)によって示される。

【0203】

$$RDL = (V_{dl} + V_{gs14} - V_{gs18} + V_{gs11} - V_{gs20}) / (V_{ref} - V_{gs4}) \cdot RP \quad \dots (16)$$

式(15)、(16)に従って、抵抗素子2306aの電気抵抗値 RDU 、及び、抵抗素子2309aの電気抵抗値 RDL を定めることにより、固定された基準電流 I_{ref} を用いて、電圧差 $(V_{out1} - V_{out2})$ を測定電圧 V_{out} として、判定電圧 V_{du} 及び V_{dl} の各々と比較することができる。この結果、内部回路の測定ノードに係る2つ電圧の電圧差が、判定電圧 V_{du} 、 V_{dl} によって定められる正常範囲に含まれるか否かを判定することができる。

【0204】

尚、実施の形態1及び3と同様に、単一のノード $N1a$ が、選択回路30(図2又は図9)を介して、電流比較器50と接続される構成においても、第1電圧 V_{out1} 及び第2電圧 V_{out2} の電圧差を測定電圧 V_{out} として、単一の判定電圧 V_{dt} とを比較することが可能である。この場合には、図19の電圧電流変換回路24aにおいて、NMOSトランジスタ2308a、抵抗素子2309a、及び、PMOSトランジスタ2310

10

20

30

40

50

aの配置を省略して、NMOSトランジスタ2305aを、ノードN1a及びノードN33の間に接続することで、上記の電圧比較が実行できる。その際の抵抗素子2306aの電気抵抗値は、式(15)において、判定電圧 V_{tu} を判定電圧 V_{dt} に置換することで求めることができる。

【0205】

又、内部回路10の測定ノードに係る第1電圧 V_{out1} 及び第2電圧 V_{out2} について、図18の例では、同一ノードの異なるタイミングでの2つの電圧としたが、内部回路10の異なる2つのノードの電圧を第1電圧 V_{out1} 及び第2電圧 V_{out2} として、2つの内部ノード間の電圧差を測定電圧 V_{out} とすることも可能である。

【0206】

実施の形態7の半導体集積回路装置では、ノードN1ax及びN1ay(又は、ノードN1a)の後段の回路は、実施の形態1~6のいずれかと同様とすることが可能である。これにより、内部回路10に係る2つの電圧の差(電圧差)について、実施の形態1~6と同様の判定、或いは、当該判定結果に基づく異常対応構成を行うことができる。

【0207】

(変形例)

図18及び図19では、第1電圧 V_{out1} 及び第2電圧 V_{out2} が、同一ノードの上限ピーク電圧及び下限ピーク電圧である例を説明したので、判定電圧 V_{tu} (上限値側)及び判定電圧(下限値側)の両方が正電圧であることを想定した電圧電流変換回路24aの構成例を説明した。図20では、変形例として、判定電圧 V_{tu} (上限値側)が正電圧である一方で、判定電圧(下限値側)が負電圧である場合に対応するための電圧電流変換回路25aの構成例を、図20を用いて説明する。

【0208】

図20に示される様に、電圧電流変換回路25aは、図19に示された、電圧電流変換回路24aと比較して、PMOSトランジスタ2312a、NMOSトランジスタ2313a、及び、電流源2311a、2314aを更に有する点と、NMOSトランジスタ2308a及びPMOSトランジスタ2310aのゲートの接続先が変更される点とで異なる。

【0209】

電流源2311aは、電源ラインNP及びノードN35の間に接続され、PMOSトランジスタ2312aは、ノードN35及び接地ラインNLの間に接続される。PMOSトランジスタ2312aのゲートには、NMOSトランジスタ2301aのゲートと共通に、第2電圧 V_{out2} が入力される。

【0210】

NMOS2313aは、電源ラインNP及びノードN36の間に接続され、電流源2314aは、ノードN36及び接地ラインNLの間に接続される。NMOSトランジスタ2313aのゲートには、PMOSトランジスタ2304aのゲートと共通に、第1電圧 V_{out1} が入力される。

【0211】

NMOSトランジスタ2308のゲートは、第2電圧 V_{out2} に従う電圧が発生するノードN35と接続され、PMOSトランジスタ2310aのゲートは、第1電圧 V_{out1} に従う電圧が発生するノードN36と接続される。従って、抵抗素子2309aの両端には、電圧差($V_{out2} - V_{out1}$)に従う電圧が印加される。この結果、出力電流 I_{outy} は、電圧差($V_{out2} - V_{out1}$)を電気抵抗値RDLに従う変換ゲインによって変換した電流となる。

【0212】

即ち、図20の電圧電流変換回路25aでは、電圧電流変換回路24aに対して、出力電流 I_{outy} の変換ゲインの極性(正/負)が反転される。従って、全体としては、電圧電流変換回路24aを用いる場合に対して、判定電圧 V_{d1} の極性(正/負)を反転して、電圧差($V_{out1} - V_{out2}$)と比較できることが理解される。

10

20

30

40

50

【0213】

この様に、図20に示された電圧電流変換回路25aを用いることで、電圧差($V_{out1} - V_{out2}$)の正常範囲の下限値が負電圧であっても、実施の形態1~6と同様に、第1電圧 V_{out1} 及び第2電圧 V_{out2} の電圧差を測定電圧 V_{out} として、判定電圧と比較することができる。

【0214】

本開示には、様々な例示的な実施の形態及び実施例が記載されているが、1つ、または複数の実施の形態に記載された様々な特徴、態様、及び機能は特定の実施の形態の適用に限られるのではなく、単独で、または様々な組合せで実施の形態に適用可能である。

【0215】

従って、例示されていない無数の変形例が、本開示での技術の範囲内において想定される。例えば、少なくとも1つの構成要素を変形する場合、追加する場合または省略する場合、さらには、少なくとも1つの構成要素を抽出し、他の実施の形態の構成要素と組み合わせる場合が含まれるものとする。

【0216】

又、実施の形態2以降では、測定電圧 V_{out} を変換ゲインが異なる2個の出力電流に変換することで2個の判定電圧と比較する構成例を説明したが、変換ゲインが異なる3以上の出力電流を基準電流と比較することで、測定電圧 V_{out} を3個以上の判定電圧と比較する構成とすることも、原理上は可能である。例えば、各電圧電流変換回路21, 22において、図7等での並列配置される電圧電流変換ユニットの個数、又は、図9での抵抗素子及びスイッチ(ゲイン切替機構)の個数を増加することで、この様な構成を実現することができる。

【0217】

又、上記実施の形態では、各カレントミラーの電流比を1:1としたが、それ以外の電流比とすることも可能である。この場合には、電圧電流変換回路20等の出力電流 I_{out} , I_{outx} , I_{outy} に対する、電流比較器50トランジスタ, 51内(ノード $N3$, $N3x$, $N3y$)に生じる出力電流 I_{out} の電流比A、及び、基準電流源40での基準電流 I_{ref} に対する、電流比較器50~52, 51内(ノード $N4$)に生じる基準電流 I_{ref} の電流比Bを用いて、式(4)等の電気抵抗値 R_O について、 (A/B) 倍することが必要である。

【0218】

この場合には、更に、式(4)等中の V_{gs2} 及び V_{gs4} を均衡させるために、例えば、トランジスタサイズの調整によって、図2中のNMOSTランジスタ201a及びNMOSTランジスタ403の間で、電流及びトランジスタサイズの比を揃えることが好ましい。一例として $(A/B) = 0.5$ である場合には、電気抵抗値 R_O が1/2倍とされて、NMOSTランジスタ201aを流れる電流が2倍になるので、NMOSTランジスタ201aのトランジスタサイズは、NMOSTランジスタ403の2倍とすることが好ましい。例えば、NMOSTランジスタ403と同等のトランジスタサイズを有するNMOSTランジスタを2個並列接続してNMOSTランジスタ201aを構成することで、NMOSTランジスタ201a及びNMOSTランジスタ403の間で、電流及びトランジスタサイズの比を揃えることができる。

【0219】

今回開示された実施の形態はすべての点で例示であって制限的なものではないと考えられるべきである。本開示の範囲は上記した説明ではなくて請求の範囲によって示され、請求の範囲と均等の意味及び範囲内でのすべての変更が含まれることが意図される。

【符号の説明】

【0220】

5a~5g 半導体集積回路装置、9a~9d 制御論理回路、10a~10d 内部回路、11a~11d 第1内部回路、12a~12d 第2内部回路、13a 上側ピーク検波器、14a 下側ピーク検波器、15a~15d, 21, 30, 31, 32 選択回路

10

20

30

40

50

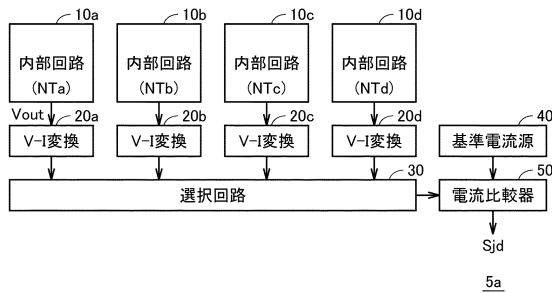
、20a~20d, 20pa, 21a~21d, 22a~22d, 23a~23d, 24a, 25a 電圧電流変換回路、40, 40p 基準電流源、50, 50p, 51, 52 電流比較器、60 判定論理回路、70 判定結果選択回路、80a, 80b, 80d 記録装置、207a イネーブルスイッチ、208a トランジスタスイッチ、230a, 407 オペアンプバッファ、801a 第1ラッチ回路、802a 第2ラッチ回路、Aa, /Aa, Schg 制御信号、ENa~ENd イネーブル信号、GND 接地電圧、Iol, Iou, Iout, Ioutx, Iouty 出力電流、Iref 基準電流、NL 接地ライン、NP 電源ライン、S11a, S12a ラッチデータ、Sjd 判定信号、VDD 電源電圧、Vout 測定電圧、Vout1 第1電圧、Vout2 第2電圧、Vref 基準電圧。

10

【図面】

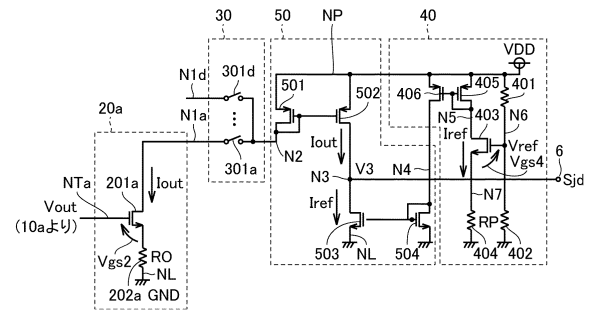
【図1】

図1



【図2】

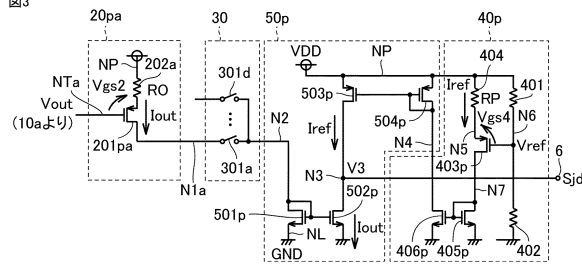
図2



20

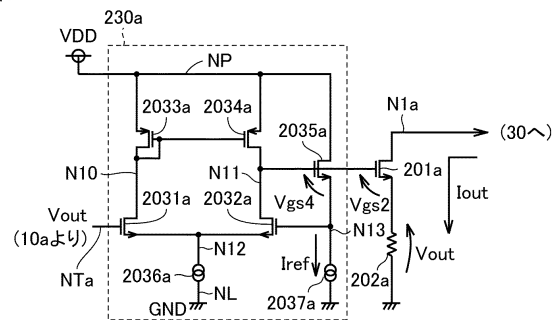
【図3】

図3



【図4】

図4



20a#

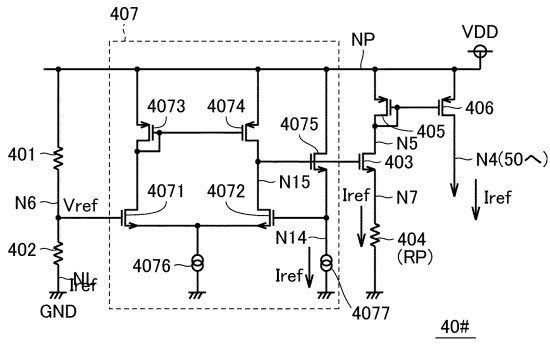
30

40

50

【 図 5 】

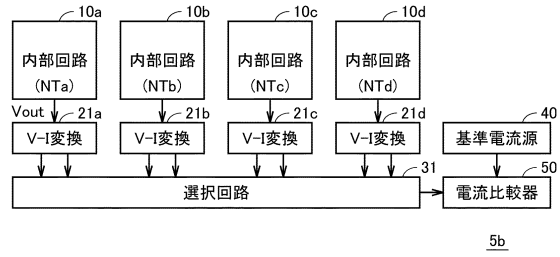
図5



40#

【 図 6 】

図6

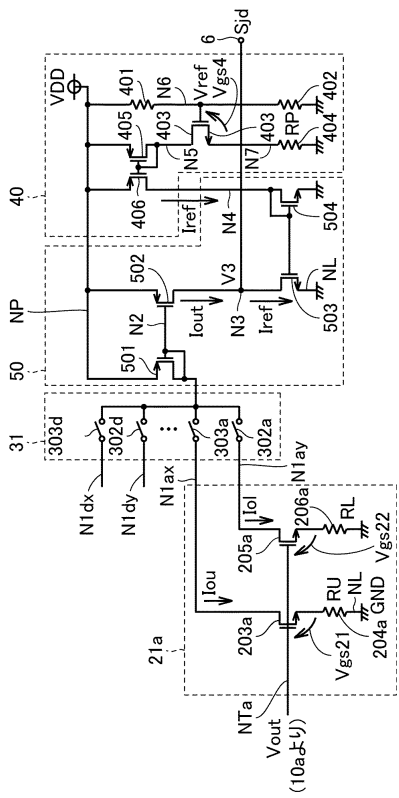


5b

10

【 図 7 】

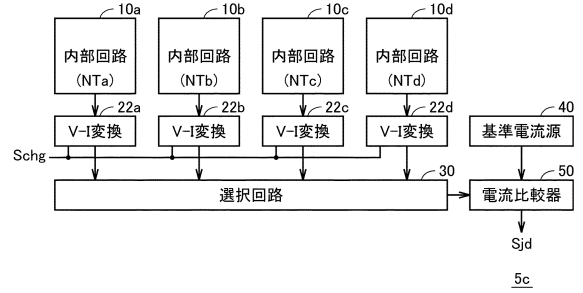
図7



(10a, 10b)

【 図 8 】

図8



5c

20

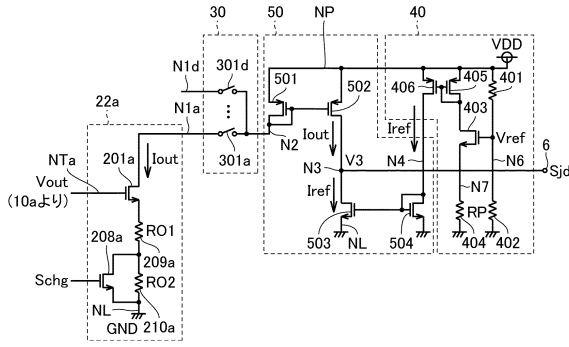
30

40

50

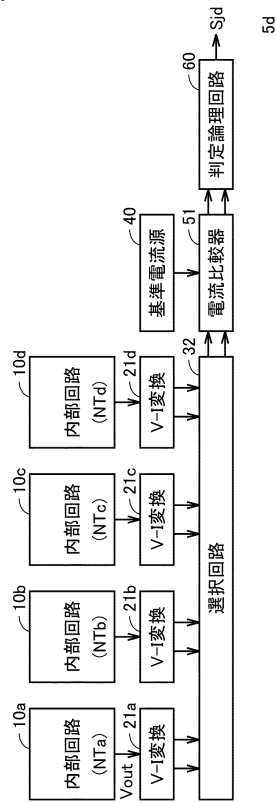
【図9】

図9



【図10】

図10

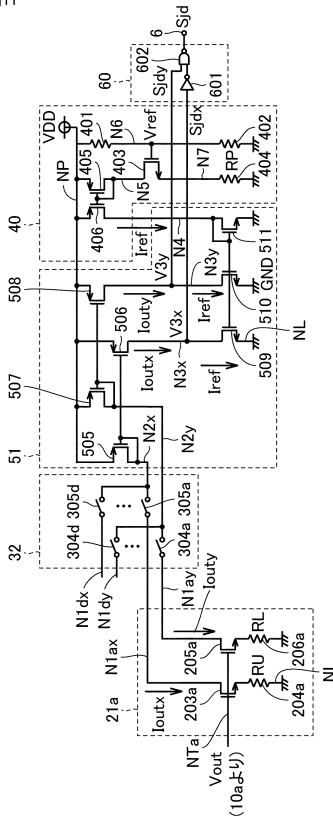


10

20

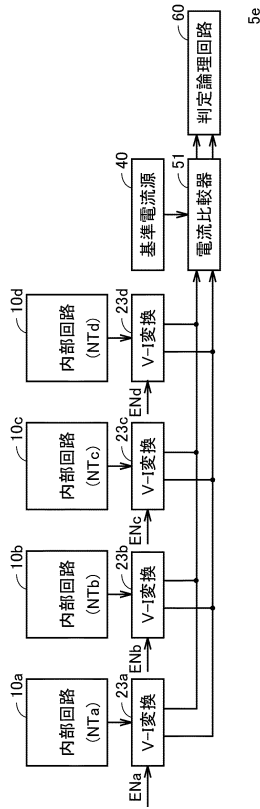
【図11】

図11



【図12】

図12



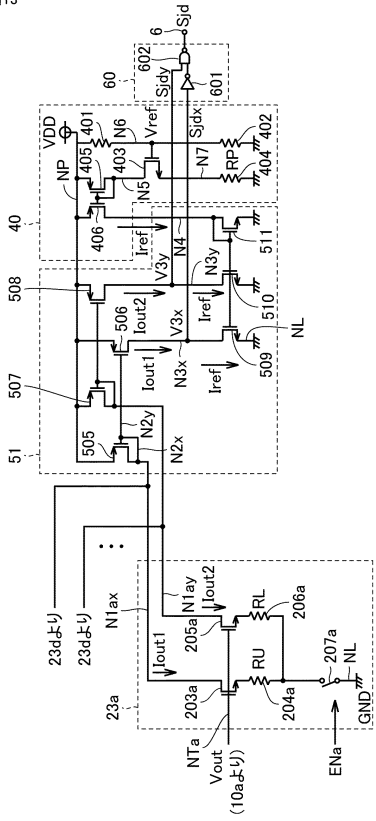
30

40

50

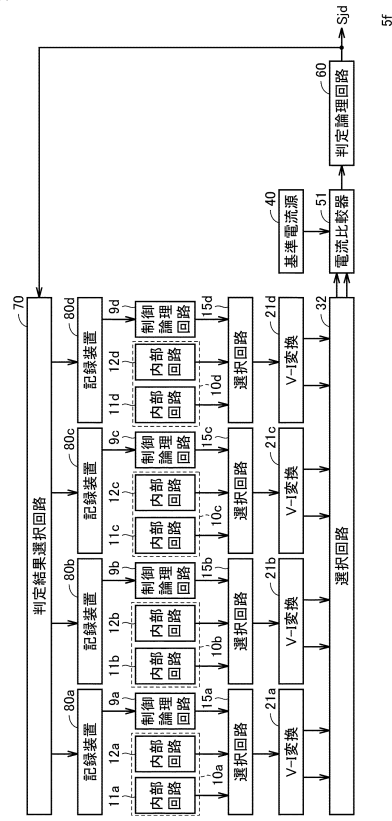
【図 1 3】

図 13



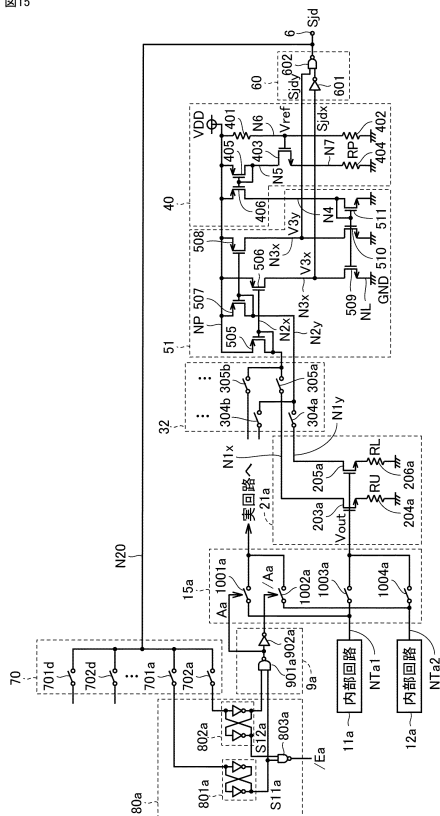
【図 1 4】

図 14



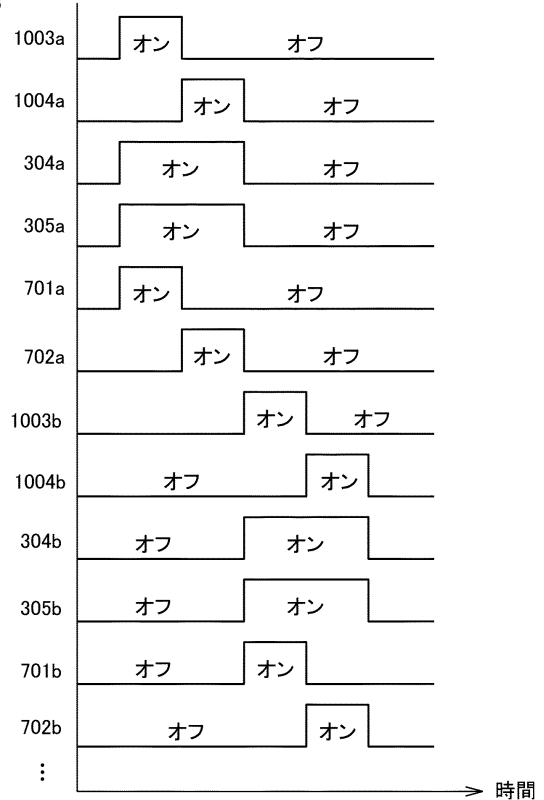
【図 1 5】

図 15



【図 1 6】

図 16



10

20

30

40

50

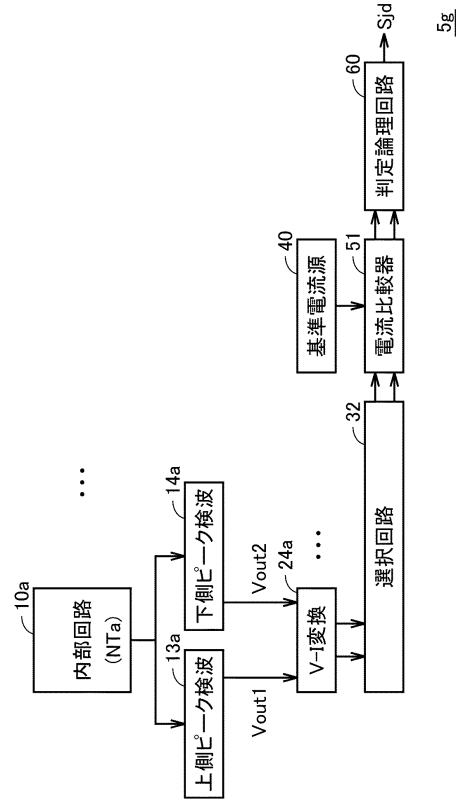
【図 17】

図17

信号	ケース			
	1	2	3	4
11a判定結果(Sjd→S11a)	L	L	H	H
12a判定結果(Sjd→S12a)	L	H	L	H
Aa(11a実使用)	H	H	L	H
/Aa(12a実使用)	L	L	H	L
/Ea(10a使用可否)	H	H	H	L

【図 18】

図18

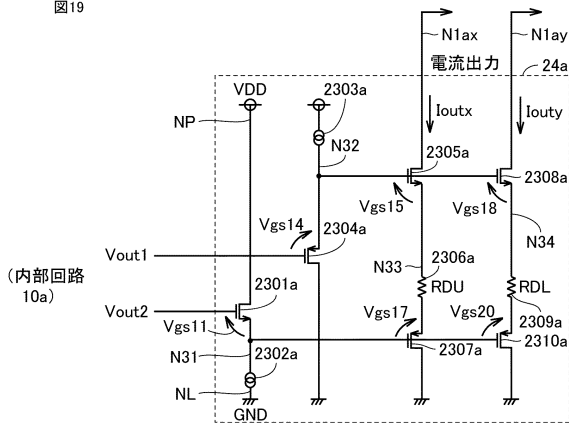


10

20

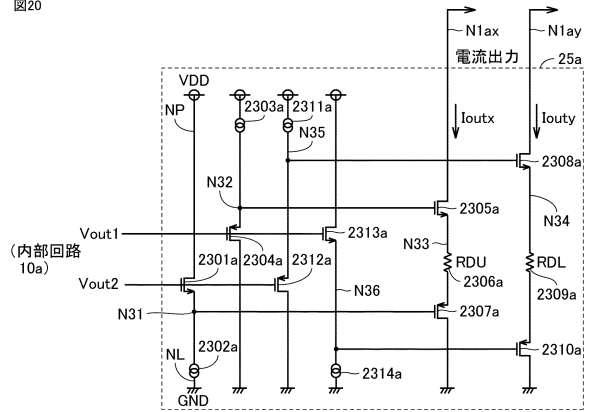
【図 19】

図19



【図 20】

図20



30

40

50

フロントページの続き

- (56)参考文献 特開 2 0 1 6 - 2 1 1 9 1 7 (J P , A)
特開 2 0 1 7 - 5 6 0 9 (J P , A)
特開平 9 - 1 3 9 6 3 5 (J P , A)
特開昭 6 2 - 3 2 7 1 4 (J P , A)
米国特許第 6 0 0 8 6 7 3 (U S , A)
米国特許出願公開第 2 0 1 1 / 0 0 1 2 6 0 5 (U S , A 1)
特開平 8 - 2 9 4 9 3 (J P , A)
特開 2 0 1 2 - 1 1 7 9 8 3 (J P , A)
- (58)調査した分野 (Int.Cl. , D B 名)
- | | |
|---------|-----------|
| G 0 1 R | 3 1 / 2 8 |
| G 0 1 R | 1 9 / 0 0 |
| H 0 1 L | 2 7 / 0 4 |
| H 0 3 M | 1 / 1 2 |
| H 0 3 F | 3 / 3 4 3 |