

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2011年10月13日(13.10.2011)

PCT

(10) 国際公開番号

WO 2011/125277 A1

- (51) 国際特許分類:
H01L 27/14 (2006.01) H01L 27/146 (2006.01)
G01T 1/24 (2006.01)
- (21) 国際出願番号: PCT/JP2011/000953
- (22) 国際出願日: 2011年2月21日(21.02.2011)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2010-088754 2010年4月7日(07.04.2010) JP
- (71) 出願人(米国を除く全ての指定国について): 株式会社島津製作所(SHIMADZU CORPORATION) [JP/JP]; 〒6048511 京都府京都市中京区西ノ京桑原町1番地 Kyoto (JP).
- (72) 発明者; および
- (75) 発明者/出願人(米国についてのみ): 吉牟田 利典(YOSHIMUTA, Toshinori) [JP/JP]; 〒6048511 京都府京都市中京区西ノ京桑原町1番地 株式会社島津製作所内 Kyoto (JP). 徳田 敏(TOKUDA, Satoshi) [JP/JP]; 〒6048511 京都府京都市中京区西ノ京桑原町1番地 株式会社島津製作所内 Kyoto (JP). 田邊 晃一(TANABE, Koichi) [JP/JP]; 〒6048511 京都府京都市中京区西ノ京桑

原町1番地 株式会社島津製作所内 Kyoto (JP). 岸原 弘之(KISHIHARA, Hiroyuki) [JP/JP]; 〒6048511 京都府京都市中京区西ノ京桑原町1番地 株式会社島津製作所内 Kyoto (JP). 貝野 正知(KAINO, Masatomo) [JP/JP]; 〒6048511 京都府京都市中京区西ノ京桑原町1番地 株式会社島津製作所内 Kyoto (JP). 吉松 聖菜(YOSHIMATSU, Akina) [JP/JP]; 〒6048511 京都府京都市中京区西ノ京桑原町1番地 株式会社島津製作所内 Kyoto (JP). 佐藤 敏幸(SATO, Toshiyuki) [JP/JP]; 〒6048511 京都府京都市中京区西ノ京桑原町1番地 株式会社島津製作所内 Kyoto (JP). 桑原 章二(KUWABARA, Shoji) [JP/JP]; 〒6048511 京都府京都市中京区西ノ京桑原町1番地 株式会社島津製作所内 Kyoto (JP).

(74) 代理人: 杉谷 勉(SUGITANI, Tsutomu); 〒5300047 大阪府大阪市北区西天満1丁目10番8号 西天満第11松屋ビル Osaka (JP).

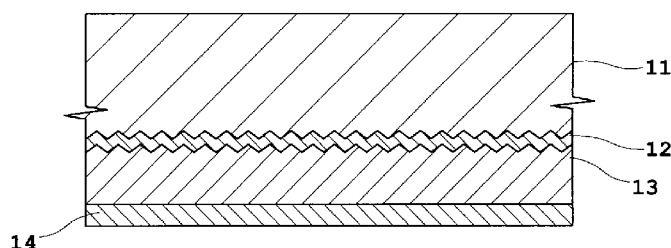
(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW,

[続葉有]

(54) Title: RADIATION DETECTOR AND METHOD FOR PRODUCING SAME

(54) 発明の名称: 放射線検出器およびそれを製造する方法

[図6]



(57) Abstract: Provided is a radiation detector, wherein by setting surface irregularities on a graphite substrate (11) to a range of 1μm to 8μm, the film properties of a semiconductor layer (13) laminated on the graphite substrate (11) are stabilized, and adhesion between the graphite substrate (11) and the semiconductor layer (13) is improved. Even if an electron blocking layer (12) is interposed between the graphite substrate (11) and the semiconductor layer (13), the electron blocking layer (12) is thin, and the surface irregularities on the graphite substrate (11) are transferred to the electron blocking layer (12). As a consequence, the surface irregularities of the electron blocking layer (12) fall within approximately the same range, offering approximately the same effect as a configuration in which the semiconductor layer (13) is in direct contact with the graphite substrate (11).

(57) 要約: グラファイト基板 11 の表面の凹凸を 1 μm ~ 8 μm の範囲とすることで、グラファイト基板 11 上に積層形成される半導体層 13 の膜質が安定し、グラファイト基板 11 と半導体層 13 との密着性を向上させることができる。グラファイト基板 11 と半導体層 13 との間に電子阻止層 12 が介在する場合でも電子阻止層 12 は薄く、グラファイト基板 11 の表面の凹凸が電子阻止層 12 に転写されるので、電子阻止層 12 の表面の凹凸もほぼ当該範囲となり、グラファイト基板 11 に半導体層 13 を直接に接触して形成した構造とほぼ同じ効果を奏する。



WO 2011/125277 A1



MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ

添付公開書類:

— 国際調査報告 (条約第 21 条(3))

明 細 書

発明の名称：放射線検出器およびそれを製造する方法

技術分野

[0001] この発明は、医療分野、工業分野、さらには原子力分野等に用いられる放射線検出器およびそれを製造する方法に関する。

背景技術

[0002] 従来、高感度な放射線検出器の材料として各種の半導体材料、特にCdTe（テルル化カドミウム）、ZnTe（テルル化亜鉛）またはCdZnTe（テルル化カドミウム亜鉛）の結晶体が研究・開発され、一部製品化されている。CdTeやZnTeやCdZnTeで形成された半導体層は多結晶膜である（例えば、特許文献1参照）。

特許文献1：特開2001-242256号公報

発明の開示

発明が解決しようとする課題

[0003] しかしながら、このような構成を有する場合には、一部のみにリーク電流の多い箇所、いわゆる「リークスポット」が発生したり、あるいは積層形成される半導体層の密着性が悪かったり、ポーラス（多孔質）な膜質が成膜されるという問題がある。

[0004] この発明は、このような事情に鑑みてなされたものであって、基板上に積層形成される半導体層の膜質が安定し、基板と半導体層との密着性を向上させることができる放射線検出器およびそれを製造する方法を提供することを目的とする。

課題を解決するための手段

[0005] 発明者らは、上記の問題を解決するために鋭意研究した結果、次のような知見を得た。

[0006] すなわち、従来では半導体層を積層形成する基板表面の状態を規定しておらず、基板表面の状態によってどのような問題が発生するのかが不明であっ

た。そこで、基板に着目して、実験により基板の表面の凹凸が半導体層に影響を及ぼすことが判明した。具体的には、基板としてグラファイト基板を採用したときにおける図5(a)～図5(c)に示す実験データにより、凹凸が大きいと積層形成される半導体層の結晶成長に悪影響を及ぼし、リークスポットが発生し、逆に凹凸が小さいと積層形成される半導体層の密着性が悪く、ポーラスな膜質が成膜されてしまう。

[0007] 図5(a)は、基板の表面の凹凸(表面粗さ)を $1\mu\text{m}\sim 8\mu\text{m}$ の範囲としたものに半導体層を積層形成(成膜)し、 $\times 100$ 倍で観察した画像を示し、図5(b)は、当該凹凸が $1\mu\text{m}$ 未満の基板に半導体層を成膜した $\times 100$ 倍の画像を示し、図5(c)は、当該凹凸が $8\mu\text{m}$ を超えた基板に半導体層を成膜した $\times 500$ 倍の画像を示す。図5(a)～図5(c)では基板以外の成膜条件については全て同じとし、表面の相違だけによる差を画像上から見ている。凹凸が $1\mu\text{m}$ 未満の基板上に積層形成された半導体層については、図5(a)と比較すると、図5(b)からも明らかなように膜質が粗くポーラスになっていることがわかる。凹凸が $8\mu\text{m}$ を超えた基板上に積層形成された半導体層については、図5(c)示すように、画像上の左上から右下にかけて半導体層の膜質の境目があることがわかる。凹凸が $8\mu\text{m}$ を超えた基板では、このような境目が点在し、その部分ではリーク電流が過大に流れるリークスポット箇所となってしまう。

[0008] 以上の図5(a)～図5(c)の実験データから、基板の表面の凹凸が $1\mu\text{m}\sim 8\mu\text{m}$ の範囲であれば、図5(a)に示すように上述の課題を解決することができるという知見を得た。

[0009] このような知見に基づくこの発明は、次のような構成をとる。

すなわち、この発明に係る放射線検出器は、放射線を検出する放射線検出器であって、放射線の入射により放射線の情報を電荷情報に変換し、 CdTe (テルル化カドミウム)、 ZnTe (テルル化亜鉛)または CdZnTe (テルル化カドミウム亜鉛)で形成された多結晶膜の半導体層と、この半導体層にバイアス電圧を印加し、支持基板を兼用した電圧印加電極用のグラフ

アイト基板と、前記電荷情報を読み出し、画素ごとに応じて形成された画素電極を有した読み出し基板とを備え、前記グラファイト基板に前記半導体層を積層形成し、半導体層と前記画素電極とが内側に貼り合わされるように、半導体層が積層形成されたグラファイト基板と前記読み出し基板とを貼り合わせて、それぞれを構成したときに、前記グラファイト基板の表面の凹凸が $1\mu\text{m}\sim 8\mu\text{m}$ の範囲であることを特徴とするものである。

[0010] [作用・効果] この発明に係る放射線検出器によれば、 CdTe 、 ZnTe または CdZnTe で形成された多結晶膜の半導体層であって、基板として電圧印加電極と支持基板とを兼用したグラファイト基板を採用し、読み出し基板側に画素電極を有した場合において、グラファイト基板の表面の凹凸を $1\mu\text{m}\sim 8\mu\text{m}$ の範囲としている。かかる範囲にすることで、凹凸が $1\mu\text{m}$ 未満の基板では半導体層の膜質が粗くポーラスになって基板と半導体層との密着性が悪くなっていたのを防ぎ、逆に凹凸が $8\mu\text{m}$ を超えた基板ではリークスポットが発生したのを防ぐ。その結果、基板上に積層形成される半導体層の膜質が安定し、基板と半導体層との密着性を向上させることができる。

[0011] また、上述の放射線検出器とは別の放射線検出器は、放射線を検出する放射線検出器であって、放射線の入射により放射線の情報を電荷情報に変換し、 CdTe （テルル化カドミウム）、 ZnTe （テルル化亜鉛）または CdZnTe （テルル化カドミウム亜鉛）で形成された多結晶膜の半導体層と、この半導体層にバイアス電圧を印加し、支持基板を兼用した電圧印加電極用のグラファイト基板と、前記電荷情報を読み出し、画素ごとに応じて形成された画素電極と、読み出しパターンが形成された読み出し基板とを備え、前記グラファイト基板に前記半導体層を積層形成し、前記半導体層に前記画素電極を積層形成し、画素電極が前記読み出し基板側に貼り合わされるように、画素電極とともに半導体層が積層形成されたグラファイト基板と読み出し基板とを貼り合わせて、それぞれを構成したときに、前記グラファイト基板の表面の凹凸が $1\mu\text{m}\sim 8\mu\text{m}$ の範囲であることを特徴とするものである。

[0012] [作用・効果] この発明に係る放射線検出器によれば、CdTe、ZnTeまたはCdZnTeで形成された多結晶膜の半導体層であって、基板として電圧印加電極と支持基板とを兼用したグラファイト基板を採用し、グラファイト基板側に画素電極を有した場合において、グラファイト基板の表面の凹凸を $1\mu\text{m}\sim 8\mu\text{m}$ の範囲としている。かかる範囲にすることで、凹凸が $1\mu\text{m}$ 未満の基板では半導体層の膜質が粗くポーラスになって基板と半導体層との密着性が悪くなっていたのを防ぎ、逆に凹凸が $8\mu\text{m}$ を超えた基板ではリークスポットが発生したのを防ぐ。その結果、基板上に積層形成される半導体層の膜質が安定し、基板と半導体層との密着性を向上させることができる。

[0013] また、上述の放射線検出器とはさらに別の放射線検出器は、放射線を検出する放射線検出器であって、放射線の入射により放射線の情報を電荷情報に変換し、CdTe（テルル化カドミウム）、ZnTe（テルル化亜鉛）またはCdZnTe（テルル化カドミウム亜鉛）で形成された多結晶膜の半導体層と、この半導体層にバイアス電圧を印加する電圧印加電極と、前記電荷情報を読み出し、画素ごとに応じて形成された画素電極と、前記電圧印加電極、前記半導体層および画素電極を支持し、酸化アルミニウム、窒化アルミニウム、窒化ホウ素、酸化シリコン、窒化シリコンまたは炭化ケイ素のいずれかで形成され、あるいはこれらの材料の混合物を焼成して形成された支持基板と、読み出しパターンが形成された読み出し基板とを備え、前記支持基板に前記電圧印加電極を積層形成し、前記電圧印加電極に前記半導体層を積層形成し、前記半導体層に前記画素電極を積層形成し、画素電極が前記読み出し基板側に貼り合わされるように、画素電極および半導体層とともに電圧印加電極が積層形成された支持基板と前記読み出し基板とを貼り合わせて、それぞれを構成したときに、前記支持基板の表面の凹凸が $1\mu\text{m}\sim 8\mu\text{m}$ の範囲であることを特徴とするものである。

[0014] [作用・効果] この発明に係る放射線検出器によれば、CdTe、ZnTeまたはCdZnTeで形成された多結晶膜の半導体層であって、基板とし

て電圧印加電極とは独立して支持する支持基板を採用し、支持基板側に画素電極を有した場合において、支持基板の表面の凹凸を $1\ \mu\text{m}\sim 8\ \mu\text{m}$ の範囲としている。かかる範囲にすることで、凹凸が $1\ \mu\text{m}$ 未満の基板では半導体層の膜質が粗くポーラスになって基板と半導体層との密着性が悪くなっていたのを防ぎ、逆に凹凸が $8\ \mu\text{m}$ を超えた基板ではリークスポットが発生したのを防ぐ。その結果、基板上に積層形成される半導体層の膜質が安定し、基板と半導体層との密着性を向上させることができる。なお、支持基板を採用した場合には、支持基板は、酸化アルミニウム、窒化アルミニウム、窒化ホウ素、酸化シリコン、窒化シリコンまたは炭化ケイ素のいずれかで形成され、あるいはこれらの材料の混合物を焼成して形成されていけばよい。また、支持基板と半導体層との間には電圧印加電極が介在するが、電圧印加電極は薄く、支持基板の表面の凹凸が電圧印加電極に転写されるので、支持基板の表面の凹凸を $1\ \mu\text{m}\sim 8\ \mu\text{m}$ の範囲とすると、電圧印加電極の表面の凹凸もほぼ当該範囲となり、支持基板に半導体層を積層形成した構造とほぼ同じ効果を奏する。

[0015] 上述したこれらの発明に係る放射線検出器では、電子阻止層、正孔阻止層の少なくとも一つを半導体層に直接に接触して形成するのが好ましい。特に、グラファイト基板あるいは支持基板と半導体層との間に電子阻止層あるいは正孔阻止層が介在する場合には、阻止層は薄く、グラファイト基板あるいは支持基板の表面の凹凸が阻止層に転写されるので、グラファイト基板あるいは支持基板の表面の凹凸を $1\ \mu\text{m}\sim 8\ \mu\text{m}$ の範囲とすると、阻止層の表面の凹凸もほぼ当該範囲となり、グラファイト基板あるいは支持基板に半導体層を直接に接触して形成した構造とほぼ同じ効果を奏する。

[0016] 上述したこれらの発明に係る放射線検出器を製造する方法において、基板の表面の凹凸を、フライス加工、研磨加工、ブラスト加工またはエッチング加工のいずれかを用いて表面処理を行うことで、基板の表面の凹凸を $1\ \mu\text{m}\sim 8\ \mu\text{m}$ の範囲に加工することが可能である。また、上述の表面処理を行う前に、基板を洗浄する洗浄処理を行うのが好ましい。洗浄によって基板表面

の不純物やパーティクル等を取り除くことで、基板の表面の凹凸を $1\ \mu\text{m}\sim 8\ \mu\text{m}$ の範囲に加工しやすくなる。

発明の効果

[0017] この発明に係る放射線検出器およびそれを製造する方法によれば、基板（グラファイト基板または支持基板）の表面の凹凸を $1\ \mu\text{m}\sim 8\ \mu\text{m}$ の範囲とすることで、基板上に積層形成される半導体層の膜質が安定し、基板と半導体層との密着性を向上させることができる。

図面の簡単な説明

[0018] [図1]実施例1に係る放射線検出器のグラファイト基板側の構成を示す縦断面図である。

[図2]実施例1に係る放射線検出器の読み出し基板側の構成を示す縦断面図である。

[図3]読み出し基板および周辺回路の構成を示す回路図である。

[図4]実施例1に係るグラファイト基板側の構成と読み出し基板側の構成とを貼り合わせたときの縦断面図である。

[図5]基板としてグラファイト基板を採用したときの実験データであり、（a）は基板の表面の凹凸を $1\ \mu\text{m}\sim 8\ \mu\text{m}$ の範囲としたものに半導体層を成膜し、 $\times 100$ 倍で観察した画像、（b）は当該凹凸が $1\ \mu\text{m}$ 未満の基板に半導体層を成膜した $\times 100$ 倍の画像、（c）は当該凹凸が $8\ \mu\text{m}$ を超えた基板に半導体層を成膜した $\times 500$ 倍の画像である。

[図6]グラファイト基板と半導体層との間に電子阻止層が介在する場合における凹凸の転写の説明に供する模式図である。

[図7]実施例2に係る放射線検出器においてグラファイト基板側の構成と読み出し基板側の構成とを貼り合わせたときの縦断面図である。

[図8]実施例3に係る放射線検出器において支持基板側の構成と読み出し基板側の構成とを貼り合わせたときの縦断面図である。

[図9]支持基板と半導体層との間に電圧印加電極および電子阻止層が介在する場合における凹凸の転写の説明に供する模式図である。

符号の説明

- [0019] 1 1 … グラファイト基板
1 1 a … 支持基板
1 1 b … 電圧印加電極
1 2 … 電子阻止層
1 3 … 半導体層
1 4 … 正孔阻止層
1 5、2 2 … 画素電極
2 1 … 読み出し基板

実施例 1

- [0020] 以下、図面を参照してこの発明の実施例 1 を説明する。

図 1 は、実施例 1 に係る放射線検出器のグラファイト基板側の構成を示す縦断面図であり、図 2 は、実施例 1 に係る放射線検出器の読み出し基板側の構成を示す縦断面図であり、図 3 は、読み出し基板および周辺回路の構成を示す回路図であり、図 4 は、実施例 1 に係るグラファイト基板側の構成と読み出し基板側の構成とを貼り合わせたときの縦断面図である。

- [0021] 放射線検出器は、図 1 ～図 4 に示すようにグラファイト基板 1 1 と読み出し基板 2 1 とに大別される。図 1、図 4 に示すようにグラファイト基板 1 1 に、電子阻止層 1 2、半導体層 1 3、正孔阻止層 1 4 の順に積層形成する。図 2、図 4 に示すように読み出し基板 2 1 には後述する画素電極 2 2 を有し、コンデンサ 2 3 や薄膜トランジスタ 2 4 などをパターン形成する（図 2 では読み出し基板 2 1、画素電極 2 2 のみ図示）。グラファイト基板 1 1 は、この発明におけるグラファイト基板に相当し、電子阻止層 1 2 は、この発明における電子阻止層に相当し、半導体層 1 3 は、この発明における半導体層に相当し、正孔阻止層 1 4 は、この発明における正孔阻止層に相当し、読み出し基板 2 1 は、この発明における読み出し基板に相当し、画素電極 2 2 は、この発明における画素電極に相当する。

- [0022] 図 1 に示すようにグラファイト基板 1 1 は、後述する実施例 3 の支持基板

11aと電圧印加電極11bとを兼用している。つまり、半導体層13にバイアス電圧（各実施例1～3では $-0.1\text{V}/\mu\text{m}\sim 1\text{V}/\mu\text{m}$ のバイアス電圧）を印加し、支持基板11aを兼用した電圧印加電極用のグラファイト基板11で本実施例1に係る放射線検出器を構築している。グラファイト基板11は、導電性カーボングラファイトの板材からなり、半導体層13の熱膨張係数と一致させるために焼成条件を調整した平坦な板材（厚み約2mm）を使用する。

[0023] 半導体層13は、放射線（例えばX線）の入射により放射線の情報を電荷情報（キャリア）に変換する。半導体層13については、CdTe（テルル化カドミウム）、ZnTe（テルル化亜鉛）またはCdZnTe（テルル化カドミウム亜鉛）で形成された多結晶膜を使用する。なお、これらの半導体層13の熱膨張係数は、CdTeが約 $5\text{ppm}/\text{deg}$ 、ZnTeが約 $8\text{ppm}/\text{deg}$ で、CdZnTeはZn濃度に応じてこれらの中間値を採る。

[0024] 電子阻止層12については、ZnTe、 Sb_2S_3 、 Sb_2Te_3 などのP型半導体を使用し、正孔阻止層14については、CdS、ZnS、ZnO、 Sb_2S_3 などのN型もしくは超高抵抗半導体を使用する。なお、図1や図4では正孔阻止層14を連続的に形成しているが、正孔阻止層14の膜抵抗が低い場合には画素電極22に対応して分割形成してもよい。なお、画素電極22に対応して正孔阻止層14を分割形成する場合には、グラファイト基板11と読み出し基板21との貼り合わせの際に、正孔阻止層14と画素電極22との位置合わせが必要になる。また、放射線検出器の特性上問題がなければ、電子阻止層12、正孔阻止層14のいずれか、もしくは両方を省略してもよい。

[0025] 図2に示すように読み出し基板21は、後述するコンデンサ23の容量電極23a（図4を参照）の箇所（画素領域）に導電性材料（導電ペースト、異方導電性フィルム（ACF）、異方導電性ペースト等）によってグラファイト基板11との貼り合わせの際にバンプ接続することで、その箇所に画素電極22を形成する。このように画素電極22は、画素ごとに依りて形成さ

れており、半導体層 13 で変換されたキャリアを読み出す。読み出し基板 21 については、ガラス基板を使用する。

[0026] 図 3 に示すように読み出し基板 21 は、電荷蓄積容量であるコンデンサ 23 と、スイッチング素子としての薄膜トランジスタ 24 とを画素毎に分割してパターン形成している。なお、図 3 では、 3×3 画素分しか示していないが、実際には二次元放射線検出器の画素数に合わせたサイズ（例えば 1024×1024 画素分）の読み出し基板 21 が使用される。

[0027] 図 4 に示すように読み出し基板 21 の面に、コンデンサ 23 の容量電極 23a と、薄膜トランジスタ 24 のゲート電極 24a とを積層形成して、絶縁層 25 で覆う。その絶縁層 25 に、コンデンサ 23 の基準電極 23b を、絶縁層 25 を介在させて容量電極 23a に対向するように積層形成し、薄膜トランジスタ 24 のソース電極 24b およびドレイン電極 24c を積層形成し、画素電極 22 の接続部分を除いて絶縁層 26 で覆う。なお、容量電極 23a とソース電極 24b とは相互に電氣的に接続される。図 4 のように容量電極 23a およびソース電極 24b を一体的に同時形成すればよい。基準電極 23b については接地する。絶縁層 25、26 については、例えばプラズマ SiN を使用する。

[0028] 図 3 に示すようにゲート線 27 は、図 4 に示す薄膜トランジスタ 24 のゲート電極 24a に電氣的に接続され、データ線 28 は、図 4 に示す薄膜トランジスタ 24 のドレイン電極 24c に電氣的に接続されている。ゲート線 27 は、各々の画素の行方向にそれぞれ延びており、データ線 28 は、各々の画素の列方向にそれぞれ延びている。ゲート線 27 およびデータ線 28 は互いに直交している。これらゲート線 27 やデータ線 28 を含めて、コンデンサ 23 や薄膜トランジスタ 24 や絶縁層 25、26 については、半導体薄膜製造技術や微細加工技術を用いてガラス基板からなる読み出し基板 21 の表面にパターン形成される。

[0029] さらに、図 3 に示すように読み出し基板 21 の周囲には、ゲート駆動回路 29 と読み出し回路 30 とを備えている。ゲート駆動回路 29 は各行に延び

たゲート線 27 にそれぞれ電氣的に接続されており、各行の画素を順に駆動する。読み出し回路 30 は、各列に延びたデータ線 28 にそれぞれ電氣的に接続されており、データ線 28 を介して各画素のキャリアを読み出す。これらゲート駆動回路 29 および読み出し回路 30 は、シリコン等の半導体集積回路で構成され、異方導電性フィルム (ACF) 等を介してゲート線 27 やデータ線 28 をそれぞれ電氣的に接続する。

- [0030] 次に、上述の放射線検出器の具体的な製造方法について説明する。
- [0031] グラファイト基板 11 の表面の凹凸が $1\ \mu\text{m}\sim 8\ \mu\text{m}$ の範囲となるように表面処理を行う。好ましくは、表面処理を行う前に、グラファイト基板 11 を洗浄する洗浄処理を行って、グラファイト基板 11 表面の不純物やパーティクル等を取り除く。表面処理については、回転を与えて切削加工を行うフライス加工をグラファイト基板 11 に適用してもよいし、研磨加工をグラファイト基板 11 に適用してもよい。別的手段として、一旦平坦化したグラファイト基板 11 に対して、二酸化炭素 (CO_2) やガラスビーンズやアルミナ (Al_2O_3) などの粉体を衝突させてブラスト加工を行ってもよい。その他に、エッチング加工をグラファイト基板 11 に適用してもよい。このようにグラファイト基板 11 の表面の凹凸を、フライス加工、研磨加工、ブラスト加工またはエッチング加工のいずれかを用いて表面処理を行うことで、グラファイト基板 11 の表面の凹凸を $1\ \mu\text{m}\sim 8\ \mu\text{m}$ の範囲に加工する。
- [0032] 次に、表面の凹凸が $1\ \mu\text{m}\sim 8\ \mu\text{m}$ の範囲に規定されたグラファイト基板 11 に、昇華法、蒸着法、スパッタリング法、化学析出法もしくは電析法等によって電子阻止層 12 を積層形成する。
- [0033] 変換層である半導体層 13 を昇華法により電子阻止層 12 に積層形成する。本実施例 1 では、数 $10\ \text{keV}\sim$ 数 $100\ \text{keV}$ のエネルギーの X 線検出器として使用するために厚みが約 $300\ \mu\text{m}$ の亜鉛 (Zn) を数 $\text{mol}\%$ \sim 数 $10\ \text{mol}\%$ 程度含んだ ZnTe または CdZnTe 膜を半導体層 13 として近接昇華法により形成する。もちろん、Zn を含まない CdTe 膜を半導体層 13 として形成してもよい。また、半導体層 13 の形成については昇華

法に限定されず、MOCVD法、あるいはCdTe、ZnTeまたはCdZnTeを含むペーストを塗布して、CdTe、ZnTeまたはCdZnTeで形成された多結晶膜の半導体層13を形成してもよい。研磨あるいは砂などの研磨剤を吹き付けることでブラスト加工を行うサンドブラスト加工等により、半導体層13の平坦化処理を行う。

[0034] 次に、平坦化された半導体層13に、昇華法、蒸着法、スパッタリング法、化学析出法もしくは電析法等によって正孔阻止層14を積層形成する。

[0035] そして、図4に示すように半導体層13と画素電極22とが内側に貼り合わされるように、半導体層13が積層形成されたグラファイト基板11と読み出し基板21とを貼り合わせる。上述したように、絶縁層26で覆われていない箇所で、容量電極23aの箇所に導電性材料（導電ペースト、異方導電性フィルム（ACF）、異方導電性ペースト等）によってバンプ接続することで、その箇所に画素電極22を形成して、グラファイト基板11と読み出し基板21とを貼り合わせる。

[0036] 上述の構成を備えた本実施例1に係る放射線検出器によれば、CdTe、ZnTeまたはCdZnTeで形成された多結晶膜の半導体層13であって、基板として電圧印加電極と支持基板とを兼用したグラファイト基板11を本実施例1では採用し、読み出し基板21側に画素電極22を有した場合において、グラファイト基板11の表面の凹凸を $1\mu\text{m}\sim 8\mu\text{m}$ の範囲としている。かかる範囲にすることで、凹凸が $1\mu\text{m}$ 未満のグラファイト基板11では半導体層13の膜質が粗くポーラスになってグラファイト基板11と半導体層13との密着性が悪くなっていたのを防ぎ、逆に凹凸が $8\mu\text{m}$ を超えたグラファイト基板11ではリークスポットが発生したのを防ぐ。その結果、グラファイト基板11上に積層形成される半導体13層の膜質が安定し、グラファイト基板11と半導体層13との密着性を向上させることができる。

[0037] なお、グラファイト基板11の表面の凹凸を $1\mu\text{m}\sim 8\mu\text{m}$ の範囲とすることで、上述の知見でも述べたように図5(a)に示す実験データからグラ

ファイト基板 11 上に積層形成される半導体層 13 の膜質が安定し、グラファイト基板 11 と半導体層 13 との密着性を向上させることができることが確認されている。

[0038] 本実施例 1 では、電子阻止層 12 を半導体層 13 のグラファイト基板 11 側に直接に接触して形成し、正孔阻止層 14 を半導体層 13 のグラファイト基板 11 側とは逆側に直接に接触して形成している。その結果、グラファイト基板 11 と半導体層 13 との間に電子阻止層 12 が介在している。本実施例 1 のように、グラファイト基板 11 と半導体層 13 との間に電子阻止層 12 が介在する場合には、阻止層 12、14 は薄く、図 6 の模式図に示すように、グラファイト基板 11 の表面の凹凸が阻止層（本実施例 1 の場合には電子阻止層 12）に転写されるので、グラファイト基板 11 の表面の凹凸を $1\ \mu\text{m}\sim 8\ \mu\text{m}$ の範囲とすると、阻止層（電子阻止層 12）の表面の凹凸もほぼ当該範囲となり、グラファイト基板 11 に半導体層 13 を直接に接触して形成した構造とほぼ同じ効果を奏する。なお、図 6 の模式図では、凹凸をわかりやすく図示するために周囲と比較してサイズを大きくして図示しているが、実際のサイズは小さいことに留意されたい。

[0039] なお、正のバイアス電圧を印加する場合には、グラファイト基板 11 と半導体層 13 との間に正孔阻止層 14 が介在する構造となるが、その構造においてもグラファイト基板 11 の表面の凹凸が正孔阻止層 14 に転写され、グラファイト基板 11 の表面の凹凸を $1\ \mu\text{m}\sim 8\ \mu\text{m}$ の範囲とすると、正孔阻止層 14 の表面の凹凸もほぼ当該範囲となり、グラファイト基板 11 に半導体層 13 を直接に接触して形成した構造とほぼ同じ効果を奏する。

[0040] 本実施例 1 では、グラファイト基板 11 の表面の凹凸を、フライス加工、研磨加工、ブラスト加工またはエッチング加工のいずれかを用いて表面処理を行うことで、グラファイト基板 11 の表面の凹凸を $1\ \mu\text{m}\sim 8\ \mu\text{m}$ の範囲に加工することが可能である。また、上述の表面処理を行う前に、グラファイト基板 11 を洗浄する洗浄処理を行うのが好ましい。洗浄によって基板表面の不純物やパーティクル等を取り除くことで、グラファイト基板 11 の表

面の凹凸を $1\ \mu\text{m} \sim 8\ \mu\text{m}$ の範囲に加工しやすくなる。

実施例 2

[0041] 次に、図面を参照してこの発明の実施例 2 を説明する。

図 7 は、実施例 2 に係る放射線検出器においてグラファイト基板側の構成と読み出し基板側の構成とを貼り合わせたときの縦断面図である。図 7 では、読み出し基板 11 側ではコンデンサ 23 や薄膜トランジスタ 24 などの読み出しパターンについては図示を省略して、読み出し基板 11 およびバンプ 22 a のみ図示する。

[0042] 上述した実施例 1 と相違して、本実施例 2 では、画素電極を実施例 1 のように読み出し基板 11 側に有さずに、図 7 に示すようにグラファイト基板 11 側に画素電極 15 を有した点である。すなわち、実施例 1 のようにグラファイト基板 11 に、電子阻止層 12、半導体層 13、正孔阻止層 14 の順に積層形成して、本実施例 2 ではさらに正孔阻止層 14 に画素電極 15 を積層形成する。正孔阻止層 14 を備えない場合には半導体層 13 に画素電極 15 が直接に接触して形成されることになる。

[0043] 上述した実施例 1 と相違して、本実施例 2 では、画素電極 15 については実施例 1 のようなバンプでなく、例えば ITO、Au、Pt 等の導電性材料を使用する。その他のグラファイト基板 11 や電子阻止層 12 や半導体層 13 や正孔阻止層 14 を使用する材質については上述した実施例 1 と同じものである。上述した実施例 1 と同様に、放射線検出器の特性上問題がなければ、電子阻止層 12、正孔阻止層 14 のいずれか、もしくは両方を省略してもよい。画素電極 15 は、この発明における画素電極に相当する。

[0044] 読み出し基板 21 は、上述した実施例 1 と同様に、コンデンサ 23 や薄膜トランジスタ 24 など（図 4 を参照）をパターン形成している。本実施例 2 ではコンデンサ 23 の容量電極 23 a（図 4 を参照）の箇所（画素領域）にバンプ 22 a を形成して、バンプ 22 a と画素電極 15 とを接続することで、グラファイト基板 11 と読み出し基板 21 とを貼り合わせる。このように本実施例 2 では、グラファイト基板 11 と読み出し基板 21 との貼り合わせ

の際に、バンプ22aと画素電極15との位置合わせが必要になるが、画素電極15を形成する材料によっては画素電極15がバリア層として機能する場合がある。

- [0045] 次に、上述の放射線検出器の具体的な製造方法について説明する。
- [0046] 上述した実施例1と同様に、グラファイト基板11の表面の凹凸を、フライス加工、研磨加工、ブラスト加工またはエッチング加工のいずれかを用いて表面処理を行うことで、グラファイト基板11の表面の凹凸を $1\mu\text{m}\sim 8\mu\text{m}$ の範囲に加工する。好ましくは、表面処理を行う前に、グラファイト基板11を洗浄する洗浄処理を行って、グラファイト基板11表面の不純物やパーティクル等を取り除く。
- [0047] 次に、表面の凹凸が $1\mu\text{m}\sim 8\mu\text{m}$ の範囲に規定されたグラファイト基板11に、電子阻止層12、半導体層13、正孔阻止層14の順に積層形成する。電子阻止層12、半導体層13および正孔阻止層14の形成法については、上述した実施例1と同じである。
- [0048] そして、画素電極15が読み出し基板21側に貼り合わされるように、画素電極15とともに半導体層13が積層形成されたグラファイト基板11と読み出し基板21とを貼り合わせる。上述したように、絶縁層26（図4を参照）で覆われていない箇所で、容量電極23a（図4を参照）の箇所にバンプ22aを形成して、バンプ22aと画素電極15とを接続することで、グラファイト基板11と読み出し基板21とを貼り合わせる。
- [0049] 上述の構成を備えた本実施例2に係る放射線検出器によれば、CdTe、ZnTeまたはCdZnTeで形成された多結晶膜の半導体層13であって、基板として電圧印加電極と支持基板とを兼用したグラファイト基板11を本実施例2では採用し、グラファイト基板11側に画素電極15を有した場合において、グラファイト基板11の表面の凹凸を $1\mu\text{m}\sim 8\mu\text{m}$ の範囲としている。上述した実施例1と同様に、グラファイト基板11の表面の凹凸を $1\mu\text{m}\sim 8\mu\text{m}$ の範囲とすることで、グラファイト基板11上に積層形成される半導体層13の膜質が安定し、グラファイト基板11と半導体層13

との密着性を向上させることができる。

[0050] 上述した実施例 1 と同様に、本実施例 2 でも、電子阻止層 1 2 を半導体層 1 3 のグラファイト基板 1 1 側に直接に接触して形成し、正孔阻止層 1 4 を半導体層 1 3 のグラファイト基板 1 1 側とは逆側に直接に接触して形成しているため、グラファイト基板 1 1 と半導体層 1 3 との間に電子阻止層 1 2 が介在している。グラファイト基板 1 1 と半導体層 1 3 との間に電子阻止層 1 2 が介在する場合には、グラファイト基板 1 1 の表面の凹凸が阻止層（本実施例 2 の場合には電子阻止層 1 2）に転写されるので、グラファイト基板 1 1 に半導体層 1 3 を直接に接触して形成した構造とほぼ同じ効果を奏する。

[0051] 上述した実施例 1 と同様に、本実施例 2 でも、グラファイト基板 1 1 の表面の凹凸を、フライス加工、研磨加工、ブラスト加工またはエッチング加工のいずれかを用いて表面処理を行うことで、グラファイト基板 1 1 の表面の凹凸を $1\ \mu\text{m} \sim 8\ \mu\text{m}$ の範囲に加工することが可能である。

実施例 3

[0052] 次に、図面を参照してこの発明の実施例 3 を説明する。

図 8 は、実施例 3 に係る放射線検出器において支持基板側の構成と読み出し基板側の構成とを貼り合わせたときの縦断面図である。上述した実施例 2 の図 7 と同様に、図 8 では、読み出し基板 1 1 側ではコンデンサ 2 3 や薄膜トランジスタ 2 4 などの読み出しパターンについては図示を省略して、読み出し基板 1 1 およびバンプ 2 2 a のみ図示する。

[0053] 上述した実施例 1、2 と相違して、本実施例 3 では、基板としてグラファイト基板を採用せずに、図 8 に示すように基板として電圧印加電極 1 1 b とは独立して支持する支持基板 1 1 a を採用した点である。一方、上述した実施例 2 と共通して、本実施例 3 では、画素電極を実施例 1 のように読み出し基板 1 1 側に有していない。本実施例 3 の場合には支持基板 1 1 a 側に画素電極 1 5 を有している。すなわち、支持基板 1 1 a に、電圧印加電極 1 1 b、電子阻止層 1 2、半導体層 1 3、正孔阻止層 1 4、画素電極 1 5 の順に積層形成する。支持基板 1 1 a は、この発明における支持基板に相当し、電圧

印加電極 11b は、この発明における電圧印加電極に相当する。

[0054] 上述した実施例 1、2 と相違して、本実施例 3 では、支持基板 11a については、放射線の吸収係数が小さな材料を使用し、例えば酸化アルミニウム、窒化アルミニウム、窒化ホウ素、酸化シリコン、窒化シリコンまたは炭化ケイ素のいずれかを使用、あるいはこれらの材料の混合物を焼成して形成されたものを使用する。電圧印加電極 11b については、画素電極 15 と同様に、例えば ITO、Au、Pt 等の導電性材料を使用する。その他の電子阻止層 12 や半導体層 13 や正孔阻止層 14 や画素電極 15 を使用する材質については上述した実施例 2 と同じものである。上述した実施例 1、2 と同様に、放射線検出器の特性上問題がなければ、電子阻止層 12、正孔阻止層 14 のいずれか、もしくは両方を省略してもよい。

[0055] 読み出し基板 21 は、上述した実施例 1、2 と同様に、コンデンサ 23 や薄膜トランジスタ 24 など（図 4 を参照）をパターン形成している。本実施例 3 ではコンデンサ 23 の容量電極 23a（図 4 を参照）の箇所（画素領域）にバンプ 22a を形成して、バンプ 22a と画素電極 15 とを接続することで、支持基板 11a と読み出し基板 21 とを貼り合わせる。

[0056] 次に、上述の放射線検出器の具体的な製造方法について説明する。

[0057] 上述した実施例 1、2 と同様に、本実施例 3 のような支持基板 11a においても、支持基板 11a の表面の凹凸を、フライス加工、研磨加工、ブラスト加工またはエッチング加工のいずれかを用いて表面処理を行うことで、支持基板 11a の表面の凹凸を $1\mu\text{m}\sim 8\mu\text{m}$ の範囲に加工する。好ましくは、表面処理を行う前に、支持基板 11a を洗浄する洗浄処理を行って、支持基板 11a 表面の不純物やパーティクル等を取り除く。

[0058] 次に、表面の凹凸が $1\mu\text{m}\sim 8\mu\text{m}$ の範囲に規定された支持基板 11a に、電圧印加電極 11b、電子阻止層 12、半導体層 13、正孔阻止層 14 の順に積層形成する。本実施例 3 では支持基板 11a にスパッタリング法もしくは蒸着法等によって電圧印加電極 11b を積層形成する。電子阻止層 12、半導体層 13 および正孔阻止層 14 の形成法については、上述した実施例

1、2と同じである。

[0059] そして、画素電極 15 が読み出し基板 21 側に貼り合わされるように、画素電極 15 および半導体層 13 とともに電圧印加電極 11b が積層形成された支持基板 11a と読み出し基板 21 とを貼り合わせる。

[0060] 上述の構成を備えた本実施例 3 に係る放射線検出器によれば、CdTe、ZnTe または CdZnTe で形成された多結晶膜の半導体層 13 であって、基板として電圧印加電極 11b とは独立して支持する支持基板 11a を採用し、支持基板 11a 側に画素電極 15 を有した場合において、支持基板 11a の表面の凹凸を $1\mu\text{m}\sim 8\mu\text{m}$ の範囲としている。支持基板 11a の表面の凹凸を $1\mu\text{m}\sim 8\mu\text{m}$ の範囲とすることで、支持基板 11a 上に積層形成される半導体層 13 の膜質が安定し、支持基板 11a と半導体層 13 との密着性を向上させることができる。

[0061] 本実施例 3 のように支持基板 11a を採用した場合には、支持基板 11a は、酸化アルミニウム、窒化アルミニウム、窒化ホウ素、酸化シリコン、窒化シリコンまたは炭化ケイ素のいずれかで形成され、あるいはこれらの材料の混合物を焼成して形成されていけばよい。また、支持基板 11a と半導体層 13 との間には電圧印加電極 11b が介在するが、電圧印加電極 11b は薄く、図 9 の模式図に示すように、支持基板 11a の表面の凹凸が電圧印加電極 11b に転写されるので、支持基板 11a の表面の凹凸を $1\mu\text{m}\sim 8\mu\text{m}$ の範囲とすると、電圧印加電極 11b の表面の凹凸もほぼ当該範囲となり、支持基板 11a に半導体層 13 を積層形成した構造とほぼ同じ効果を奏する。なお、図 6 と同様に図 9 の模式図では、凹凸をわかりやすく図示するために周囲と比較してサイズを大きくして図示しているが、実際のサイズは小さいことに留意されたい。

[0062] 上述した実施例 1、2 と同様に、本実施例 3 でも、電子阻止層 12 を半導体層 13 の支持基板 11a 側に直接に接触して形成し、正孔阻止層 14 を半導体層 13 の支持基板 11a 側とは逆側に直接に接触して形成しているので、支持基板 11a と半導体層 13 との間に上述の電圧印加電極 11b の他に

電子阻止層 1 2 が介在している。支持基板 1 1 a と半導体層 1 3 との間に電子阻止層 1 2 が介在する場合には、支持基板 1 1 a の表面の凹凸が阻止層（本実施例 3 の場合には電子阻止層 1 2）に転写されるので、支持基板 1 1 a に半導体層 1 3 を直接に接触して形成した構造とほぼ同じ効果を奏する。

[0063] 本実施例 3 では、支持基板 1 1 a の表面の凹凸を、フライス加工、研磨加工、ブラスト加工またはエッチング加工のいずれかを用いて表面処理を行うことで、支持基板 1 1 a の表面の凹凸を $1\ \mu\text{m}$ ~ $8\ \mu\text{m}$ の範囲に加工することが可能である。

[0064] この発明は、上記実施形態に限られることはなく、下記のように変形実施することができる。

[0065] （1）上述した各実施例では、放射線として X 線を例に採って説明したが、X 線以外の放射線として γ 線、光等に例示されるように特に限定されない。

[0066] （2）上述した各実施例の製造方法に限定されない。

請求の範囲

[請求項1]

放射線を検出する放射線検出器であって、
放射線の入射により放射線の情報を電荷情報に変換し、CdTe（テルル化カドミウム）、ZnTe（テルル化亜鉛）またはCdZnTe（テルル化カドミウム亜鉛）で形成された多結晶膜の半導体層と、
この半導体層にバイアス電圧を印加し、支持基板を兼用した電圧印加電極用のグラファイト基板と、
前記電荷情報を読み出し、画素ごとに応じて形成された画素電極を有した読み出し基板と
を備え、
前記グラファイト基板に前記半導体層を積層形成し、
半導体層と前記画素電極とが内側に貼り合わされるように、半導体層が積層形成されたグラファイト基板と前記読み出し基板とを貼り合わせて、
それぞれを構成したときに、前記グラファイト基板の表面の凹凸が $1\mu\text{m}\sim 8\mu\text{m}$ の範囲であることを特徴とする放射線検出器。

[請求項2]

請求項1に記載の放射線検出器において、
電子阻止層、正孔阻止層の少なくとも一つを前記半導体層に直接に接触して形成することを特徴とする放射線検出器。

[請求項3]

請求項2に記載の放射線検出器において、
前記グラファイト基板と前記半導体層との間に前記電子阻止層あるいは前記正孔阻止層が介在することを特徴とする放射線検出器。

[請求項4]

放射線を検出する放射線検出器であって、
放射線の入射により放射線の情報を電荷情報に変換し、CdTe（テルル化カドミウム）、ZnTe（テルル化亜鉛）またはCdZnTe（テルル化カドミウム亜鉛）で形成された多結晶膜の半導体層と、
この半導体層にバイアス電圧を印加し、支持基板を兼用した電圧印加電極用のグラファイト基板と、

前記電荷情報を読み出し、画素ごとに応じて形成された画素電極と、
読み出しパターンが形成された読み出し基板とを備え、
前記グラファイト基板に前記半導体層を積層形成し、
前記半導体層に前記画素電極を積層形成し、
画素電極が前記読み出し基板側に貼り合わされるように、画素電極とともに半導体層が積層形成されたグラファイト基板と前記読み出し基板とを貼り合わせて、
それぞれを構成したときに、前記グラファイト基板の表面の凹凸が $1\ \mu\text{m} \sim 8\ \mu\text{m}$ の範囲であることを特徴とする放射線検出器。

[請求項5]

請求項4に記載の放射線検出器において、
電子阻止層、正孔阻止層の少なくとも一つを前記半導体層に直接に接触して形成することを特徴とする放射線検出器。

[請求項6]

請求項5に記載の放射線検出器において、
前記グラファイト基板と前記半導体層との間に前記電子阻止層あるいは前記正孔阻止層が介在することを特徴とする放射線検出器。

[請求項7]

放射線を検出する放射線検出器であって、
放射線の入射により放射線の情報を電荷情報に変換し、 CdTe （テルル化カドミウム）、 ZnTe （テルル化亜鉛）または CdZnTe （テルル化カドミウム亜鉛）で形成された多結晶膜の半導体層と、
この半導体層にバイアス電圧を印加する電圧印加電極と、
前記電荷情報を読み出し、画素ごとに応じて形成された画素電極と、
前記電圧印加電極、前記半導体層および画素電極を支持し、酸化アルミニウム、窒化アルミニウム、窒化ホウ素、酸化シリコン、窒化シリコンまたは炭化ケイ素のいずれかで形成され、あるいはこれらの材料の混合物を焼成して形成された支持基板と、

読み出しパターンが形成された読み出し基板と
を備え、
前記支持基板に前記電圧印加電極を積層形成し、
前記電圧印加電極に前記半導体層を積層形成し、
前記半導体層に前記画素電極を積層形成し、
画素電極が前記読み出し基板側に貼り合わされるように、画素電極
および半導体層とともに電圧印加電極が積層形成された支持基板と前
記読み出し基板とを貼り合わせて、

それぞれを構成したときに、前記支持基板の表面の凹凸が $1 \mu\text{m} \sim 8 \mu\text{m}$ の範囲であることを特徴とする放射線検出器。

[請求項8] 請求項7に記載の放射線検出器において、
電子阻止層、正孔阻止層の少なくとも一つを前記半導体層に直接に
接触して形成することを特徴とする放射線検出器。

[請求項9] 請求項8に記載の放射線検出器において、
前記支持基板と前記半導体層との間に前記電子阻止層あるいは前記
正孔阻止層が介在することを特徴とする放射線検出器。

[請求項10] 放射線検出器を製造する方法であって、
前記放射線検出器は、
放射線の入射により放射線の情報を電荷情報に変換し、 CdTe （
テルル化カドミウム）、 ZnTe （テルル化亜鉛）または CdZnTe （
テルル化カドミウム亜鉛）で形成された多結晶膜の半導体層と、
この半導体層にバイアス電圧を印加し、支持基板を兼用した電圧印
加電極用のグラファイト基板と、
前記電荷情報を読み出し、画素ごとに応じて形成された画素電極を
有した読み出し基板と
を備え、
前記グラファイト基板に前記半導体層を積層形成し、
半導体層と前記画素電極とが内側に貼り合わされるように、半導体

層が積層形成されたグラファイト基板と前記読み出し基板とを貼り合わせて、

それぞれを構成したときに、前記グラファイト基板の表面の凹凸が $1\ \mu\text{m} \sim 8\ \mu\text{m}$ の範囲であって、

前記グラファイト基板の表面の凹凸を、フライス加工、研磨加工、ブラスト加工またはエッチング加工のいずれかを用いて表面処理を行うことを特徴とする放射線検出器の製造方法。

[請求項11]

請求項10に記載の放射線検出器の製造方法において、

電子阻止層、正孔阻止層の少なくとも一つを前記半導体層に直接に接触して形成することを特徴とする放射線検出器の製造方法。

[請求項12]

請求項10に記載の放射線検出器の製造方法において、

前記表面処理を行う前に、前記グラファイト基板を洗浄する洗浄処理を行うことを特徴とする放射線検出器の製造方法。

[請求項13]

放射線検出器を製造する方法であって、

前記放射線検出器は、

放射線の入射により放射線の情報を電荷情報に変換し、 CdTe （テルル化カドミウム）、 ZnTe （テルル化亜鉛）または CdZnTe （テルル化カドミウム亜鉛）で形成された多結晶膜の半導体層と、

この半導体層にバイアス電圧を印加し、支持基板を兼用した電圧印加電極用のグラファイト基板と、

前記電荷情報を読み出し、画素ごとに応じて形成された画素電極と

、

読み出しパターンが形成された読み出し基板と

を備え、

前記グラファイト基板に前記半導体層を積層形成し、

前記半導体層に前記画素電極を積層形成し、

画素電極が前記読み出し基板側に貼り合わされるように、画素電極とともに半導体層が積層形成されたグラファイト基板と前記読み出し

基板とを貼り合わせて、

それぞれを構成したときに、前記グラファイト基板の表面の凹凸が $1\ \mu\text{m}$ ~ $8\ \mu\text{m}$ の範囲であって、

前記グラファイト基板の表面の凹凸を、フライス加工、研磨加工、ブラスト加工またはエッチング加工のいずれかを用いて表面処理を行うことを特徴とする放射線検出器の製造方法。

[請求項14]

請求項 1 3 に記載の放射線検出器の製造方法において、

電子阻止層、正孔阻止層の少なくとも一つを前記半導体層に直接に接触して形成することを特徴とする放射線検出器の製造方法。

[請求項15]

請求項 1 3 に記載の放射線検出器の製造方法において、

前記表面処理を行う前に、前記グラファイト基板を洗浄する洗浄処理を行うことを特徴とする放射線検出器の製造方法。

[請求項16]

放射線検出器を製造する方法であって、

前記放射線検出器は、

放射線の入射により放射線の情報を電荷情報に変換し、 CdTe (テルル化カドミウム)、 ZnTe (テルル化亜鉛) または CdZnTe (テルル化カドミウム亜鉛) で形成された多結晶膜の半導体層と、

この半導体層にバイアス電圧を印加する電圧印加電極と、

前記電荷情報を読み出し、画素ごとに応じて形成された画素電極と

、

前記電圧印加電極、前記半導体層および画素電極を支持し、酸化アルミニウム、窒化アルミニウム、窒化ホウ素、酸化シリコン、窒化シリコンまたは炭化ケイ素のいずれかで形成され、あるいはこれらの材料の混合物を焼成して形成された支持基板と、

読み出しパターンが形成された読み出し基板と

を備え、

前記支持基板に前記電圧印加電極を積層形成し、

前記電圧印加電極に前記半導体層を積層形成し、

前記半導体層に前記画素電極を積層形成し、

画素電極が前記読み出し基板側に貼り合わされるように、画素電極および半導体層とともに電圧印加電極が積層形成された支持基板と前記読み出し基板とを貼り合わせて、

それぞれを構成したときに、前記支持基板の表面の凹凸が $1\ \mu\text{m}$ ～ $8\ \mu\text{m}$ の範囲であって、

前記支持基板の表面の凹凸を、フライス加工、研磨加工、ブラスト加工またはエッチング加工のいずれかを用いて表面処理を行うことを特徴とする放射線検出器の製造方法。

[請求項17]

請求項16に記載の放射線検出器の製造方法において、

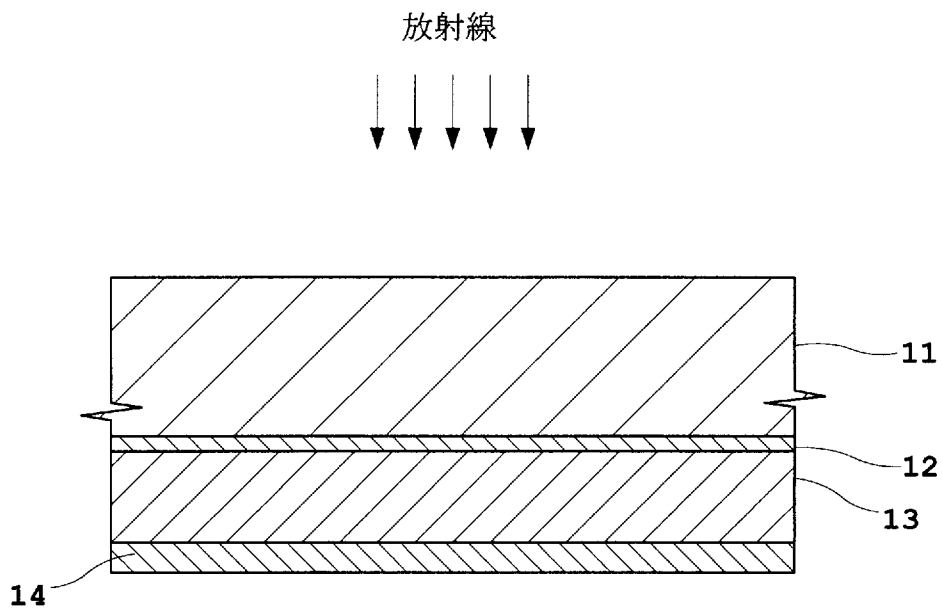
電子阻止層、正孔阻止層の少なくとも一つを前記半導体層に直接に接触して形成することを特徴とする放射線検出器の製造方法。

[請求項18]

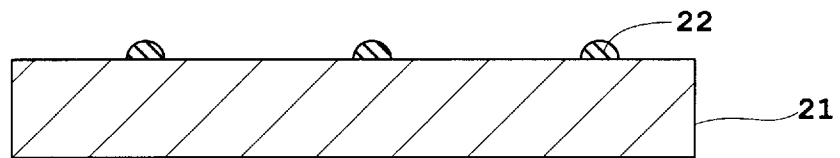
請求項16に記載の放射線検出器の製造方法において、

前記表面処理を行う前に、前記支持基板を洗浄する洗浄処理を行うことを特徴とする放射線検出器の製造方法。

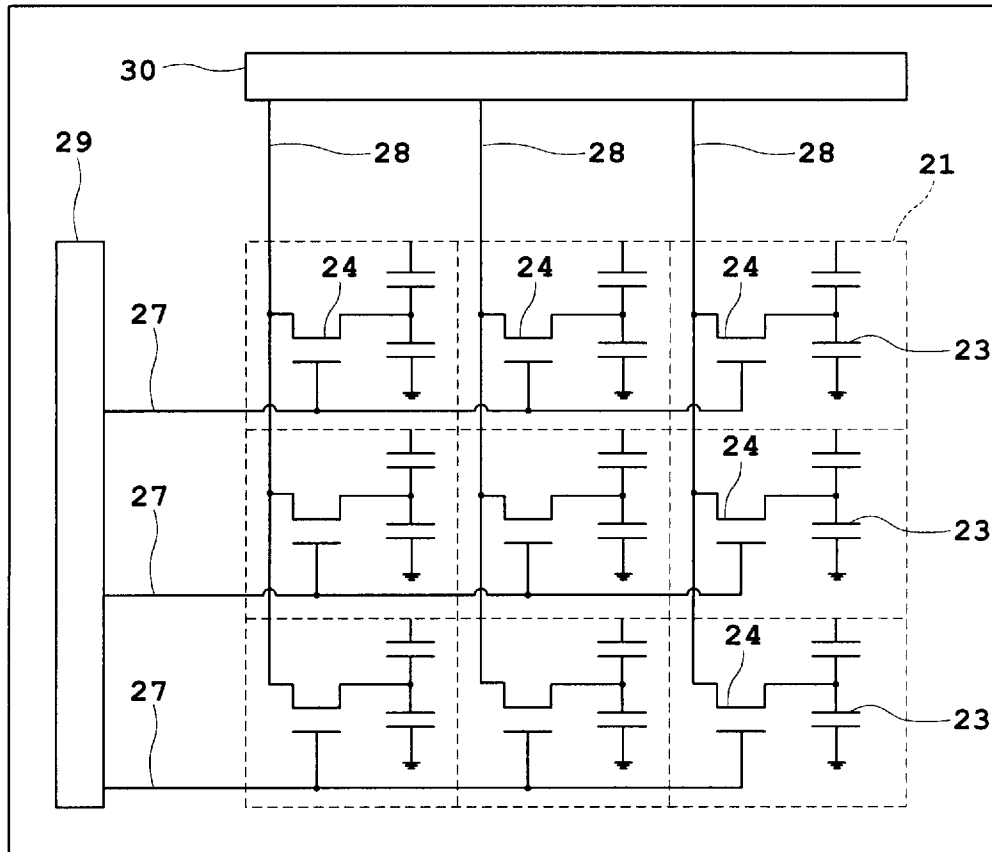
[図1]



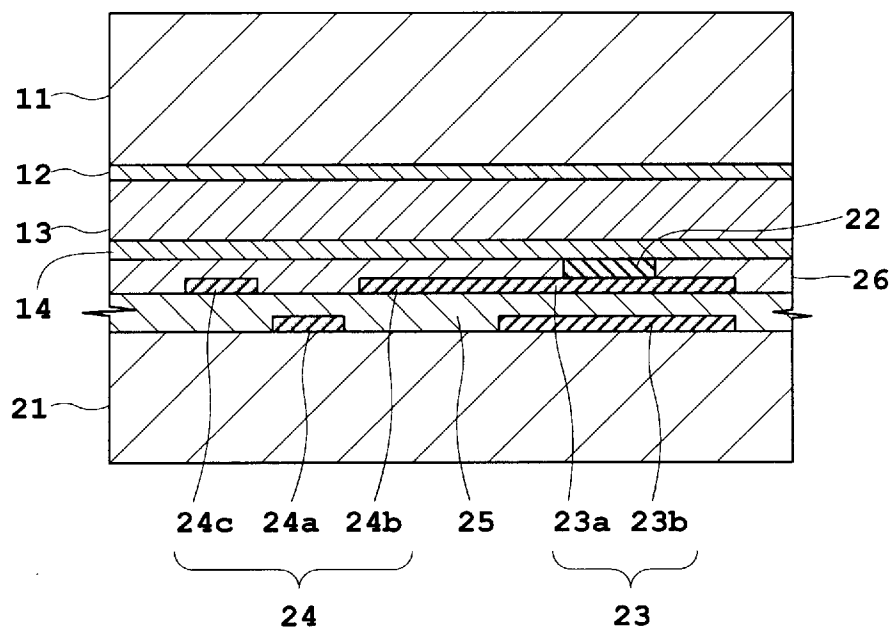
[図2]



[図3]

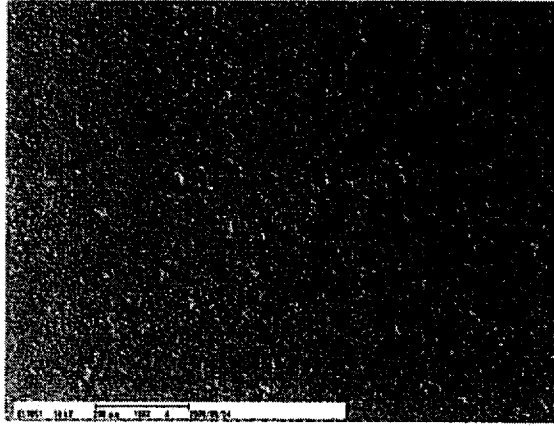


[図4]

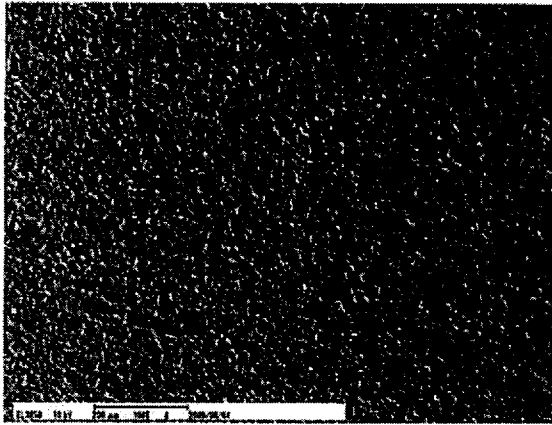


[図5]

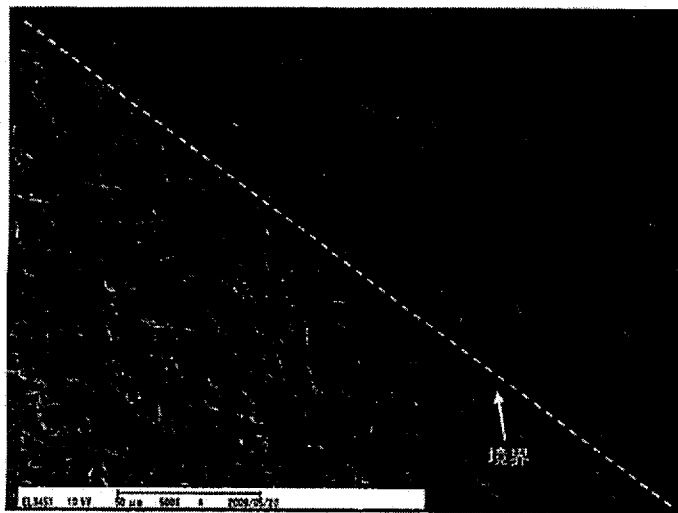
(a)



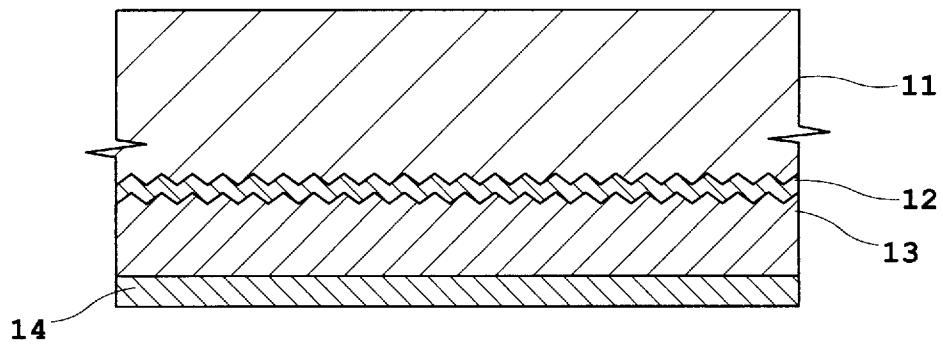
(b)



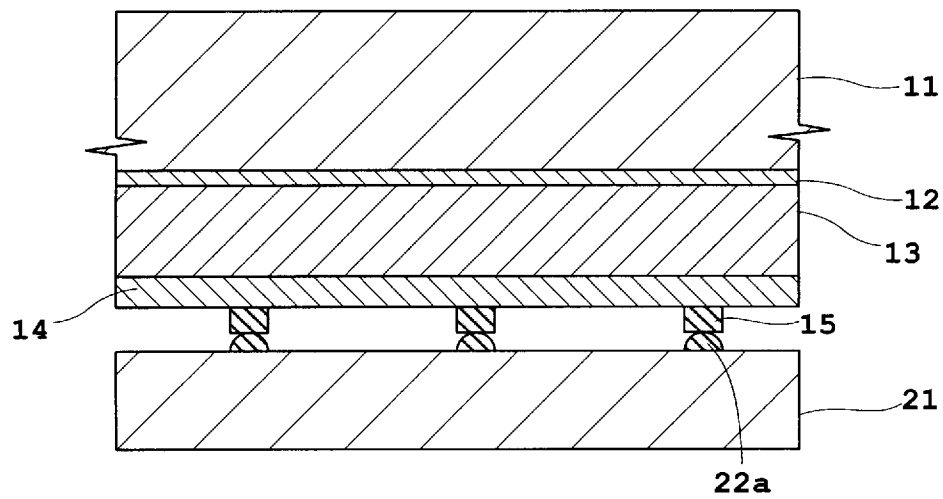
(c)



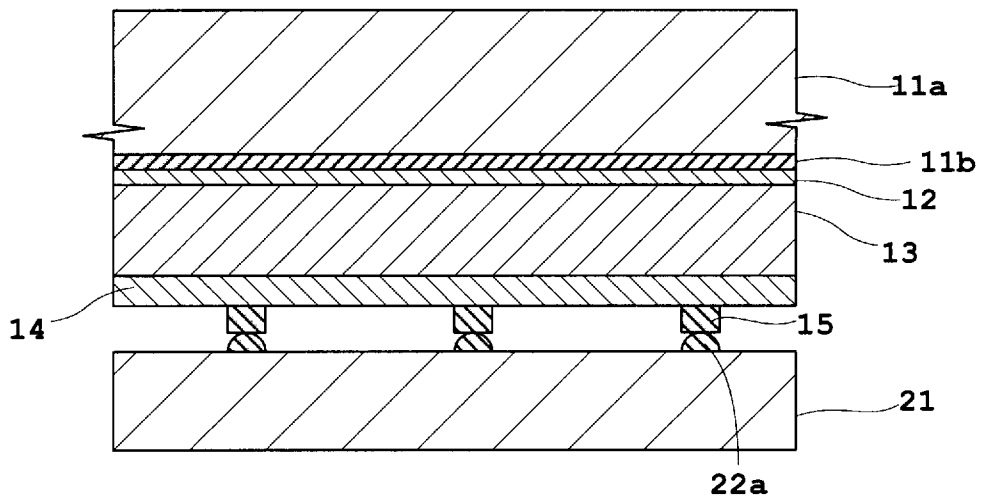
[図6]



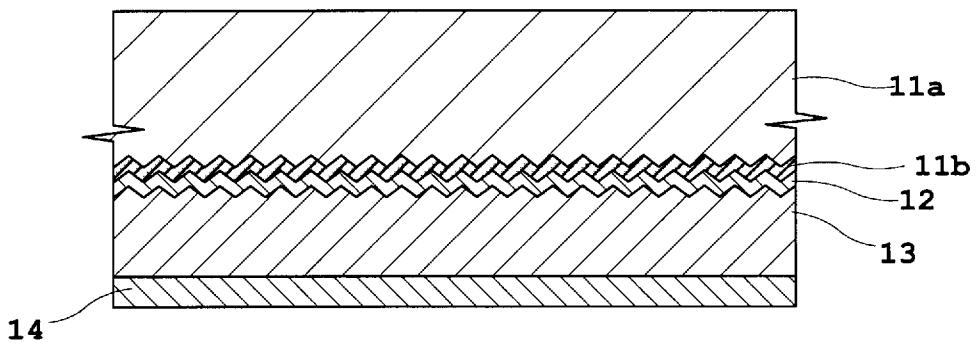
[図7]



[図8]



[図9]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2011/000953

A. CLASSIFICATION OF SUBJECT MATTER

H01L27/14(2006.01) i, G01T1/24(2006.01) i, H01L27/146(2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L27/14, G01T1/24, H01L27/146

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2011
Kokai Jitsuyo Shinan Koho	1971-2011	Toroku Jitsuyo Shinan Koho	1994-2011

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2000-307091 A (Sharp Corp.), 02 November 2000 (02.11.2000), entire text; all drawings & US 6344370 B1	1-18
Y A	JP 2001-242256 A (Shimadzu Corp.), 07 September 2001 (07.09.2001), entire text; all drawings (Family: none)	4-9, 13-18 1-3, 10-12
Y	JP 2002-26300 A (Sharp Corp.), 25 January 2002 (25.01.2002), paragraphs [0011] to [0013], [0069] (Family: none)	1-18

Further documents are listed in the continuation of Box C.

See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search
13 May, 2011 (13.05.11)

Date of mailing of the international search report
24 May, 2011 (24.05.11)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2011/000953

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2000-352586 A (Fuji Photo Film Co., Ltd.), 19 December 2000 (19.12.2000), paragraphs [0011] to [0018], [0037] to [0041] (Family: none)	1-18
Y	JP 2008-71961 A (Shimadzu Corp.), 27 March 2008 (27.03.2008), paragraphs [0018] to [0022], [0037] to [0042]; fig. 1, 2 & US 2010/0029037 A & WO 2008/032461 A1 & CN 101517751 A	1-18
Y	JP 2007-235039 A (Shimadzu Corp.), 13 September 2007 (13.09.2007), paragraphs [0016] to [0019], [0033] to [0036], [0041]; fig. 1, 2 (Family: none)	1-18

A. 発明の属する分野の分類 (国際特許分類 (IPC))
 Int.Cl. H01L27/14(2006.01)i, G01T1/24(2006.01)i, H01L27/146(2006.01)i

B. 調査を行った分野
 調査を行った最小限資料 (国際特許分類 (IPC))
 Int.Cl. H01L27/14, G01T1/24, H01L27/146

最小限資料以外の資料で調査を行った分野に含まれるもの
 日本国実用新案公報 1922-1996年
 日本国公開実用新案公報 1971-2011年
 日本国実用新案登録公報 1996-2011年
 日本国登録実用新案公報 1994-2011年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2000-307091 A (シャープ株式会社) 2000. 11. 02, 全文, 全図 & US 6344370 B1	1-18
Y A	JP 2001-242256 A (株式会社島津製作所) 2001. 09. 07, 全文, 全図 (ファミリーなし)	4-9, 13-18 1-3, 10-12
Y	JP 2002-26300 A (シャープ株式会社) 2002. 01. 25, 段落【0011】～【0013】、【0069】 (ファミリーなし)	1-18

C欄の続きにも文献が列挙されている。 パテントファミリーに関する別紙を参照。

<p>* 引用文献のカテゴリー 「A」特に関連のある文献ではなく、一般的な技術水準を示すもの 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す) 「O」口頭による開示、使用、展示等に言及する文献 「P」国際出願日前で、かつ優先権の主張の基礎となる出願</p>	<p>の日の後に公表された文献 「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」同一パテントファミリー文献</p>
--	---

国際調査を完了した日 13.05.2011	国際調査報告の発送日 24.05.2011
国際調査機関の名称及びあて先 日本国特許庁 (ISA/JP) 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号	特許庁審査官 (権限のある職員) 恩田 春香 電話番号 03-3581-1101 内線 3498

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2000-352586 A (富士写真フイルム株式会社) 2000.12.19, 段落【0011】～【0018】、【0037】～【0041】 (ファミリーなし)	1-18
Y	JP 2008-71961 A (株式会社島津製作所) 2008.03.27, 段落【0018】～【0022】、【0037】～【0042】、図1、2 & US 2010/0029037 A & WO 2008/032461 A1 & CN 101517751 A	1-18
Y	JP 2007-235039 A (株式会社島津製作所) 2007.09.13, 段落【0016】～【0019】、【0033】～【0036】、【0041】、図1、2 (ファミリーなし)	1-18