



(12) 发明专利申请

(10) 申请公布号 CN 114628362 A

(43) 申请公布日 2022.06.14

(21) 申请号 202210115574.8

(22) 申请日 2022.02.07

(30) 优先权数据

63/145,613 2021.02.04 US

17/492,126 2021.10.01 US

(71) 申请人 台湾积体电路制造股份有限公司

地址 中国台湾新竹市

(72) 发明人 杨挺立 蔡柏豪 萧景文 许鸿生

郑明达

(74) 专利代理机构 北京东方亿思知识产权代理

有限责任公司 11258

专利代理师 陈蒙

(51) Int. Cl.

H01L 23/538 (2006.01)

H01L 21/768 (2006.01)

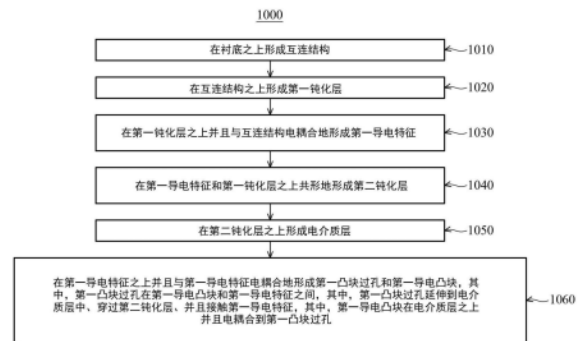
权利要求书2页 说明书14页 附图21页

(54) 发明名称

与重分布层的凸块集成

(57) 摘要

本公开总体涉及与重分布层的凸块集成。一种形成半导体器件的方法,包括:在衬底之上形成互连结构;在互连结构之上形成第一钝化层;在第一钝化层之上并且与互连结构电耦合地形成第一导电特征;在第一导电特征和第一钝化层之上共形地形成第二钝化层;在第二钝化层之上形成电介质层;以及在第一导电特征之上并且与第一导电特征电耦合地形成第一凸块过孔和第一导电凸块,其中,第一凸块过孔在第一导电凸块和第一导电特征之间,其中,第一凸块过孔延伸到电介质层中、穿过第二钝化层、并且接触第一导电特征,其中,第一导电凸块在电介质层之上并且电耦合到第一凸块过孔。



1. 一种形成半导体器件的方法,所述方法包括:

在衬底之上形成互连结构;

在所述互连结构之上形成第一钝化层;

在所述第一钝化层之上并且与所述互连结构电耦合地形成第一导电特征;

在所述第一导电特征和所述第一钝化层之上共形地形成第二钝化层;

在所述第二钝化层之上形成电介质层;以及

在所述第一导电特征之上并且与所述第一导电特征电耦合地形成第一凸块过孔和第一导电凸块,其中,所述第一凸块过孔在所述第一导电凸块和所述第一导电特征之间,其中,所述第一凸块过孔延伸到所述电介质层中、穿过所述第二钝化层、并且接触所述第一导电特征,其中,所述第一导电凸块在所述电介质层之上并且电耦合到所述第一凸块过孔。

2. 根据权利要求1所述的方法,其中,所述电介质层围绕所述第一导电特征,并且所述电介质层的远离所述衬底的上表面与所述第一导电特征相比从所述衬底延伸得更远。

3. 根据权利要求1所述的方法,其中,形成所述第一凸块过孔和所述第一导电凸块包括:

在形成所述第二钝化层之后并且在形成所述电介质层之前,在所述第二钝化层中形成第一开口以暴露出所述第一导电特征的上表面;

在形成所述电介质层之后,在所述电介质层中形成第二开口以暴露出所述第一导电特征的上表面,其中,在形成所述第二开口之后,所述第二钝化层的面向所述第二开口的侧壁被所述电介质层覆盖;以及

形成填充所述第二开口并且在所述电介质层的远离所述衬底的上表面上方延伸的导电材料。

4. 根据权利要求3所述的方法,其中,所述导电材料的在所述第二开口中的第一部分形成所述第一凸块过孔,并且所述导电材料的在所述电介质层的上表面之上的第二部分形成所述第一导电凸块。

5. 根据权利要求3所述的方法,其中,在所述第二开口的相对侧壁之间测量的所述第二开口的第二宽度小于在所述第一开口的相对侧壁之间测量的所述第一开口的第一宽度。

6. 根据权利要求5所述的方法,其中,所述第二开口的第二宽度沿着所述第二开口的深度方向连续变化。

7. 根据权利要求1所述的方法,其中,形成所述第一凸块过孔和所述第一导电凸块包括:

在形成所述电介质层之后,在所述电介质层中形成第一开口,所述第一开口延伸到所述电介质层中以暴露出所述第二钝化层的远离所述衬底的上表面,其中,在所述第一开口的底部处暴露的所述第二钝化层沿着所述第一导电特征的上表面延伸并且覆盖所述第一导电特征的上表面;

在形成所述第一开口之后,在所述电介质层之上形成经图案化的掩模层,其中,所述经图案化的掩模层中的第二开口上覆于所述第一开口;以及

使用所述经图案化的掩模层作为蚀刻掩模来执行各向异性蚀刻工艺,其中,所述各向异性蚀刻工艺使所述第二开口延伸穿过所述第二钝化层以暴露出所述第一导电特征的上表面。

8. 根据权利要求7所述的方法,其中,在所述各向异性蚀刻工艺之后,所述电介质层的面向所述第二开口的侧壁与所述第二钝化层的面向所述第二开口的相应侧壁沿着同一条线对齐。

9. 一种形成半导体器件的方法,所述方法包括:

在互连结构之上形成第一钝化层,其中,所述互连结构位于形成在衬底中的电子组件之上并且电耦合到所述电子组件;

在所述第一钝化层之上形成导电特征,其中,所述导电特征电耦合到所述互连结构;

在所述导电特征和所述第一钝化层之上形成第二钝化层,其中,所述第二钝化层是共形的并且沿着所述导电特征的外表面延伸;

在所述第二钝化层之上形成电介质层,其中,所述电介质层的远离所述衬底的上表面与所述导电特征的远离所述衬底的上表面相比从所述衬底延伸得更远;

形成从所述电介质层的上表面延伸至所述导电特征的上表面的凸块过孔,其中,所述凸块过孔的宽度随着所述凸块过孔朝向所述导电特征延伸而连续变化;以及

在所述凸块过孔上形成导电凸块。

10. 一种半导体器件,包括:

衬底,包括器件区域;

互连结构,在所述衬底之上并且电耦合到所述器件区域;

第一钝化层,在所述互连结构之上;

导电特征,在所述第一钝化层之上并且电耦合到所述互连结构;

第二钝化层,在所述导电特征和所述第一钝化层之上,其中,所述第二钝化层是共形的并且沿着所述导电特征的外表面延伸;

电介质层,在所述第二钝化层之上,其中,所述电介质层与所述导电特征相比从所述衬底延伸得更远;

凸块过孔,在所述电介质层中,其中,所述凸块过孔从所述电介质层的远离所述衬底的上表面延伸到所述导电特征,其中,所述凸块过孔的宽度随着所述凸块过孔朝向所述导电特征延伸而连续变化;以及

导电凸块,在所述凸块过孔上。

## 与重分布层的凸块集成

### 技术领域

[0001] 本公开总体涉及与重分布层的凸块集成。

### 背景技术

[0002] 高密度集成电路(例如,超大规模集成(Very Large Scale Integration,VLSI)电路)通常形成有用作三维布线结构的互连结构(也称为互连)。互连结构的目的是将密集封装的器件正确连接在一起,以形成功能电路。随着集成水平的提高,互连的金属线之间的寄生电容效应(该寄生电容效应会引起RC延迟和串扰)相应增加。为了降低寄生电容并且提高互连的传导速度,通常采用低k电介质材料来形成层间电介质(Inter-Layer Dielectric,ILD)层和金属间电介质(Inter-Metal Dielectric,IMD)层。

[0003] 在IMD层中形成金属线和过孔。形成工艺可以包括在第一导电特征之上形成蚀刻停止层,以及在蚀刻停止层之上形成低k电介质层。低k电介质层和蚀刻停止层被图案化以形成沟槽和过孔开口。然后用导电材料填充沟槽和过孔开口,然后进行平坦化工艺以去除多余的导电材料,从而形成金属线和过孔。导电凸块(例如,微凸块( $\mu$ -bump)和受控塌陷芯片连接凸块(C4凸块))形成在互连结构之上以用于与其他器件连接。

### 发明内容

[0004] 根据本公开的一个实施例,提供了一种形成半导体器件的方法,所述方法包括:在衬底之上形成互连结构;在所述互连结构之上形成第一钝化层;在所述第一钝化层之上并且与所述互连结构电耦合地形成第一导电特征;在所述第一导电特征和所述第一钝化层之上共形地形成第二钝化层;在所述第二钝化层之上形成电介质层;以及在所述第一导电特征之上并且与所述第一导电特征电耦合地形成第一凸块过孔和第一导电凸块,其中,所述第一凸块过孔在所述第一导电凸块和所述第一导电特征之间,其中,所述第一凸块过孔延伸到所述电介质层中、穿过所述第二钝化层、并且接触所述第一导电特征,其中,所述第一导电凸块在所述电介质层之上并且电耦合到所述第一凸块过孔。

[0005] 本公开的另一实施例,提供了一种形成半导体器件的方法,所述方法包括:在互连结构之上形成第一钝化层,其中,所述互连结构位于形成在衬底中的电子组件之上并且电耦合到所述电子组件;在所述第一钝化层之上形成导电特征,其中,所述导电特征电耦合到所述互连结构;在所述导电特征和所述第一钝化层之上形成第二钝化层,其中,所述第二钝化层是共形的并且沿着所述导电特征的外表面延伸;在所述第二钝化层之上形成电介质层,其中,所述电介质层的远离所述衬底的上表面与所述导电特征的远离所述衬底的上表面相比从所述衬底延伸得更远;形成从所述电介质层的上表面延伸至所述导电特征的上表面的凸块过孔,其中,所述凸块过孔的宽度随着所述凸块过孔朝向所述导电特征延伸而连续变化;以及在所述凸块过孔上形成导电凸块。

[0006] 本公开的又一实施例,提供了一种半导体器件,包括:衬底,包括器件区域;互连结构,在所述衬底之上并且电耦合到所述器件区域;第一钝化层,在所述互连结构之上;导

电特征,在所述第一钝化层之上并且电耦合到所述互连结构;第二钝化层,在所述导电特征和所述第一钝化层之上,其中,所述第二钝化层是共形的并且沿着所述导电特征的外表面延伸;电介质层,在所述第二钝化层之上,其中,所述电介质层与所述导电特征相比从所述衬底延伸得更远;凸块过孔,在所述电介质层中,其中,所述凸块过孔从所述电介质层的远离所述衬底的上表面延伸到所述导电特征,其中,所述凸块过孔的宽度随着所述凸块过孔朝向所述导电特征延伸而连续变化;以及导电凸块,在所述凸块过孔上。

## 附图说明

[0007] 在结合附图阅读下面的具体实施方式时,可以从下面的具体实施方式中最佳地理解本公开的各个方面。应当注意,根据行业的标准做法,各种特征不是按比例绘制的。事实上,为了讨论的清楚起见,各种特征的尺寸可能被任意地增大或减小了。

[0008] 图1A、图1B、图2-图7和图8A-图8C示出了根据实施例的处于各个制造阶段的半导体器件的截面图。

[0009] 图9-图11示出了根据另一实施例的处于各个制造阶段的半导体器件的截面图。

[0010] 图12-图15、图16A和图16B示出了根据又一实施例的处于各个制造阶段的半导体器件的截面图。

[0011] 图17示出了根据一些实施例的形成半导体器件的方法的流程图。

## 具体实施方式

[0012] 下面的公开内容提供了用于实现本发明的不同特征的许多不同的实施例或示例。以下描述了组件和布置的特定示例以简化本公开。当然,这些只是示例,并不旨在进行限制。例如,在下面的描述中在第二特征之上或上形成第一特征可以包括其中第一特征和第二特征以直接接触方式形成的实施例,并且还可以包括可以在第一特征和第二特征之间形成附加特征,使得第一特征和第二特征可以不直接接触的实施例。

[0013] 此外,本文可以使用空间相关术语(例如,“下方”、“之下”、“低于”、“之上”、“上部”等)以易于描述图中所示的一个元件或特征相对于另外(一个或多个)元件或(一个或多个)特征的关系。这些空间相关术语旨在涵盖器件在使用或操作中的除了图中所示的定向之外的不同定向。器件可以以其他方式定向(旋转90度或处于其他定向),并且本文使用的空间相关描述符也可以相应地解释。贯穿本文的描述,除非另有说明,否则不同附图中相同或相似的附图标记指的是使用(一种或多种)相同或相似的材料通过相同或相似的形成方法而形成的相同或相似的元件。此外,除非另有说明,否则具有相同数字和不同字母的附图(例如,图8A和图8B)示出了处于同一制造阶段的同一半导体器件的不同视图(例如,沿不同截面)。

[0014] 根据实施例,在导电特征(例如,导电焊盘或导电导线)之上的电介质层中的对准式开口(lined-up opening)或拉入式开口(pulled-in opening)中形成导电凸块(例如,C4凸块或 $\mu$ 凸块)。在导电特征之上形成共形钝化层,并且在共形钝化层之上形成电介质层。形成对准式开口或拉入式开口以延伸穿过电介质层和钝化层,从而暴露出下面的导电特征,然后在导电特征上的对准式开口或拉入式开口中形成导电凸块。对准式开口或拉入式开口增加了钝化层与电介质层之间的附着力,并且降低了钝化层与电介质层之间的界

面处的应力。作为结果,避免或减少了钝化层与电介质层之间的界面处的分层。通过在钝化层之上形成电介质层作为平坦化层,可以避免或减少诸如凸块种子层阶梯覆盖和不连续性之类的问题,从而提高器件可靠性和生产良率。

[0015] 图1A、图1B、图2-图7和图8A-图8C示出了根据实施例的处于各个制造阶段的半导体器件100的截面图。半导体器件100可以是包括有源器件(例如,晶体管)和/或无源器件(例如,电容器、电感器、电阻器等)的器件晶圆。在一些实施例中,半导体器件100是中介层晶圆,其可以包括或不包括有源器件和/或无源器件。根据本公开的又一实施例,半导体器件100是封装衬底条带,其可以是具有核心的封装衬底,或者可以是无核心的封装衬底。在后续讨论中,器件晶圆被用作半导体器件100的示例。如技术人员容易理解的,本公开的教导还可以应用于中介层晶圆、封装衬底或其他半导体结构。

[0016] 如图1A所示,半导体器件100包括半导体衬底101(也可以称为衬底101)和形成在半导体衬底101上或中的电子组件103(例如,晶体管、电阻器、电感器等)。半导体衬底101可以包括半导体材料(例如,硅)(掺杂的或未掺杂的)、或者绝缘体上半导体(SOI)衬底的有源层。半导体衬底101可以包括其他半导体材料,例如,锗;化合物半导体,包括碳化硅、砷化镓、磷化镓、氮化镓、磷化铟、砷化铟和/或铋化铟;合金半导体,包括SiGe、GaAsP、AlInAs、AlGaAs、GaInAs、GaInP和/或GaInAsP;或其组合。还可以使用其他衬底,例如多层或梯度衬底。

[0017] 在图1A的示例中,电子组件103形成在半导体衬底101的器件区域中。电子组件103的示例包括晶体管(例如,互补金属氧化物半导体(CMOS)晶体管)、电阻器、电容器、二极管等。电子组件103可以使用任何合适的方法形成,这里不讨论细节。

[0018] 在一些实施例中,在形成电子组件103之后,在半导体衬底101之上和电子组件103之上形成层间电介质(ILD)层。ILD层可以填充电子组件103的晶体管(未示出)的栅极堆叠之间的空间。根据一些实施例,ILD层包括氧化硅、磷硅酸盐玻璃(PSG)、硼硅酸盐玻璃(BSG)、掺杂硼的磷硅酸盐玻璃(BPSG)、掺杂氟的硅酸盐玻璃(FSG)等。可以使用旋涂、流动化学气相沉积(FCVD)、等离子体增强化学气相沉积(PECVD)、低压化学气相沉积(LPCVD)等来形成ILD层。

[0019] 在ILD层中形成接触插塞,这些接触插塞将电子组件103电耦合到后续形成的互连结构106的导电特征(例如,金属线、过孔)。注意,在本公开中,除非另有说明,否则导电特征是指电气导电特征,并且导电材料是指电气导电材料。根据一些实施例,接触插塞由诸如钨、铝、铜、钛、钽、氮化钛、氮化钽、其合金和/或其多层之类的导电材料形成。接触插塞的形成可以包括:在ILD层中形成接触开口,在接触开口中形成一种或多种导电材料,以及执行诸如化学机械抛光(CMP)之类的平坦化工艺以使得接触插塞的顶表面与ILD层的顶表面齐平。

[0020] 仍然参考图1A,在ILD层之上和电子组件103之上形成互连结构106。互连结构106包括多个电介质层109和形成在电介质层109中的导电特征(例如,金属线、过孔)。在一些实施例中,互连结构106将电子组件103互连以形成半导体器件100的功能电路。

[0021] 在一些实施例中,每个电介质层109(其也可以称为金属间电介质(IMD)层)由电介质材料(例如,氧化硅、氮化硅、碳化硅、氮氧化硅等等)形成。根据一些实施例,电介质层109由电介质常数(k值)低于3.0(例如,约2.5、约2.0或甚至更低)的低k电介质材料形成。

电介质层109可以包括含碳的低k电介质材料、氢倍半硅氧烷(HSQ)、甲基倍半硅氧烷(MSQ)等。作为示例,每个电介质层109的形成可以包括在ILD层之上沉积含致孔剂的电介质材料,然后执行固化工艺以驱除致孔剂,从而形成多孔的电介质层109。还可以使用其他合适的方法来形成电介质层109。

[0022] 如图1A所示,在电介质层109中形成导电特征,例如导电线105和过孔107。在示例实施例中,导电特征可以包括扩散阻挡层和在扩散阻挡层之上的导电材料(例如,铜或含铜材料)。扩散阻挡层可以包括钛、氮化钛、钽、氮化钽等,并且可以通过CVD、物理气相沉积(PVD)、原子层沉积(ALD)等形成。在形成扩散阻挡层之后,在扩散阻挡层之上形成导电材料。导电特征的形成可以包括单镶嵌工艺、双镶嵌工艺等。

[0023] 接下来,在互连结构106之上形成钝化层111,并且在钝化层111中形成多个金属-绝缘体-金属(MIM)电容器113。钝化层111可以包括多个子层(参见,例如,图1B中的111A-111E),并且可以由一种或多种合适的电介质材料形成,例如氧化硅、氮化硅、低k电介质(例如,碳掺杂的氧化物)、极低k电介质(例如,多孔碳掺杂的二氧化硅)、其组合等等。钝化层111可以通过诸如化学气相沉积(CVD)、FVCD之类的工艺形成,但是可以利用任何合适的工艺。

[0024] 在钝化层111中形成MIM电容器113。图1B示出了图1A中的区域102的放大视图,以显示出MIM电容器113的细节。如图1B所示,每个MIM电容器113包括两个金属层113M(例如,铜层)和位于金属层113M之间的电介质层113I(例如,高k电介质层)。MIM电容器113的每一层(例如,113M、113I和113M)形成在各自的钝化层(例如,111B、111C或111D)中。作为示例,MIM电容器113的上金属层113M和下金属层113M可以分别连接到上覆过孔119V和下方过孔108,其中上覆过孔119V和下方过孔108分别形成在钝化层111E和111A中。作为另一示例,MIM电容器113的上金属层113M和下金属层113M可以分别连接到第一上覆过孔119V1和第二上覆过孔119V2。在图1B的示例中,第二上覆过孔119V2延伸穿过钝化层111D和电介质层113I以与下金属层113M连接。注意,第二上覆过孔119V2延伸穿过MIM电容器的上金属层113M中的开口,并且因此通过钝化层111D的部分而与MIM电容器的上金属层113M分离(例如,不接触)。

[0025] 返回参考图1A,MIM电容器113的下金属层可以例如通过从MIM电容器113的下金属层延伸到互连结构106的导电特征的过孔,来电耦合到互连结构106的导电特征。此外,多个MIM电容器113可以并联电耦合以提供大电容值。例如,MIM电容器113的上金属层可以电耦合在一起,并且MIM电容器113的下金属层可以电耦合在一起。在一些实施例中,省略了MIM电容器113。

[0026] 接下来参考图2,在钝化层111中形成开口112。一些开口112延伸穿过钝化层111以暴露出互连结构106的导电特征。在一些实施例中,一些开口112部分地延伸穿过钝化层111以暴露出MIM电容器113的上金属层。开口112可以在一个或多个蚀刻工艺(例如,各向异性蚀刻工艺)中形成。

[0027] 在形成开口112之后,在钝化层111的上表面之上并沿着开口112的侧壁和底部来共形地形成阻挡层115。阻挡层115可以具有多层结构,并且可以包括扩散阻挡层(例如,TiN层)和形成在扩散阻挡层之上的种子层(例如,铜种子层)。阻挡层115可以使用(一种或多种)任何合适的形成方法形成,例如CVD、PVD、ALD、其组合等。

[0028] 接下来,在图3中,在阻挡层115之上形成光致抗蚀剂层137。对光致抗蚀剂层137进行图案化(例如,使用光刻技术)以在导电焊盘119(参见图4)将要形成的位置处形成开口138。开口138暴露出例如阻挡层115的种子层。在形成开口138之后,执行去渣(descum)工艺110以清除由光致抗蚀剂层137的图案化工艺留下的残留物。作为示例,去渣工艺110可以是使用包含氧气的工艺气体执行的等离子体工艺。

[0029] 接下来,在图4中,在阻挡层115之上的开口138中形成导电焊盘119(例如,119A和119B)。导电焊盘119可以包括导电材料,例如铜或铜合金(例如,铜银合金、铜钴合金等),并且可以使用合适的形成方法(例如,电镀、无电镀等)形成。在形成导电焊盘119之后,通过合适的去除工艺(例如,灰化)来去除光致抗蚀剂层137。接下来,执行蚀刻工艺以去除阻挡层115的在其上未形成导电焊盘119的部分。如图4所示,导电材料的一些部分填充钝化层111中的开口112(参见图3)以形成过孔119V,该过孔119V将导电焊盘119电耦合到MIM电容器113和/或下方的互连结构106的导电特征。注意,在本文的讨论中,在开口112中的阻挡层115被认为是过孔119V的一部分,并且在钝化层111的上表面之上的阻挡层115被认为是导电焊盘119的一部分。虽然在图4中未示出,但是在形成导电焊盘119的相同处理步骤期间,还可以在钝化层111的上表面上形成导电线(例如,铜线)(参见,例如,图12中的118)。导电焊盘119和导电线可以统称为重分布层(RDL),并且过孔119V可以称为RDL过孔。作为示例,导电焊盘119的横截面的形状可以是圆顶形(例如,具有弯曲的上表面)、凹形、多边形、或矩形(或正方形)。作为示例,RDL过孔119V的面积可以在约 $0.9 \times 0.9 \mu\text{m}^2$ 和约 $3.5 \times 3.5 \mu\text{m}^2$ 之间。

[0030] 注意,在图4中,一些导电焊盘119(例如,119A)比其他导电焊盘119(例如,119B)更大(例如,具有在相对侧壁之间测量的更大宽度)。在一些实施例中,受控塌陷芯片连接凸块(C4凸块)形成在较大的导电焊盘119A上,并且微凸块( $\mu$ 凸块)形成在较小的导电焊盘119B上。如技术人员容易理解的,导电焊盘119的数量可以是任何合适的数量,并且可以以任何顺序布置。此外,虽然图4中在每个导电焊盘119下方示出了一个RDL过孔119V,但是每个导电焊盘119下方的RDL过孔119V的数量可以是任何合适的数量,例如一个、两个、三个或更多。此外,每个导电焊盘119下方的RDL过孔119V可以相对于导电焊盘119居中,或者可以相对于导电焊盘119偏离中心。

[0031] 接下来,在图5中,在导电焊盘119之上和钝化层111之上共形地形形成钝化层121。在一些实施例中,钝化层121具有多层结构,并且包括氧化物层(例如,氧化硅)和在氧化物层之上的氮化物层(例如,氮化硅)。在其他实施例中,钝化层121具有单层结构,例如具有单个氮化物层。钝化层121可以使用例如CVD、PVD、ALD、其组合等形成。

[0032] 接下来,在图6中,通过例如旋涂在钝化层121之上形成光致抗蚀剂层135。然后通过例如光刻技术对光致抗蚀剂层135进行图案化,以在将形成导电凸块的位置处形成开口136。接下来,执行蚀刻工艺以去除钝化层121的被开口136暴露的部分。在一些实施例中,蚀刻工艺是使用包括 $\text{CF}_4$ 、 $\text{CHF}_3$ 、 $\text{N}_2$ 和Ar的混合物的工艺气体的干法蚀刻工艺(例如,等离子体蚀刻工艺)。还可以使用其他工艺气体,例如,可以使用 $\text{O}_2$ 代替 $\text{CF}_4$ 。在蚀刻工艺之后,导电焊盘119被暴露。接着,通过合适的去除工艺(例如,灰化)来去除光致抗蚀剂层135。注意,为简单起见,图6中仅在用于形成导电凸块125(参见图8A)的较大导电焊盘119A之上示出了一个开口136,并且在其他导电焊盘(例如,119B)之上没有形成开口。当然,这仅仅是

一个非限制性示例。本领域技术人员将容易理解,可以执行相同或相似的处理步骤以在其他导电焊盘(例如,119B)之上形成导电凸块。

[0033] 接下来,在图7中,在钝化层121之上、导电焊盘119之上以及钝化层111之上形成电介质层131。开口132形成在电介质层131中以暴露出下面的导电焊盘119。电介质层131可以由例如聚合物、聚酰亚胺(PI)、苯并环丁烯(BCB)、氧化物(例如,氧化硅)或氮化物(例如,氮化硅)形成。作为非限制性示例,电介质层131在图7中被示为单层。电介质层131可以具有多层结构,包括由不同电介质材料形成的多个子层。

[0034] 在一些实施例中,电介质层131是光敏材料,例如光敏聚合物材料,并且开口132是通过使用光刻技术形成的。例如,光敏材料可以通过例如掩模版(reticle)暴露于经图案化的能量源(例如,光)。能量的冲击在光敏材料的被经图案化的能量源冲击的那些部分中引起化学反应,从而改变了光敏材料的曝光部分的物理特性,使得光敏材料的曝光部分的物理特性与光敏材料的未曝光部分的物理特性不同。然后可以用显影剂使光敏材料显影,以去除光敏材料的曝光部分或光敏材料的未曝光部分,这取决于例如使用负型光敏材料还是正型光敏材料。可以固化光敏材料的剩余部分以形成经图案化的电介质层131。作为非限制性示例,在图7中,电介质层131在开口132处的顶角被示出为尖锐的(例如,包括两条相交线)。电介质层131在开口132处的顶角可以是例如圆角。

[0035] 在图7中,电介质层131的被开口132暴露的相对侧壁131S之间的第一距离小于图6中的钝化层121的被开口136暴露的相对侧壁121S之间的第二距离。换句话说,电介质层131中的开口132比钝化层121中的开口136窄,使得钝化层121的上表面121U和侧壁121S完全被电介质层131覆盖。由于电介质层131被从钝化层121的侧壁121S拉入,图7中的开口132被称为拉入式开口。作为非限制性示例,在图7中将电介质层131的侧壁131S示出为具有线性轮廓(例如,倾斜线,或相对于衬底101的主上表面倾斜的平坦侧壁)。侧壁131S可以是直线(例如,垂直于衬底101的主上表面)或曲线。开口132的宽度(例如,在相对侧壁131S之间测量的距离)可以是恒定的,或者可以沿着开口132的深度方向连续地变化(例如,逐渐地,而没有阶梯变化)。

[0036] 与拉出式开口(pulled-out opening)相比,拉入式开口132提高了器件可靠性和生产良率。在拉出式开口中,电介质层131的侧壁131S会从开口132拉出至图7中虚线130所示的位置。换句话说,如果开口132形成为拉出式开口,则开口132的宽度将大于图6中开口136的宽度。当形成为拉出式开口时,电介质层131和钝化层121之间的界面在靠近虚线130的区域(例如,在电介质层131的位于导电焊盘119之上的部分和钝化层121的位于导电焊盘119之上的部分之间)处的机械应力远高于器件的其他区域。增加的应力可能使得高应力区域中的材料层发生分层,从而导致器件故障并降低生产良率。此外,在形成用于形成导电凸块125的种子层126(参见图8A)的后续处理中,拉出式开口对于形成共形的、连续的种子层126(该种子层126衬里于拉出式开口的侧壁和底部)可能更具挑战性,因为拉出式开口具有要被共形的种子层126覆盖的更多阶梯形状。这被称为凸块种子层阶梯覆盖问题。凸块种子层阶梯覆盖问题可能导致种子层126中的不连续性(例如,孔洞),这进而可能导致形成在其上的导电凸块125中的缺陷。本公开通过形成用于形成导电凸块125的拉入式开口,避免或减少了上述问题,从而提高了器件可靠性和生产良率。注意,除了拉入式开口之外,对准式开口(参见例如图10中的对准式开口136及其讨论)提供了与拉入式开口

相同或相似的优点。在一些实施例中,用于形成导电凸块125的开口(例如,132、136)是拉入式开口和/或对准式开口,并且没有形成用于形成导电凸块125的拉出式开口。

[0037] 接下来,在图8A中,在导电焊盘119上形成导电凸块125,并且在导电凸块125上形成焊料区域129。导电凸块125的宽度可以在约 $5\mu\text{m}$ 和约 $90\mu\text{m}$ 之间。导电凸块125可以是 $\mu$ 凸块或C4凸块。例如,可以在导电焊盘119B之上形成宽度(例如,在相对侧壁之间测量的宽度)在例如约 $5\mu\text{m}$ 和约 $30\mu\text{m}$ 之间的 $\mu$ 凸块,并且可以在导电焊盘119A之上形成宽度在约 $32\mu\text{m}$ 和约 $90\mu\text{m}$ 之间的C4凸块。在示例实施例中, $\mu$ 凸块和C4凸块中的每一者都形成于形成在相应导电焊盘119之上的拉入式开口132(参见图7)中。

[0038] 导电凸块125可以通过下列方式来形成:在电介质层131之上并且沿着开口132的侧壁和底部来形成种子层126;在种子层126之上形成经图案化的光致抗蚀剂层,其中,经图案化的光致抗蚀剂层的开口形成在要形成导电凸块125的位置处;在开口中的种子层126之上形成(例如,电镀)导电材料(例如,铜);去除经图案化的光致抗蚀剂层;以及去除种子层126的在其上没有形成导电凸块125的部分。注意,导电材料的一些部分填充开口132以形成凸块过孔125V,该凸块过孔125V将导电凸块125电耦合到下面的导电焊盘119。注意,在本文的讨论中,开口132(参见图7)中的种子层126被认为是凸块过孔125V的一部分,并且电介质层131的上表面之上的种子层126被认为是导电凸块125的一部分。作为示例,图8A示出了导电凸块125的导电材料(例如,铜)和种子层126之间的界面。在一些实施例中,导电凸块125的导电材料和种子层126由相同的材料形成,因此它们之间可以不存在界面。

[0039] 在图8A中,每个导电凸块125下方(例如,正下方)的凸块过孔125V的数量是一个。当然,这仅仅是非限制性示例。各个导电凸块125下方的凸块过孔125V的数量可以是任何合适的数量,例如一个、两个、三个或更多个。此外,每个导电凸块125下方的一个或多个凸块过孔125V可以相对于导电凸块125居中,或者可以相对于导电凸块125偏离中心。

[0040] 在图8A中,凸块过孔125V的侧壁接触(例如,实体接触)电介质层131的侧壁并且沿着电介质层131的侧壁延伸。凸块过孔125V的宽度可以是恒定的(例如,具有垂直于衬底101的主上表面的侧壁),或可以随着凸块过孔125V朝向衬底101延伸而连续变化(例如,逐渐地而没有阶梯变化,或没有不连续变化)。在图8A的示例中,凸块过孔125V的侧壁具有线性轮廓(例如,倾斜的直线),并且凸块过孔125V的宽度随着凸块过孔125V朝向衬底101延伸而连续减小。凸块过孔125V的侧壁可以具有弯曲的轮廓(例如,曲线),例如当电介质层131的被开口132暴露的侧壁131S(参见图7)具有弯曲轮廓时。注意,凸块过孔125V的侧壁与钝化层121的相应侧壁之间存在间隙,并且电介质层131填充该间隙并接触导电焊盘119A的上表面。换句话说,凸块过孔125V通过电介质层131的横向设置在凸块过孔125V和钝化层121之间的部分而与钝化层121间隔开(例如,分开)。

[0041] 在图8A的示例中,电介质层131的设置在导电焊盘119上的钝化层121之上的部分的厚度A在约 $1\mu\text{m}$ 和约 $20\mu\text{m}$ 之间。相邻较小导电焊盘119B(例如,在其上形成有 $\mu$ 凸块)之间的间距S大于约 $1.5\mu\text{m}$ ,并且相邻较大导电焊盘119A(例如,在其上形成有C4凸块)之间的间距S大于约 $4\mu\text{m}$ 。图8A还示出了钝化层121的侧壁部分(例如,沿着导电焊盘119的侧壁、或沿着图16A中的导电线118的侧壁的部分)的厚度T,以及钝化层121的上部部分(例如,沿着导电焊盘119的上表面、或沿着导电线118的上表面的部分)的厚度G,其中厚度G在约 $0.5\mu\text{m}$

和约 $5\mu\text{m}$ 之间,并且其中T与G之间的比率(例如,T/G)(其称为钝化层121的阶梯覆盖)在约20%和约95%之间。在一些实施例中,相邻导电凸块125之间的间距P在约 $10\mu\text{m}$ 和约 $140\mu\text{m}$ 之间。

[0042] 图8B示出了图8A的半导体器件100的包括导电凸块125的部分的放大视图。导电凸块125的尺寸及其周围结构在下面进行了讨论。

[0043] 如图8B所示,导电凸块125(例如,C4凸块或 $\mu$ 凸块)的宽度W在约 $5\mu\text{m}$ 和约 $90\mu\text{m}$ 之间。电介质层131中的开口132的顶部处的宽度B针对 $\mu$ 凸块在约 $5\mu\text{m}$ 和约 $22\mu\text{m}$ 之间,并且针对C4凸块在约 $5\mu\text{m}$ 和约 $78\mu\text{m}$ 之间。注意,图8B中的宽度W是沿着图8B的水平方向测量的,开口132具有沿着与图8B的横截面垂直的方向(例如,从纸面中出来并沿着图16B中的导电线118的纵轴方向)测量的另一宽度W2,其中宽度W2针对 $\mu$ 凸块在约 $5\mu\text{m}$ 和约 $36\mu\text{m}$ 之间,并且针对C4凸块在约 $20\mu\text{m}$ 和约 $40\mu\text{m}$ 之间。电介质层131中的开口132的底部处的宽度E针对 $\mu$ 凸块在约 $5\mu\text{m}$ 和约 $22\mu\text{m}$ 之间,并且针对C4凸块在约 $5\mu\text{m}$ 和约 $78\mu\text{m}$ 之间。凸块过孔125V的高度D大于电介质层131的厚度A(参见图8A),并且大于钝化层121的厚度G(参见图8A)。

[0044] 仍参考图8B,如果导电焊盘119是较大导电焊盘119A(例如,在其上形成有C4凸块),则导电焊盘119的宽度L在约 $5\mu\text{m}$ 和约 $45\mu\text{m}$ 之间,或者如果导电焊盘是较小导电焊盘119B(例如,在其上形成有 $\mu$ 凸块),则导电焊盘119的宽度L在约 $1.5\mu\text{m}$ 和约 $10\mu\text{m}$ 之间。导电焊盘119的宽度L与间距S(参见图8A)之间的比率等于或大于一。导电焊盘119(或图16A中的导电线118)的高度J在约 $2\mu\text{m}$ 和约 $6\mu\text{m}$ 之间。图8B还示出了电介质层131的侧壁与导电焊盘119的上表面之间的夹角 $F'$ ,以及钝化层121的侧壁与导电焊盘119的上表面之间的夹角F,其中F可以在10度和90度之间(例如, $10^\circ < F < 90^\circ$ ),并且 $F'$ 可以在10度和90度之间(例如, $10^\circ < F' < 90^\circ$ )。如果其中形成导电凸块125的开口(例如,图10中的136)是对准式开口,则相应F和 $F'$ 是相等的。否则,F可能与 $F'$ 不同。

[0045] 图8C示出了图8B的半导体器件100的平面图,并且图8B对应于沿着图8C的截面A-A的截面图。注意,为简单起见,图8C中没有示出所有特征。作为非限制性示例,图8C中的导电焊盘119被示出为具有八边形形状。其他形状(例如,圆形、椭圆形、矩形、其他多边形等)也是可能的,并且完全旨在包括在本公开的范围之内。在图8C的示例中,导电凸块125被示出为具有与导电焊盘119相似的几何形状。在其他实施例中,导电凸块125和导电焊盘119具有不同的形状(例如,非几何相似形状)。图8C还示出了连接到导电焊盘119的导电线120。导电线120沿着电介质层131的上表面延伸,并且与导电焊盘119一起形成重分布层的一部分。

[0046] 图9-图11示出了根据另一实施例的处于各个制造阶段的半导体器件100B的截面图。半导体器件100B类似于图8A的半导体器件100,但是具有用于暴露出导电焊盘119A和用于形成导电凸块125的对准式开口136(参见图10)。图9的处理跟随在图1A、图1B和图2-图5的处理之后。换句话说,图1A、图1B、图2-图5和图9-图11示出了用于形成半导体器件100B的处理步骤。

[0047] 在图9中,在形成钝化层121之后,在钝化层121之上形成电介质层131,并且在电介质层131中形成开口132以暴露出钝化层121。电介质层131的形成以及开口132的形成可以使用与上面参考图7讨论的相同或相似的工艺,因此不再重复细节。注意,直到该处理阶段,在导电焊盘119之上的钝化层121中没有形成开口。因此,导电焊盘119的上表面被钝化

层121覆盖。

[0048] 接下来,在图10中,在电介质层131之上形成经图案化的光致抗蚀剂层133。经图案化的光致抗蚀剂层133的开口136上覆于电介质层131的相应开口132(参见图9)。在一些实施例中,在电介质层131的上表面处测量的开口136的宽度与在电介质层131的上表面处测量的开口132的宽度相同。在其他实施例中,在电介质层131的上表面处测量的开口136的宽度大于在电介质层131的上表面处测量的开口132的宽度。接下来,经图案化的光致抗蚀剂层133用作后续蚀刻工艺的蚀刻掩模,该后续蚀刻工艺可以与图6中的暴露出导电焊盘119A的蚀刻工艺相同或相似。如图10所示,在蚀刻工艺之后,开口136向下延伸穿过钝化层121,并且暴露出导电焊盘119A。

[0049] 仍然参考图10,开口136形成为对准式开口。对于每个对准式开口136,电介质层131的被开口136暴露的侧壁131S和钝化层121的被开口136暴露的相应侧壁121S沿着相同的线(例如,垂直于衬底101的主上表面的直线,或相对于衬底101的主上表面的倾斜线,或曲线)对准。换句话说,开口136的相对侧壁之间的距离沿着开口136的深度方向连续变化(例如,逐渐地而没有阶梯变化)。在形成对准式开口136之后,例如通过灰化工艺来去除光致抗蚀剂层133。

[0050] 接下来,在图11中,在与图8A相同或相似的处理之后,在导电焊盘119之上形成导电凸块125,细节不再重复。在图11的示例中,凸块过孔125V的上侧壁(例如,侧壁的上部部分)接触电介质层131的侧壁131S并沿着电介质层131的侧壁131S延伸,并且凸块过孔125V的下侧壁(例如,侧壁的下部部分)接触钝化层121的侧壁121S并沿着钝化层121的侧壁121S延伸。在一些实施例中,凸块过孔125V的宽度(例如,在凸块过孔125V的相对侧壁之间测量的宽度)是恒定的(例如,具有笔直侧壁),或者随着凸块过孔125V朝向衬底101延伸而连续地变化(例如,逐渐地而没有阶梯变化)。

[0051] 图12-图15、图16A和图16B示出了根据又一实施例的处于各个制造阶段的半导体器件100C的截面图。半导体器件100C类似于图11的半导体器件100B,但是导电凸块125形成在导电线118之上而不是在导电焊盘119之上。图12的处理跟随在图1A、图1B和图2的处理之后。换句话说,图1A、图1B、图2、图12-图15、图16A和图16B示出了形成半导体器件100C的处理步骤。注意,虽然半导体器件100、100B和100C被描述为不同的实施例,但是半导体器件100、100B和100C的任何组合(例如,100和100C,或者100B和100C)可以形成在同一衬底101上,例如,在同一衬底101的不同区域中。

[0052] 在图12中,使用与图3所示相似的工艺在钝化层111之上形成多条导电线118。在一些实施例中,为了形成导电线118,经图案化的光致抗蚀剂层137(参见例如图3)形成在阻挡层115之上,其中经图案化的光致抗蚀剂层137的图案(例如,开口)的位置对应于后续形成的导电线118的位置。接下来,执行去渣处理110。接下来,在阻挡层115之上的经图案化的光致抗蚀剂层137的图案中形成导电材料(例如,铜)。接下来,去除经图案化的光致抗蚀剂层137,并且执行蚀刻工艺以去除阻挡层115的在其上没有形成导电材料的部分。

[0053] 接下来,在图13中,在导电线118之上和钝化层111之上共形地形成钝化层121。钝化层121的形成与上面参考图5讨论的处理相同或相似,因此不再重复细节。

[0054] 接下来,在图14中,在钝化层121之上形成电介质层131,并且在电介质层131中形成开口132以暴露出设置在导电线118的上表面之上的钝化层121。电介质层131和开口132

的形成与上面参考图7讨论的处理相同或相似,因此不再重复细节。注意,直到该处理阶段,钝化层121中没有形成暴露出导电线118的开口。

[0055] 接下来,在图15中,在电介质层131之上形成光致抗蚀剂层133,并且在上覆于开口132(参见图14)的光致抗蚀剂层133中形成开口136。接下来,使用经图案化的光致抗蚀剂层133作为蚀刻掩模来执行蚀刻工艺(例如,各向异性蚀刻工艺),以使开口136向下延伸,使得开口136延伸穿过钝化层121而暴露出导电线118。蚀刻工艺可以与上面参考图6讨论的蚀刻工艺相同或相似,因此不再重复细节。注意,由于例如用于形成开口136的各向异性蚀刻工艺,因此开口136是对准式开口。

[0056] 接下来,在图16A中,在与图8A相同或相似的处理之后,在导电线118之上形成导电凸块125,细节不再重复。在图16A的示例中,在导电凸块125下方形成两个凸块过孔125V,并且将导电凸块125电耦合到两条下面的导电线118。换句话说,每个凸块过孔125V延伸到电介质层131中,穿过钝化层121,并且接触(例如,实体接触)下面的导电线118,从而将导电凸块125与下面的导电线118电耦合。图16A中所示的每个导电凸块125下方的凸块过孔125V的数量以及电耦合到上覆的导电凸块125的导电线118的数量仅仅是非限制性示例,可以在每个导电凸块125下方形成任何合适数量的凸块过孔125V和导电线118。

[0057] 如图16A中所示,凸块过孔125V的上侧壁(例如,侧壁的上部部分)接触电介质层131的侧壁131S并沿着电介质层131的侧壁131S延伸,并且凸块过孔125V的下侧壁(例如,侧壁的下部部分)接触钝化层121的侧壁121S并沿着钝化层121的侧壁121S延伸。在一些实施例中,凸块过孔125V的宽度(例如,在凸块过孔125V的相对侧壁之间测量的宽度)是恒定的(例如,具有笔直侧壁),或者随着凸块过孔125V朝向衬底101延伸而连续地变化(例如,逐渐地而没有阶梯变化)。

[0058] 图16B示出了图16A的半导体器件100C的一部分的平面图,并且图16A对应于沿着图16B的截面B-B的截面图。注意,为简单起见,图16B中没有示出所有特征。作为非限制性示例,图16B中的导电凸块128被示出为具有八边形形状。其他形状(例如,圆形、椭圆形、矩形、其他多边形等)也是可能的,并且完全旨在包括在本公开的范围之内。

[0059] 对所公开的实施例的变化或修改是可能的,并且完全旨在包括在本公开的范围之内。例如,虽然不同的实施例100、100B和100C被描述为不同的半导体器件,但是实施例100、100B和100C中公开的导电凸块125的不同结构/形状可以形成在同一半导体器件的不同区域中。换句话说,半导体器件可以具有形成在同一半导体器件的不同区域中的图8A、图11和图16A中公开的不同导电凸块结构。

[0060] 本公开的实施例实现了一些有利特征。例如,通过形成拉入式开口(参见例如图7中的132)或对准式开口(参见例如图10中的136),提高了电介质层131和钝化层121之间的附着力,并且减小了器件中靠近电介质层131和钝化层121之间的界面(例如,在电介质层131的面向开口的下部拐角处)的机械应力。提高的附着力和减小的应力有助于减少或避免电介质层131和钝化层121之间的界面处的分层,从而提高器件性能、器件可靠性、和生产良率。作为另一示例,电介质层131的形成消除了与形成导电凸块125相关联的一些困难,并且提高了器件可靠性和制造良率。回想一下,为了形成导电凸块125,首先形成种子层126,然后在种子层126之上形成(例如,镀覆)导电材料。在没有电介质层131的情况下,将必须在导电焊盘119之上和/或导电线118之上共形地形成种子层126。在先进的半导体

制造中,导电焊盘119之间或导电线118之间的小间隙可能具有高纵横比,并且在这些小间隙中可能难以形成种子层126,这可能导致不能正确形成导电凸块125。此外,在形成导电凸块125之后,需要去除种子层126的在其上没有形成导电凸块125的部分。如果种子层126的这些部分位于小间隙中,则可能难以去除种子层126,这可能导致导电凸块125之间的电短路。相反,在形成电介质层131的情况下,种子层126形成在电介质层131之上以及开口132或136中,这些开口132/136具有更小的纵横比,并且因此种子层126可以容易地形成在开口中,并且容易地从开口中被去除,从而避免了上面讨论的问题。

[0061] 图17示出了根据一些实施例的制造半导体结构的方法1000的流程图。应当理解,图17所示的实施例方法仅是多种可能的实施例方法中的一个示例。本领域普通技术人员将认识到许多变化、替代和修改。例如,可以添加、移除、替换、重新排列或重复如图17中所示的各种步骤。

[0062] 参考图17,在框1010处,在衬底之上形成互连结构。在框1020处,在互连结构之上形成第一钝化层。在框1030处,在第一钝化层之上并且与互连结构电耦合地形成第一导电特征。在框1040处,在第一导电特征和第一钝化层之上共形地形成第二钝化层。在框1050处,在第二钝化层之上形成电介质层。在框1060处,在第一导电特征之上并且与第一导电特征电耦合地形成第一凸块过孔和第一导电凸块,其中,第一凸块过孔在第一导电凸块和第一导电特征之间,其中,第一凸块过孔延伸到电介质层中、穿过第二钝化层、并且接触第一导电特征,其中,第一导电凸块在电介质层之上并且电耦合到第一凸块过孔。

[0063] 根据本公开的一个实施例,一种形成半导体器件的方法,包括:在衬底之上形成互连结构;在互连结构之上形成第一钝化层;在第一钝化层之上并且与互连结构电耦合地形成第一导电特征;在第一导电特征和第一钝化层之上共形地形成第二钝化层;在第二钝化层之上形成电介质层;以及,在第一导电特征之上并且与第一导电特征电耦合地形成第一凸块过孔和第一导电凸块,其中,第一凸块过孔在第一导电凸块和第一导电特征之间,其中,第一凸块过孔延伸到电介质层中、穿过第二钝化层、并且接触第一导电特征,其中,第一导电凸块在电介质层之上并且电耦合到第一凸块过孔。

[0064] 根据本公开的一个实施例,一种形成半导体器件的方法,包括:在互连结构之上形成第一钝化层,其中,互连结构位于形成在衬底中的电子组件之上并且电耦合到该电子组件;在第一钝化层之上形成导电特征,其中,导电特征电耦合到互连结构;在导电特征和第一钝化层之上形成第二钝化层,其中,第二钝化层是共形的并且沿着导电特征的外表面延伸;在第二钝化层之上形成电介质层,其中,电介质层的远离衬底的上表面与导电特征的远离衬底的上表面相比从衬底延伸得更远;形成从电介质层的上表面延伸至导电特征的上表面的凸块过孔,其中,凸块过孔的宽度随着凸块过孔朝向导电特征延伸而连续变化;以及在凸块过孔上形成导电凸块。

[0065] 根据本公开的一个实施例,一种半导体器件,包括:衬底,包括器件区域;互连结构,在衬底之上并且电耦合到器件区域;第一钝化层,在互连结构之上;导电特征,在第一钝化层之上并且电耦合到互连结构;第二钝化层,在导电特征和第一钝化层之上,其中,第二钝化层是共形的并且沿着导电特征的外表面延伸;电介质层,在第二钝化层之上,其中,电介质层与导电特征相比从衬底延伸得更远;凸块过孔,在电介质层中,其中,凸块过孔从电介质层的远离衬底的上表面延伸到导电特征,其中,凸块过孔的宽度随着凸块过孔朝

向导电特征延伸而连续变化;以及凸块过孔 上的导电凸块。

[0066] 示例1是一种形成半导体器件的方法,所述方法包括:在衬底之上形 成互连结构;在所述互连结构之上形成第一钝化层;在所述第一钝化层之 上并且与所述互连结构电耦 合地形成第一导电特征;在所述第一导电特征 和所述第一钝化层之上共形地形成第二钝 化层;在所述第二钝化层之上形 成电介质层;以及在所述第一导电特征之上并且与所述第 一导电特征电耦 合地形成第一凸块过孔和第一导电凸块,其中,所述第一凸块过孔在所述 第一导电凸块和所述第一导电特征之间,其中,所述第一凸块过孔延伸到 所述电介质层 中、穿过所述第二钝化层、并且接触所述第一导电特征,其 中,所述第一导电凸块在所述电 介质层之上并且电耦合到所述第一凸块过 孔。

[0067] 示例2是示例1所述的方法,其中,所述电介质层围绕所述第一导电 特征,并且所 述电介质层的远离所述衬底的上表面与所述第一导电特征相 比从所述衬底延伸得更远。

[0068] 示例3是示例1所述的方法,其中,形成所述第一凸块过孔和所述第 一导电凸块包 括:在形成所述第二钝化层之后并且在形成所述电介质层之 前,在所述第二钝化层中形成 第一开口以暴露出所述第一导电特征的上表 面;在形成所述电介质层之后,在所述电介质 层中形成第二开口以暴露出 所述第一导电特征的上表面,其中,在形成所述第二开口之 后,所述第二 钝化层的面向所述第二开口的侧壁被所述电介质层覆盖;以及形成填充所 述第二开口并且在所述电介质层的远离所述衬底的上表面上方延伸的导电 材料。

[0069] 示例4是示例3所述的方法,其中,所述导电材料的在所述第二开口 中的第一部分 形成所述第一凸块过孔,并且所述导电材料的在所述电介质 层的上表面之上的第二部分 形成所述第一导电凸块。

[0070] 示例5是示例3所述的方法,其中,在所述第二开口的相对侧壁之间 测量的所述第 二开口的第二宽度小于在所述第一开口的相对侧壁之间测量 的所述第一开口的第一宽 度。

[0071] 示例6是示例5所述的方法,其中,所述第二开口的第二宽度沿着所 述第二开口的 深度方向连续变化。

[0072] 示例7是示例1所述的方法,其中,形成所述第一凸块过孔和所述第 一导电凸块包 括:在形成所述电介质层之后,在所述电介质层中形成第一 开口,所述第一开口延伸到所 述电介质层中以暴露出所述第二钝化层的远 离所述衬底的上表面,其中,在所述第一开口 的底部处暴露的所述第二钝 化层沿着所述第一导电特征的上表面延伸并且覆盖所述第一 导电特征的上 表面;在形成所述第一开口之后,在所述电介质层之上形成经图案化的掩 模层,其中,所述经图案化的掩模层中的第二开口上覆于所述第一开口; 以及使用所述经 图案化的掩模层作为蚀刻掩模来执行各向异性蚀刻工艺,其中,所述各向异性蚀刻工艺使 所述第二开口延伸穿过所述第二钝化层以 暴露出所述第一导电特征的上表面。

[0073] 示例8是示例7所述的方法,其中,在所述各向异性蚀刻工艺之后, 所述电介质层 的面向所述第二开口的侧壁与所述第二钝化层的面向所述第 二开口的相应侧壁沿着同一 条线对齐。

[0074] 示例9是示例7所述的方法,还包括:在所述各向异性蚀刻工艺之 后,在所述第一 导电特征的上表面之上形成导电材料,其中,所述导电材 料的在所述电介质层中的第一部 分形成所述第一凸块过孔,并且所述导电 材料的在所述电介质层的上表面之上的第二部

分形成所述第一导电凸块。

[0075] 示例10是示例7所述的方法,其中,所述第一导电特征是第一导电线。

[0076] 示例11是示例10所述的方法,其中,所述方法还包括:在所述第一钝化层之上、与所述第一导电线相邻地形成第二导电线,其中,所述第二钝化层共形地形成在所述第二导电线之上;以及在所述第一导电凸块与所述第二导电线之间形成第二凸块过孔,其中,所述第二凸块过孔延伸到所述电介质层中、穿过所述第二钝化层、并且接触所述第二导电线,其中,所述第一导电凸块电耦合到所述第一凸块过孔和所述第二凸块过孔。

[0077] 示例12是示例1所述的方法,还包括:在所述第一钝化层中形成金属绝缘体金属(MIM)电容器,其中,所述第一导电特征被形成电耦合到所述MIM电容器。

[0078] 示例13是一种形成半导体器件的方法,所述方法包括:在互连结构之上形成第一钝化层,其中,所述互连结构位于形成在衬底中的电子组件之上并且电耦合到所述电子组件;在所述第一钝化层之上形成导电特征,其中,所述导电特征电耦合到所述互连结构;在所述导电特征和所述第一钝化层之上形成第二钝化层,其中,所述第二钝化层是共形的并且沿着所述导电特征的外表面延伸;在所述第二钝化层之上形成电介质层,其中,所述电介质层的远离所述衬底的上表面与所述导电特征的远离所述衬底的上表面相比从所述衬底延伸得更远;形成从所述电介质层的上表面延伸至所述导电特征的上表面的凸块过孔,其中,所述凸块过孔的宽度随着所述凸块过孔朝向所述导电特征延伸而连续变化;以及在所述凸块过孔上形成导电凸块。

[0079] 示例14是示例13所述的方法,其中,所述凸块过孔的上侧壁接触所述电介质层的面向所述凸块过孔的第一侧壁并沿着所述第一侧壁延伸,并且所述凸块过孔的下侧壁接触所述第二钝化层的面向所述凸块过孔的第二侧壁并沿着所述第二侧壁延伸。

[0080] 示例15是示例14所述的方法,其中,所述电介质层的第一侧壁与所述第二钝化层的第二侧壁沿着同一条线对齐。

[0081] 示例16是示例13所述的方法,其中,所述凸块过孔与所述第二钝化层通过所述电介质层的横向设置在所述凸块过孔和所述第二钝化层之间的部分间隔开。

[0082] 示例17是示例13所述的方法,还包括:在所述第一钝化层中形成金属绝缘体金属(MIM)电容器,其中,所述导电特征被形成电耦合到所述MIM电容器。

[0083] 示例18是一种半导体器件,包括:衬底,包括器件区域;互连结构,在所述衬底之上并且电耦合到所述器件区域;第一钝化层,在所述互连结构之上;导电特征,在所述第一钝化层之上并且电耦合到所述互连结构;第二钝化层,在所述导电特征和所述第一钝化层之上,其中,所述第二钝化层是共形的并且沿着所述导电特征的外表面延伸;电介质层,在所述第二钝化层之上,其中,所述电介质层与所述导电特征相比从所述衬底延伸得更远;凸块过孔,在所述电介质层中,其中,所述凸块过孔从所述电介质层的远离所述衬底的上表面延伸到所述导电特征,其中,所述凸块过孔的宽度随着所述凸块过孔朝向所述导电特征延伸而连续变化;以及导电凸块,在所述凸块过孔上。

[0084] 示例19是示例18所述的半导体器件,其中,所述凸块过孔的上侧壁接触所述电介质层的面向所述凸块过孔的第一侧壁并沿着所述第一侧壁延伸,并且所述凸块过孔的下侧壁接触所述第二钝化层的面向所述凸块过孔的第二侧壁并沿着所述第二侧壁延伸,其中,所述第一侧壁与所述第二侧壁沿着同一条线对齐。

[0085] 示例20是示例18所述的半导体器件,其中,所述电介质层的一部分 被横向设置在所述第二钝化层和所述凸块过孔之间,使得所述凸块过孔与 所述第二钝化层分离。

[0086] 以上概述了若干实施例的特征,使得本领域技术人员可以更好地理解 本公开的各方面。本领域技术人员应当理解,他们可以容易地使用本公开 作为设计或修改其他工艺和结构以实现本文介绍的实施例的相同目的和/或 实现本文介绍的实施例的相同优点的基础。本领域技术人员还应该认识到,这样的等同构造不脱离本公开的精神和范围,并且他们可以在不脱离 本公开的精神和范围的情况下在本文中进行各种改变、替换和变更。

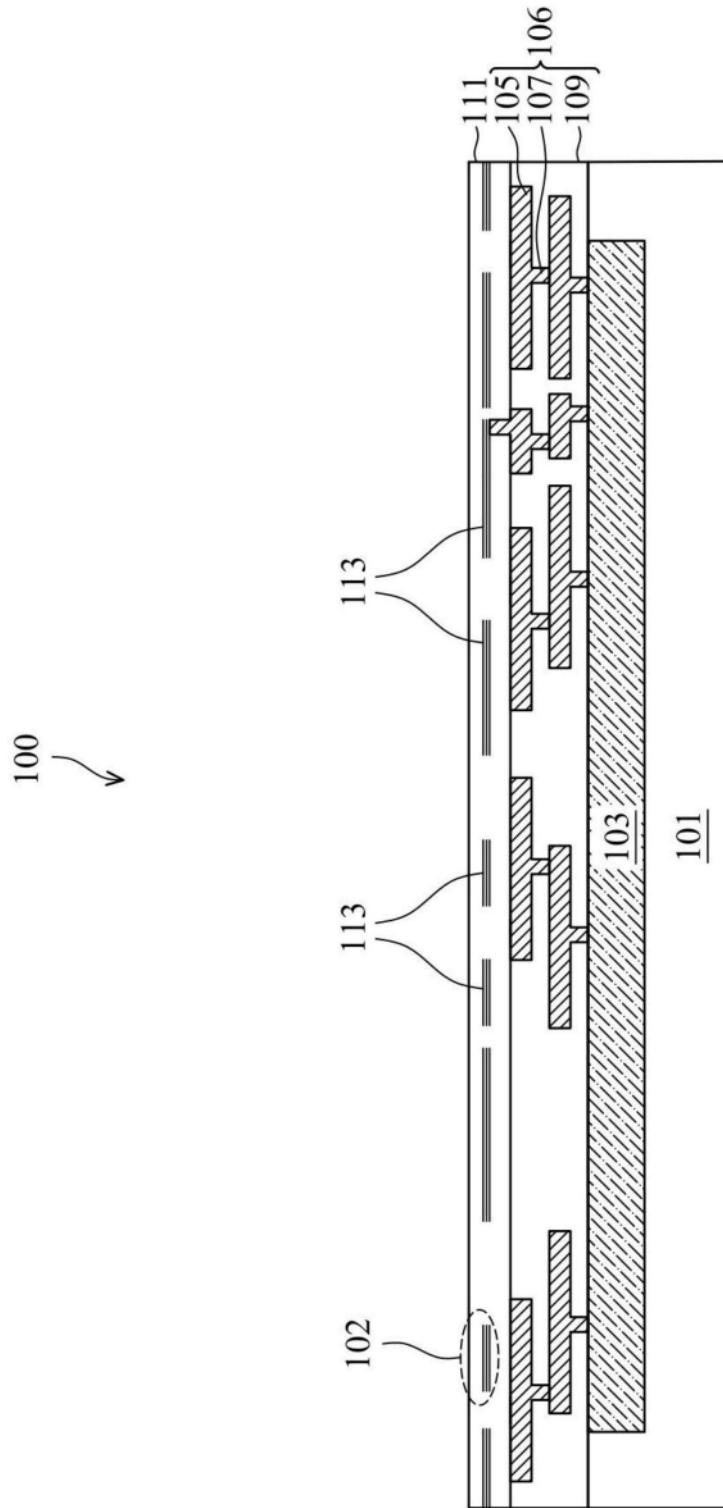


图1A

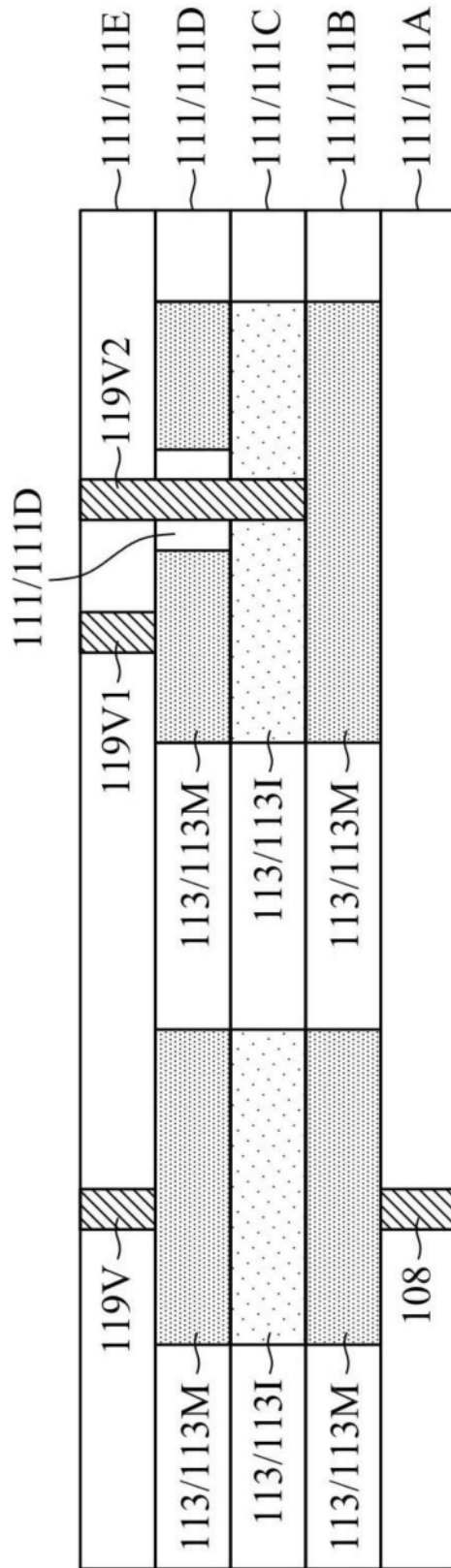


图1B

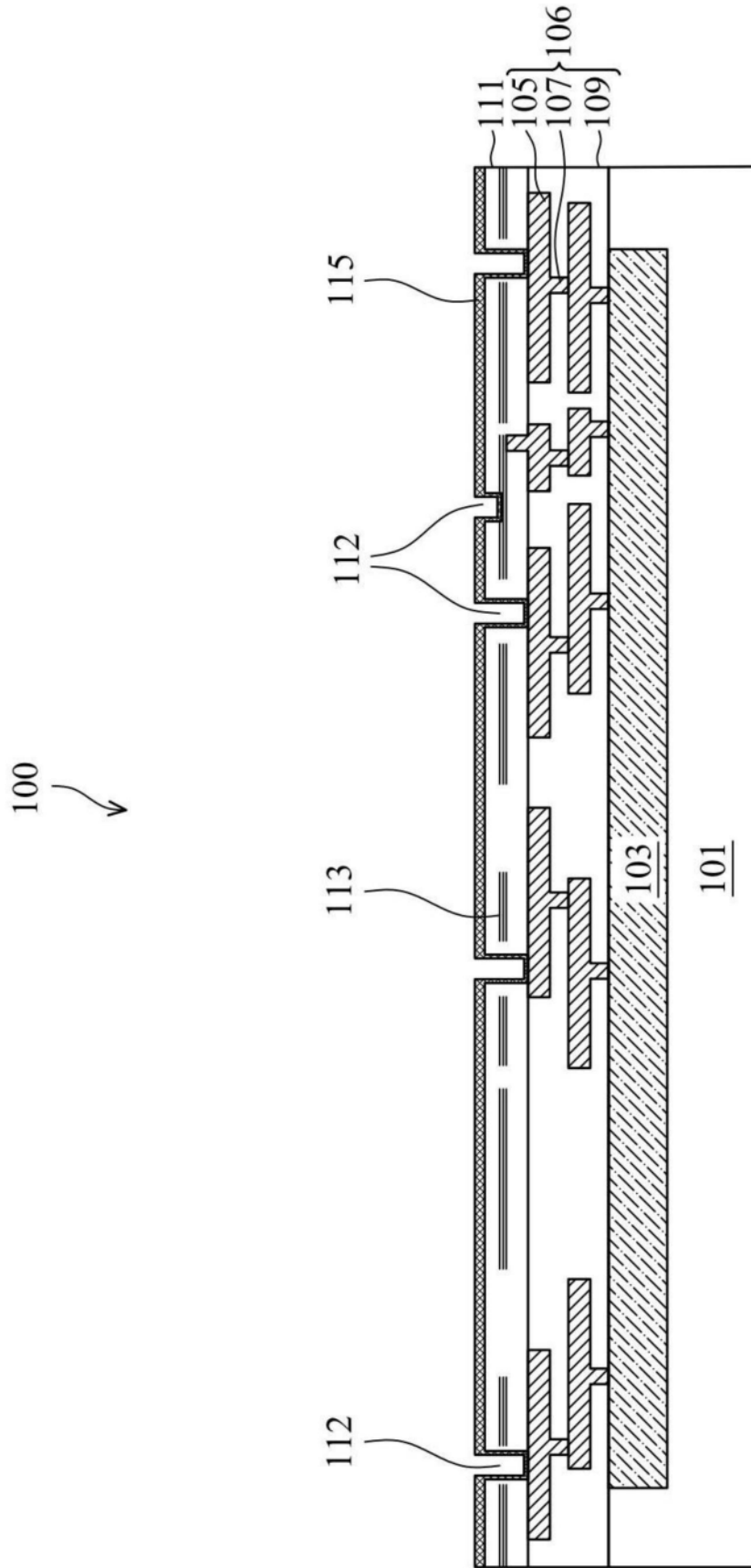


图2

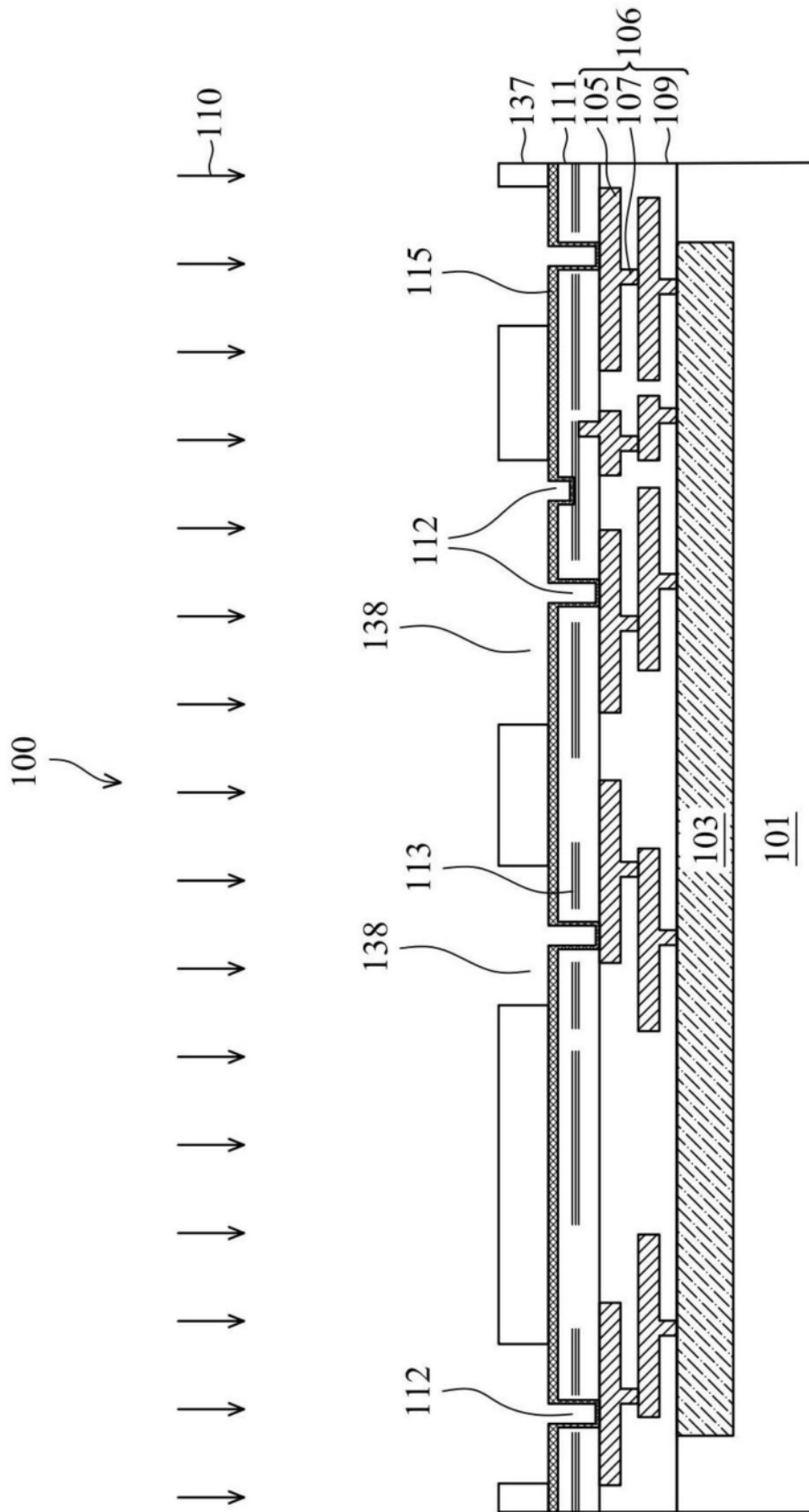


图3

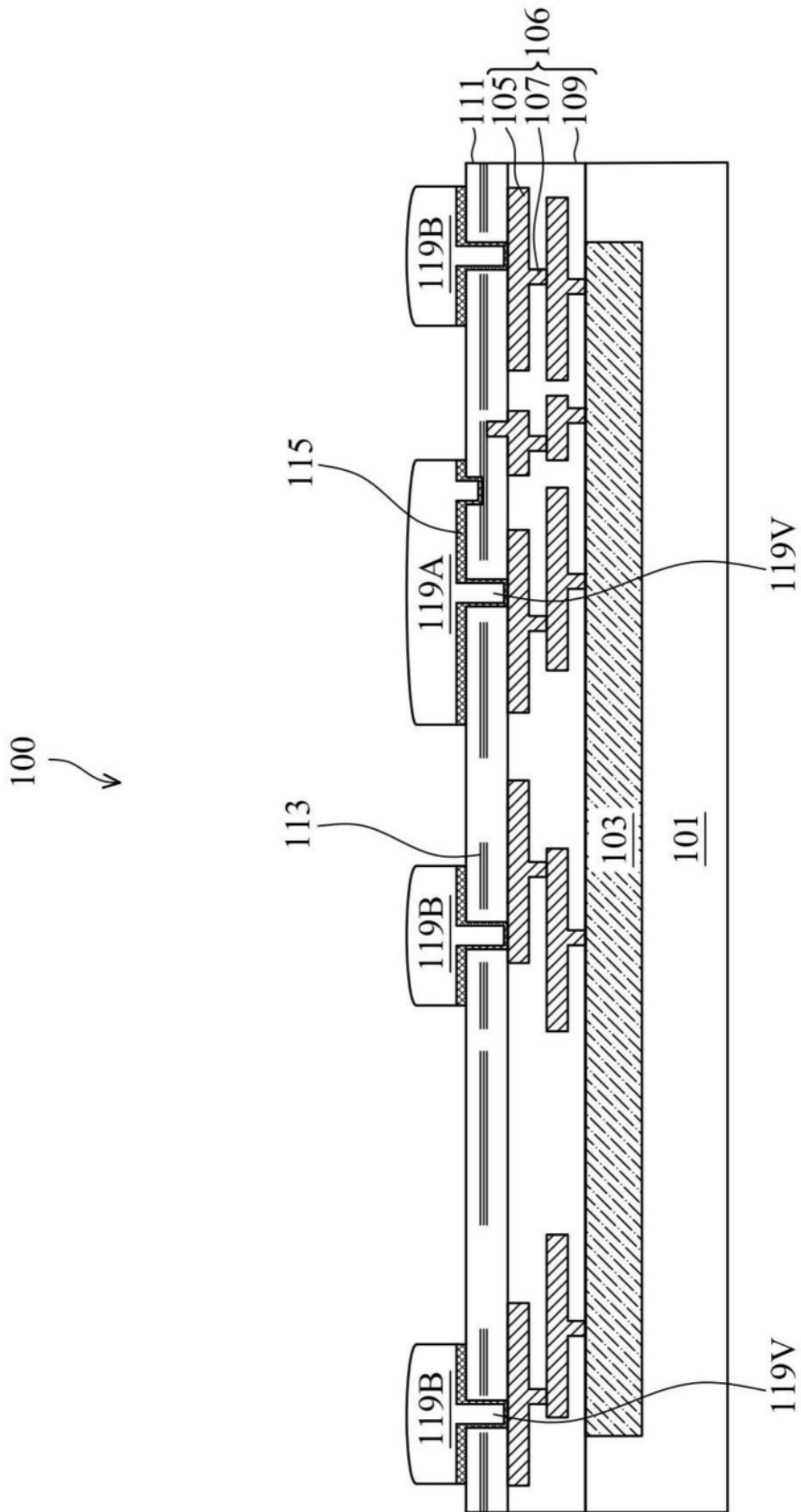


图4

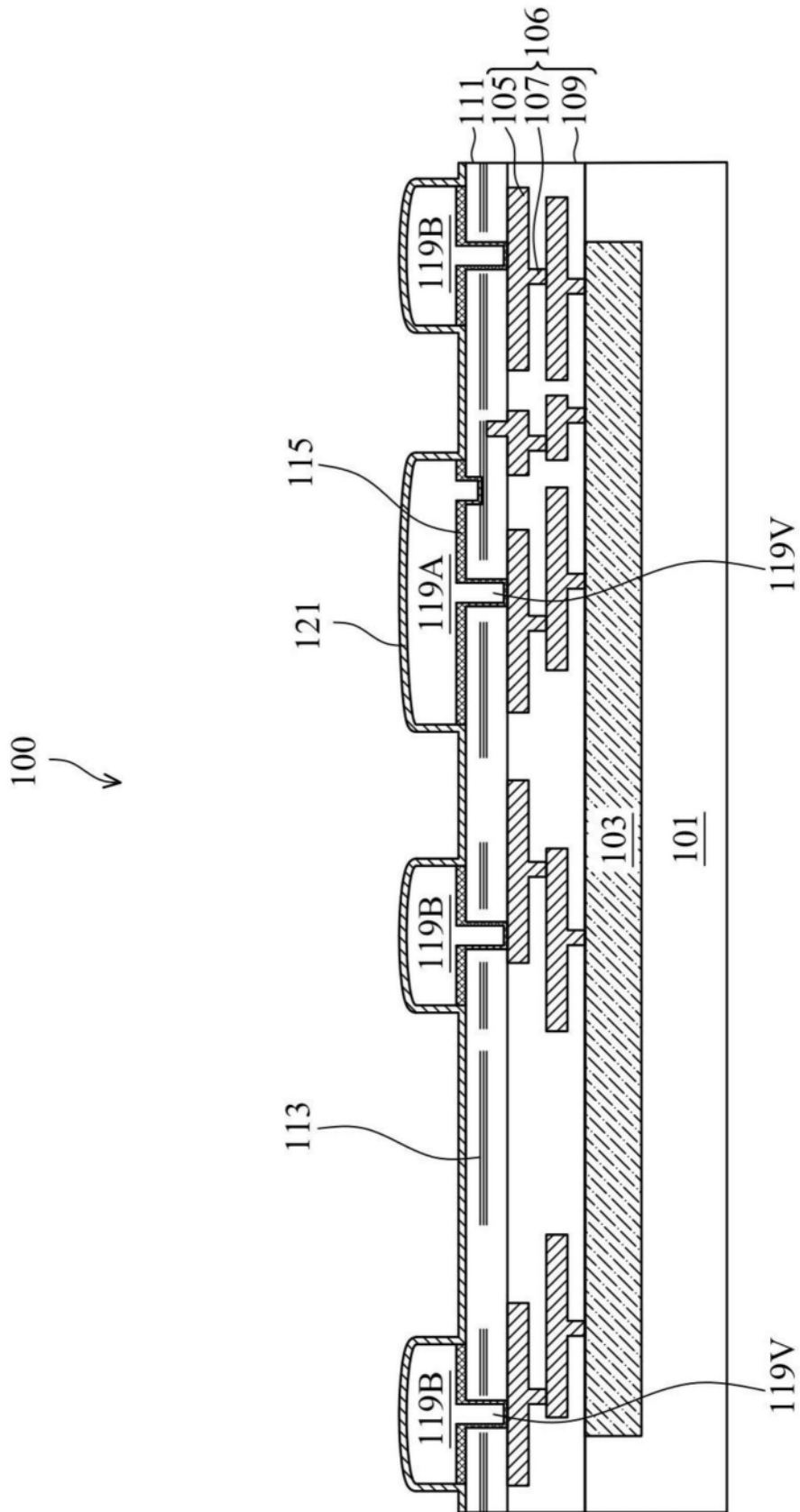


图5

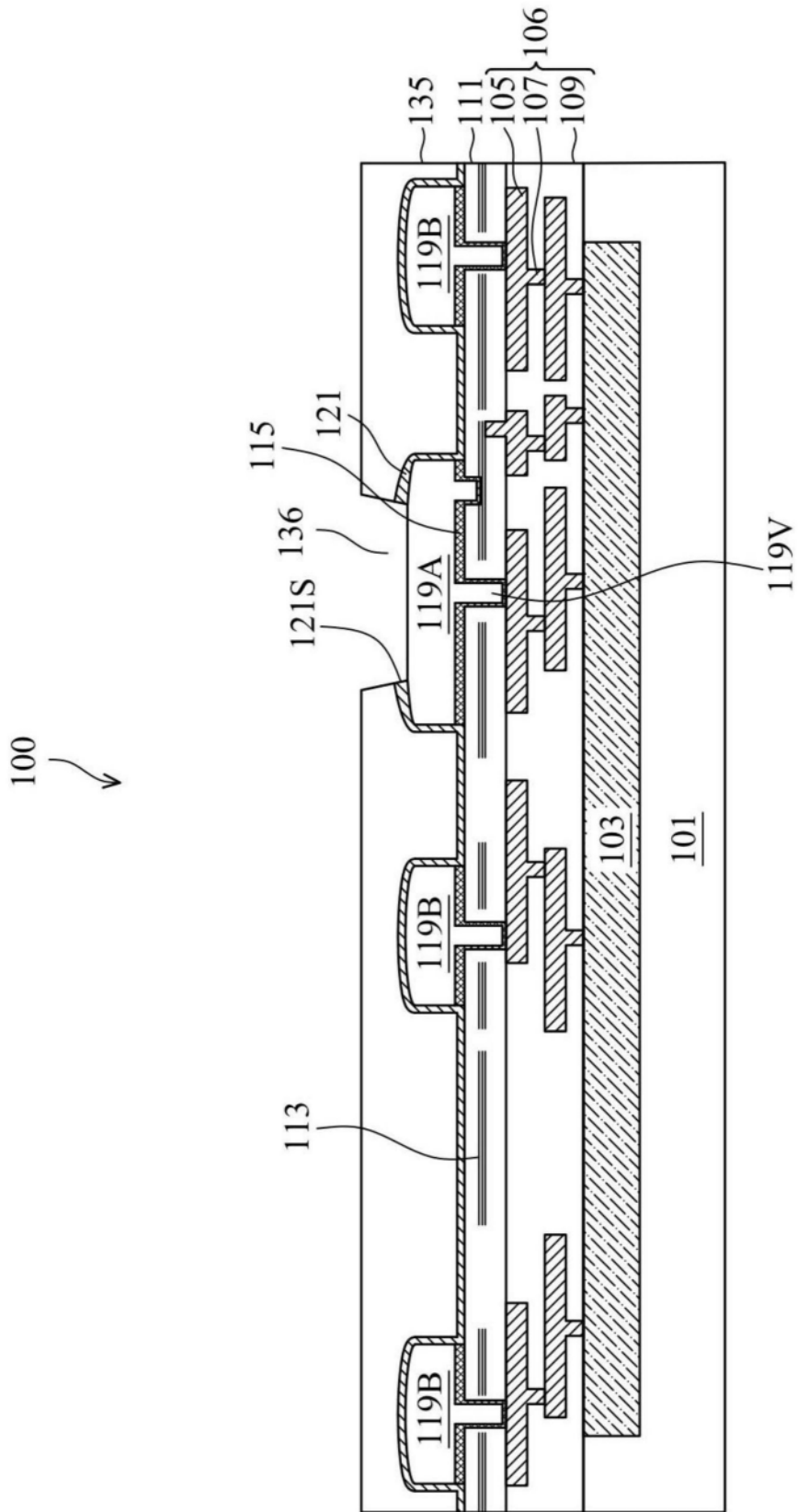


图6

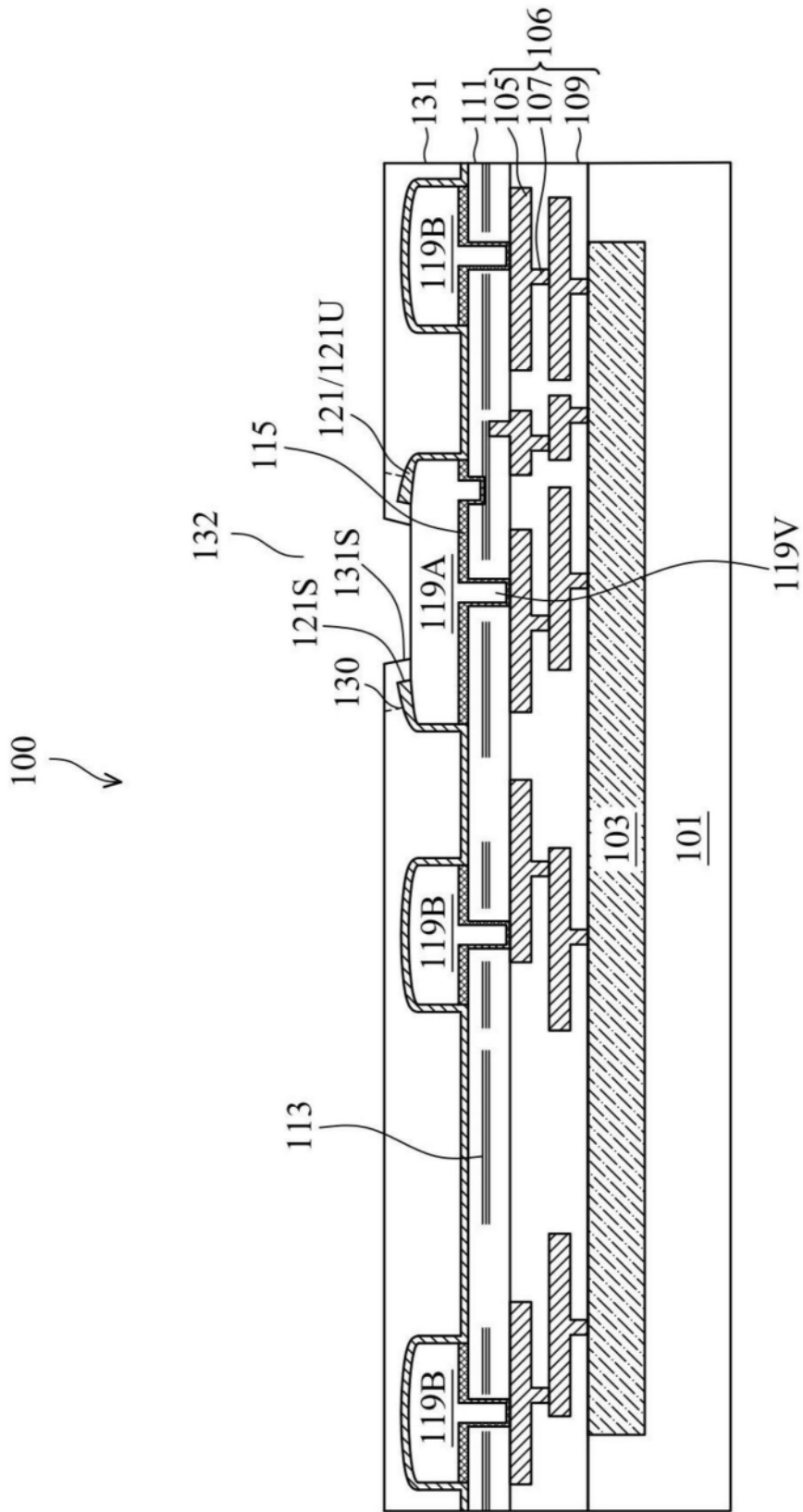


图7

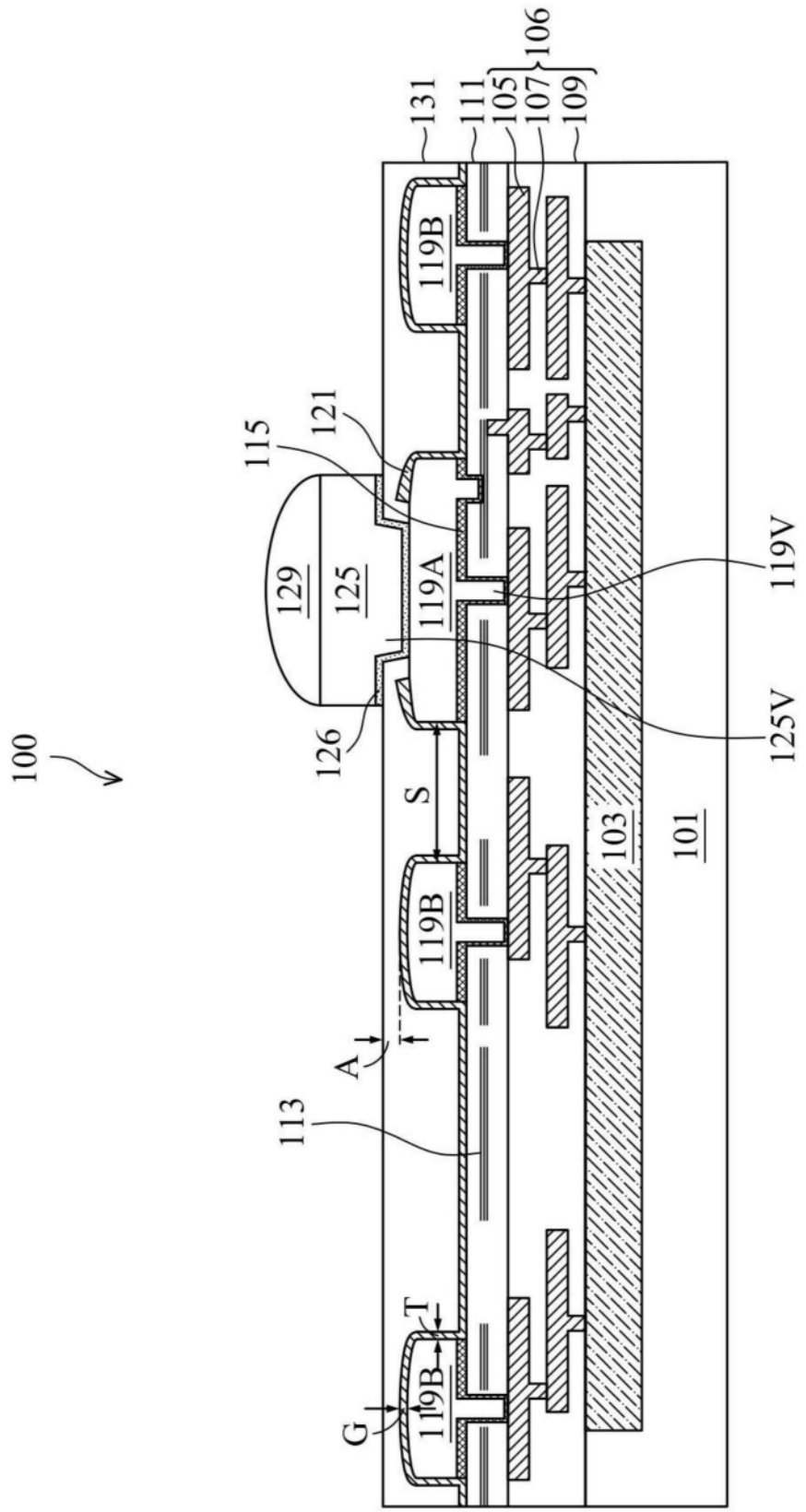


图8A



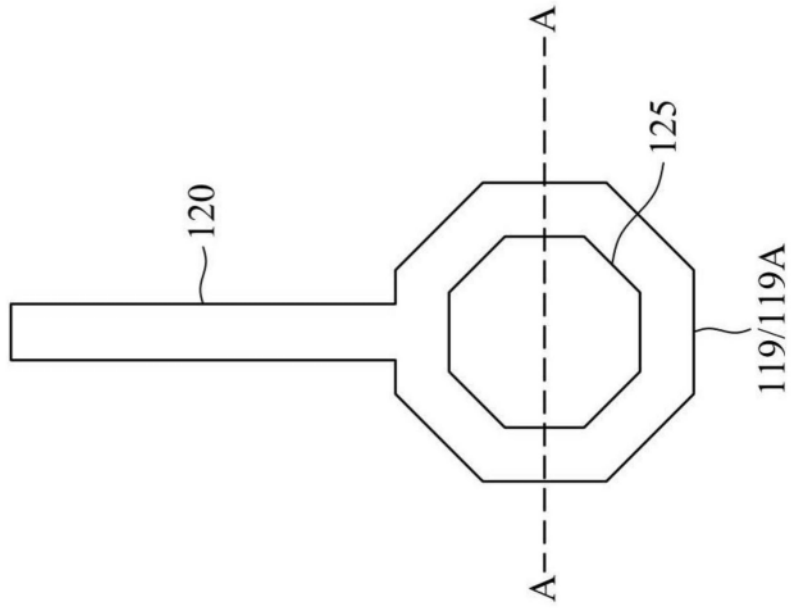


图8C

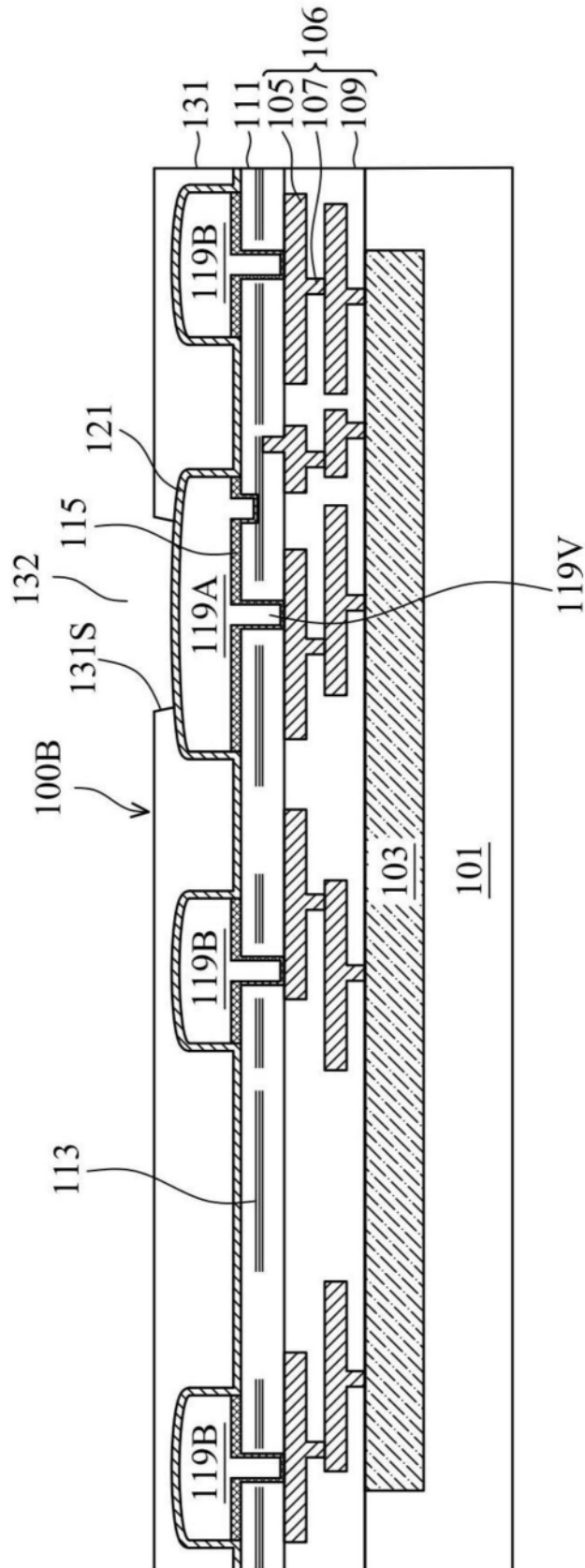


图9

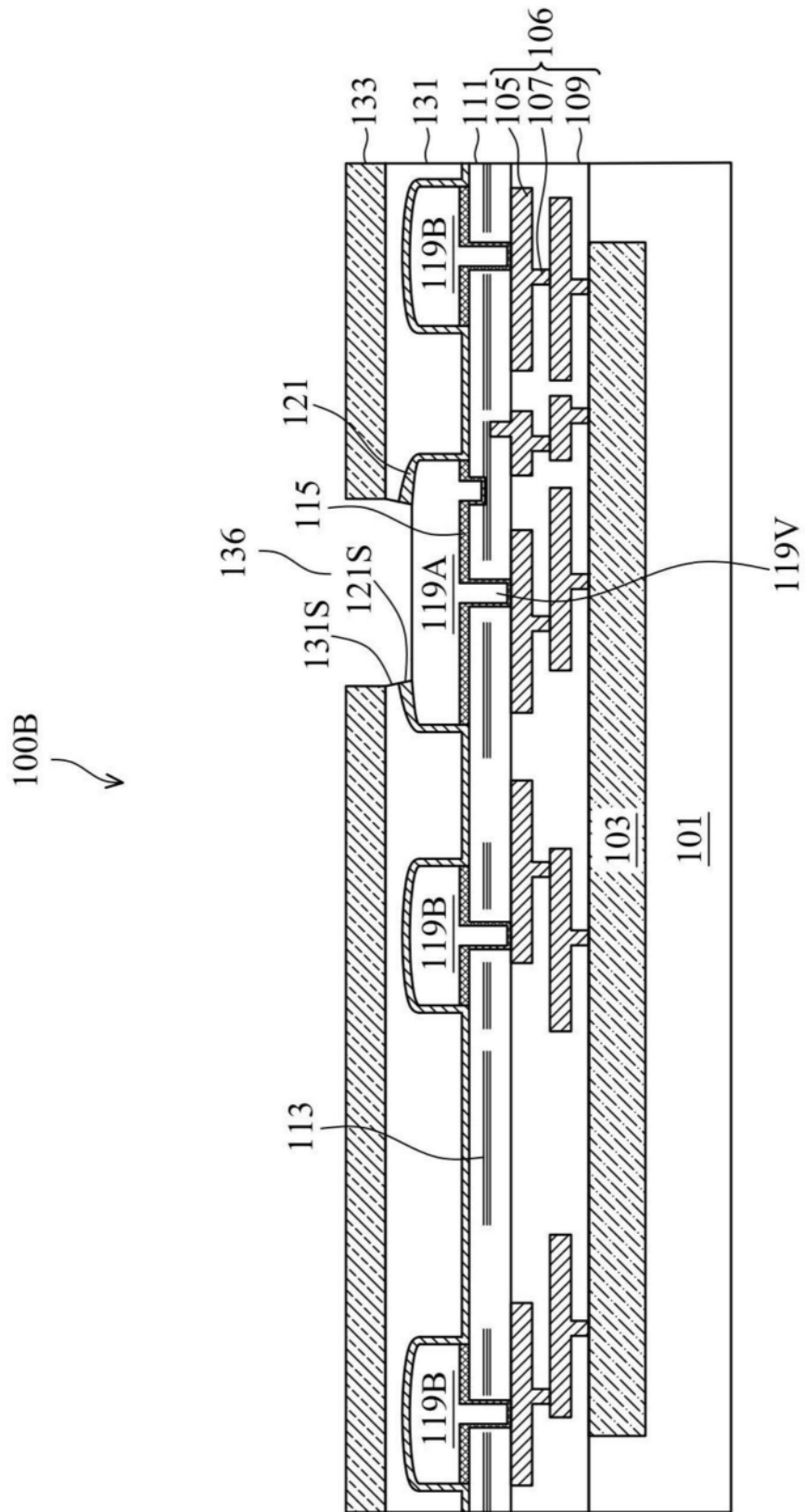


图10

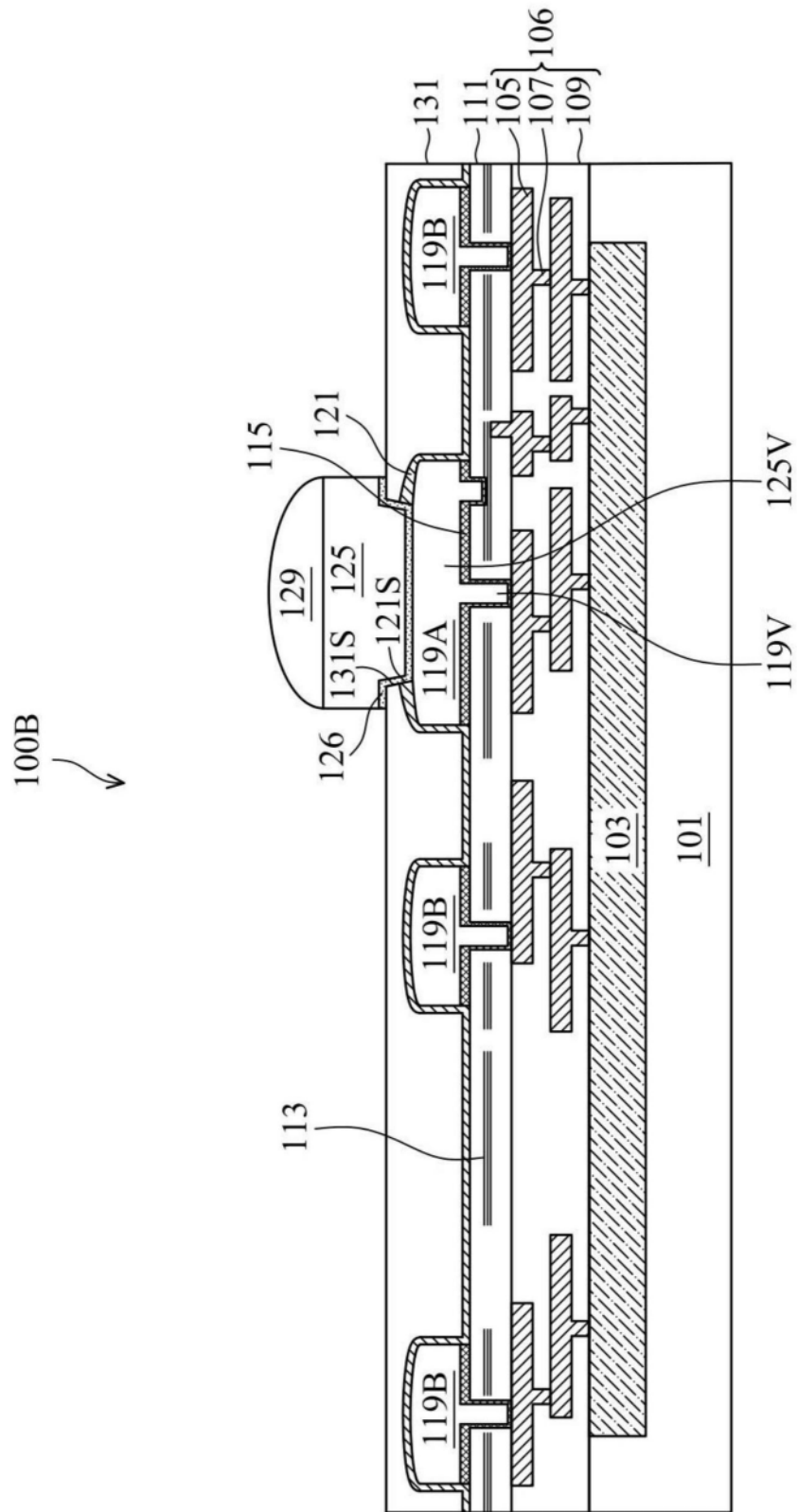


图11

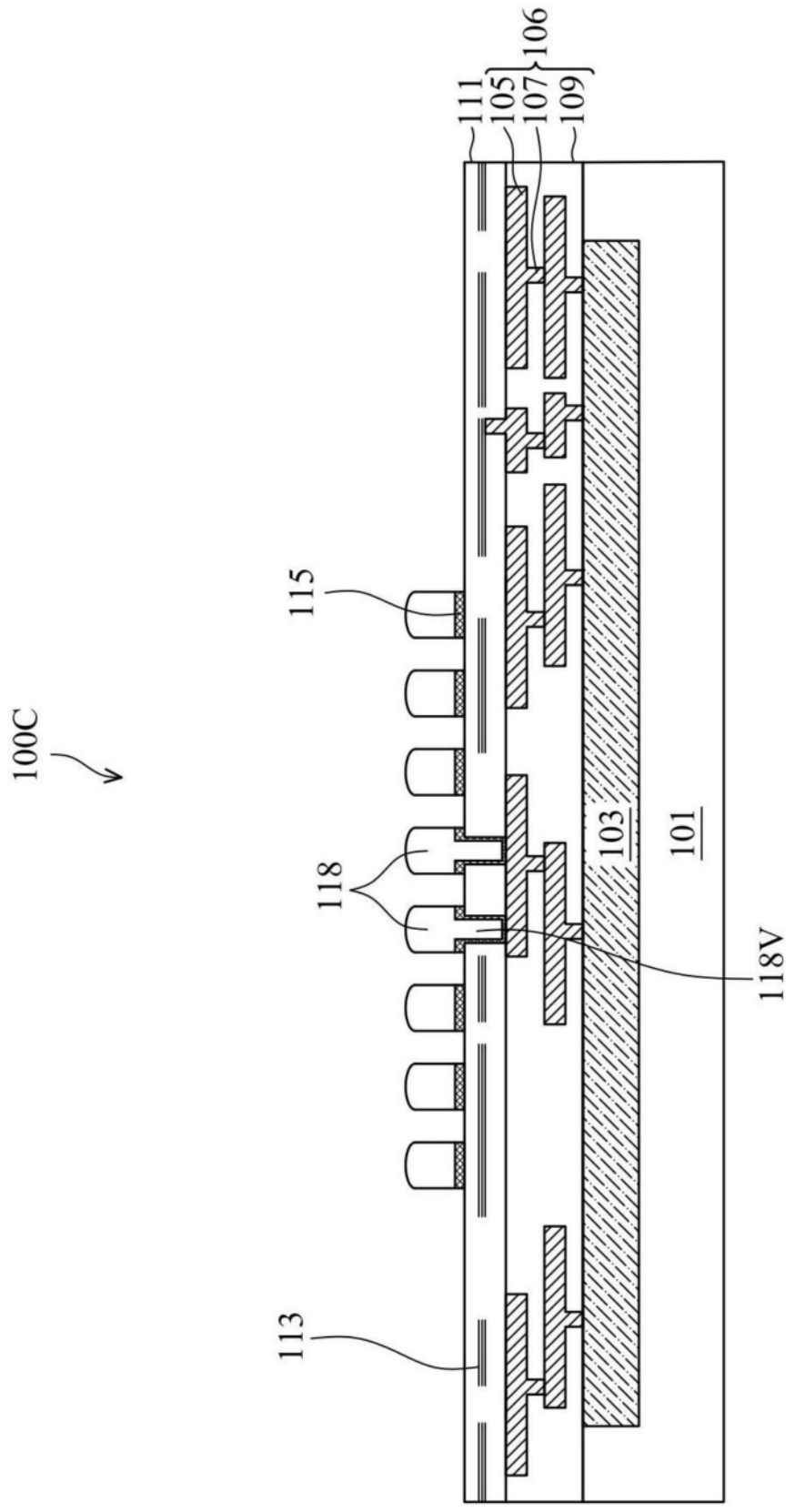


图12

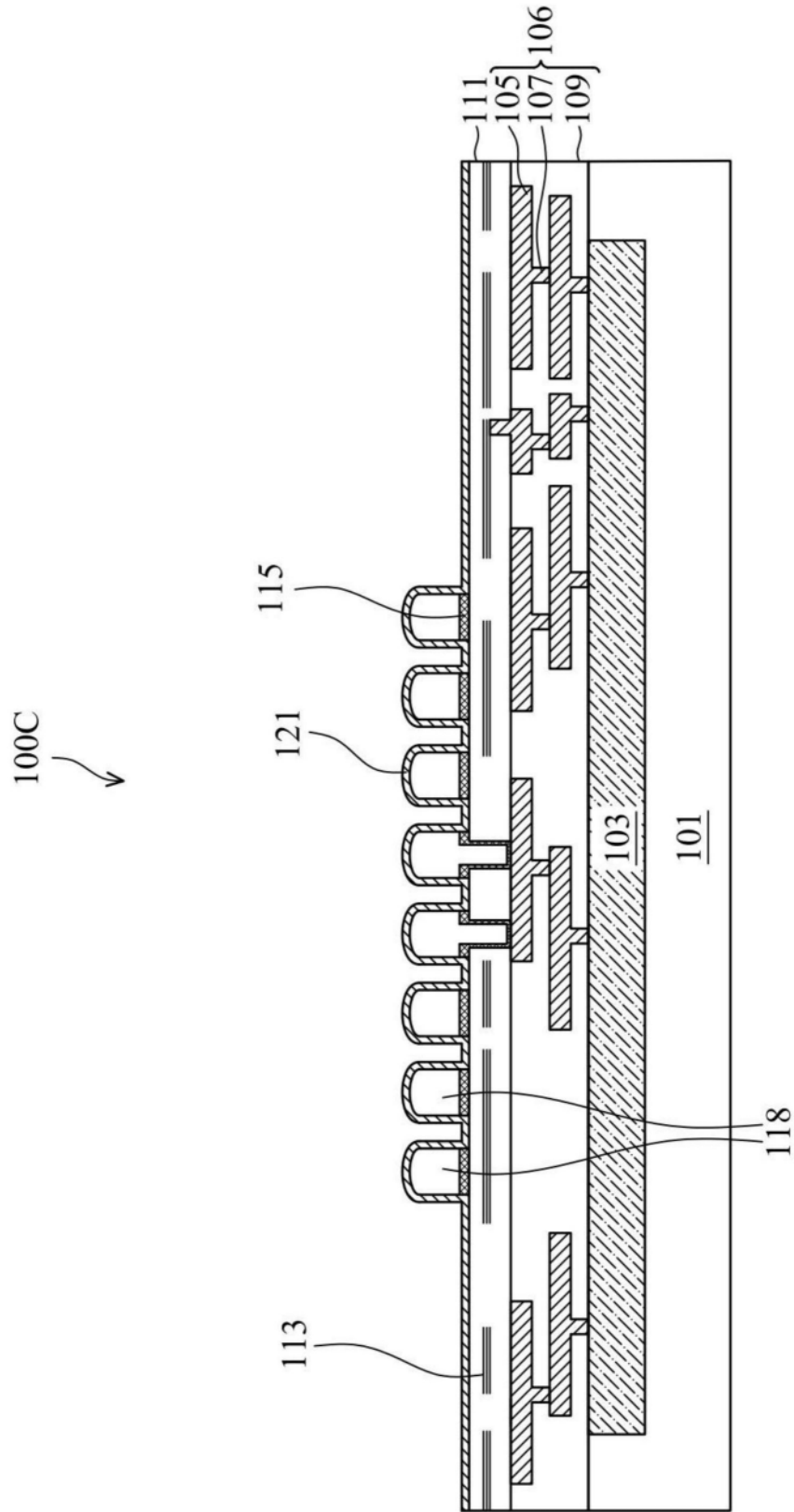


图13

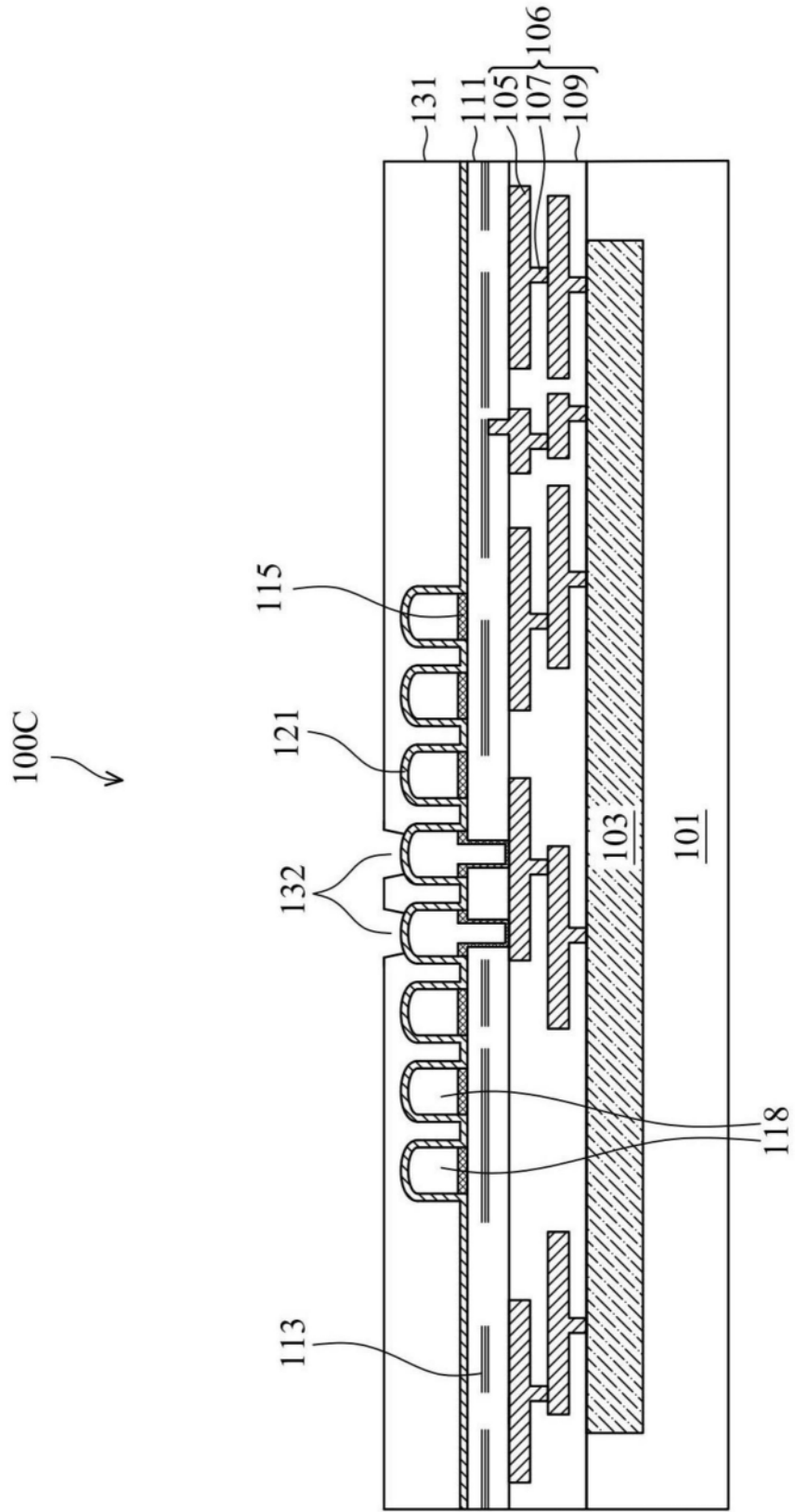


图14

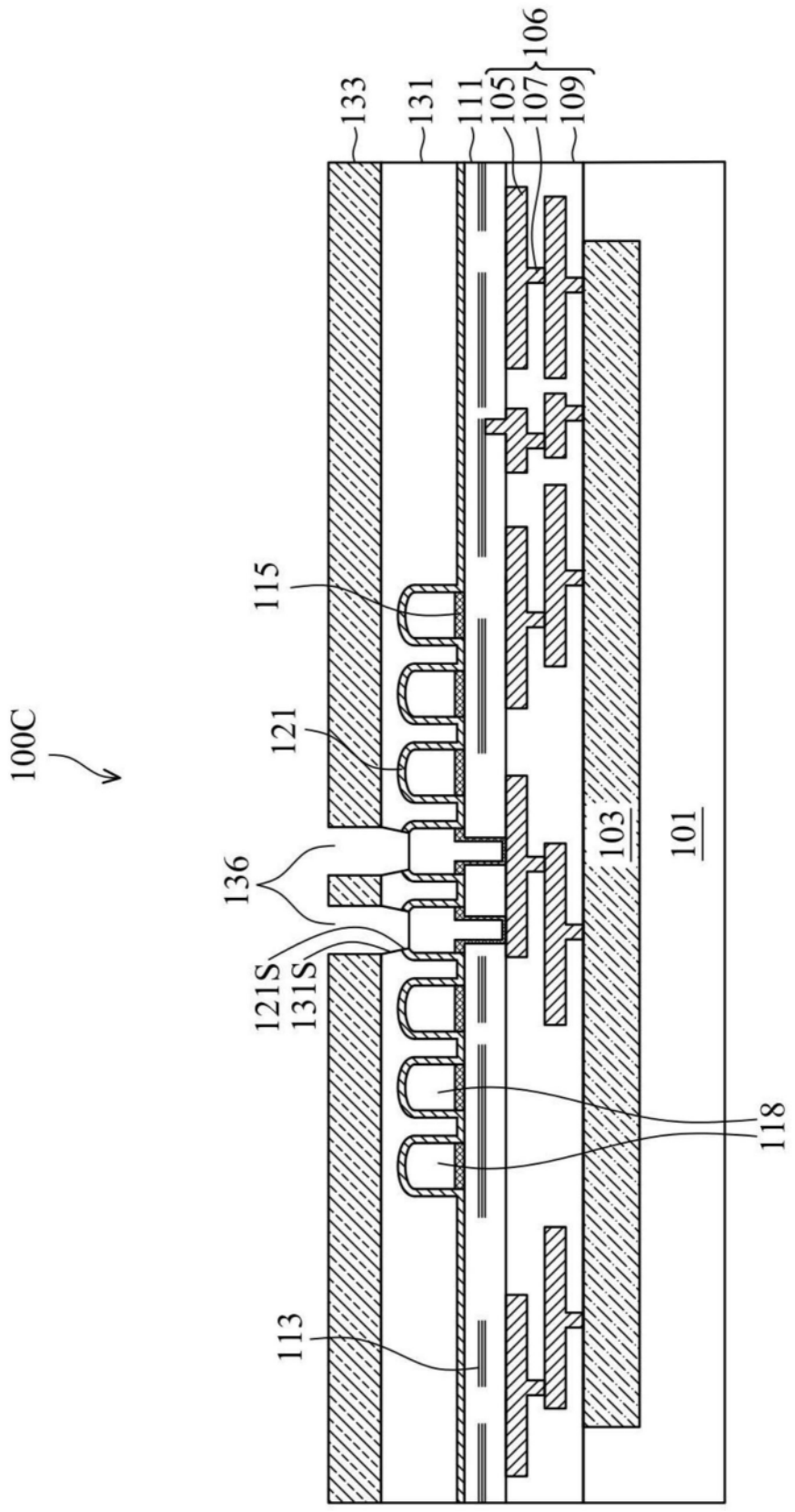


图15

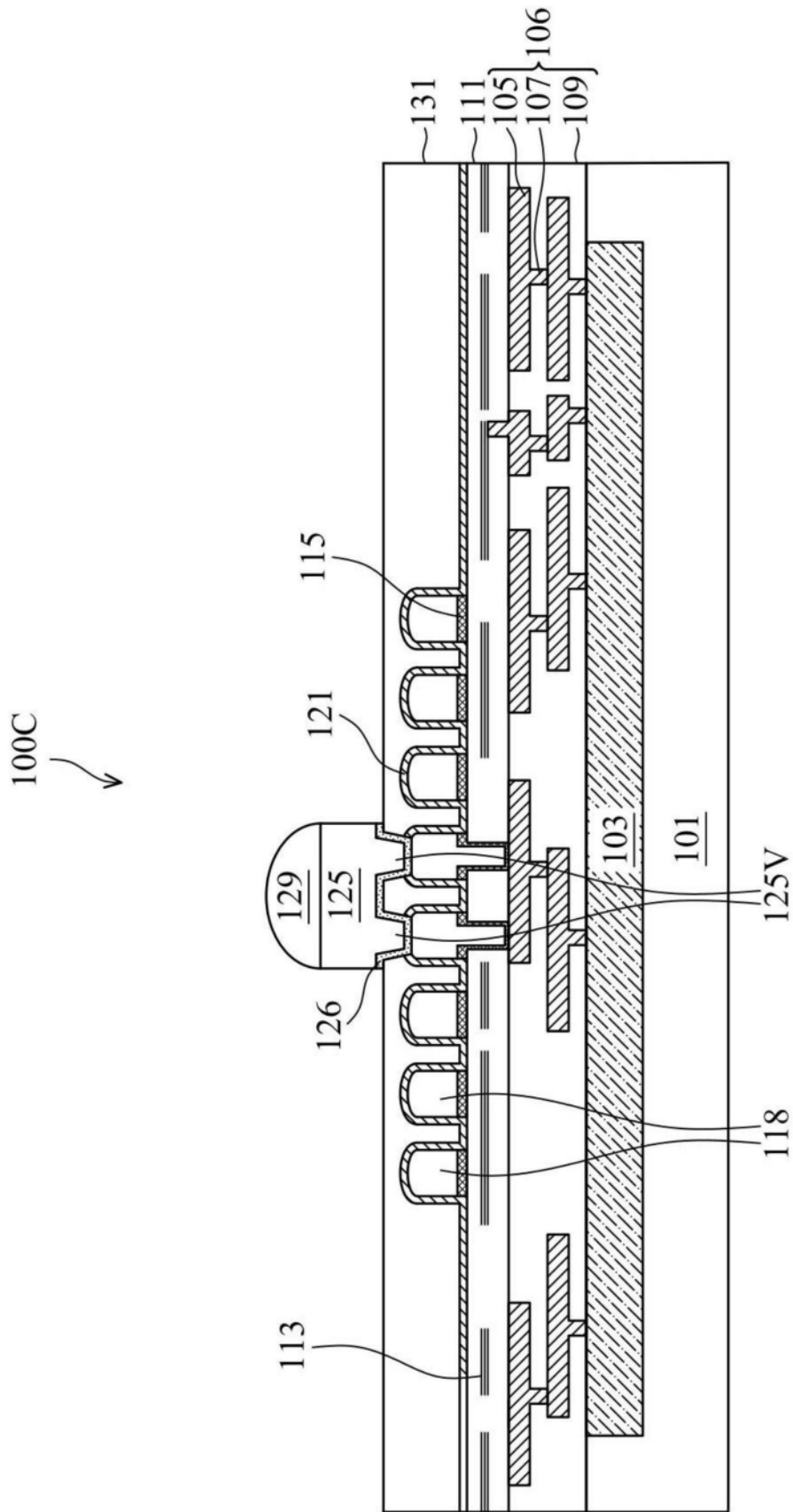


图16A

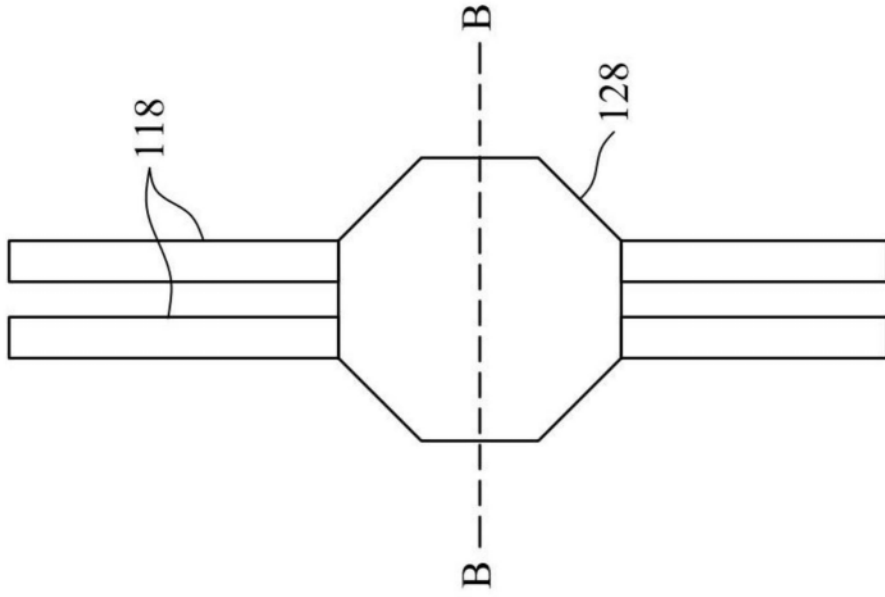


图16B

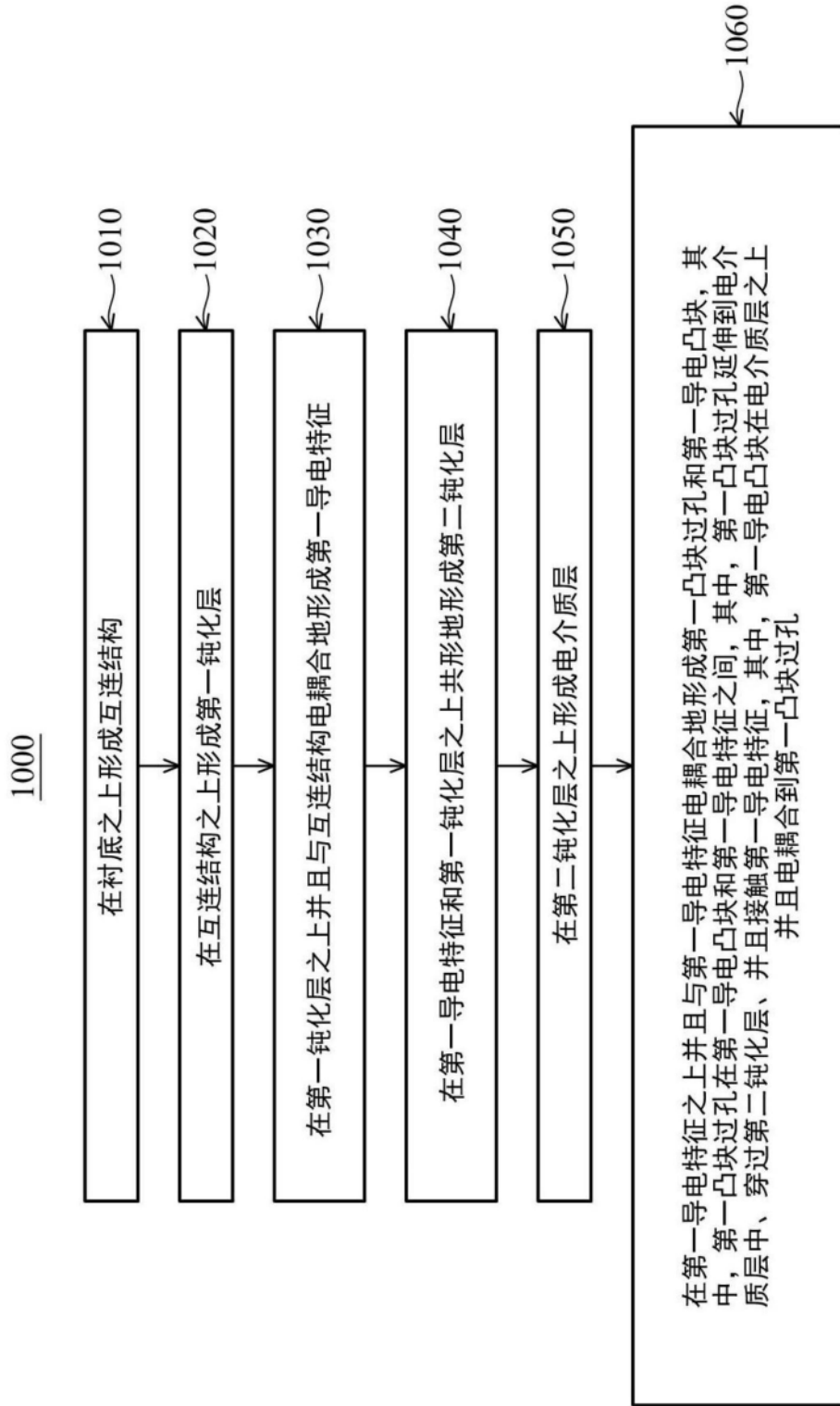


图17