



ÚŘAD PRO VYNÁLEZY
A OBJEVY

POPIS VYNÁLEZU 259154

K AUTORSKÉMU OSVĚDČENÍ

(61)

(23) Výstavní priorita
(22) Přihlášeno 28 02 86
(21) PV 1409-86.P

(11) B₁

(51) Int. Cl.⁴
G 06 F 7/08

(40) Zveřejněno 15 02 88
(45) Vydáno 19.04.89

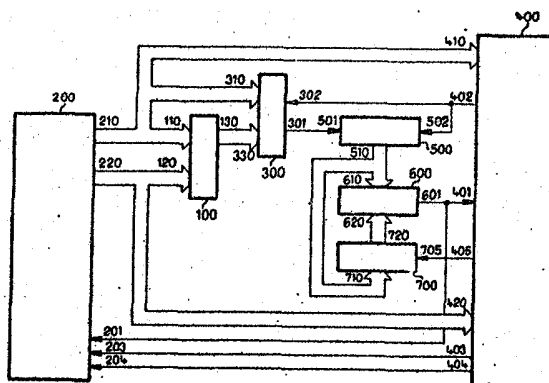
(75)
Autor vynálezu

MAREK IVO RNDr., PCHERY,
KRISTEN JIŘÍ, PRAHA

(54)

Zapojení pro záznam chybové adresy a obsahu,
zjištěných testováním

Zapojení se týká oboru měřicí techniky. Podstata jeho funkce spočívá v tom, že testovací systém provádí test až do nalezení chyby v pořadí další za chybou s již zaznamenanou adresou. Pak je test zastaven a chybová adresa a obsah jsou zaznamenány. Zároveň je o jednu zvýšeno pořadí zaznamenané chyby. Potom je test opětně spuštěn od začátku testovacího vzorku, od něhož jsou rovněž znovu počítány nalezené chyby až do nalezení chyby s dosud nezaznamenaným pořadím. Proces je ukončen koncem prováděného testovacího vzorku. Zapojení pro záznam chybové adresy podle vynálezu může být využit v oboru výpočetní a sdělovací techniky a v oboru automatizace.



Vynález se týká zapojení pro záznam chybové adresy a obsahu, zjištěných testováním na testovacím zařízení, které umožňuje záznam i při testování nejvyšší pracovní rychlostí testovaného objektu.

U velkých testovacích systémů nejvyšší cenové třídy je pro záznam testováním zjištěné chybové adresy určena k tomu účelu vyhrazená paměť chyb. Protože je nutné do paměti chyb zaznamenávat chybové adresy i nejrychlejších objektů, pro které je testovací systém určen, musí i paměť chyb pracovat srovnatelnou rychlostí. Na druhou stranu je nutné do paměti chyb zaznamenávat chybné adresy i objektů s největší paměťovou kapacitou, pro které je testovací systém určen, proto musí mít i paměť chyb dostatečnou kapacitu. Odtud plyne na paměť chyb nárok na pracovní rychlost, kapacitu a spolehlivost vyšší než mají objekty, pro něž je testovací systém určen. Proto jsou měření využívající rychlou paměť chyb u menších testovacích systémech nižší cenové třídy nahrazeny způsobem záznamu, při kterém je proces testování zastaven a testování pokračuje až po záznamu chybové adresy do paměti řídicího procesoru. Tento způsob záznamu chybové adresy vede k vytvoření vždy nového neopakovatelného testovacího vzorku navíc s nedefinovaným pokrytím dynamických poruch. Výsledky testu s vloženými časovými prodlevami jsou nadto neporovnatelné s výsledky testu bez časových prodlev.

Tyto nevýhody odstraňuje zapojení pro záznam chybové adresy a obsahu, zjištěných testováním podle vynálezu, jehož podstata spočívá v tom, že výstupní brána testovacího vzorku obsahu generátoru testovacích sekvencí je spojena se vstupní

bránou testovacího vzorku obsahu vyhodnocovacího obvodu a se vstupní bránou testovacího vzorku obsahu řídicího procesoru, přičemž výstupní brána testovací adresy generátoru testovacích sekvencí je připojena ke vstupní bráně testovací adresy testovaného objektu a ke vstupní bráně testovací adresy řídicího procesoru, přičemž výstupní brána testovaného obsahu testovaného objektu je připojena k vyhodnocovacímu obvodu, jehož chybový výstup je připojen k chybovému čítači, jehož nulovací vstup je spojen s nulovacím vstupem vyhodnocovacího obvodu a s nulovacím vstupem řídicího procesoru, jehož chybový vstup je spojen s chybovým vstupem generátoru testovacích sekvencí a s chybovým výstupem logického komparátoru, přičemž nastavovací vstup chybového registru je spojen s nastavovacím vstupem řídicího procesoru, přičemž výstupní brána pořadí chyby chybového čítače je připojena ke vstupní bráně pořadí chyby logického komparátoru a ke vstupní bráně pořadí chyby chybového registru, jehož výstupní brána zaznamenané chyby je připojena k logickému komparátoru.

Zapojení pro záznam chybové adresy a obsahu zjištěných testování podle vynálezu má výhodu v tom, že umožňuje při prodloužení testovací doby vykonávat na malých testovacích systémech nižší cenové třídy náročná měření, dosud realizovatelná pouze na velkých testovacích systémech. Přitom způsob záznamu chybové adresy a obsahu zjištěných testování podle vynálezu neovlivňuje pokrytí dynamických poruch a výsledek testu je rovnocenný s testem provedeným testovacím vzorkem bez přerušení testování, jak je realizován na velkých testovacích systémech vyšší cenové třídy. Výhoda zapojení pro provádění způsobu záznamu podle vynálezu spočívá v jeho snadném začlenění do malých testovacích systémů, které jsou jednoduchým způsobem přizpůsobeny provádění způsobu záznamu podle vynálezu.

Zapojení pro záznam chybové adresy a obsahu, zjištěných testování, umožňuje nejen testování rovnocenné testování na velkých testovacích systémech, ale navíc umožňuje i průběžné zpracování informace o chybových adresách během doby testování v řídicím procesoru. Tím lze dosáhnout průběžného zpracování

významnosti prováděného testu a při získávaných výsledcích s malou vypovídací schopností, například při chybě na všech krocích prováděného testu, lze testovací proces zastavit ještě před jeho dobehnutím do konce testovacího vzorku. Tak je dosaženo úspory pracovní doby testovacího systému, na němž je zapojení podle vynálezu aplikováno.

Na připojeném výkresu je znázorněn příklad zapojení pro provádění způsobu záznamu chybové adresy a obsahu, zjištěných testováním. Vstupní brána 210 testovacího vzorku obsahu generátoru 200 testovacích sekvencí je spojena se vstupní bránou 110 testovacího vzorku obsahu testovaného objektu 100, se vstupní bránou 310 testovacího vzorku obsahu vyhodnocovacího obvodu 300 a se vstupní bránou 410 testovacího vzorku obsahu řídicího procesoru 400. Výstupní brána 220 testovací adresy generátoru 200 testovacích sekvencí je připojena ke vstupní bráně 120 testovací adresy testovaného objektu 100 a ke vstupní bráně 420 testovací adresy řídicího procesoru 400. Výstupní brána 130 testovaného objektu 100 je připojena k vyhodnocovacímu obvodu 300, jehož chybový výstup 301 je připojen k chybovému čítači 500, jehož nulovací vstup 502 je spojen s nulovacím vstupem 302 vyhodnocovacího obvodu 300 a s nulovacím vstupem 402 řídicího procesoru 400, jehož chybový vstup 401 je spojen s chybovým vstupem 201 generátoru 200 testovacích sekvencí a s chybovým výstupem 601 logického komparátoru 600. Nastavovací vstup 705 chybového registru 700 je spojen s nastavovacím vstupem 405 řídicího procesoru 400. Výstupní brána 510 pořadí chyby chybového čítače 500 je připojena ke vstupní bráně 610 pořadí chyby logického komparátoru 600 a ke vstupní bráně 710 pořadí chyby chybového registru 700, jehož výstupní brána 720 zaznamenané chyby je připojena k logickému komparátoru 600.

Funkce zapojení pro záznam chybové adresy a obsahu, zjištěných testováním, je následující:

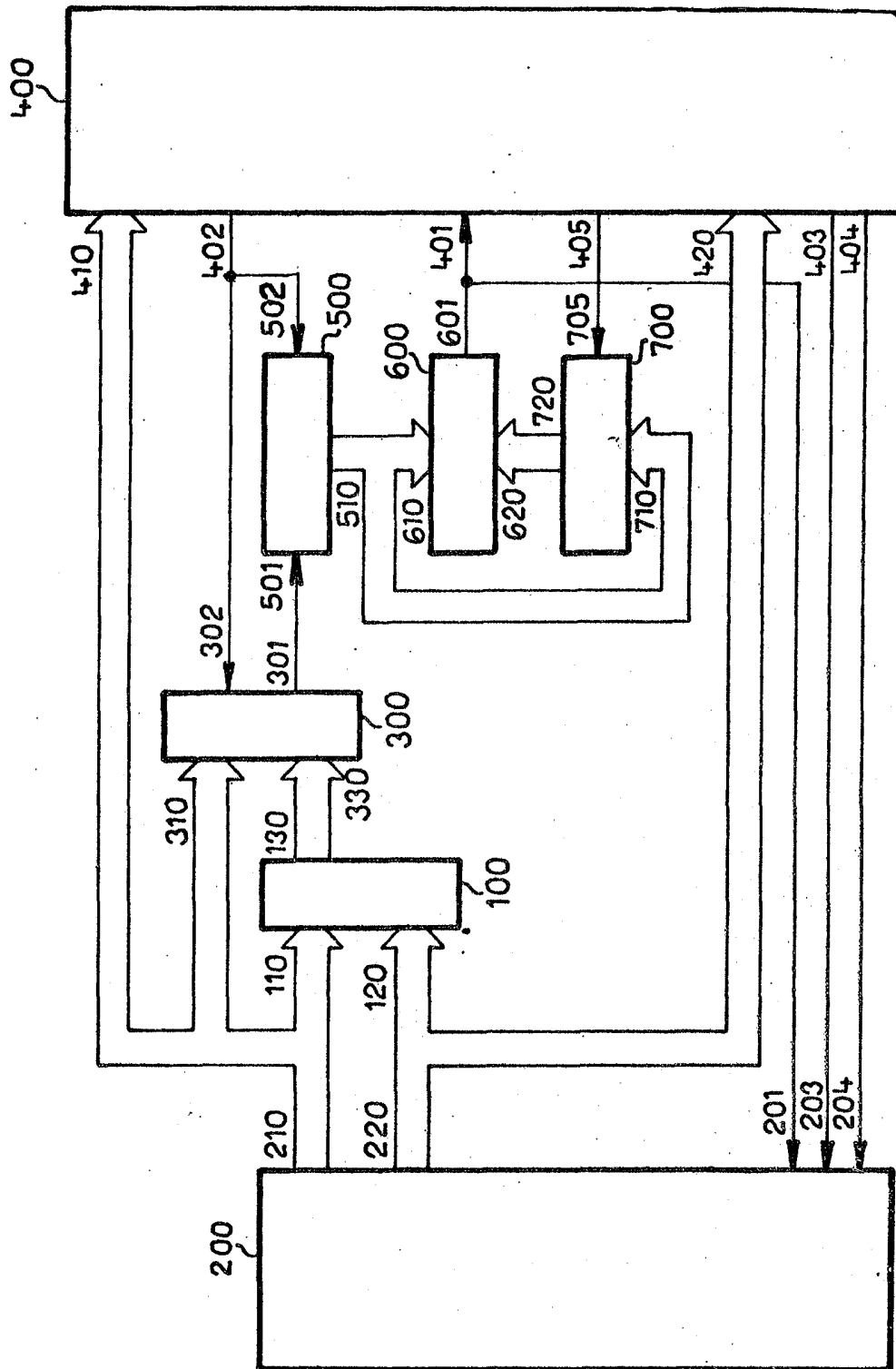
V chybovém registru 700 je uloženo pořadí chyby se zaznamenanou chybovou adresou a obsahem. Uložené pořadí je přes výstupní bránu 720 zaznamenané chyby chybového registru 700 vysíláno do logického komparátoru 600. Zde je srovnáváno s pořadím

právě nalezené chyby, vysílaném do vstupní brány 610 pořadí chyby logického komparátoru 600 z výstupní brány 510 pořadí chyby chybového čítače 500. Ten čítá chybové impulsy přiváděné z vyhodnocovacího obvodu 300, který porovnává při testování testovací vzorek obsahu, přiváděný z generátoru 200 testovacích sekvencí na vstupní bránu 310 vyhodnocovacího obvodu 300, s testovanou odezvou z testovaného objektu 100, přiváděnou na vstupní bránu 330 vyhodnocovacího obvodu 300. Vyhodnocené chyby ve vyhodnocovacím obvodu 300 jsou počítány v chybovém čítači 500 až jejich počet přesáhne pořadí chyby zaznamenané v chybovém registru 700. Pak logický komparátor 600 vyšle na chybový vstup 201 generátoru 200 testovacích sekvencí a na chybový vstup 401 řídicího procesoru signál o nalezení nové chyby s dosud nezaznamenanou chybovou adresou a obsahem. Generátor 200 testovacích sekvencí je signálem ze svého chybového vstupu 201 zastaven a řídicí procesor 400 zaznamená chybovou adresu přiváděnou na jeho vstupní bránu 420 testovací adresy a obsah přiváděný na jeho vstupní bránu 410 testovacího vzorku obsahu. Potom řídicí procesor 400 signálem vysílaným na nastavovací vstup 705 chybového registru 700 uloží pořadí zaznamenané chyby a chybového čítače 500 do vstupní brány 710 pořadí chyby chybového registru 700. Dál řídicí procesor 400 signálem vyslaným na stopovací vstup 204 generátoru 200 testovacích sekvencí nastaví generátor 200 testovacích sekvencí na počátek testovacího vzorku a adresace a signálem vysílaným ze svého nulovacího výstupu 402 jednak vynuluje chybový čítač 500 a jednak vynuluje vyhodnocovací obvod 300. Potom řídicí procesor signálem vyslaným na startovací vstup 203 generátoru 200 testovacích sekvencí opět spustí testování od počátku testovacího vzorku.

Vynález může být využit v oboru výpočetní a sdělovací techniky a v oboru automatizace.

PŘEDMĚT VYNÁLEZU

Zapojení pro záznam chybové adresy a obsahu, zjištěných testováním, vyznačené tím, že výstupní brána (210) testovacího vzorku obsahu generátoru (200) testovacích sekvencí je spojena se vstupní bránou (110) testovacího vzorku obsahu testovaného objektu (100), se vstupní bránou (310) testovacího vzorku obsahu vyhodnocovacího obvodu (300) a se vstupní bránou (410) testovacího vzorku obsahu řídicího procesoru (400), přičemž výstupní brána (220) testovací adresy generátoru (200) testovacích sekvencí je připojena ke vstupní bráně (120) testovací adresy testovaného objektu (100) a ke vstupní bráně (420) testovací adresy řídicího procesoru (400), přičemž výstupní brána (130) testovaného obsahu testovaného objektu (100) je připojena k vyhodnocovacímu obvodu (300), jehož chybový výstup (301) je připojen k chybovému čítači (500), jehož nulovací vstup (502) je spojen s nulovacím vstupem (302) vyhodnocovacího obvodu (300) a s nulovacím vstupem (402) řídicího procesoru (400), jehož chybový vstup (401) je spojen s chybovým vstupem (201) generátoru (200) testovacích sekvencí a s chybovým výstupem (601) logického komparátoru (600), přičemž nastavovací vstup (705) chybového registru (700) je spojen s nastavovacím vstupem (405) řídicího procesoru (400), přičemž výstupní brána (510) pořadí chyby chybového čítače (500) je připojena ke vstupní bráně (610) pořadí chyby logického komparátoru (600) a ke vstupní bráně (710) pořadí chyby chybového registru (700), jehož výstupní brána (720) zaznamenané chyby je připojena k logickému komparátoru.



Обр.