

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6351159号
(P6351159)

(45) 発行日 平成30年7月4日(2018.7.4)

(24) 登録日 平成30年6月15日(2018.6.15)

(51) Int.Cl.	F I
HO 1 G 4/30 (2006.01)	HO 1 G 4/30 2 O 1 E
	HO 1 G 4/30 2 O 1 F
	HO 1 G 4/30 2 O 1 G
	HO 1 G 4/30 5 1 3
	HO 1 G 4/30 5 1 6
請求項の数 11 (全 17 頁) 最終頁に続く	

(21) 出願番号 特願2014-93653 (P2014-93653)
 (22) 出願日 平成26年4月30日 (2014. 4. 30)
 (65) 公開番号 特開2015-37187 (P2015-37187A)
 (43) 公開日 平成27年2月23日 (2015. 2. 23)
 審査請求日 平成29年3月14日 (2017. 3. 14)
 (31) 優先権主張番号 10-2013-0094838
 (32) 優先日 平成25年8月9日 (2013. 8. 9)
 (33) 優先権主張国 韓国 (KR)

(73) 特許権者 594023722
 サムソン エレクトロメカニクス カ
 ンパニーリミテッド.
 大韓民国、キョンギド、スウォンシ、
 ヨントング、(マエタンドン) マエヨ
 ンロ 150
 (74) 代理人 110000877
 龍華国際特許業務法人
 (72) 発明者 パク、サン スー
 大韓民国、キョンギド、スウォンシ、
 ヨントング、(マエタンドン) マエヨ
 ンロ 150 サムソン エレクトロ
 メカニクス カンパニーリミテッド. 内

最終頁に続く

(54) 【発明の名称】 積層セラミック電子部品及びその実装基板並びに製造方法

(57) 【特許請求の範囲】

【請求項 1】

複数の誘電体層を含むセラミック本体と、
 前記セラミック本体内で前記複数の誘電体層の各々を介して前記セラミック本体の両端
 面を通じて交互に露出するように配置された複数の第 1 及び第 2 内部電極を含むアクティ
 ブ層と、
 前記アクティブ層の一方側に形成された第 1 カバー層と、
 前記アクティブ層の他方側に形成され、前記第 1 カバー層より厚い第 2 カバー層と、
 複数の前記第 1 及び第 2 内部電極と電気的に連結された第 1 及び第 2 外部電極と、を含
 み、
 前記第 1 及び第 2 外部電極は、
 前記セラミック本体の両端面から両主面まで延長形成された第 1 及び第 2 導電層と、
 前記第 1 及び第 2 導電層の両端面に形成された第 1 及び第 2 絶縁層と、
 前記第 1 及び第 2 導電層の両主面及び前記第 1 及び第 2 絶縁層の端部を覆うように形成
 された第 1 及び第 2 めっき層と、を含み、
 前記セラミック本体の全体の厚さの $1/2$ を A、前記第 2 カバー層の厚さを B、前記ア
 クティブ層の全体の厚さの $1/2$ を C、前記第 1 カバー層の厚さを D と規定すると、
 前記アクティブ層の中心部が前記セラミック本体の中心部から外れた比率 $(B + C) / A$
 A は $1.065 < (B + C) / A < 1.764$ の範囲を満たし、
 前記第 1 カバー層の厚さ D と前記第 2 カバー層の厚さ B の比率 D / B は $0.021 < D$

/ B 0 . 4 0 9 の範囲を満たす、積層セラミック電子部品。

【請求項 2】

前記第 1 及び第 2 導電層は前記セラミック本体の両端面から両側面まで延長形成され、
前記第 1 及び第 2 絶縁層は前記第 1 及び第 2 導電層の両端面から両側面まで延長形成されたことを特徴とする、請求項 1 に記載の積層セラミック電子部品。

【請求項 3】

前記第 1 及び第 2 めっき層は、
前記第 1 及び第 2 導電層の両主面及び前記第 1 及び第 2 絶縁層の端部を覆うように形成されたニッケル (Ni) めっき層と、
前記ニッケルめっき層上に形成されたスズ (Sn) めっき層と、を含むことを特徴とする、請求項 1 または 2 に記載の積層セラミック電子部品。

10

【請求項 4】

前記第 1 及び第 2 絶縁層はエポキシレジスト (epoxy resist) であることを特徴とする、請求項 1 ~ 3 の何れか一項に記載の積層セラミック電子部品。

【請求項 5】

前記セラミック本体の全体の厚さの $1/2$ の A に対する前記第 2 カバー層の厚さ B の比率 B/A は $0.331 < B/A < 1.537$ の範囲を満たすことを特徴とする、請求項 1 ~ 4 の何れか一項に記載の積層セラミック電子部品。

【請求項 6】

前記第 2 カバー層の厚さ B に対する前記アクティブ層の全体の厚さの $1/2$ の C の比率 C/B は $0.148 < C/B < 2.441$ の範囲を満たすことを特徴とする、請求項 1 ~ 5 の何れか一項に記載の積層セラミック電子部品。

20

【請求項 7】

電圧印加時に前記アクティブ層の中心部で発生する変形率と前記第 2 カバー層で発生する変形率の差により、前記セラミック本体の両端面に形成された変曲点が前記セラミック本体の全体の厚さの中心部以下に形成されることを特徴とする、請求項 1 ~ 6 の何れか一項に記載の積層セラミック電子部品。

【請求項 8】

第 1 及び第 2 電極パッドを有する印刷回路基板と、
前記第 1 及び第 2 電極パッド上に設けられた請求項 1 ~ 7 の何れか一項に記載の積層セラミック電子部品と、を含む積層セラミック電子部品の実装基板。

30

【請求項 9】

第 1 及び第 2 内部電極が形成された複数のセラミックグリーンシートを前記複数のセラミックグリーンシートの各々を介して前記第 1 及び第 2 内部電極が対向配置されるよう積層し加圧して、前記複数の第 1 及び第 2 内部電極を含むアクティブ層と、前記アクティブ層の一方側に形成された第 1 カバー層と、前記アクティブ層の他方側に形成され、前記第 1 カバー層より厚い第 2 カバー層を含む積層体を用意する段階と、

前記積層体を 1 つのキャパシタに対応する領域ごとに切断し焼成してセラミック本体を用意する段階と、

前記セラミック本体に、前記第 1 及び第 2 内部電極と電氣的に連結されるように第 1 及び第 2 外部電極を形成する段階と、を含み、

40

前記第 1 及び第 2 外部電極を形成する段階は、

銅 - ガラスを含む導電性ペーストを用いて、前記セラミック本体の両端面から両主面まで第 1 及び第 2 導電層を形成する段階と、

エポキシレジストを用いて前記第 1 及び第 2 導電層の両端面に第 1 及び第 2 絶縁層を形成する段階と、

前記第 1 及び第 2 導電層の両主面及び前記第 1 及び第 2 絶縁層の端部をめっき処理して第 1 及び第 2 めっき層を形成する段階と、を含み、

前記セラミック本体の全体の厚さの $1/2$ を A、前記第 2 カバー層の厚さを B、前記アクティブ層の全体の厚さの $1/2$ を C、前記第 1 カバー層の厚さを D と規定すると、

50

前記アクティブ層の中心部が前記セラミック本体の中心部から外れた比率 $(B + C) / A$ は $1.065 < (B + C) / A < 1.764$ の範囲を満たし、

前記第1カバー層の厚さDと前記第2カバー層の厚さBの比率 D / B は $0.021 < D / B < 0.409$ の範囲を満たす、積層セラミック電子部品の製造方法。

【請求項10】

前記第1及び第2外部電極を形成する段階において、

前記第1及び第2導電層は、前記セラミック本体の両端面から両側面まで延長形成され、

前記第1及び第2絶縁層は、前記第1及び第2導電層の両端面から両側面まで延長形成されることを特徴とする、請求項9に記載の積層セラミック電子部品の製造方法。

10

【請求項11】

前記第1及び第2めっき層を形成する段階は、

前記第1及び第2導電層の両主面及び前記第1及び第2絶縁層の端部を覆うようにニッケル(Ni)めっき層を形成した後、

前記ニッケルめっき層上にスズ(Sn)めっき層を形成することを特徴とする、請求項9または10に記載の積層セラミック電子部品の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、積層セラミックキャパシタ及びその実装基板並びに製造方法に関する。

20

【背景技術】

【0002】

最近では、電子製品の小型化の傾向により、該電子製品に用いられる積層セラミック電子部品にも小型化及び高容量化が求められている。

【0003】

これにより、誘電体層と内部電極の薄膜化及び多層化が多様な方法で試みられており、近來では、誘電体層の厚さは薄くしながら、積層数を増加させた積層セラミック電子部品が製造されている。

【0004】

上記誘電体層は圧電性及び電歪性を有するため、積層セラミック電子部品に直流または交流電圧が印加されるとき、上記内部電極の間に圧電現象が発生し、振動が発生することがある。

30

【0005】

該振動は、積層セラミック電子部品の外部電極及び半田を介して上記積層セラミック電子部品が実装された印刷回路基板に伝達され、上記印刷回路基板全体が音響反射面となり、ノイズとなる振動音を発生させる。

【0006】

上記振動音は、人に不快感を与える20～20,000Hz領域の可聴周波数に該当することができ、このように人に不快感を与える振動音をアコースティックノイズ(acoustic noise)という。

40

【0007】

最近の電子機器は、部品の低騒音化によって、積層セラミック電子部品で発生するアコースティックノイズがより目立つことがあるため、積層セラミック電子部品で発生するアコースティックノイズを効果的に低減させるための研究が必要である。

【0008】

下記特許文献1は積層セラミックキャパシタを開示しているが、アコースティックノイズを低減させるために下部カバー層が上部カバー層より厚く形成される構造及び外部電極が絶縁層を含む構造は開示していない。

【先行技術文献】

【特許文献】

50

【 0 0 0 9 】

【特許文献 1】韓国公開特許第 2 0 0 7 - 0 0 8 9 6 2 9 号

【発明の概要】

【発明が解決しようとする課題】

【 0 0 1 0 】

当技術分野では、積層セラミック電子部品において、圧電現象により発生した振動が外部電極及び半田を介して印刷回路基板に伝達されて発生するアコースティックノイズを効果的に低減させることができる新たな方案が求められてきた。

【課題を解決するための手段】

【 0 0 1 1 】

本発明の一側面は、複数の誘電体層を含むセラミック本体と、上記セラミック本体内で上記誘電体層を介して上記セラミック本体の両端面を通じて交互に露出するように配置された複数の第 1 及び第 2 内部電極を含むアクティブ層と、上記アクティブ層の上部に形成された上部カバー層と、上記アクティブ層の下部に形成され、上記上部カバー層より厚い下部カバー層と、上記第 1 及び第 2 内部電極と電気的に連結された第 1 及び第 2 外部電極と、を含み、上記第 1 及び第 2 外部電極は、上記セラミック本体の両端面から上下主面まで延長形成された第 1 及び第 2 導電層と、上記第 1 及び第 2 導電層の両端面に形成された第 1 及び第 2 絶縁層と、を含む積層セラミック電子部品を提供する。

【 0 0 1 2 】

上記第 1 及び第 2 外部電極は、上記第 1 及び第 2 導電層の上下主面及び上記第 1 及び第 2 絶縁層の端部を覆うように形成された第 1 及び第 2 めっき層をさらに含んでもよい。

【 0 0 1 3 】

上記第 1 及び第 2 導電層は、上記第 1 及び第 2 導電層の上下主面及び上記第 1 及び第 2 絶縁層の端部を覆うように形成されたニッケル (Ni) めっき層と、上記ニッケルめっき層上に形成されたスズ (Sn) めっき層と、を含んでもよい。

【 0 0 1 4 】

上記第 1 及び第 2 絶縁層は、エポキシレジスト (epoxy resist) であってもよい。

【 0 0 1 5 】

上記セラミック本体の全体の厚さの $1/2$ を A、上記下部カバー層の厚さを B、上記アクティブ層の全体の厚さの $1/2$ を C、上記上部カバー層の厚さを D と規定すると、上記アクティブ層の中心部が上記セラミック本体の中心部から外れた比率 $(B + C) / A$ は $1.065 < (B + C) / A < 1.764$ の範囲を満たすことができる。

【 0 0 1 6 】

上記上部カバー層の厚さ D と上記下部カバー層の厚さ B の比率 D / B は、 $0.021 < D / B < 0.409$ の範囲を満たすことができる。

【 0 0 1 7 】

上記セラミック本体の全体の厚さの $1/2$ A に対する上記下部カバー層の厚さ B の比率 B / A は、 $0.331 < B / A < 1.537$ の範囲を満たすことができる。

【 0 0 1 8 】

上記下部カバー層の厚さ B に対する上記アクティブ層の全体の厚さの $1/2$ C の比率 C / B は、 $0.148 < C / B < 2.441$ の範囲を満たすことができる。

【 0 0 1 9 】

電圧印加時に、上記アクティブ層の中心部で発生する変形率と上記下部カバー層で発生する変形率の差により、上記セラミック本体の両端面に形成された変曲点が上記セラミック本体の全体の厚さの中心部以下に形成されてもよい。

【 0 0 2 0 】

本発明の他の側面は、第 1 及び第 2 内部電極が形成された複数のセラミックグリーンシートを上記セラミックグリーンシートを介して上記第 1 及び第 2 内部電極が対向配置されるよう積層し加圧して積層体を用意する段階と、上記積層体を 1 つのキャパシタに対応す

10

20

30

40

50

る領域ごとに切断し焼成してセラミック本体を用意する段階と、上記セラミック本体に、上記第1及び第2内部電極と電氣的に連結されるように第1及び第2外部電極を形成する段階と、を含み、上記第1及び第2外部電極を形成する段階は、銅-ガラスを含む導電性ペーストを用いて、上記セラミック本体の両端面から上下主面まで第1及び第2導電層を形成する段階と、エポキシレジストを用いて上記第1及び第2導電層の両端面に第1及び第2絶縁層を形成する段階と、を含む積層セラミック電子部品の製造方法を提供する。

【0021】

上記第1及び第2絶縁層を形成する段階の後に、上記第1及び第2導電層の上下主面及び上記第1及び第2絶縁層の端部をめっき処理して第1及び第2めっき層を形成する段階をさらに含んでもよい。

【発明の効果】

【0022】

本発明の一実施形態によると、下部カバー層を上部カバー層より厚くし、外部電極の実装面を除いた両端面及び両側面に非導電性絶縁層を形成して、印刷回路基板に実装する際、外部電極の周面に形成される半田の高さを低減させることで、積層セラミック電子部品で発生した振動が外部電極及び半田を介して印刷回路基板に伝達されることを減少させ、アコースティックノイズを低減させることができる。

【0023】

また、外部電極の周面に形成される半田の体積を低減させることで、印刷回路基板上に狭いピッチ (pitch) で複数の積層セラミック電子部品を実装しても、それぞれの積層セラミック電子部品を連結する半田ブリッジ (solder bridge) が生じないため、部品の信頼性を向上させることができる。

【図面の簡単な説明】

【0024】

【図1】本発明の一実施形態による積層セラミックキャパシタの一部を切開して概略的に示した斜視図である。

【図2】図1のA-A'線の断面図である。

【図3】積層セラミックキャパシタに含まれる構成要素の寸法関係を説明するために、図1の積層セラミックキャパシタを長さ方向に切断して概略的に示した断面図である。

【図4】図1の積層セラミックキャパシタが印刷回路基板に実装された様子を積層セラミックキャパシタの一部を切開して概略的に示した斜視図である。

【図5】図4の積層セラミックキャパシタ及び印刷回路基板を長さ方向に切断して示した断面図である。

【図6】図4の積層セラミックキャパシタが印刷回路基板に実装された状態で電圧が印加されて積層セラミックキャパシタが変形する様子を概略的に示した断面図である。

【発明を実施するための形態】

【0025】

以下では、添付の図面を参照し、本発明の好ましい実施形態について説明する。しかし、本発明の実施形態は様々な他の形態に変形されることができ、本発明の範囲は以下で説明する実施形態に限定されない。また、本発明の実施形態は、当該技術分野で平均的な知識を有する者に本発明をより完全に説明するために提供されるものである。図面における要素の形状及び大きさなどはより明確な説明のために誇張されることがある。

【0026】

本発明の一実施形態による積層セラミック電子部品を、特に積層セラミックキャパシタで説明するが、本発明はこれに限定されない。

【0027】

積層セラミックキャパシタ

図1は本発明の一実施形態による積層セラミックキャパシタの一部を切開して概略的に示した斜視図であり、図2は図1のA-A'線の断面図である。

【0028】

10

20

30

40

50

図1及び図2を参照すると、本実施形態による積層セラミックキャパシタ100は、セラミック本体110と、複数の第1及び第2内部電極121、122を含むアクティブ層115と、上部及び下部カバー層112、113と、第1及び第2内部電極121、122とそれぞれ電気的に連結された第1及び第2外部電極130、140と、を含む。

【0029】

セラミック本体110は、複数の誘電体層111を積層してから焼成することで形成し、該セラミック本体110の形状、寸法及び誘電体層111の積層数は本実施形態に示されたものに限定されない。

【0030】

また、セラミック本体110を形成する複数の誘電体層111は焼結された状態であり、隣接する誘電体層111同士の境界は走査電子顕微鏡(SEM: Scanning Electron Microscope)を用いずには確認できないほどに一体化されていてもよい。

【0031】

また、セラミック本体110は六面体状であってもよい。本発明の実施形態を明確に説明するために、六面体の方向を定義すると、図1に示されたL、W及びTは、それぞれ長さ方向、幅方向及び厚さ方向を示す。

【0032】

また、本実施形態では、セラミック本体110の誘電体層111の積層方向である厚さ方向に対向する端面を第1及び第2主面、上記第1及び第2主面を連結し、長さ方向に対向する端面を第1及び第2端面、幅方向に対向する端面を第1及び第2側面と定義する。

【0033】

該セラミック本体110はキャパシタの容量形成に寄与する部分であるアクティブ層115と、上下マージン部であって、アクティブ層115の上下部にそれぞれ形成された上部及び下部カバー層112、113と、からなってもよい。アクティブ層の上部はアクティブ層の一方側の一例であってよく、アクティブ層の下部はアクティブ層の他方側の一例であってよい。また、上部カバー層は第1カバー層の一例であってよく、下部カバー層は第2カバー層の一例であってよい。

【0034】

アクティブ層115は、誘電体層111を介した複数の第1及び第2内部電極121、122がセラミック本体110の両端面を通じて交互に露出するように繰り返し積層して形成することができる。

【0035】

このとき、誘電体層111の厚さは、積層セラミックキャパシタ100の容量設計に合わせて任意に変更してもよく、1層の厚さは焼成後に0.01~1.00 μm となるようにすることが好ましいが、本発明はこれに限定されない。

【0036】

また、誘電体層111は高誘電率のセラミック材料を含んでもよく、例えば、チタン酸バリウム(BaTiO_3)系またはチタン酸ストロンチウム(SrTiO_3)系セラミック粉末などを含むことができるが、十分な静電容量が得られるものであれば、特に限定されない。

【0037】

また、誘電体層111には上記セラミック粉末とともに、必要に応じて、遷移金属酸化物または炭化物、希土類元素、マグネシウム(Mg)またはアルミニウム(Al)などの様々な種類のセラミック添加剤、有機溶剤、可塑剤、結合剤及び分散剤などがさらに添加されてもよい。

【0038】

上部及び下部カバー層112、113は内部電極を含まないことを除き、誘電体層111と同じ材質及び構成を有することができる。

【0039】

10

20

30

40

50

また、上部及び下部カバー層 112、113は、単一誘電体層または2つ以上の誘電体層をアクティブ層 115の上下面にそれぞれ厚さ方向に積層して形成してもよく、基本的に物理的または化学的ストレスによる第1及び第2内部電極 121、122の損傷を防止する役割をすることができる。

【0040】

このとき、下部カバー層 113は、上部カバー層 112より誘電体層の積層数をさらに増加させることで、上部カバー層 112より厚く形成することができる。

【0041】

第1及び第2内部電極 121、122は異なる極性を有する電極であって、誘電体層 111に導電性金属を含む導電性ペーストを所定の厚さに印刷して、誘電体層 111の積層方向に沿ってセラミック本体 110の第1及び第2端面を介して交互に露出するように形成してもよく、中間に配置された誘電体層 111により互いに電氣的に絶縁されてもよい。

10

【0042】

上記導電性金属は、例えば、銀 (Ag)、パラジウム (Pd)、白金 (Pt)、ニッケル (Ni) 及び銅 (Cu) のうち一つまたはこれらの合金等からなるものを使用してもよく、本発明はこれに限定されない。また、上記導電性ペーストの印刷には、スクリーン印刷法またはグラビア印刷法等を用いてもよいが、本発明はこれに限定されない。

【0043】

また、第1及び第2内部電極 121、122は、セラミック本体 110の第1及び第2端面を通じて交互に露出した部分を介して第1及び第2外部電極 131、132とそれぞれ電氣的に連結されてもよい。

20

【0044】

従って、第1及び第2外部電極 131、132に電圧を印加すると、対向する第1及び第2内部電極 121、122の間に電荷が蓄積され、このとき、積層セラミックキャパシタ 100の静電容量は、アクティブ層 115において第1及び第2内部電極 121、122が重なる領域の面積と比例する。

【0045】

このような第1及び第2内部電極 121、122の厚さは、用途に応じて決めることができ、例えば、セラミック本体 110のサイズを考慮して $0.2 \sim 1.0 \mu\text{m}$ の範囲内にしてよいが、本発明はこれに限定されない。

30

【0046】

第1及び第2外部電極 130、140は、第1及び第2導電層 131、141と、第1及び第2絶縁層 132、142と、を含んでもよい。

【0047】

第1及び第2導電層 131、141は、セラミック本体 110の厚さ - 幅断面において、セラミック本体 110の第1及び第2端面を介して交互に露出した複数の第1及び第2内部電極 121、122を覆って電氣的に連結されるように、セラミック本体 110の第1及び第2端面から第1及び第2主面まで延長形成されてもよい。

【0048】

このとき、第1及び第2導電層 131、141は良好な電氣的特性を有し、且つ優れた耐ヒートサイクル性及び耐湿性などの高い信頼性を提供するために、例えば、銅 - ガラス (Cu - Glass) ペーストを用いて形成してもよいが、本発明はこれに限定されない。

40

【0049】

第1及び第2絶縁層 132、142は、セラミック本体 110の第1及び第2端面に形成された第1及び第2導電層 131、141上に形成され、積層セラミックキャパシタ 100を印刷回路基板に実装したとき、第1及び第2外部電極 130、140の実装面、即ち、第2主面を除いた周面に半田が形成されないか、最小化するためのものである。

【0050】

50

また、第1及び第2絶縁層132、142は、半田がセラミック本体110の第1及び第2側面に形成されることを防止するために、必要に応じて、セラミック本体110の第1及び第2端面から第1及び第2側面まで延長形成されてもよい。

【0051】

一方、第1及び第2外部電極130、140は、第1及び第2導電層131、141の第1及び第2主面、及び第1及び第2絶縁層132、142の端部を覆うように形成された第1及び第2めっき層133、143をさらに含んでもよい。

【0052】

このとき、第1及び第2めっき層133、143は、第1及び第2導電層131、141の第1及び第2主面、及び第1及び第2絶縁層132、142の端部を覆うように形成されたニッケル(Ni)めっき層と、上記ニッケルめっき層上に形成されたスズ(Sn)めっき層と、を含んでもよい。

10

【0053】

このような第1及び第2めっき層133、143は、積層セラミックキャパシタ100を印刷回路基板などに半田付けにより実装するとき、互いの接着強度を高めるためのものであり、めっき処理は公知の方法で行ってもよく、環境を考慮して鉛フリーめっきを施すことが好ましいが、本発明はこれに限定されない。

【0054】

以下、本実施形態による積層セラミックキャパシタに含まれる構成要素の寸法とアコースティックノイズの関係を説明する。

20

【0055】

図3は、本実施形態の積層セラミックキャパシタに含まれる構成要素の寸法関係を説明するために、図1の積層セラミックキャパシタを長さ方向に切断して概略的に示した断面図である。

【0056】

図3を参照して、セラミック本体110の全体の厚さの1/2をA、下部カバー層113の厚さをB、アクティブ層115の全体の厚さの1/2をC、上部カバー層112の厚さをDと規定する。

【0057】

ここで、セラミック本体110の全体の厚さは、セラミック本体110の第1主面から第2主面までの距離を意味し、アクティブ層115の全体の厚さは、アクティブ層115の最上部に形成された第2内部電極122の上面からアクティブ層115の最下部に形成された第1内部電極121の下面までの距離を意味する。

30

【0058】

また、下部カバー層113の厚さBは、アクティブ層115の厚さ方向の最下部に形成された第1内部電極121の下面からセラミック本体110の第2主面までの距離を意味し、上部カバー層112の厚さDは、アクティブ層115の厚さ方向の最上部に形成された第2内部電極122の上面からセラミック本体110の第1主面までの距離を意味する。

【0059】

積層セラミックキャパシタ100の第1及び第2端面に形成された第1及び第2外部電極130、140に極性の異なる電圧が印加されると、セラミック本体110は誘電体層111の逆圧電効果(Inverse piezoelectric effect)により厚さ方向に膨張及び収縮するようになり、セラミック本体110の両端面はポアソン効果(Poisson effect)によりセラミック本体110の厚さ方向の膨張及び収縮とは反対に収縮及び膨張をするようになる。

40

【0060】

ここで、アクティブ層115の中心部は、第1及び第2外部電極130、140が形成された長さ方向の両端面で収縮及び膨張が大きく発生する部分であり、該部分に半田が接合されると、上記半田を介してセラミック本体110の長さ方向の両端面の収縮及び膨張

50

挙動が印刷回路基板に大部分伝達されるため、アコースティックノイズの発生が大幅に増加する。

【0061】

しかし、本実施形態では、第1及び第2絶縁層132、142により半田がセラミック本体110の下端の周りのみに形成され、下部カバー層113は上部カバー層112より厚く形成される。

【0062】

従って、電圧印加時、アクティブ層115の中心部 CL_A で発生する変形率と下部カバー層113で発生する変形率の差により、セラミック本体110の両端面に形成された変曲点がセラミック本体110の厚さの中心部 CL_C 以下に形成されるため、アコースティックノイズを低減させることができる。

10

【0063】

このとき、アコースティックノイズをさらに低減させるために、アクティブ層115の中心部 CL_A がセラミック本体110の中心部 CL_C から外れた比率 $(B+C)/A$ は、 $1.065 < (B+C)/A < 1.764$ の範囲を満たすことができる。

【0064】

また、上部カバー層112の厚さ D と下部カバー層113の厚さ B の比率 D/B は、 $0.021 < D/B < 0.409$ の範囲を満たすことができる。

【0065】

また、セラミック本体110の厚さの $1/2A$ に対する下部カバー層113の厚さ B の比率 B/A は、 $0.331 < B/A < 1.537$ の範囲を満たすことがより好ましい。

20

【0066】

また、下部カバー層113の厚さ B に対するアクティブ層115の厚さの $1/2C$ の比率 C/B は、 $0.148 < C/B < 2.441$ の範囲を満たすことがより好ましい。

【0067】

実験例

本発明の実施例と比較例による積層セラミックキャパシタは、以下のように製作された。

【0068】

チタン酸バリウム($BaTiO_3$)などの粉末、ポリマー、溶剤等を混合して形成したスラリーをドクターブレードなどの工法を用いて、キャリアフィルム(carrier film)上に塗布及び乾燥して数 μm の厚さに製造された複数のセラミックグリーンシートを用意する。

30

【0069】

上記セラミックグリーンシートは、セラミック本体110の誘電体層111を形成するためのものである。

【0070】

次に、上記セラミックグリーンシート上に内部電極用導電性ペーストを所定の厚さに塗布して、上記セラミックグリーンシートの長さ方向の両端面を通じてそれぞれ露出するように第1及び第2内部電極121、122を形成する。

40

【0071】

上記導電性ペーストの塗布には、スクリーン印刷法またはグラビア印刷法等を使用することができ、本発明はこれに限定されない。

【0072】

次に、上記複数のセラミックグリーンシートを上記セラミックグリーンシートを介して複数の第1及び第2内部電極121、122が対向配置されるよう積層し積層体を形成する。

【0073】

このとき、第1及び第2内部電極121、122が形成されていないセラミックグリーンシートを第1及び第2内部電極121、122が形成されたセラミックグリーンシート

50

の下部に上部より多く積層する。

【0074】

そして、形成された積層体を約85 で、約1,000 kgf/cm²の圧力条件で等圧圧縮成形(isostatic pressing)する。

【0075】

次いで、圧着が完了した積層体を1つのキャパシタに対応する領域ごとに切断し、切断したチップは大気雰囲気、約230 、約60時間保持して脱バインダーを行う。

【0076】

次に、約1,200 で、第1及び第2内部電極121、122が酸化しないようにNi/NiOの平衡酸素分圧より低い 10^{-11} から 10^{-10} atmの酸素分圧下の還元雰囲気、
10

【0077】

次に、セラミック本体110の厚さ-幅の断面において、第1及び第2内部電極121、122の露出された部分と電氣的に連結されるように第1及び第2外部電極130、140を形成する。

【0078】

以下、第1及び第2外部電極130、140を形成する方法について具体的に説明する。

【0079】

まず、銅-ガラスなどの導電性ペーストを用いてセラミック本体110の第1及び第2
20
端面を介して露出した第1及び第2内部電極121、122を覆うようにセラミック本体110の第1及び第2端面から第1及び第2主面まで延長されるように第1及び第2導電層131、141を形成する。

【0080】

上記導電性ペーストはディッピングまたは様々な印刷方法を用いて塗布してもよいが、本発明はこれに限定されない。また、塗布後に、熱処理工程を行って塗布した導電性ペーストを硬化させる。

【0081】

次に、エポキシレジストなどを用いて第1及び第2導電層131、141の第1及び第2
30
端面に第1及び第2絶縁層132、142を形成する。このとき、第1及び第2絶縁層132、142は、セラミック本体110の第1及び第2端面から第1及び第2側面まで延長形成されてもよい。

【0082】

上記エポキシレジストはディッピング(dipping)または様々な印刷方法を用いて塗布してもよいが、本発明はこれに限定されない。また、塗布後に、熱処理工程を行って塗布したエポキシレジストを硬化させる。

【0083】

一方、必要に応じて、第1及び第2絶縁層132、142を形成する段階の後に、第1
40
及び第2導電層131、141の第1及び第2主面及び第1及び第2絶縁層132、142の端部を電気めっきなどの方法でめっき処理して第1及び第2めっき層133、143を形成することができる。

【0084】

上記めっきに用いられる物質としては、ニッケルまたはスズ、ニッケル-スズ-合金などを使用することができ、本発明はこれに限定されない。

【0085】

また、必要に応じて、第1及び第2めっき層133、143は、ニッケルめっき層とスズめっき層を第1及び第2導電層131、141の第1及び第2主面及び第1及び第2絶縁層132、142の端部に順に塗布して形成することができる。

【0086】

上記のような製造方法により積層セラミックキャパシタを製造した。ここで、製作公差
50

は、長さ×幅(L×W)で±0.1mm内の範囲とし、これを満たす場合に実験を行ってアコースティックノイズを測定した。

【0087】

【表1】

サンブル	A	B	C	D	(B+C) /A	B/A	D/B	C/B	Acoustic Noise (dB)	容量具 現率
1*	405.3	40.3	366.5	37.4	1.003	0.099	0.930	9.103	28.4	OK
2*	432.0	69.0	361.9	70.2	0.998	0.160	1.017	5.245	23.2	OK
3*	457.1	93.1	362.1	90.8	0.996	0.204	0.975	3.888	21.5	OK
4*	508.8	26.2	360.9	266.9	0.761	0.051	10.20 8	13.799	29.8	OK
5*	458.0	28.8	357.4	167.9	0.843	0.063	5.822	12.393	30.5	OK
6*	525.6	30.6	192.4	643.5	0.424	0.058	21.01 7	6.285	28.5	OK
7*	412.3	35.2	188.1	419.2	0.541	0.085	11.92 3	5.348	29.5	OK
8*	514.5	36.3	359.6	268.5	0.770	0.071	7.390	9.896	26.5	OK
9*	444.5	42.7	362.7	121.2	0.912	0.096	2.839	8.495	28.1	OK
10*	468.0	41.1	363.4	167.8	0.864	0.088	4.080	8.839	26.5	OK
11*	417.2	39.4	364.9	72.8	0.969	0.094	1.846	9.260	26.1	OK
12*	426.8	44.0	361.5	94.6	0.950	0.103	2.151	8.220	25.9	OK
13*	495.3	38.5	366.0	224.2	0.817	0.078	5.831	9.518	26.1	OK
14*	433.7	24.7	420.9	2.4	1.028	0.057	0.098	17.053	30.1	OK
15*	417.0	69.3	368.7	37.7	1.050	0.166	0.545	5.319	23.1	OK
16	432.5	95.6	365.1	39.1	1.065	0.221	0.409	3.819	18.1	OK
17	442.0	106.6	391.9	5.4	1.128	0.241	0.051	3.675	19.0	OK
18	443.1	118.3	363.0	42.0	1.086	0.267	0.355	3.069	18.1	OK
19	445.6	147.6	360.2	18.2	1.139	0.331	0.124	2.441	17.3	OK
20	453.5	164.3	354.2	21.1	1.143	0.362	0.128	2.156	17.0	OK
21	447.2	172.4	361.6	5.0	1.194	0.385	0.029	2.098	16.9	OK

10

20

30

40

22	472.7	175.8	362.7	40.2	1.139	0.372	0.229	2.064	16.8	OK
23	493.1	216.8	361.0	41.8	1.172	0.440	0.193	1.665	16.8	OK
24	501.8	270.4	357.5	12.1	1.251	0.539	0.045	1.322	16.7	OK
25	517.1	269.8	363.3	40.2	1.224	0.522	0.149	1.346	16.6	OK
26	500.9	366.8	314.1	16.0	1.359	0.732	0.044	0.856	16.6	OK
27	406.4	423.2	190.6	15.7	1.510	1.041	0.037	0.450	16.5	OK
28	446.2	494.7	177.6	40.0	1.507	1.109	0.081	0.359	16.4	OK
29	485.2	632.9	156.0	13.3	1.626	1.304	0.021	0.247	16.4	OK
30	522.7	645.0	189.0	15.6	1.596	1.234	0.024	0.293	16.4	OK
31	488.3	688.2	122.4	46.8	1.660	1.409	0.068	0.178	16.3	OK
32	507.8	742.1	119.9	29.5	1.698	1.461	0.040	0.162	16.3	OK
33	513.8	776.0	115.7	20.2	1.735	1.510	0.026	0.149	16.3	OK
34	522.5	803.0	118.7	18.1	1.764	1.537	0.023	0.148	16.3	OK
35*	531.6	828.8	107.5	12.1	1.761	1.559	0.015	0.130	16.3	NG
36*	533.8	843.1	106.3	13.3	1.778	1.579	0.016	0.126	16.3	NG
37*	534.6	850.0	100.7	17.3	1.778	1.590	0.020	0.118	16.3	NG

10

20

ここで、*は比較例、ANはアコースティックノイズ(acoustic noise)

【0088】

上記表1のデータは、図3のように積層セラミックキャパシタ100のセラミック本体110の幅方向(W)の中心部で長さ方向(L)及び厚さ方向(T)に切開した断面を走査型電子顕微鏡(SEM、Scanning Electron Microscope)で撮影した写真を基準に、それぞれの寸法を測定したものである。

30

【0089】

ここで、A、B、C及びDは、上記で説明したように、セラミック本体110の全体の厚さの1/2をA、下部カバー層113の厚さをB、アクティブ層115の全体の厚さの1/2をC、上部カバー層112の厚さをDと規定した。

【0090】

アコースティックノイズを測定するために、アコースティックノイズ測定用基板ごとに1つのサンプル(積層セラミックキャパシタ)を、上下方向を区分して印刷回路基板に実装した後、その基板を測定用治具(Jig)に装着した。

40

【0091】

そして、DCパワーサプライ(Power supply)及び信号発生器(Function generator)を利用して測定用治具に装着されたサンプルの両端子にDC電圧及び電圧変動を印加した。上記印刷回路基板の直上に設けられたマイクを介してアコースティックノイズを測定した。

【0092】

上記表1において、サンプル1~3は、下部カバー層113の厚さBと上部カバー層112の厚さDがほぼ類似するカバー対称構造の比較例であり、サンプル4~13は、上部カバー層112の厚さDが下部カバー層113の厚さBより厚い構造の比較例である。

【0093】

50

そして、サンプル 14 ~ 15 及びサンプル 35 ~ 37 は、下部カバー層 113 の厚さ B が上部カバー層 112 の厚さ D より厚い構造の比較例であり、サンプル 16 ~ 34 は、本発明の実施形態による実施例である。

【0094】

ここで、 $(B + C) / A$ の値がほぼ 1 である場合は、アクティブ層 115 の中心部がセラミック本体 110 の中心部から大きく外れないことを意味する。下部カバー層 113 の厚さ B と上部カバー層 112 の厚さ D がほぼ類似するカバー対称構造のサンプル 1 ~ 3 の $(B + C) / A$ の値はほぼ 1 である。

【0095】

$(B + C) / A$ の値が 1 より大きいと、アクティブ層 115 の中心部がセラミック本体 110 の中心部から上部方向に外れていることを意味し、 $(B + C) / A$ の値が 1 よりも小さいと、アクティブ層 115 の中心部がセラミック本体 110 の中心部から下部方向に外れていることを意味することができる。

10

【0096】

上記表 1 を参照すると、アクティブ層 115 の中心部がセラミック本体 110 の中心部から外れた比率である $(B + C) / A$ が 1.065 ~ 1.764 の範囲を満たす実施例であるサンプル 16 ~ 34 において、アコースティックノイズが 20 dB 未満に著しく減少することが分かる。

【0097】

また、アクティブ層 115 の中心部がセラミック本体 110 の中心部から外れた比率である $(B + C) / A$ が 1.065 未満のサンプル 1 ~ 15 は、アクティブ層 115 の中心部がセラミック本体 110 の中心部から殆ど外れていないか、アクティブ層 115 の中心部がセラミック本体 110 の中心部から下部方向に外れた構造を有する。

20

【0098】

上記 $(B + C) / A$ が 1.065 未満のサンプル 1 ~ 15 は、アコースティックノイズが 20 ~ 31 dB の間であり、本発明による実施例に比べてアコースティックノイズの低減効果がないことが分かる。

【0099】

また、アクティブ層 115 の中心部がセラミック本体 110 の中心部から外れた比率である $(B + C) / A$ が 1.764 を超えるサンプル 35 ~ 37 は、目標容量に対する静電容量が低くて容量不良が発生した。

30

【0100】

上記表 1 における容量具現率（即ち、目標容量に対する静電容量の比率）が「NG」と表示されたものは、目標容量値を 100% としたとき、目標容量に対する静電容量値が 80% 未満である。

【0101】

また、上部カバー層 112 の厚さ D と下部カバー層 113 の厚さ B の比率 (D / B) が 0.021 ~ 0.409 の範囲を満たす実施例は、アコースティックノイズが著しく減少することが分かる。

【0102】

一方、上部カバー層 112 の厚さ D と下部カバー層 113 の厚さ B の比率 (D / B) が 0.409 を超える比較例は、アコースティックノイズの低減効果がないことが分かる。

40

【0103】

上部カバー層 112 の厚さ D と下部カバー層 113 の厚さ B の比率 (D / B) が 0.021 未満では、上部カバー層 112 の厚さ D に比べて下部カバー層 113 の厚さ B が厚すぎて、クラックまたはデラミネーションが発生することがあり、また、目標容量に対する静電容量が低くて容量不良が発生する可能性がある。

【0104】

一方、実施例のうち、セラミック本体 110 の厚さの $1 / 2 A$ に対する下部カバー層 113 の厚さ B の比率 (B / A) 、及び下部カバー層 113 の厚さ B に対するアクティブ層

50

115の厚さの1/2Cの比率(C/B)がそれぞれ0.331 B/A 1.537及び0.148 C/B 2.441の範囲を満たす実施例であるサンプル19~34は、アコースティックノイズが18dB未満にさらに減少することが分かる。

【0105】

一方、セラミック本体110の厚さの1/2Aに対する下部カバー層113の厚さBの比率(B/A)が1.537を超えるか、下部カバー層113の厚さBに対するアクティブ層115の厚さの1/2Cの比率(C/B)が0.148未満であるサンプル35~37は、目標容量に対する静電容量が低くて容量不良が発生するという問題があった。

【0106】

積層セラミックキャパシタの実装基板

10

図4は図1の積層セラミックキャパシタが印刷回路基板に実装された様子を積層セラミックキャパシタの一部を切開して概略的に示した斜視図であり、図5は図4の積層セラミックキャパシタ及び印刷回路基板を長さ方向に切断して示した断面図である。

【0107】

図4及び図5を参照すると、本実施形態による積層セラミックキャパシタ100の実装基板200は、積層セラミックキャパシタ100が実装される印刷回路基板210と、印刷回路基板210の上面に相互離隔されて形成された第1及び第2電極パッド221、222と、を含む。

【0108】

また、積層セラミックキャパシタ100は、第1及び第2外部電極130、140において、第1及び第2絶縁層132、142が形成されず、第1及び第2導電層131、141が露出した第1または第2主面が印刷回路基板210と対向するように実装される。

20

【0109】

また、積層セラミックキャパシタ100は、下部カバー層113が下側に配置され、それぞれの第1及び第2導電層131、141上に形成された第1及び第2めっき層133、143が第1及び第2電極パッド221、222上に接触されるように位置した状態で、半田230によって印刷回路基板210と電氣的に連結されることができる。

【0110】

上記のように積層セラミックキャパシタ100が印刷回路基板210に実装された状態で電圧を印加すると、アコースティックノイズが発生することがある。

30

【0111】

このとき、第1及び第2電極パッド221、222のサイズは、積層セラミックキャパシタ100の第1及び第2外部電極130、140と第1及び第2電極パッド221、222を連結する半田230の量を決める指標となることができ、半田230の量に応じてアコースティックノイズの大きさが調節されることができる。

【0112】

本実施形態において、半田230は、セラミック本体110の第1及び第2端面及び第1及び第2側面まで延長形成された第1及び第2絶縁層131、142によりセラミック本体110の第1または第2主面の付近のみに形成されるため、上記のように半田230の量が減らしてアコースティックノイズの大きさを減少させることができる。

40

【0113】

図6は図4の積層セラミックキャパシタが印刷回路基板に実装された状態で電圧が印加されて、積層セラミックキャパシタが変形する様子を概略的に示した断面図である。

【0114】

図6を参照すると、このように積層セラミックキャパシタ100が印刷回路基板210に実装された状態で積層セラミックキャパシタ100の第1及び第2外部電極130、140に極性の異なる電圧が印加されると、セラミック本体110は誘電体層111の逆圧電性効果(inverse piezoelectric effect)によって厚さ方向に膨張及び収縮するようになり、第1及び第2外部電極130、140が形成されたセラミック本体110の両端面は、ポアソン効果(poison effect)によ

50

ってセラミック本体 110 の厚さ方向の膨張及び収縮とは反対に収縮及び膨張をするようになる。

【0115】

ここで、アクティブ層 115 の中心部は、第 1 及び第 2 外部電極 130、140 が形成された長さ方向の両端部において収縮及び膨張が大きく発生する部分であり、該部分に半田 230 が接合されると、半田 230 を介してセラミック本体 110 の長さ方向の両端部の収縮及び膨張挙動が印刷回路基板 210 に大部分伝達されるため、アコースティックノイズの発生が大きく増加することがある。

【0116】

しかし、本実施形態によると、第 1 及び第 2 外部電極 130、140 はその実装面がセラミック本体 110 の変位が少なく、振動があまり伝達されない位置、即ち、第 1 または第 2 主面となるようにする。

10

【0117】

従って、電圧印加時、アクティブ層 115 の中心部 CL_A で発生する変形率と下部カー層 113 で発生する変形率の差により、セラミック本体 110 の両端面に形成された変曲点が半田 230 の高さ以下に形成されるようにしてアコースティックノイズを低減させることができる。

【0118】

また、第 1 及び第 2 外部電極 130、140 の実装面を除いた第 1 及び第 2 端面と第 1 及び第 2 側面は、第 1 及び第 2 絶縁層 132、142 により、半田 230 が形成されないため、半田 230 の高さを最小化することができる。

20

【0119】

このように第 1 及び第 2 外部電極 130、140 の周面に形成される半田 230 の体積を低減させることで、第 1 及び第 2 外部電極 130、140 及び半田 230 を介して伝達されるアコースティックノイズを低減させることができ、また、印刷回路基板 210 上に狭いピッチ (pitch) で複数の積層セラミックキャパシタ 100 を実装、即ち、高密度に実装してもそれぞれの積層セラミックキャパシタ 100 の間に半田ブリッジ (solder bridge) が生じないため、部品の信頼性を向上させることができる。

【0120】

以上、本発明の実施形態について詳細に説明したが、本発明の権利範囲はこれに限定されず、特許請求の範囲に記載された本発明の技術的思想から外れない範囲内で多様な修正及び変形が可能であるということは、当技術分野の通常の知識を有する者には明らかである。

30

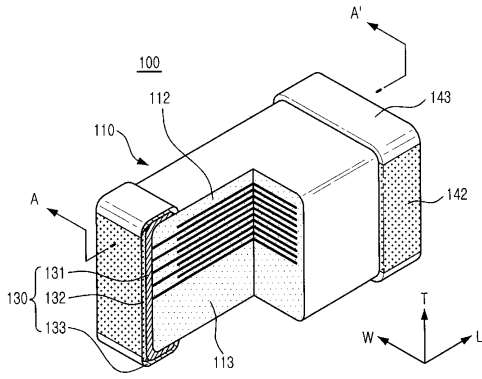
【符号の説明】

【0121】

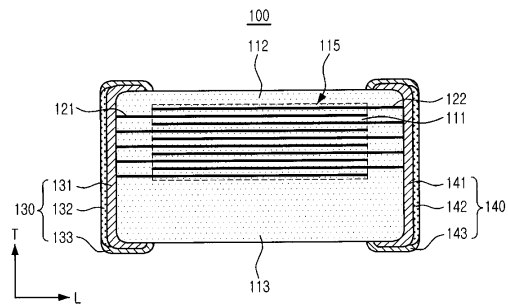
- 100 積層セラミックキャパシタ
- 110 セラミック本体
- 111 誘電体層
- 121、122 第 1 及び第 2 内部電極
- 130、140 第 1 及び第 2 外部電極
- 131、141 第 1 及び第 2 導電層
- 132、142 第 1 及び第 2 絶縁層
- 133、143 第 1 及び第 2 めっき層
- 200 実装基板
- 210 印刷回路基板
- 221、222 第 1 及び第 2 電極パッド
- 230 半田

40

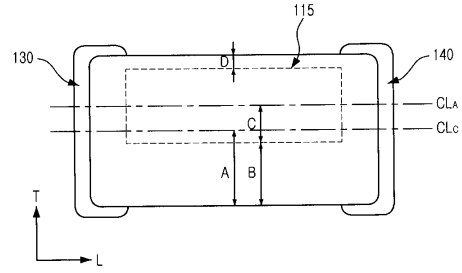
【図1】



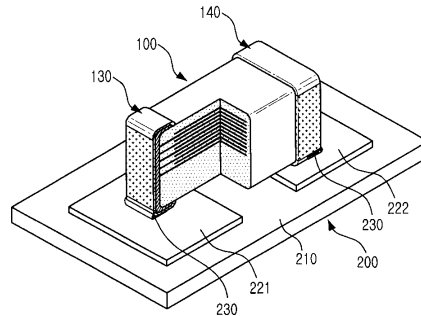
【図2】



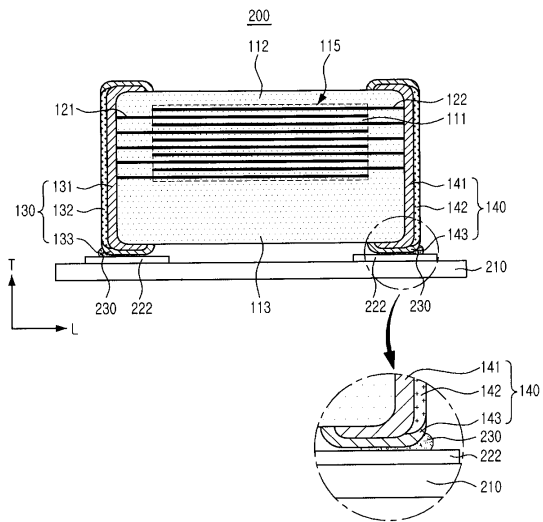
【図3】



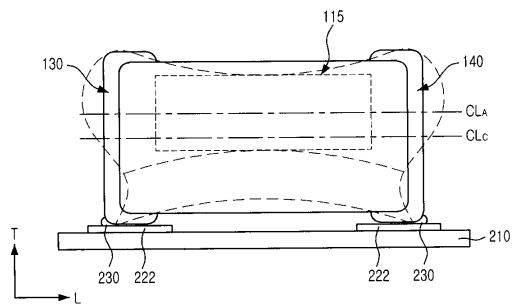
【図4】



【図5】



【図6】



フロントページの続き

(51)Int.Cl.

F I

H 0 1 G 4/30 5 1 7

H 0 1 G 4/30 3 1 1 E

(72)発明者 アン、ヨン ギュ

大韓民国、キョンギ - ド、スウォン - シ、ヨントン - グ、(マエタン - ドン)マエヨン - ロ 1 5
0 サムソン エレクトロ - メカニックス カンパニーリミテッド . 内

(72)発明者 キム、ドー ヨン

大韓民国、キョンギ - ド、スウォン - シ、ヨントン - グ、(マエタン - ドン)マエヨン - ロ 1 5
0 サムソン エレクトロ - メカニックス カンパニーリミテッド . 内

審査官 竹口 泰裕

(56)参考文献 特開2012 - 248581 (JP, A)

特開2013 - 102232 (JP, A)

特開平06 - 084687 (JP, A)

(58)調査した分野(Int.Cl., DB名)

H 0 1 G 4 / 0 0 - 4 / 4 0、1 3 / 0 0 - 1 7 / 0 0