

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2017-195534

(P2017-195534A)

(43) 公開日 平成29年10月26日(2017.10.26)

(51) Int.Cl.			F I			テーマコード (参考)		
HO4L	25/02	(2006.01)	HO4L	25/02	301H	5B061		
HO4L	12/28	(2006.01)	HO4L	12/28	200M	5B083		
GO6F	13/00	(2006.01)	GO6F	13/00	301E	5K029		
GO6F	13/36	(2006.01)	GO6F	13/36	520C	5K033		

審査請求 未請求 請求項の数 10 O L (全 22 頁)

(21) 出願番号 特願2016-85313 (P2016-85313)
 (22) 出願日 平成28年4月21日 (2016.4.21)

(71) 出願人 000006747
 株式会社リコー
 東京都大田区中馬込1丁目3番6号
 (74) 代理人 100147119
 弁理士 篁 悟
 (72) 発明者 ▲高▼津 康司
 東京都大田区中馬込1丁目3番6号 株式会社リコー内
 Fターム(参考) 5B061 FF01 QQ05
 5B083 AA09 BB01 CC06 EE11 GG04
 5K029 AA01 AA18 DD12 DD22 EE18
 KK05 KK27
 5K033 DA12 DA13 EA04 EB02

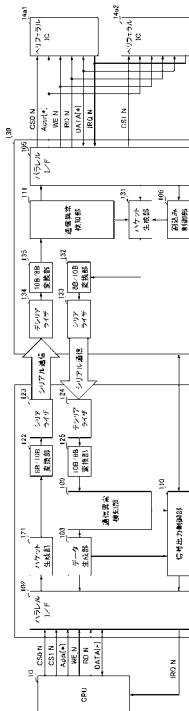
(54) 【発明の名称】 情報処理装置、シリアル通信方法、シリアル通信プログラム

(57) 【要約】

【課題】CPUが介在せずとも通信経路に発生した異常を検知し、通信を再開させる。

【解決手段】パラレルシリアル変換部とシリアルパラレル変換部との間で所定の間隔ごとに送受信される固有のパケットデータを生成し、パラレルシリアル変換部からシリアルパラレル変換部に送信された固有のパケットデータのシリアルパラレル変換部における受信状況に特定の変化が発生したことを検知し、特定の変化の検知結果に基づいて、パラレルシリアル変換部とシリアルパラレル変換部との通信経路に異常が発生していることを検知し、異常が発生していることが検知された場合に、パラレルシリアル変換部とシリアルパラレル変換部との間の通信を再確立させるための制御信号を出力する。

【選択図】図2



【特許請求の範囲】**【請求項 1】**

パラレルデータをシリアルデータに変換して送信するパラレルシリアル変換部と、前記パラレルシリアル変換部から送信された前記シリアルデータを受信して前記パラレルデータに変換するシリアルパラレル変換部との間でシリアル通信を行う情報処理装置であって、

前記パラレルシリアル変換部と前記シリアルパラレル変換部との間で所定の間隔ごとに送受信される固有のパケットデータを生成するパケットデータ生成部と、

前記パラレルシリアル変換部から前記シリアルパラレル変換部に送信された前記固有のパケットデータの前記シリアルパラレル変換部における受信状況に特定の変化が発生したことを検知する変化検知部と、

前記特定の変化の検知結果に基づいて、前記パラレルシリアル変換部と前記シリアルパラレル変換部との通信経路に異常が発生していることを検知する異常発生検知部と、

前記異常が発生していることが検知された場合に、前記パラレルシリアル変換部と前記シリアルパラレル変換部との間の通信を再確立させるための制御信号を出力する信号出力部と、

を含むことを特徴とする情報処理装置。

【請求項 2】

前記異常発生検知部は、

所定の回数以上連続して前記特定の変化を検知した場合に、前記異常が発生していることを検知することを特徴とする請求項 1 に記載の情報処理装置。

【請求項 3】

データ長を変換するための変換コード表に基づいて、前記固有のパケットデータのデータ長を変換するデータ長変換部を含み、

前記パラレルシリアル変換部は、

前記データ長が変換された固有のパケットデータを前記シリアルパラレル変換部に送信し、

前記変化検知部は、

前記所定の間隔ごとに前記データ長が変換される前と前記データ長が変換された後における前記固有のパケットデータが、前記変換コード表に当てはまらない場合に、前記特定の変化を検知することを特徴とする請求項 1 又は 2 に記載の情報処理装置。

【請求項 4】

前記信号出力部は、

前記制御信号を、前記通信経路を介して出力することを特徴とする請求項 1 ないし 3 いずれか 1 項に記載の情報処理装置。

【請求項 5】

前記パラレルシリアル変換部を含む送信部と、

前記シリアルパラレル変換部を含む受信部と、

を含み、

前記送信部と前記受信部とはそれぞれ前記信号出力部を含むことを特徴とする請求項 1 ないし 4 いずれか 1 項に記載の情報処理装置。

【請求項 6】

前記固有のパケットデータの受信状況に基づいて前記所定の間隔を設定する設定部と、

設定された前記所定の間隔を記憶する記憶部と、

を含むことを特徴とする請求項 1 ないし 5 いずれか 1 項に記載の情報処理装置。

【請求項 7】

前記パラレルシリアル変換部を含む送信部と、

前記送信部に含まれるパラレルシリアル変換部から送信された前記シリアルデータを受信して前記パラレルデータに変換するシリアルパラレル変換部と、変換された前記パラレルデータをシリアルデータに変換して送信するパラレルシリアル変換部と、を含む第一の

10

20

30

40

50

受信部と、

前記第一の受信部に含まれる前記パラレルシリアル変換部から送信された前記シリアルデータを受信して前記パラレルデータに変換するシリアルパラレル変換部を含む第二の受信部と、

を含み、

前記パケットデータ生成部は、

前記第一の受信部に含まれるパラレルシリアル変換部と前記第二の受信部に含まれるシリアルパラレルとの間で所定の間隔ごとに送受信される固有のパケットデータを生成し、前記変化検知部は、

前記第一の受信部に含まれる前記パラレルシリアル変換部から前記第二の受信部に含まれる前記シリアルパラレル変換部に送信された前記固有のパケットデータの前記第二の受信部に含まれる前記シリアルパラレル変換部における受信状況に特定の変化が発生したことを検知し、

10

前記異常発生検知部は、

前記第二の受信部に含まれる前記シリアルパラレル変換部における受信状況に発生した前記特定の変化の検知結果に基づいて、前記第一の受信部に含まれる前記パラレルシリアル変換部と前記第二の受信部に含まれる前記シリアルパラレル変換部との通信経路に異常が発生していることを検知し、

前記信号出力部は、

前記異常が発生していることが検知された場合に、前記パラレルシリアル変換部と前記第二の受信部に含まれる前記シリアルパラレル変換部との間の通信を再確立させるための制御信号を出力することを特徴とする請求項 1 乃至 6 いずれか 1 項に記載の情報処理装置。

20

【請求項 8】

前記第一の受信部は前記信号出力部を含み、

前記第一の受信部に含まれる前記信号出力部は、

前記第一の受信部に含まれる前記パラレルシリアル変換部と前記第二の受信部に含まれる前記シリアルパラレル変換部との通信経路に異常が発生していることを検知された場合に、前記第一の受信部に含まれる前記パラレルシリアル変換部と前記第二の受信部に含まれる前記シリアルパラレル変換部との間の通信を再確立させるための制御信号を出力することを特徴とする請求項 7 に記載の情報処理装置。

30

【請求項 9】

パラレルデータをシリアルデータに変換して送信するパラレルシリアル変換部と、前記パラレルシリアル変換部から送信された前記シリアルデータを受信して前記パラレルデータに変換するシリアルパラレル変換部との間におけるシリアル通信を制御するシリアル通信方法であって、

前記パラレルシリアル変換部と前記シリアルパラレル変換部との間で所定の間隔ごとに送受信される固有のパケットデータを生成し、

前記パラレルシリアル変換部から前記シリアルパラレル変換部に送信された前記固有のパケットデータの前記シリアルパラレル変換部における受信状況に特定の変化が発生したことを検知し、

40

前記特定の変化の検知結果に基づいて、前記パラレルシリアル変換部と前記シリアルパラレル変換部との通信経路に異常が発生していることを検知し、

前記異常が発生していることが検知された場合に、前記パラレルシリアル変換部と前記シリアルパラレル変換部との間の通信を再確立させるための制御信号を出力することを特徴とするシリアル通信方法。

【請求項 10】

パラレルデータをシリアルデータに変換して送信するパラレルシリアル変換部と、前記パラレルシリアル変換部から送信された前記シリアルデータを受信して前記パラレルデータに変換するシリアルパラレル変換部との間におけるシリアル通信を制御するシリアル通

50

信プログラムであって、

前記パラレルシリアル変換部と前記シリアルパラレル変換部との間で所定の間隔ごとに送受信される固有のパケットデータを生成するステップと、

前記パラレルシリアル変換部から前記シリアルパラレル変換部に送信された前記固有のパケットデータの前記シリアルパラレル変換部における受信状況に特定の変化が発生したことを検知するステップと、

前記特定の変化の検知結果に基づいて、前記パラレルシリアル変換部と前記シリアルパラレル変換部との通信経路に異常が発生していることを検知するステップと、

前記異常が発生していることが検知された場合に、前記パラレルシリアル変換部と前記シリアルパラレル変換部との間の通信を再確立させるための制御信号を出力するステップとを、

実行させることを特徴とするシリアル通信プログラム。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、情報処理装置、シリアル通信方法、シリアル通信プログラムに関する。

【背景技術】

【0002】

近年、コピーやFAX、プリンタなどの複数の機能を持った複合機では、マスタデバイスとマスタデバイスから命令を受けて複数の機能それぞれの制御動作を行うスレーブデバイスとによって制御システムが構成されている。

【0003】

このような複合機の制御システムでは、転送データ量の増大やデータの転送速度の増加に対応するために、マスタデバイス スレーブデバイス間のデータ転送を高速シリアル通信によって行っている。したがって、マスタデバイス スレーブデバイス間の高速シリアル通信経路に異常が生じた際に、制御システムを保護する必要がある。

【0004】

制御システムを保護するために、マスタデバイス スレーブデバイス間のシリアル通信経路における異常の有無を判断して制御システムをリセットする技術がある（例えば、特許文献1参照）。

【発明の概要】

【発明が解決しようとする課題】

【0005】

特許文献1に開示された技術では、マスタデバイスに制御信号を出力するCPU（Central Processing Unit）がデータを解析し、シリアル通信経路に異常が発生しているか否かを判定する。そのため、CPUの処理負荷が大きくなってしまふ。

【0006】

本発明は、上記課題を解決するためになされたものであり、CPUが介在せずとも通信経路に発生した異常を検知し、通信を再開させることを目的とする。

【課題を解決するための手段】

【0007】

上記課題を解決するために、本発明の一態様は、パラレルデータをシリアルデータに変換して送信するパラレルシリアル変換部と、前記パラレルシリアル変換部から送信された前記シリアルデータを受信して前記パラレルデータに変換するシリアルパラレル変換部との間でシリアル通信を行う情報処理装置であって、前記パラレルシリアル変換部と前記シリアルパラレル変換部との間で所定の間隔ごとに送受信される固有のパケットデータを生成するパケットデータ生成部と、前記パラレルシリアル変換部から前記シリアルパラレル変換部に送信された前記固有のパケットデータの前記シリアルパラレル変換部における受信状況に特定の変化が発生したことを検知する変化検知部と、前記特定の変化の検知結果

10

20

30

40

50

に基づいて、前記パラレルシリアル変換部と前記シリアルパラレル変換部との通信経路に異常が発生していることを検知する異常発生検知部と、前記異常が発生していることが検知された場合に、前記パラレルシリアル変換部と前記シリアルパラレル変換部との間の通信を再確立させるための制御信号を出力する信号出力部と、を含むことを特徴とする。

【発明の効果】

【0008】

本発明によれば、CPUが介在せずとも通信経路に発生した異常を検知し、通信を再開させることができる。

【図面の簡単な説明】

【0009】

【図1】本発明の実施形態に係る情報処理装置の全体構成を示すブロック図。

【図2】本発明の実施形態に係る情報処理装置のハードウェア構成を示す図。

【図3】本発明の実施形態に係る通信異常検知部の内部構成を示す図。

【図4】本発明の実施形態に係る信号出力制御部の内部構成を示す図。

【図5】本発明の実施形態に係るデータ境界データパケットの情報構成を示す図。

【図6】本発明の実施形態に係るデータ境界データパケットの送信間隔を示す図。

【図7】本発明の実施形態に係るリードデータの情報構成を示す図。

【図8】本発明の実施形態に係る割込みデータの情報構成を示す図。

【図9】本発明の実施形態に係る割込みデータの送信間隔を示す図。

【図10】本発明の実施形態に係るマスタデバイスにおけるエラー検知動作の流れを示すフローチャート。

【図11】本発明の実施形態に係るマスタデバイスにおけるエラー検知動作の流れを示すフローチャート。

【図12】本発明の実施形態に係るスレーブデバイスにおけるエラー検知動作の流れを示すフローチャート。

【図13】本発明の実施形態に係るマスタデバイスにおけるエラー検知動作の流れを示すフローチャート。

【図14】本発明の実施形態に係る情報処理装置の他のハードウェア構成を示す図。

【図15】本発明の実施形態に係る情報処理装置の他のハードウェア構成を示す図。

【図16】本発明の他の実施形態に係る情報処理装置のハードウェア構成を示す図。

【図17】本発明の他の実施形態に係る情報処理装置のハードウェア構成を示す図。

【図18】本発明の他の実施形態に係る情報処理装置のハードウェア構成を示す図。

【図19】本発明の他の実施形態に係るスレーブデバイスにおけるエラー検知動作の流れを示すフローチャート。

【図20】本発明の他の実施形態に係るマスタデバイスにおけるエラー検知動作の流れを示すフローチャート。

【図21】本発明の他の実施形態に係る情報処理装置の他のハードウェア構成を示す図。

【発明を実施するための形態】

【0010】

実施の形態1 .

以下、図面を参照して、本発明の実施の形態について説明する。本実施形態においては、マスタデバイスとスレーブデバイスとがシリアル通信経路で接続され、USB 3.0 (Universal Serial Bus) において採用されている8B/10B方式によって通信を行う情報処理装置、シリアル通信方法、シリアル通信プログラムについて説明する。図1は、本実施形態に係る情報処理装置1の全体構成を示す図である。

【0011】

図1に示すように、本実施形態に係る情報処理装置1は、CPU10、マスタ制御部12、スレーブ制御部13、ペリフェラルIC14a~14dを含む。CPU10は、情報処理装置1全体を制御する。また、CPU10は、マスタ制御部12内に含まれるマスタデバイス120a~120dに対して制御信号を出力する。

10

20

30

40

50

【 0 0 1 2 】

マスタ制御部 1 2 は、マスタデバイス 1 2 0 a ~ 1 2 0 d を含む。以後の説明において、マスタデバイス 1 2 0 a ~ 1 2 0 d を特に区別する必要がない場合には、「マスタデバイス 1 2 0」と記載する。マスタデバイス 1 2 0 は、CPU 1 0 から入力された制御信号をシリアルデータに変換し、スレーブ制御部 1 3 に送信する。

【 0 0 1 3 】

スレーブ制御部 1 3 は、スレーブデバイス 1 3 0 a ~ 1 3 0 d を含む。以後の説明において、スレーブデバイス 1 3 0 a ~ 1 3 0 d を特に区別する必要がない場合には、「スレーブデバイス 1 3 0」と記載する。スレーブデバイス 1 3 0 は、マスタデバイス 1 2 0 から受信したシリアルデータをパラレルデータに変換し、そのパラレルデータを制御信号としてペリフェラル IC 1 4 a ~ 1 4 d に送信する。

10

【 0 0 1 4 】

また、スレーブデバイス 1 3 0 は、ペリフェラル IC 1 4 a ~ 1 4 d から通知される割込み信号やリードアクセス時のリードデータをシリアルデータに変換し、マスタデバイス 1 2 0 に送信する。マスタデバイス 1 2 0 は、受信した割込み信号やリードアクセス時のリードデータをパラレルデータに変換し、CPU 1 0 に送信する。

【 0 0 1 5 】

尚、マスタデバイス 1 2 0 とスレーブデバイス 1 3 0 との間のシリアルバスとして、例えば、PCI Express などを用いてもよい。また、図 1 においては、ひとつのマスタデバイス 1 2 0 と、ひとつのスレーブデバイス 1 3 0 とがシリアル通信を行っている形態について説明を行っているが、スレーブデバイス 1 3 0 が複数接続されてシリアル通信を行う形態であってもよい。

20

【 0 0 1 6 】

次に、図 2 を参照して、マスタデバイス 1 2 0 及びスレーブデバイス 1 3 0 の構成について説明する。図 2 は、本実施形態に係るマスタデバイス 1 2 0 及びスレーブデバイス 1 3 0 の構成を示す図である。図 2 に示すように、マスタデバイス 1 2 0 は、パラレルインタフェース（以後、「パラレル I / F」と記載する）1 0 2、パケット生成部 1 2 1、8 B / 1 0 B 変換部 1 2 2、シリアライザ 1 2 3、デシリアライザ 1 2 4、1 0 B / 8 B 変換部 1 2 5、データ生成部 1 0 3、通信異常検知部 1 0 9、信号出力制御部 1 1 0 を含む。

30

【 0 0 1 7 】

また、通信異常検知部 1 0 9 は、図 3 に示すように、パケット解析部 1 2 6、エラー検知部 1 2 7、タイミング生成部 1 2 8 を含む構成である。また、信号出力制御部 1 1 0 は、リセット制御部 1 2 9、割込み制御部 1 0 4 を含む構成である。

【 0 0 1 8 】

パラレル I / F 1 0 2 は、パラレルバスを介して CPU 1 0 からの制御信号を受信する。尚、図 2 に示すように、CPU 1 0 は、通信対象のペリフェラル IC 1 4 a 1、1 4 a 2 をそれぞれ示す信号であるチップセレクト信号（CS 0 __ N、CS 1 __ N）、アドレス（Addr）、ペリフェラル IC 1 4 にデータを書き込む動作（ライトアクセス）を行うことを示す信号（WE __ N）、ペリフェラル IC 1 4 からデータを読み出す動作（リードアクセス）を行うことを示す信号（RE __ N）、転送データ（DATA）をパラレル I / F 1 0 2 に出力する。

40

【 0 0 1 9 】

尚、ライトアクセス時には、マスタデバイス 1 2 0 がデータを送信する送信部として、スレーブデバイス 1 3 0 がデータを受信する第一の受信部として機能する。また、リードアクセス時には、スレーブデバイス 1 3 0 がデータを送信する送信部として、マスタデバイス 1 2 0 がデータを受信する第一の受信部として機能する。

【 0 0 2 0 】

パケット生成部 1 2 1 は、CPU 1 0 から受信した転送データに、転送データの種類を示すヘッダなどを付加したパケットデータを生成するパケットデータ生成部である。8 B

50

/ 10 B 変換部 122 及びシリアライザ 123 は、パケット生成部 121 においてヘッダが付加された転送データをシリアルデータに変換し、シリアル通信を実行する。

【0021】

尚、8 B / 10 B 変換部 122 は、データ長が 8 ビットの転送データをデータ長が 10 ビットの転送データに変換する。そして、シリアライザ 123 は、データ長が 10 ビットの転送データをパラレルデータからシリアルデータに変換してデシリアライザ 134 に送信する。すなわち、8 B / 10 B 変換部 122 はデータ長変換部として、シリアライザ 123 はパラレルシリアル変換部としてそれぞれ機能する。

【0022】

デシリアライザ 124 及び 10 B / 8 B 変換部 125 は、スレーブデバイス 130 から入力されたシリアルデータをパラレルデータに変換するシリアルパラレル変換部である。尚、デシリアライザ 124 は、データ長が 10 ビットの転送データを 10 B / 8 B 変換部 125 に送信する。また、10 B / 8 B 変換部 125 は、データ長が 10 ビットの転送データをデータ長が 8 ビットの転送データに変換する。

【0023】

パケット解析部 126 は、タイミング生成部 128 で生成されたタイミングにおいて、受信した転送データの packets を解析し、その転送データがどのような種類のデータであるのかを確認する。この時、8 B / 10 B 変換コード表において、受信したデータ長が 10 ビットの転送データに相当する 8 ビットのデータが存在しない場合がある。

【0024】

これは、10 ビットの組み合わせの方が 8 ビットの組み合わせよりも多いためである。したがって、パケット解析部 126 は、8 B / 10 B 変換コード表において、受信したデータ長が 10 ビットの転送データに相当する 8 ビットのデータが存在しない場合に、データが受信できていないことをエラー検知部 127 に通知する。このように、パケット解析部 126 は、固有の packets データの受信状況に発生する特定の変化を検知する変化検知部として機能する。

【0025】

エラー検知部 127 は、パケット解析部 126 において固有の packets データが受信できなかった場合に、エラーカウントを 1 インクリメントする。また、エラー検知部 127 は、所定の回数以上連続してエラーカウントをインクリメントした場合に、マスタデバイス 120 とスレーブデバイス 130 との通信における異常の発生を検知したことを示す信号である、ERR_STATUS 信号を出力する。

【0026】

したがって、エラー検知部 127 は、パケット解析部 126 による検知結果に基づいてエラーカウントをインクリメントすることによって、マスタデバイス 120 とスレーブデバイス 130 との通信に発生した異常を検知する異常発生検知部として機能する。

【0027】

タイミング生成部 128 は、固有の packets データを受信するタイミングを生成する。尚、固有の packets データについて詳細は後述する。

【0028】

リセット制御部 129 は、マスタデバイス 120 とスレーブデバイス 130 とのシリアル通信における異常が検知されると、マスタデバイス 120 とスレーブデバイス 130 とにリセット信号をアサートする。リセット制御部 129 は、マスタデバイス 120 及びスレーブデバイス 130 とハーネスによって接続される。

【0029】

また、マスタデバイス 120 とスレーブデバイス 130 においては、リセット信号がアサートされると、通信を再確立させる動作が実行される。したがって、エラー検知部 127 とリセット制御部 129 は、信号出力部として機能する。

【0030】

データ生成部 103 は、受信したデータ packets に基づいて、パラレルデータを生成す

10

20

30

40

50

る。割込み制御部 104 は、スレーブデバイス 130 から受信した転送データに割込み信号が含まれる場合に、パラレル I/F 102 を介して CPU 10 に割込み信号を送信する。

【0031】

また、図 2 に示すように、スレーブデバイス 130 は、パラレル I/F 105、パケット生成部 131、8B/10B 変換部 132、シリアライザ 133、デシリアライザ 134、10B/8B 変換部 135、割込み制御部 106、通信異常検知部 111 を含む。

【0032】

通信異常検知部 111 は、図 3 に示した通信異常検知部 109 と同様の構成を持ち、パケット解析部 136、エラー検知部 137、タイミング生成部 138 を含む。

10

【0033】

パラレル I/F 105 は、ペリフェラル IC 14a1、14a2 のそれぞれからパラレルバスで信号を受信する。また、パラレル I/F 105 は、マスタデバイス 120 から受信した CPU 10 からの制御信号をペリフェラル IC 14a1、14a2 に送信する。

【0034】

尚、パケット生成部 131 はパケット生成部 121 と、8B/10B 変換部 132 は 8B/10B 変換部 122 と、シリアライザ 133 はシリアライザ 123 と、デシリアライザ 134 はデシリアライザ 124 と、10B/8B 変換部 135 は 10B/8B 変換部 125 と、エラー検知部 137 はエラー検知部 127 と、タイミング生成部 138 はタイミング生成部 128 と、それぞれ同様の動作を行うため、重複する説明を省略する。また、8B/10B 変換部 132 はデータ長変換部として、シリアライザ 133 は送信制御部としてそれぞれ機能する。

20

【0035】

パケット解析部 136 は、タイミング生成部 138 で生成されたタイミングにおいて、受信した転送データの packets を解析し、その転送データがどのような種類のデータであるのかを確認する。更に、パケット解析部 136 は、8B/10B 変換コード表において、受信したデータ長が 10 ビットの転送データに相当する 8 ビットのデータが存在しない場合に、データが受信できていないことをエラー検知部 137 に通知する。

【0036】

エラー検知部 137 は、パケット解析部 136 において固有の packet データが受信できなかった場合に、エラーカウントを 1 インクリメントする。また、エラー検知部 137 は、エラーカウントを所定以上連続してインクリメントした場合に、マスタデバイス 120 とスレーブデバイス 130 とのシリアル通信における異常の発生を検知したことを示す信号である、ERR_STATUS 信号を出力する。

30

【0037】

したがって、エラー検知部 137 は、エラーカウントをインクリメントすることによって、マスタデバイス 120 とスレーブデバイス 130 との通信における異常状態を示す、通信異常計数部として機能する。

【0038】

割込み制御部 106 は、ペリフェラル IC 14a1、14a2 から入力される割込み信号を割込みデータとしてパケット生成部 131 に入力する。また、割込み制御部 106 は、エラー検知部 137 から ERR_STATUS 信号が出力されると、マスタデバイス 120 とスレーブデバイス 130 とのシリアル通信における異常の発生を検知したことを示す割込みデータをパケット生成部 131 に入力する。

40

【0039】

以上説明したような構成によって情報処理装置 1 は、マスタデバイス 120 とスレーブデバイス 130 との間でシリアル通信を行う。また、本実施形態においては、パケット生成部 121 及びパケット生成部 131 において、固有の packet データを生成し、シリアル通信における異常を検知する。以下、図面を参照して、パケット生成部 121 及びパケット生成部 131 で生成される固有の packet データについて説明する。

50

【 0 0 4 0 】

まず、マスタデバイス 1 2 0 からスレーブデバイス 1 3 0 に送信される固有のケットデータについて説明する。図 5 は、マスタデバイス 1 2 0 からスレーブデバイス 1 3 0 に送信される固有のケットデータであるデータ境界ケットデータ 2 0 0 を示す図である。データ境界ケットデータ 2 0 0 は、シリアルデータの境界位置がずれていないか確認するためにケット生成部 1 2 1 で生成される固有のケットデータである。

【 0 0 4 1 】

図 5 に示すように、データ境界ケットデータ 2 0 0 は、境界位置を確認するための基準となるデータである A D J パケット 2 0 1 a、・・・、2 0 1 n (以後、それぞれを区別する必要がない場合には、「A D J パケット 2 0 1」と記載する)、ケットデータの終点であることを示す E N D パケット 2 0 2 を含む。

10

【 0 0 4 2 】

A D J パケット 2 0 1 は、マスタデバイス 1 2 0 からスレーブデバイス 1 3 0 へ繰り返し送信される。そのため、スレーブデバイス 1 3 0 でこの A D J パケット 2 0 1 を受信した時にシリアルデータの境界位置がずれていないかを確認することができる。

【 0 0 4 3 】

図 6 は、データ境界ケットデータ 2 0 0 が送信される際の送信間隔を示す図である。図 6 に示すように、マスタデバイス 1 2 0 からスレーブデバイス 1 3 0 との通信に異常が発生していない場合には、データ境界を調整するためのデータ境界ケットデータ 2 0 0 が定期的な送信される。したがって、このデータ境界ケットデータ 2 0 0 が定期的な受信されない場合には、マスタデバイス 1 2 0 とスレーブデバイス 1 3 0 との通信に異常が発生していることを検知することができる。

20

【 0 0 4 4 】

次に、スレーブデバイス 1 3 0 からマスタデバイス 1 2 0 に送信される固有のケットデータについて説明する。図 7 は、スレーブデバイス 1 3 0 からマスタデバイス 1 2 0 にデータが送信される、いわゆる「リードアクセス時」にケット生成部 1 3 1 で生成されるケットデータであるリードケットデータ 3 0 0 を示す図である。

【 0 0 4 5 】

図 7 に示すように、リードケットデータ 3 0 0 は、マスタデバイス 1 2 0 からのリードアクセスを受信したことを示すデータである A C S パケット 3 0 1、リードデータである R D A T A 3 0 2、ケットデータの終点であることを示す E N D パケット 3 0 3 を含む。リードケットデータ 3 0 0 は、リードアクセス時にスレーブデバイス 1 3 0 からリードデータを送信する時に、ケット生成部 1 3 1 によって生成される。スレーブデバイス 1 3 0 は、A C S パケット 3 0 1 の次に R D A T A 3 0 2 を送信する。

30

【 0 0 4 6 】

次に、スレーブデバイス 1 3 0 からマスタデバイス 1 2 0 に送信される割り込みケットデータ 4 0 0 について説明する。図 8 は、スレーブデバイス 1 3 0 からマスタデバイス 1 2 0 に送信される割り込みケットデータ 4 0 0 を示す図である。

【 0 0 4 7 】

図 8 に示すように、割り込みケットデータ 4 0 0 は、割り込み信号を受信したことを示すデータである I R Q パケット 4 0 1、スレーブデバイス 1 3 0 に接続されているどのペリフェラル I C 1 4 a から割り込み信号を受信したかを示すデータである I R Q D A T A 4 0 2、マスタデバイス 1 2 0 とスレーブデバイス 1 3 0 との通信に異常が検知されたことを示すデータである E R R パケット 4 0 3、ケットデータの終点であることを示す E N D パケット 4 0 4 を含む。

40

【 0 0 4 8 】

ケット生成部 1 3 1 は、エラー検知部 1 3 7 によって E R R _ S T A T U S 信号が出力された場合に、E R R パケット 4 0 3 を生成する。尚、E R R パケット 4 0 3 は、割り込みケットデータ 4 0 0 に含まれない構成であってもよい。

【 0 0 4 9 】

50

割込みパケットデータ400は、スレーブデバイス130に接続されるペリフェラルIC14aに異常が発生した場合に、スレーブデバイス130に割込み信号として入力される。また、スレーブデバイス130に接続されるペリフェラルIC14aに異常が発生したことをCPU10に通知するために、割込みパケットデータ400は、スレーブデバイス130からマスタデバイス120に送信される。

【0050】

また、上述したように、割込みパケットデータ400には、ペリフェラルIC14aに関する情報の他に、スレーブデバイス130で検知されたマスタデバイス120とスレーブデバイス130との通信に発生している異常に関する情報を含む。したがって、マスタデバイス120は、この割込みパケットデータ400に含まれる情報に基づいてマスタデバイス120とスレーブデバイス130との通信に発生している異常を検知することができる。

10

【0051】

図9は、リードパケットデータ300、割込みパケットデータ400が送信される際の送信間隔を示す図である。図9に示すように、スレーブデバイス130からマスタデバイス120へは、定期的に割込みパケットデータ400が送信される。したがって、この割込みパケットデータ400を定期的に受信できない場合においても、マスタデバイス120とスレーブデバイス130との通信において異常が発生していることを検知することができる。

【0052】

また、割込みパケットデータ400が送信されている途中にリードアクセスが発生した場合、パケット生成部131は、リードアクセスが発生したタイミングでリードパケットデータ300を生成し、送信する。この時、ランダムノイズなどの影響によって単発的な通信異常が発生した場合、マスタデバイス120がリードパケットデータ300を受信できないことがある。このような場合、マスタデバイス120とスレーブデバイス130との通信に発生している異常が一時的なものなのか、永續しているものなのかが判断できないことがある。

20

【0053】

そこで、本実施形態においては、マスタデバイス120及びスレーブデバイス130の通信における異常の発生頻度に応じて、リセット信号を送信する。図10は、リードアクセス時におけるマスタデバイス120で行われるエラー検知を行う動作の流れをステップごとに示すフローチャートである。

30

【0054】

図10に示すように、マスタデバイス120とスレーブデバイス130とのシリアル通信が開始される(S1001)と、マスタデバイス120には、スレーブデバイス130から、図9に示すように、リードパケットデータ300が送信される。

【0055】

パケット解析部126は、スレーブデバイス130から受信したデータを構成するパケットの解析を実行する(S1002)。パケット解析部126は、スレーブデバイス130から受信したデータのヘッダの情報に基づいて、スレーブデバイス130から受信したデータにどのようなデータが含まれているかを解析した結果をエラー検知部127に送信する。

40

【0056】

エラー検知部127はパケット解析部126が行った解析の結果に基づいて、ACSパケット301を受信したか否かを判定する(S1003)。スレーブデバイス130から受信したデータにACSパケット301が含まれている場合(S1003/YES)、エラー検知部127は、リードパケットデータ300を受信したと判断し、エラーカウントを初期化(クリア)し(S1004)、本処理を終了させる。

【0057】

一方で、スレーブデバイス130から受信したデータにACSパケット301が含まれ

50

ていない場合 (S 1 0 0 3 / N O)、ランダムノイズなどの影響によって単発的にエラーが発生したために、A C S パケット 3 0 1 が受信できない場合がある。そこで、エラー検知部 1 2 7 は、スレーブデバイス 1 3 0 から送信される割込みパケットデータ 4 0 0 の受信状況に基づいてマスタデバイス 1 2 0 とスレーブデバイス 1 3 0 との通信に発生した異常を検知する。

【 0 0 5 8 】

図 1 1 は、マスタデバイス 1 2 0 において、割込みパケットデータ 4 0 0 の受信状況に基づいてマスタデバイス 1 2 0 とスレーブデバイス 1 3 0 との通信に発生した異常を検知する動作の流れをステップごとに示すフローチャートである。図 1 1 に示すように、マスタデバイス 1 2 0 とスレーブデバイス 1 3 0 とのシリアル通信が開始される (S 1 1 0 1) と、マスタデバイス 1 2 0 には、スレーブデバイス 1 3 0 から、図 9 に示すように、割込みパケットデータ 4 0 0 が定期的に送信される。

10

【 0 0 5 9 】

パケット解析部 1 2 6 は、スレーブデバイス 1 3 0 から受信したデータを構成するパケットを解析する (S 1 1 0 2)。この時、パケット解析部 1 2 6 は、スレーブデバイス 1 3 0 から受信したデータのヘッダの情報に基づいて、スレーブデバイス 1 3 0 から受信したデータにどのようなデータが含まれているかを解析した結果をエラー検知部 1 2 7 に送信する。

【 0 0 6 0 】

エラー検知部 1 2 7 は、パケット解析部 1 2 6 が行った解析の結果に基づいて、I R Q パケット 4 0 1 を受信したか否かを判定する (S 1 1 0 3)。スレーブデバイス 1 3 0 から受信したデータに I R Q パケット 4 0 1 が含まれている場合 (S 1 1 0 3 / Y E S)、エラー検知部 1 2 7 は、次にパケット解析部 1 2 6 から解析結果が送信されてくるまで待機する。

20

【 0 0 6 1 】

スレーブデバイス 1 3 0 から受信したデータに I R Q パケット 4 0 1 が含まれていない場合 (S 1 1 0 3 / N O)、エラー検知部 1 2 7 は、エラーカウントを 1 インクリメントする (S 1 1 0 4)。そして、エラー検知部 1 2 7 は、エラーカウントが所定の N 回以上連続してインクリメントされた場合 (S 1 1 0 5 / Y E S)、マスタデバイス 1 2 0 とスレーブデバイス 1 3 0 との間の通信経路に異常が発生していることを検知する。そしてエラー検知部 1 2 7 は、リセット制御部 1 2 9 に E R R _ S T A T U S 信号を出力する。

30

【 0 0 6 2 】

尚、この時、タイミング生成部 1 2 8 は、最初の割込みパケットデータ 4 0 0 が検知されてからカウントを開始する。スレーブデバイス 1 3 0 からは、割込みパケットデータ 4 0 0 が定期的に送信されているため、マスタデバイス 1 2 0 とスレーブデバイス 1 3 0 との通信に異常がない場合には、所定の間隔ごとに割込みパケットデータ 4 0 0 が送信されてくる。

【 0 0 6 3 】

本実施形態においてタイミング生成部 1 2 8 は、最初の割込みパケットデータ 4 0 0 が検知された時点から所定の間隔ごとにパケット解析部 1 2 6 にスレーブデバイス 1 3 0 から受信したデータを構成するパケットの解析を実行させる。したがって、所定の N 回以上連続してエラーカウントがインクリメントされた場合に、エラー検知部 1 2 7 は、マスタデバイス 1 2 0 とスレーブデバイス 1 3 0 との間の通信経路に、単発的ではない異常が発生していると検知することができる。

40

【 0 0 6 4 】

リセット制御部 1 2 9 は、エラー検知部 1 2 7 から受信した制御信号に基づいて、マスタデバイス 1 2 0 とスレーブデバイス 1 3 0 との間にリセット信号をアサートする (S 1 1 0 6)。リセット信号がアサートされると、マスタデバイス 1 2 0 及びスレーブデバイス 1 3 0 は、通信を再確立させる動作が実行される。

【 0 0 6 5 】

50

このように、マスタデバイス120においては、マスタデバイス120が受信した割込みパケットデータ400に基づいて、マスタデバイス120とスレーブデバイス130との間の通信経路に発生した異常を検知する。

【0066】

次に図面を参照して、マスタデバイス120からスレーブデバイス130にデータを書き込む動作であるライトアクセス時にエラーを検知する動作について説明する。図12は、ライトアクセス時にスレーブデバイス130がマスタデバイス120とスレーブデバイス130との通信に発生した異常の検知を行う動作の流れをステップごとに示すフローチャートである。

【0067】

図12に示すように、マスタデバイス120とスレーブデバイス130とのシリアル通信が開始される(S1201)と、スレーブデバイス130には、マスタデバイス120から、図6に示すように、データ境界パケットデータ200が送信される。

【0068】

パケット解析部136は、マスタデバイス120から受信したデータを構成するパケットの解析を実行する(S1202)。パケット解析部136は、マスタデバイス120から受信したデータのヘッダの情報に基づいて、マスタデバイス120から受信したデータにどのようなデータが含まれているかを解析した結果をエラー検知部137に送信する。

【0069】

エラー検知部137は、パケット解析部136が行った解析の結果に基づいて、ADJパケット201を受信したか否か判定する(S1203)。マスタデバイス120から受信したデータにADJパケット201が含まれている場合(S1203/YES)、エラー検知部137は、エラーカウンタを初期化し(S1204)、次にパケット解析部136によってパケットの解析が実行されるまで待機する。

【0070】

マスタデバイス120から受信したデータにADJパケット201が含まれていない場合(S1203/NO)、エラー検知部137は、エラーカウンタを1インクリメントする(S1205)。そして、エラー検知部137は、エラーカウンタが所定のN回以上連続してインクリメントされた場合(S1206/YES)、マスタデバイス120とスレーブデバイス130との通信に異常が発生していることを検知する。

【0071】

エラー検知部137によって、マスタデバイス120とスレーブデバイス130との通信に異常が発生していることが検知されると、パケット生成部131は、ERRパケット403を生成し(S1207)、割込みパケットデータ400に挿入する。ERRパケット403が挿入された割込みパケットデータ400は、8B/10B変換部132及びシリアライザ133を介してマスタデバイス120に送信される(S1208)。

【0072】

パケット解析部126は、割込みパケットデータ400を受信すると(S1301)、その割込みパケットデータ400にERRパケット403が含まれること示す情報をエラー検知部127に送信する。エラー検知部127は、ERRパケット403が含まれることを示す情報を受信すると、マスタデバイス120とスレーブデバイス130との通信に異常が発生していることを検知し、リセット制御部129にERR__STATUS信号を出力する。

【0073】

リセット制御部129は、エラー検知部127から受信したERR__STATUS信号に基づいて、マスタデバイス120とスレーブデバイス130との間にリセット信号をアサートする(S1302)。リセット信号がアサートされると、マスタデバイス120及びスレーブデバイス130は、通信接続を再開させる動作を実行する。

【0074】

尚、図12及び図13の説明においては、割込みパケットデータ400にERRパケッ

10

20

30

40

50

ト403が含まれていることを前提としている。しかし、マスタデバイス120とスレーブデバイス130との間の通信経路に異常が発生していない場合であって、かつ、ペリフェラルIC14a1、14a2に異常が発生していることがある。このような場合には、ERRパケット403が含まれない割込みパケットデータ400がマスタデバイス120に送信される。

【0075】

このような場合、パケット解析部126は、受信した割込みパケットデータ400をデータ生成部103に送信する。データ生成部103は、受信した割込みパケットデータ400に基づいてパラレルデータを生成する。データ生成部103によって生成されたパラレルデータは、パラレルI/F102を介してCPU10に送信される。

10

【0076】

このように、マスタデバイス120が受信した割込みパケットデータ400に基づいて、マスタデバイス120とスレーブデバイス130との通信に発生した異常を検知することができる。尚、本実施形態に係る情報処理装置1において、マスタデバイス120とスレーブデバイス130とにおける情報の送受信方向、すなわち、リードアクセスもしくはライトアクセスに切り替える動作はCPU10によって行われる。

【0077】

上述したように、本実施形態においては、マスタデバイス120とスレーブデバイス130との通信に異常が発生していることを検知するための固有のパケットデータを転送データに含める。このようにすることで、リードアクセス時及びライトアクセス時どちらであっても、マスタデバイス120とスレーブデバイス130との通信に異常が発生していることを検知して、通信異常を検知した際には通信を再確立させることができる。

20

【0078】

また、エラー検知部127、137がそれぞれマスタデバイス120及びスレーブデバイス130の通信に異常が発生していること検知して、通信を再開させることが可能となる。

【0079】

更に、マスタデバイス120とスレーブデバイス130との通信の異常が頻発している場合、固有のパケットデータの送信間隔を短くし、CPU10に異常が検知されたことを早期に通知する必要がある。そのために、図14に示すように、固有のパケットデータの送信間隔の設定値が保存される定期送信間隔設定レジスタ151、152を含む構成であってもよい。

30

【0080】

図14に示すように、定期送信間隔設定レジスタ151は、マスタデバイス120のパケット生成部121から8B/10B変換部122に転送データを送信する際の送信間隔が記憶されている。そのため、CPU10は、割込みパケットデータ400の受信状況に応じて定期送信間隔設定レジスタ151に記憶されている送信間隔が変動するように設定することが可能である設定部として機能する。

【0081】

また、定期送信間隔設定レジスタ152は、スレーブデバイス130のパケット生成部131から8B/10B変換部132に転送データを送信する際の送信間隔が記憶されている。定期送信間隔設定レジスタ152は、ペリフェラルIC14aから入力される割込み信号の頻度によって設定される構成であってもよい。したがって、定期送信間隔設定レジスタ151、152は、記憶部として機能する。

40

【0082】

このように、マスタデバイス120及びスレーブデバイス130から送信される固有のパケットデータの送信間隔を変更して、CPU10に対して通信異常が検知されたことを早期に送信することができる。

【0083】

また、図15に示すように、定期送信間隔設定レジスタ151、152の代わりにメモ

50

リ 1 5 3、1 5 4 を用いる構成であってもよい。このような場合、異常が発生する頻度に応じてパケット生成部 1 2 1、1 3 1 がメモリ 1 5 3、1 5 4 にそれぞれアクセスすることで、固有のパケットデータの送信間隔を、CPU 1 0 を介在させることなく変更することが可能になる。

【 0 0 8 4 】

メモリ 1 5 3、1 5 4 は、シリアル通信を開始する以前に CPU 1 0 によって固有のパケットデータの送信間隔が書き込まれて保存されていてもよい。このような場合、シリアル通信が開始されている間にマスタデバイス 1 2 0 から CPU 1 0 にアクセスする必要がないため、CPU 1 0 の処理負荷を低減させることができる。そのため、メモリ 1 5 3、1 5 4 も、送信間隔設定情報記憶部として機能する。

10

【 0 0 8 5 】

実施の形態 2 .

実施の形態 1 において、リセット制御部 1 2 9 は、マスタデバイス 1 2 0 及びスレーブデバイス 1 3 0 とハーネスによって接続されている。しかし、情報処理装置 1 を構成する回路基板のレイアウトや配線によっては、ハーネスで接続することが困難な場合がある。

【 0 0 8 6 】

そこで、本実施形態では、図 1 6 に示すように、エラー検知部 1 2 7 によってシリアル通信に異常が検知された場合に、8 B / 1 0 B 変換部 1 2 2 及びシリアライザ 1 2 3 を介してスレーブデバイス 1 3 0 にリセット信号を入力する。このような構成によって、本実施形態においては、不要なハーネスを設置することなくマスタデバイス 1 2 0 及びスレーブデバイス 1 3 0 をリセットすることができる。

20

【 0 0 8 7 】

実施の形態 3 .

図 1 7 は、スレーブデバイス 1 3 0 にリセット制御部 1 3 9 が含まれる情報処理装置 1 の構成を示す図である。図 1 7 に示すように、リセット制御部 1 3 9 は、エラー検知部 1 3 7 から E R R _ S T A T U S 信号を受信するとマスタデバイス 1 2 0 に対してリセット信号をアサートする。本実施形態に係る情報処理装置 1 においては、マスタデバイス 1 2 0 で通信異常が検知された場合は、実施の形態 1 で説明したように、リセット制御部 1 2 9 によってリセット信号がアサートされる。

【 0 0 8 8 】

30

尚、リセット端子 4 は、双方向端子であり、図 1 7 に示すように抵抗器 5 を挟んで設置され、リセット制御部 1 2 9、1 3 9 によってリセット端子 4 の電位が制御される。リセット制御部 1 2 9 によって、リセット端子 4 の電位が L (低電位、Low) に制御されると、スレーブデバイス 1 3 0 に対してリセット信号がアサートされる。

【 0 0 8 9 】

また、リセット制御部 1 3 9 によって、リセット端子 4 の電位が L に制御されると、マスタデバイス 1 2 0 に対してリセット信号がアサートされる。このように本実施形態においては、スレーブデバイス 1 3 0 でマスタデバイス 1 2 0 とスレーブデバイス 1 3 0 との通信に異常が検知された場合に、マスタデバイス 1 2 0 に通知せずとも通信を再確立することができる。

40

【 0 0 9 0 】

実施の形態 4 .

複合機等の情報処理装置 1 においては、CPU 1 0 によって制御される D M A C (Direct Memory Access Controller) をマスタデバイス 1 2 0 として、プリンタや F A X の動作を制御するプリンタ制御部や F A X 制御部がスレーブデバイス 1 3 0 として構成されることがある。そして、これらのプリンタ制御部や F A X 制御部から転送されるデータが記憶されるメモリ等の記憶媒体へのアクセスを制御するメモリコントローラが含まれることもある。

【 0 0 9 1 】

このような場合、メモリコントローラは、図 1 8 に示すように、スレーブデバイス 1 3

50

0であるプリンタ制御部やFAX制御部とシリアル通信を行うスレーブデバイス130cとして構成される。したがって、メモリコントローラは、スレーブデバイス130から送信されるシリアルデータの転送先となる第二の受信部であるスレーブデバイス130cとして機能する。

【0092】

図18に示すように、スレーブデバイス130に対してスレーブデバイス130cが接続される構成が含まれる情報処理装置1においては、スレーブデバイス130とスレーブデバイス130cとの間に通信異常が発生することがある。そこで、本実施形態においては、スレーブデバイス130とスレーブデバイス130cとの間の通信異常が検知された場合に、スレーブデバイス130及びスレーブデバイス130cがリセットされるように制御する。

10

【0093】

図18に示すように、スレーブデバイス130は、図2に示した構成に加えて、パケット生成部131b、8B/10B変換部132b、シリアライザ133b、デシリアライザ134b、10B/8B変換部135b、通信異常検知部111b、リセット制御部139を含む。

【0094】

また、スレーブデバイス130cは、パラレルI/F107、パケット生成部131c、8B/10B変換部132c、シリアライザ133c、デシリアライザ134c、10B/8B変換部135c、割込み制御部108、通信異常検知部111cを含む。

20

【0095】

スレーブデバイス130cにおいて行われるスレーブデバイス130とスレーブデバイス130cとの通信に発生した異常の検知は、図12で説明した動作と同様の動作をスレーブデバイス130cが行うため、重複する説明を省略する。

【0096】

尚、パケット生成部131b、cはパケット生成部131と、8B/10B変換部132b、cは8B/10B変換部132と、シリアライザ133b、cはシリアライザ133と、デシリアライザ134b、cはデシリアライザ134と、10B/8B変換部135b、cは10B/8B変換部135と、エラー検知部137b、cはエラー検知部137と、タイミング生成部138b、cはタイミング生成部138と、それぞれ同様の動作を行うため、重複する説明を省略する。

30

【0097】

また、パケット解析部136b、cは、スレーブデバイス130から受信した転送データの packets を解析し、その転送データがどのような種類のデータであるのかを確認する。更に、パケット解析部136b、cは、受信したデータ長が10ビットの転送データが、8B/10B変換コード表に対して当てはまらない場合、スレーブデバイス130からの転送データが受信できていないことをそれぞれエラー検知部137b、cに通知する。

【0098】

図19は、スレーブデバイス130cからシリアル通信に発生した異常を検知するERRパケット403を含む割込みパケットデータ400を受信したスレーブデバイス130の動作の流れをステップごとに示すフローチャートである。図19に示すように、パケット解析部136bは、ERRパケット403を含む割込みパケットデータ400を受信する(S1901)と、ERRパケット403を受信したことをエラー検知部137bに通知する。

40

【0099】

エラー検知部137bは、パケット解析部136からERRパケット403を受信したことを示す通知を受けると、ERR_STATUS信号をリセット制御部139及びパケット生成部131に対して出力する(S1902)。

【0100】

パケット生成部131は、ERR_STATUS信号を受信すると、ERRパケット4

50

03を生成し、割込みパケットデータ400として8B/10B変換部132及びシリアルライザ133を介してマスタデバイス120に送信する(S1903)。

【0101】

スレーブデバイス130からERRパケット403を含む割込みパケットデータ400を受信したマスタデバイス120の動作は、図13で説明した動作と同様の動作を行うため、説明を省略する。尚、リセット制御部129から、リセット制御部139及びリセット制御部139cに対してリセット信号を出力する。

【0102】

次に、マスタデバイス120から送信されたリセット信号を受信したスレーブデバイス130、130cの動作について、図20を参照して説明する。図20は、スレーブデバイス130、130cがリセット動作を実施する際の流れをステップごとに示すフローチャートである。尚、図20においては、スレーブデバイス130について説明するが、スレーブデバイス130cにおいても、同様の動作を行う。

10

【0103】

リセット制御部139は、ERR__STATUS信号を受信している場合(S2001/Yes)にマスタデバイス120からリセット信号を受信する(S2002)と、スレーブデバイス130に対してリセット動作を実行する(S2003)。リセットされたスレーブデバイス130においては、シリアル通信を再確立させる動作が実行される(S2004)。

【0104】

20

このように、スレーブデバイス130、130cは、エラー検知部137b、137cが生成したERR__STATUS信号及びマスタデバイス120から入力されたリセット信号のいずれかが検知された場合にリセット動作を実行する。そのため、マスタデバイス120から、同時にリセット信号が送信された場合であってもERR__STATUS信号が検知されない場合には、スレーブデバイス130、130cはリセット動作を行わない。

【0105】

そのため、例えば、マスタデバイス120とスレーブデバイス130との間の通信に異常が発生している場合には、リセット信号が入力されてもスレーブデバイス130cは、ERR__STATUS信号が出力されていないため、リセット動作を行わない。

30

【0106】

また、図21に示すように、スレーブデバイス130にリセット制御部139bを設置することもできる。このような場合、スレーブデバイス130同士の通信に異常が検知された際に、マスタデバイス120にERR__STATUS信号を送信せずともスレーブデバイス130とスレーブデバイス130cとの通信を再確立させることができる。

【0107】

したがって、実施の形態4に係る情報処理装置1においてシリアル通信経路における異常が発生した場合には、異常が発生しているシリアル通信経路にのみリセット動作を実行することができる。

【0108】

40

尚、以上説明した全ての実施の形態において、定期的送信される固有のパケットデータは、情報処理装置1が動作する際の周波数によって決まる。この時、例えば、情報処理装置1が動作する際の周波数が100MHzであった場合、固有のパケットデータが連続二回検出されない時には、およそ25μ秒でリセット信号が出力される。

【0109】

また、以上説明した全ての実施の形態においては、8B/10B方式のシリアル高速通信を行う情報処理装置を例として説明を行ったが、PCI Express 3.0で採用されている128B/130B方式においても、上記実施の形態と同様の効果を与えることが出来る。

【符号の説明】

50

【 0 1 1 0 】

- 1 情報処理システム
- 4 リセット端子
- 5 抵抗器
- 1 0 C P U
- 1 2 マスタ制御部
- 1 3 スレーブ制御部
- 1 4 ペリフェラル I C
- 1 0 2 パラレル I / F
- 1 0 3 データ生成部 10
- 1 0 4、1 0 6、1 0 8 割込み制御部
- 1 2 0 マスタデバイス
- 1 2 1、1 3 1 パケット生成部
- 1 2 2、1 3 2 8 B / 1 0 B 変換部
- 1 2 3、1 3 3 シリアライザ
- 1 2 4、1 3 4 デシリアライザ
- 1 2 5、1 3 5 1 0 B / 8 B 変換部
- 1 2 6、1 3 6 パケット解析部
- 1 2 7、1 3 7 エラー検知部
- 1 2 8、1 3 8 タイミング生成部 20
- 1 2 9、1 3 9 リセット制御部
- 1 3 0 スレーブデバイス
- 2 0 0 データ境界パケットデータ
- 3 0 0 リードパケットデータ
- 4 0 0 割込みパケットデータ

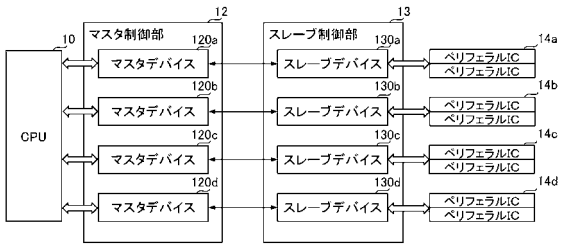
【 先行技術文献 】

【 特許文献 】

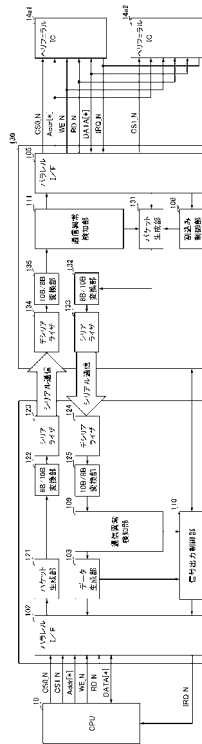
【 0 1 1 1 】

【 特許文献 1 】 特開 2 0 1 1 - 1 0 7 8 4 5 号 公 報

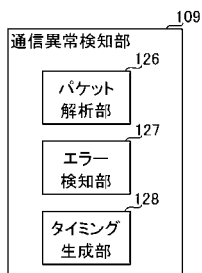
【 図 1 】



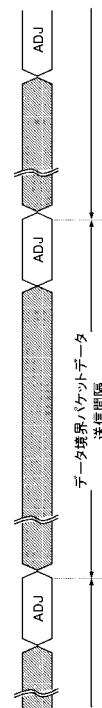
【 図 2 】



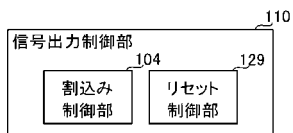
【 図 3 】



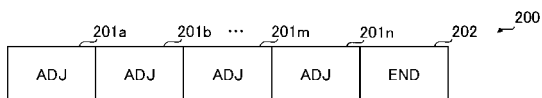
【 図 6 】



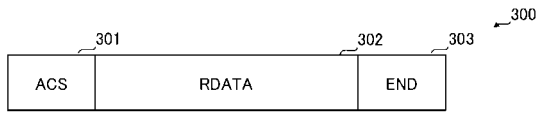
【 図 4 】



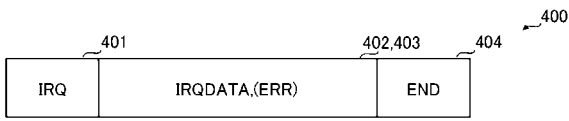
【 図 5 】



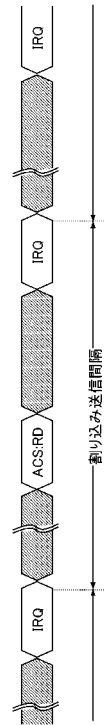
【図7】



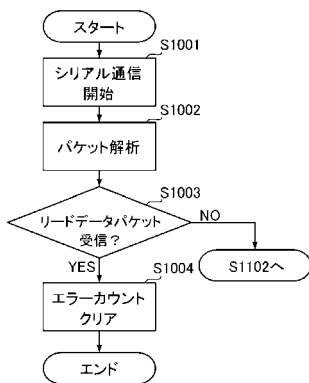
【図8】



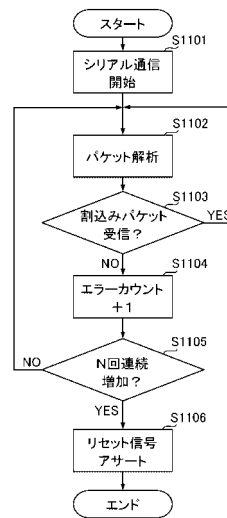
【図9】



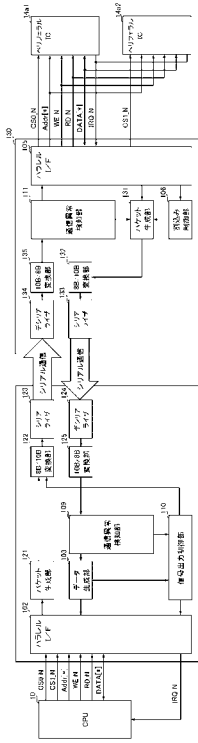
【図10】



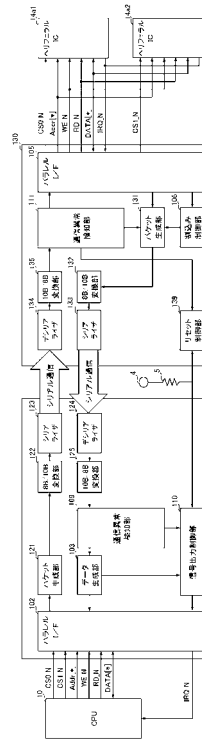
【図11】



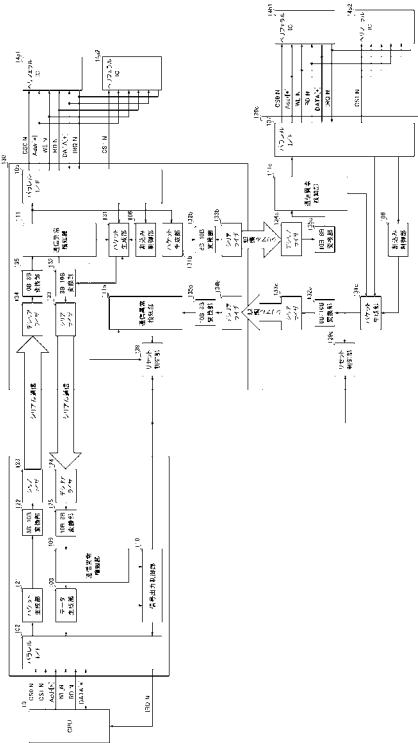
【図 16】



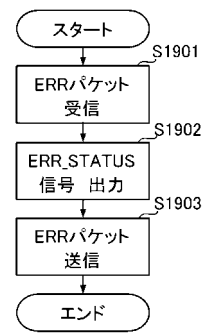
【図 17】



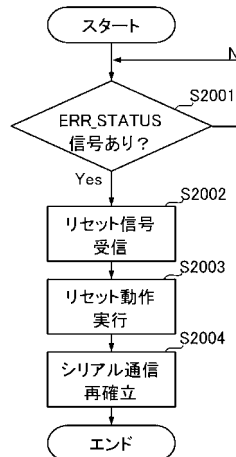
【図 18】



【図 19】



【図 20】



【図 21】

